(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0139930
(43) 공개일자 2011년12월30일

(51) Int. Cl.
H03M 1/12 (2006.01) *H03M 3/02* (2006.01)
(21) 출원번호 10-2010-0060057
(22) 출원일자 2010년06월24일
심사청구일자 2010년06월24일

(71) 출원인
서강대학교산학협력단
서울 마포구 신수동 1-1 서강대학교
(72) 발명자
안길초
인천광역시 서구 검암동 595-5(25/1) 마젤란 21아파트
김광수
대전광역시 유성구 관평동 대덕테크노벨리 905동 1204호
윤민호
서울특별시 마포구 염리동 36-5
(74) 대리인
특허법인충현

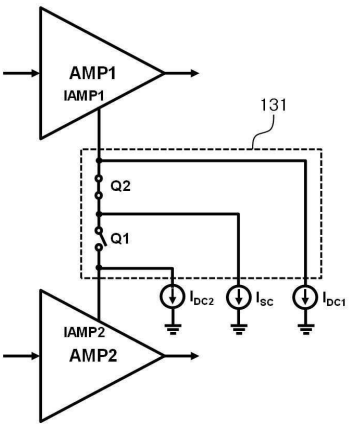
전체 청구항 수 : 총 10 항

(54) 전류 공유 방식의 적분기, 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기 및 전류 공유 방식의 센서 장치

(57) 요 약

전류 공유 방식의 적분기, 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기 및 전류 공유 방식의 센서 장치가 개시된다. 본 발명의 일 실시 예에 따른 전류 공유 방식의 적분기는 적분 주기마다 최초 입력신호를 샘플링한 제1 입력신호를 출력하는 제1 샘플링 커패시터부; 상기 제1 샘플링 커패시터부가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력하는 제2 샘플링 커패시터부; 상기 제1 입력신호에 따라 적분된 상기 제1 신호를 상기 제2 샘플링 커패시터부에 인가하는 제1 증폭부; 상기 제2 입력신호에 따라 적분된 제2 신호를 출력하는 제2 증폭부; 및 상기 제1 샘플링 커패시터부의 적분 주기에 상기 제1 증폭부에 공유 전류를 인가하고, 상기 제1 샘플링 커패시터부의 샘플링 주기에 상기 제2 증폭부에 상기 공유 전류를 인가하는 전류 스위칭부를 포함한다. 본 발명의 실시 예들에 따르면, 적분기에 사용되는 증폭기에서 성능은 유지하되 전체 사용 전류량을 기존의 절반 수준으로 줄일 수 있으므로, 고효율의 고성능, 저전력 기기를 제작할 수 있게 한다.

대 표 도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 201041001 / 200941011

부처명 지식경제부 / 지식경제부

연구관리전문기관

연구사업명 지식경제 기술혁신사업 [부품소재기술개발사업] / 지식경제 기술혁신사업 [부품소재기술개발사업]

연구과제명 Batteryless TPMS 구현을 위한 MEMS기반 핵심부품 기술개발 / Batteryless TPMS 구현을 위한 MEMS기반 핵심부품 기술개발

기여율

주관기관 우리산업(주) / 우리산업(주)

연구기간 2010년 05월 01일 ~ 2011년 04월 30일 / 2009년 05월 01일 ~ 2010년 04월 30일

특허청구의 범위

청구항 1

적분 주기마다 최초 입력신호를 샘플링한 제1 입력신호를 출력하는 제1 샘플링 커패시터부;

상기 제1 샘플링 커패시터부가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력하는 제2 샘플링 커패시터부;

상기 제1 입력신호에 따라 적분된 상기 제1 신호를 상기 제2 샘플링 커패시터부에 인가하는 제1 증폭부;

상기 제2 입력신호에 따라 적분된 제2 신호를 출력하는 제2 증폭부; 및

상기 제1 샘플링 커패시터부의 적분 주기에 상기 제1 증폭부에 공유 전류를 인가하고, 상기 제1 샘플링 커패시터부의 샘플링 주기에 상기 제2 증폭부에 상기 공유 전류를 인가하는 전류 스위칭부

를 포함하는, 전류 공유 방식의 적분기.

청구항 2

제 1 항에 있어서,

상기 전류 스위칭부는

상기 제1 샘플링 커패시터부의 샘플링 주기에 상기 제1 증폭부에 제1 기본 전류를 인가하고, 상기 제1 샘플링 커패시터부의 적분 주기에 상기 제2 증폭부에 제2 기본 전류를 인가하는 것을 특징으로 하는, 전류 공유 방식의 적분기.

청구항 3

제 1 항에 있어서,

상기 전류 스위칭부는

상기 공유 전류를 공급하는 공유 전류원을 상기 제1 증폭부 또는 상기 제2 증폭부 중 어느 하나에 주기적으로 연결시키는 하나 이상의 스위치를 포함하는 것을 특징으로 하는, 전류 공유 방식의 적분기.

청구항 4

제3 항에 있어서,

상기 스위치는

클록 발생기에 게이트단이 연결된 트랜지스터인 것을 특징으로 하는, 전류 공유 방식의 적분기.

청구항 5

제1 항에 있어서,

상기 제2 샘플링 커패시터부는

상기 제1 샘플링 커패시터부가 적분 주기에 있을 때, 상기 제1 신호를 샘플링하여 상기 제2 입력신호를 생성하는 것을 특징으로 하는, 전류 공유 방식의 적분기.

청구항 6

제1 항에 있어서,

상기 제1 샘플링 커패시터부는

샘플링 주기에 상기 최초 입력신호를 샘플링 커패시터에 샘플링하는 것을 특징으로 하는, 전류 공유 방식의 적분기.

청구항 7

적분 주기마다 최초 입력신호를 샘플링한 제1 입력신호를 출력하는 제1 샘플링 커패시터부;

상기 제1 샘플링 커패시터부가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력하는 제2 샘플링 커패시터부;

상기 제1 입력신호에 따라 적분된 상기 제1 신호를 상기 제2 샘플링 커패시터부에 인가하는 제1 증폭부;

상기 제2 입력신호에 따라 적분된 제2 신호를 출력하는 제2 증폭부;

상기 제1 샘플링 커패시터부의 적분 주기에 상기 제1 증폭부에 공유 전류를 인가하고, 상기 제1 샘플링 커패시터부의 샘플링 주기에 상기 제2 증폭부에 상기 공유 전류를 인가하는 전류 스위칭부; 및

상기 제2 증폭부에서 증폭된 제2 신호를 클록 신호에 따라 디지털 신호로 변환하는 비교기

를 포함하는, 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기.

청구항 8

제 7 항에 있어서,

상기 전류 스위칭부는

상기 공유 전류를 공급하는 공유 전류원을 상기 제1 증폭부 또는 상기 제2 증폭부 중 어느 하나에 주기적으로 연결시키는 하나 이상의 스위치를 포함하는 것을 특징으로 하는, 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기.

청구항 9

외부 자극을 감지하여 아날로그 신호를 생성하는 아날로그 센서;

적분 주기마다 상기 아날로그 신호로부터 샘플링된 제1 입력신호를 출력하는 제1 샘플링 커패시터부;

상기 제1 샘플링 커패시터부가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력하는 제2 샘플링 커패시터부;

상기 제1 입력신호에 따라 적분된 상기 제1 신호를 상기 제2 샘플링 커패시터부에 인가하는 제1 증폭부;

상기 제2 입력신호에 따라 적분된 제2 신호를 출력하는 제2 증폭부;

상기 제1 샘플링 커패시터부의 적분 주기에 상기 제1 증폭부에 공유 전류를 인가하고, 상기 제1 샘플링 커패시터부의 샘플링 주기에 상기 제2 증폭부에 상기 공유 전류를 인가하는 전류 스위칭부; 및

상기 제2 증폭부에서 증폭된 제2 신호를 클록 신호에 따라 디지털 신호로 변환하는 비교기

를 포함하는, 전류 공유 방식의 센서 장치.

청구항 10

제 9 항에 있어서,

상기 전류 스위칭부는

상기 공유 전류를 공급하는 공유 전류원을 상기 제1 증폭부 또는 상기 제2 증폭부 중 어느 하나에 주기적으로 연결시키는 하나 이상의 스위치를 포함하는 것을 특징으로 하는, 전류 공유 방식의 센서 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 집적회로의 저전력 설계에 관한 것으로, 특히, 전류 공유 방식의 적분기, 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기 및 전류 공유 방식의 센서 장치에 관한 것이다.

배 경 기 술

[0002] 디지털 방식의 신호처리는 아날로그 방식에 비하여 저장 및 처리가 용이하고 잡음에 강한 특성을 가지기 때문에 안정적인 시스템 구현에 중요한 역할을 한다. 최근 휴대용 기기의 수요가 증가하면서 사용 시간의 연장을 위해 저전력 회로 개발에 대한 필요성이 강조되고 있다. 또한 환경오염에 대한 인식이 고조되면서, 에너지의 소모를 줄이는 친환경적인 기술 개발도 요구되고 있다. 제품의 성능은 향상 또는 유지하면서, 소비전력은 줄여야 하는 기술적 과제에 직면하게 된다.

[0003] 예를 들어, 시그마 델타 아날로그 디지털 변환기는 적분기(integrator)와 양자화기(quantizer)만으로 구성된 간단한 구조의 데이터 변환기로 주변의 잡음 및 환경의 변화에 의한 영향을 적게 받으며, 오버샘플링 (over-sampling)과 노이즈 쉐이핑 (noise shaping)을 이용하여 고해상도의 출력을 얻을 수 있다. 그런데, 적분기의 구현에 사용되는 증폭기는 다른 회로에 비해 많은 전력을 소모한다. 이러한 전력 소모는 적분기를 사용하는 각종 변환기 및 센서의 응용에서 한계로 작용한다.

[0004] 보다 구체적으로 설명하면, 증폭기는 도 1처럼 각각의 증폭기를 동작시킬 독립적인 전류 바이어스를 전달받아 동작한다. 두 개의 증폭기 중 Amp1을 구동하기 위해 IAMP1'의 전류를 사용하고, Amp2를 구동하기 위해 IAMP2'의 전류를 사용한다. IAMP1'과 IAMP2'의 전류 중 증폭기가 꺼지지 않게 하는 최소 전류량을 각각 I_{DC1}과 I_{DC2}라 하고 남는 여분의 전류량을 I_{SC}라고 정의하면, 두 개의 증폭기를 구동하기 위해 필요한 총 전류는 수학식 1과 같다.

수학식 1

[0005] $$IAMP1' + IAMP2' = I_{DC1} + I_{DC2} + 2I_{SC}$$

[0006] IAMP1'와 IAMP2'에서 동일한 값의 I_{SC}를 얻을 수 있도록 I_{DC1}이나 I_{DC2}는 최소 전류량보다 더 큰 값을 사용하는 것도 가능하다. 이때 만일 I_{SC}가 I_{DC1}과 I_{DC2}보다 매우 크다면 전체 전류량은 $2I_{SC}$로 정리된다.

수학식 2

[0007] $$IAMP1' + IAMP2' \approx 2I_{SC}, \; (I_{SC} \gg I_{DC1} + I_{DC2})$$

[0008] 따라서, 종래의 적분기는 지속적으로 I_{SC}의 2배가 되는 전류가 필요로 한다.

발명의 내용

해결하려는 과제

[0009] 본 발명이 이루고자 하는 첫 번째 기술적 과제는 고효율의 고성능, 저전력의 특성을 가지는 전류 공유 방식의 적분기를 제공하는 데 있다.

[0010] 본 발명이 이루고자 하는 두 번째 기술적 과제는 고효율의 고성능, 저전력의 특성을 가지는 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기를 제공하는 데 있다.

[0011] 본 발명이 이루고자 하는 세 번째 기술적 과제는 고효율의 고성능, 저전력의 특성을 가지는 전류 공유 방식의 센서 장치를 제공하는 데 있다.

과제의 해결 수단

[0012] 상기의 첫 번째 기술적 과제를 이루기 위하여, 본 발명의 일 실시 예에 따른 전류 공유 방식의 적분기는 적분 주기마다 최초 입력신호를 샘플링한 제1 입력신호를 출력하는 제1 샘플링 커패시터부; 상기 제1 샘플링 커패시터부가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력하는 제2 샘플링 커패시터부; 상기 제1 입력신호에 따라 적분된 상기 제1 신호를 상기 제2 샘플링 커패시터부에 인가하는 제1 증폭부; 상기 제2 입력신호에 따라 적분된 제2 신호를 출력하는 제2 증폭부; 및 상기 제1 샘플링 커패시터부의 적분 주기에 상기 제1

증폭부에 공유 전류를 인가하고, 상기 제1 샘플링 커패시터부의 샘플링 주기에 상기 제2 증폭부에 상기 공유 전류를 인가하는 전류 스위칭부를 포함한다.

[0013] 상기의 두 번째 기술적 과제를 이루기 위하여, 본 발명의 일 실시 예에 따른 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기는 적분 주기마다 최초 입력신호를 샘플링한 제1 입력신호를 출력하는 제1 샘플링 커패시터부; 상기 제1 샘플링 커패시터부가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력하는 제2 샘플링 커패시터부; 상기 제1 입력신호에 따라 적분된 상기 제1 신호를 상기 제2 샘플링 커패시터부에 인가하는 제1 증폭부; 상기 제2 입력신호에 따라 적분된 제2 신호를 출력하는 제2 증폭부; 상기 제1 샘플링 커패시터부의 적분 주기에 상기 제1 증폭부에 공유 전류를 인가하고, 상기 제1 샘플링 커패시터부의 샘플링 주기에 상기 제2 증폭부에 상기 공유 전류를 인가하는 전류 스위칭부; 및 상기 제2 증폭부에서 증폭된 제2 신호를 클록 신호에 따라 디지털 신호로 변환하는 비교기를 포함한다.

[0014] 상기의 세 번째 기술적 과제를 이루기 위하여, 본 발명의 일 실시 예에 따른 전류 공유 방식의 센서 장치는 외부 자극을 감지하여 아날로그 신호를 생성하는 아날로그 센서; 적분 주기마다 상기 아날로그 신호로부터 샘플링된 제1 입력신호를 출력하는 제1 샘플링 커패시터부; 상기 제1 샘플링 커패시터부가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력하는 제2 샘플링 커패시터부; 상기 제1 입력신호에 따라 적분된 상기 제1 신호를 상기 제2 샘플링 커패시터부에 인가하는 제1 증폭부; 상기 제2 입력신호에 따라 적분된 제2 신호를 출력하는 제2 증폭부; 상기 제1 샘플링 커패시터부의 적분 주기에 상기 제1 증폭부에 공유 전류를 인가하고, 상기 제1 샘플링 커패시터부의 샘플링 주기에 상기 제2 증폭부에 상기 공유 전류를 인가하는 전류 스위칭부; 및 상기 제2 증폭부에서 증폭된 제2 신호를 클록 신호에 따라 디지털 신호로 변환하는 비교기를 포함한다.

발명의 효과

[0015] 본 발명의 실시 예들에 따르면, 적분기에 사용되는 증폭기에서 성능은 유지하되 전체 사용 전류량을 기존의 절반 수준으로 줄일 수 있으므로, 고효율의 고성능, 저전력 기기를 제작할 수 있게 한다.

도면의 간단한 설명

[0016] 도 1은 일반적인 증폭기의 블록도이다.

도 2는 본 발명의 일 실시 예에 따른 전류 공유 방식의 적분기의 블록도이다.

도 3은 본 발명의 일 실시 예에 따른 전류 공유 증폭기의 블록도이다.

도 4는 도 3의 전류 공유 증폭기에 대한 예시적인 회로도이다.

도 5a는 도 4에서 Q1 페이즈일 때의 등가회로를 도시한 것이다.

도 5b는 도 4에서 Q2 페이즈일 때의 등가회로를 도시한 것이다.

도 6은 본 발명의 일 실시 예에 따른 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기의 블록도이다.

도 7은 도 6의 시그마 델타 아날로그 디지털 변환기를 사용하는 전류 공유 방식의 센서 장치의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하에서는 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나, 다음에 예시하는 본 발명의 실시 예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시 예에 한정되는 것은 아니다.

[0018] 본 발명의 실시 예들은 반 클록 딜레이(Half Delay) 차이로 동작하는 적분기의 응용에 관한 것이다. 적분기는 홀드모드(Hold Mode)와 적분모드(Integration Mode)로 동작을 하는데, 홀드모드는 적분모드에 비해서 빠른 동작을 요구하지 않기 때문에 비교적 적은 전류를 사용하여 동작시킬 수 있다. 그러므로 홀드모드인 적분기에는 증폭기의 동작을 유지시킬 적은 전류가 사용되고, 나머지 적분기는 적분모드이기 때문에 두 증폭기 사이의 공유 전류가 사용되므로, 전체적으로 전류의 양을 줄이면서 적분기를 구현할 수 있다. 이하에서는 홀드 모드는 샘플링 주기, 적분 모드는 적분 주기로 부르기로 한다.

[0019] 도 2는 본 발명의 일 실시 예에 따른 전류 공유 방식의 적분기의 블록도이다.

[0020] 제1 샘플링 커패시터부(110)는 적분 주기마다 최초 입력신호를 샘플링한 제1 입력신호를 출력한다. 제1 샘플링

커패시터부(110)는 샘플링 주기에 최초 입력신호를 샘플링 커패시터(미도시)에 샘플링한다. 전류 공유 증폭기(130)에는 제1 샘플링 커패시터부(110)의 샘플링 동작을 위해 필요한 최소한의 전류가 공급된다.

[0021] 제2 샘플링 커패시터부(120)는 제1 샘플링 커패시터부(110)가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력한다. 제2 샘플링 커패시터부(120)는 제1 샘플링 커패시터부(110)가 적분 주기에 있을 때, 제1 신호를 샘플링한다.

[0022] 전류 공유 증폭기(130)는 제1 입력신호를 기존에 홀드하고 있던 전압에 더한 제1 신호를 제2 샘플링 커패시터부(120)에 인가한다. 또한, 전류 공유 증폭기(130)는 제2 샘플링 커패시터부(120)의 제2 입력신호를 기존에 홀드하고 있던 전압에 더한 제2 신호를 출력한다.

[0023] CI1, CI2는 홀드모드 동작을 위한 커패시터이다.

[0024] 도 3은 본 발명의 일 실시 예에 따른 전류 공유 증폭기의 블록도이다.

[0025] 도 2의 전류 공유 증폭기(130)는 제1 증폭부(Amp1), 제2 증폭부(Amp2), 전류 스위칭부(131)를 포함한다. 제1 증폭부(Amp1)는 제1 신호를 증폭하여 제2 입력신호에 인가한다. 제2 증폭부(Amp2)는 제2 신호를 증폭하여 출력한다.

[0026] 도 3의 전류 공유 증폭기는 각 증폭부의 동작을 유지하기 위한 기본 전류(각각 I_{DC1}과 I_{DC2}) 외에 2개의 증폭기 사이에 위치한 공유 전류(I_{SC})를 스위치의 연결에 따라 한 쪽의 증폭기에 인가하는 방식으로 바이어스를 추가로 전달 받는다.

[0027] 전류 스위칭부(131)는 제1 샘플링 커패시터부(110)의 적분 주기에 제1 증폭부(Amp1)에 공유 전류(I_{SC})를 인가하고, 제1 샘플링 커패시터부(110)의 샘플링 주기에 제2 증폭부(Amp2)에 공유 전류(I_{SC})를 인가한다. 전류 스위칭부(131)는 제1 샘플링 커패시터부(110)의 샘플링 주기에 제1 증폭부(Amp1)에 제1 기본 전류(I_{DC1})를 인가하고, 제1 샘플링 커패시터부(110)의 적분 주기에 제2 증폭부(Amp2)에 제2 기본 전류(I_{DC2})를 인가한다.

[0028] 전류 스위칭부(131)는 도 3에 도시된 바와 같이, 공유 전류(I_{SC})를 공급하는 공유 전류원을 제1 증폭부(Amp1) 또는 제2 증폭부(Amp2) 중 어느 하나에 주기적으로 연결시키는 하나 이상의 스위치(Q1, Q2)를 포함한다. 여기서, 스위치(Q1, Q2)들은 클록 발생기에 게이트단이 연결된 트랜지스터일 수 있다.

[0029] Q1 페이즈(Q1 스위치가 닫히고(short) Q2 스위치가 열린(open) 상태)에 제1 증폭부(Amp1)에는 I_{DC1}, 제2 증폭부(Amp2)에는 $I_{SC}+I_{DC2}$의 전류가 흐르고, Q2 페이즈(Q1 스위치가 열리고(open) Q2 스위치가 닫힌(short) 상태)에 제1 증폭부(Amp1)에는 $I_{SC}+I_{DC1}$, 제2 증폭부(Amp2)에는 I_{DC2}의 흐른다. 도 3의 전류 공유 증폭기는 두 개의 증폭부가 I_{SC}만큼의 전류를 공용한다.

[0030] 제1 증폭부(Amp1)가 사용하는 전류를 IAMP1라 하고 제2 증폭부(Amp2)가 사용하는 전류를 IAMP2라 가정하면 도 3에서 사용하는 전류의 량은 수학식 3과 같이 계산 된다.

수학식 3

[0031] $$IAMP1 + IAMP2 = I_{DC1} + I_{DC2} + I_{SC}$$

[0032] I_{SC}가 I_{DC1}과 I_{DC2}보다 매우 크다면 전체 전류량은 수학식 4와 같이 I_{SC}로 볼 수 있다.

수학식 4

[0033] $$IAMP1 + IAMP2 \approx I_{SC}, \ (I_{SC} \gg I_{DC1} + I_{DC2})$$

[0034] 그러므로 기존 증폭기에 비해 도 3의 전류 공유 증폭기는 전체적으로 I_{SC}만큼의 전류를 줄 일 수 있다.

[0035] 도 4는 도 3의 전류 공유 증폭기에 대한 예시적인 회로도이다.

[0036] 도 4에 표기된 M3, M2, M1, M0는 각 트랜지스터의 사이즈이고, 그 앞에 표기된 숫자는 배수를 의미한다. 도 4의 전류 공유 증폭기는 기본 전류와 공유 전류의 양을 1:9로 정하였다. 공유 전류 통로는 두 증폭부 사이에 위치하며, 서로 겹치지 않는 페이즈 (non-overlapping phase)인 Q1, Q2에 맞춰 동작하는 스위치에 의해 증폭부와 연결된다. 추가된 스위치로 인한 부정합 문제를 최대한 줄이기 위해 바이어스 전류의 양을 고려하여 항상 닫혀있는 스위치를 증폭부에 추가하였다. 증폭부마다 전류 통로를 따로 만들지 않고, 두 개의 증폭기가 공유하도록 하여서 저면적 설계가 가능하다.

[0037] 본 발명의 일 실시 예에 따른 전류 공유 증폭기(130)는 적분기가 적은 전류만으로도 동작이 가능한 홀드 모드일 때에만 전류의 양을 줄이고, 적분 모드일 때는 증폭기에 공유 전류를 추가로 인가하여 큰 전류가 흐르게 한다.

[0038] 도 5a는 도 4에서 Q1 페이즈일 때의 등가회로를 도시한 것이다.

[0039] 이 경우에는 제1 증폭부(INN1, INP1, OUTN1, OUTP1에 해당하는 증폭기)가 샘플링 주기이고, 제2 증폭부(INN2, INP2, OUTN2, OUTP2에 해당하는 증폭기)는 적분 주기로 동작한다. 그러므로 증폭부 사이의 공유 전류가 스위치에 의해서 제2 증폭부로 연결된다. 그 결과 제2 증폭부의 트랜지스터 M3, M2, M1, 2M0는 공유 전류 통로의 트랜지스터 9M3, 9M2, 9M1, 18M0와 병렬로 연결되면서 10M3, 10M2, 10M1, 20M0처럼 동작하게 된다. 반대로 제1 증폭부는 공유 전류 통로와 연결이 되지 않기 때문에 M3, M2, M1, 2M0로 동작한다. 그래서 제2 증폭부가 제1 증폭부에 비해서 10배만큼 더 큰 전류를 전달 받게 된다.

[0040] 도 5b는 도 4에서 Q2 페이즈일 때의 등가회로를 도시한 것이다.

[0041] 회로의 동작원리는 이전 페이즈와 동일하지만 공유 전류는 제1 증폭부에 연결이 되면서 큰 전류가 흐르는 부분에서 차이가 있다.

[0042] 보다 구체적으로 예를 들어, 도 4의 회로를 이용하여 증폭기의 기본 전류를 5㎂, 공유 전류를 5㎂를 사용하도록 설계하는 경우, 즉 기본 전류와 공유 전류의 비를 1:1로 설계하는 경우, 총 30㎂로 두 개의 증폭기를 만들 수 있다. 만일 두 증폭기를 보통의 방식으로 설계한다면, 한 개의 증폭기에 20㎂씩, 총 40㎂의 전류를 사용해야 한다. 따라서, 도 4에서 기본 전류와 공유 전류의 비가 1:1인 경우에는 기존보다 25%의 전류를 절감할 수 있다. 만일 기본 전류와 공유 전류의 차이를 크게 한다면 더 많은 전류를 절약할 수 있다.

[0043] 본 발명의 일 실시 예에 따른 전류 공유 증폭기는 두 개의 증폭부가 하나의 모듈을 구성하고 전류를 공유하면서 동작한다. 두 개 이상의 증폭기가 필요하더라도, 짝수 개의 증폭기를 두 개씩 묶어서 복수의 전류 공유 증폭기를 구성할 수 있다.

[0044] 도 6은 본 발명의 일 실시 예에 따른 전류 공유 방식의 시그마 델타 아날로그 디지털 변환기의 블록도이다.

[0045] 도 6은 본 발명의 일 실시 예에 따른 전류 공유 방식의 적분기가 시그마 델타 아날로그 디지털 변환기에 사용되는 예를 보여주지만, 응용 분야를 설명하기 위한 예시 일뿐, 본 발명의 기술적 보호 범위가 여기에 한정되는 것은 아니다.

[0046] 제1 샘플링 커패시터부(110)는 적분 주기마다 최초 입력신호를 샘플링한 제1 입력신호를 출력한다. 제1 샘플링 커패시터부(110)는 샘플링 주기에 최초 입력신호를 샘플링 커패시터(미도시)에 샘플링한다.

[0047] 제2 샘플링 커패시터부(120)는 제1 샘플링 커패시터부(110)가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력한다. 제2 샘플링 커패시터부(120)는 제1 샘플링 커패시터부(110)가 적분 주기에 있을 때, 제1 신호를 샘플링한다.

[0048] 전류 공유 증폭기(130)는 제1 입력신호를 기존에 홀드하고 있던 전압에 더한 제1 신호를 제2 샘플링 커패시터부(120)에 인가한다. 또한, 전류 공유 증폭기(130)는 제2 샘플링 커패시터부(120)의 제2 입력신호를 기존에 홀드하고 있던 전압에 더한 제2 신호를 출력한다.

[0049] 비교기(140)는 전류 공유 증폭기(130)에서 증폭된 제2 신호를 클록 신호에 따라 디지털 신호로 변환한다.

[0050] 도 7은 도 6의 시그마 델타 아날로그 디지털 변환기를 사용하는 전류 공유 방식의 센서 장치의 블록도이다.

[0051] 아날로그 센서(200)는 외부 자극을 감지하여 아날로그 신호를 생성한다. 아날로그 센서(200)는 압력 센서(예를 들어, 타이어 공기압 감지 센서), 온도 센서, 진동 센서 등일 수 있다. 또는 아날로그 센서(200)는 마이크에 내장되는 마이크 센서가 될 수도 있다. 본 발명의 일 실시 예에 따른 전류 공유 방식의 시그마 델타 아날로그 디

지털 변환기는 각종의 센서와 결합하여 여러 응용 예를 가질 수 있다.

[0052] 제1 샘플링 커패시터부(110)는 적분 주기마다 아날로그 신호로부터 샘플링된 제1 입력신호를 출력한다. 제1 샘플링 커패시터부(110)는 샘플링 주기에 아날로그 신호를 샘플링 커패시터(미도시)에 샘플링한다.

[0053] 제2 샘플링 커패시터부(120)는 제1 샘플링 커패시터부(110)가 샘플링 주기에 있을 때, 제1 신호를 샘플링한 제2 입력신호를 출력한다. 제2 샘플링 커패시터부(120)는 제1 샘플링 커패시터부(110)가 적분 주기에 있을 때, 제1 신호를 샘플링한다.

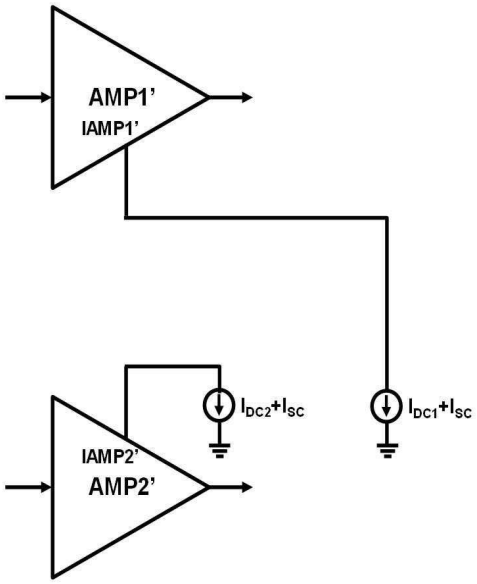
[0054] 전류 공유 증폭기(130)는 제1 입력신호를 기존에 홀드하고 있던 전압에 더한 제1 신호를 제2 샘플링 커패시터부(120)에 인가한다. 또한, 전류 공유 증폭기(130)는 제2 샘플링 커패시터부(120)의 제2 입력신호를 기존에 홀드하고 있던 전압에 더한 제2 신호를 출력한다.

[0055] 비교기(140)는 전류 공유 증폭기(130)에서 증폭된 제2 신호를 클록 신호에 따라 디지털 신호로 변환한다. 이때 출력되는 디지털 신호는 아날로그 센서(200)에서 생성된 아날로그 신호에 대응되는 신호이다.

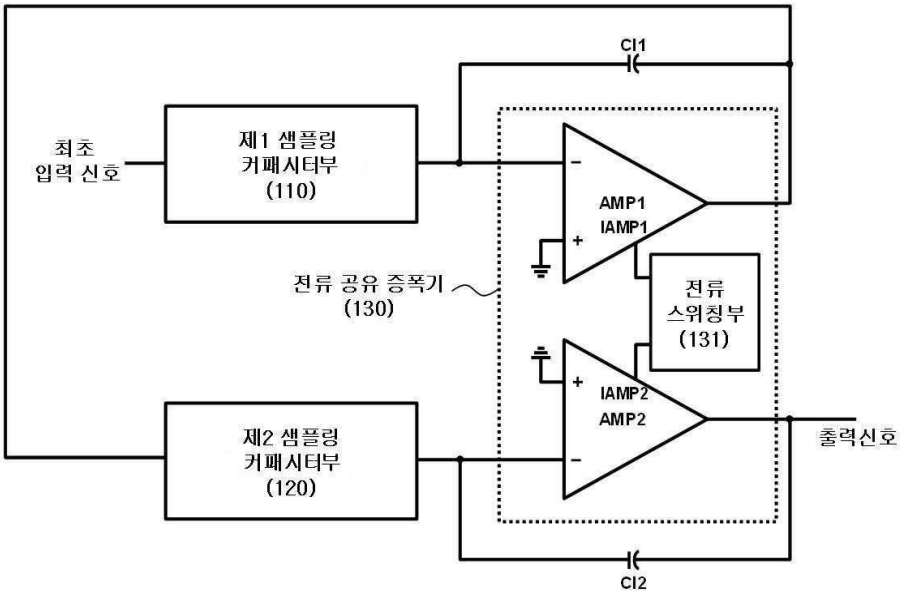
[0056] 본 발명은 도면에 도시된 일 실시 예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시 예의 변형이 가능하다는 점을 이해할 것이다. 그리고, 이와 같은 변형은 본 발명의 기술적 보호범위 내에 있다고 보아야 한다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다.

도면

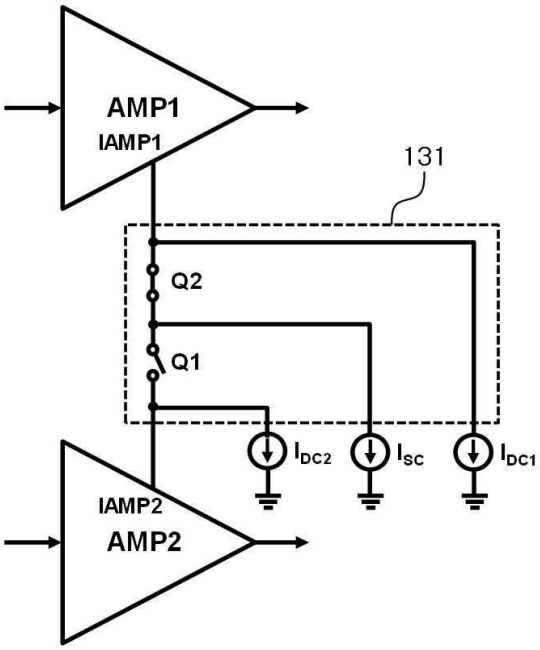
도면1



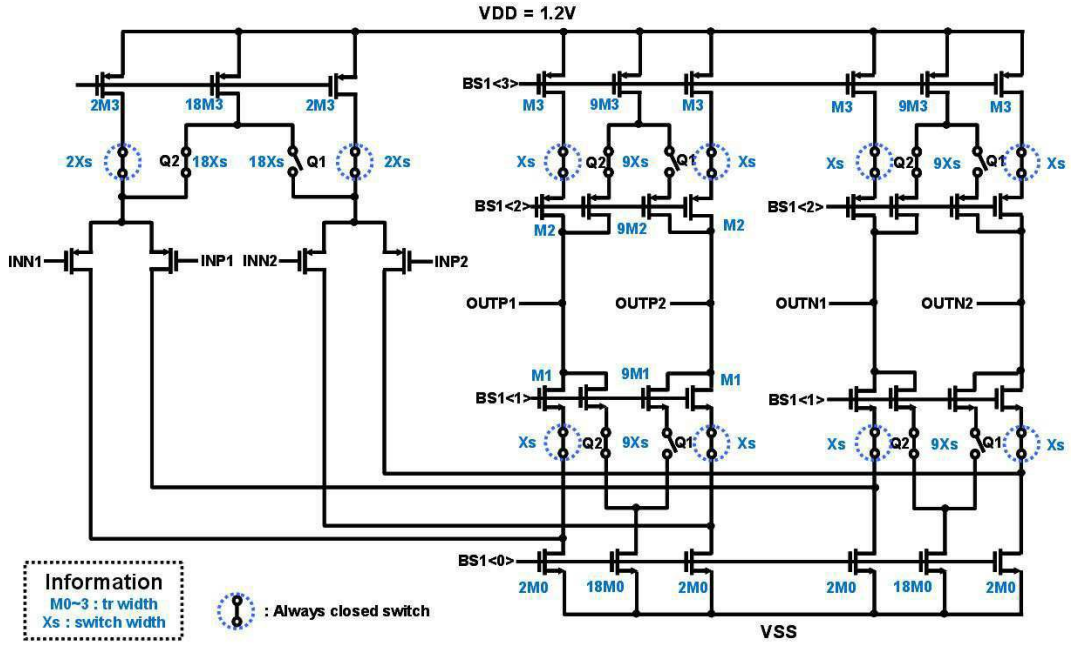
도면2


CI1
최초
입력 신호
제1 샘플링
커패시터부
(110)
AMP1
IAMP1
전류 공유 증폭기
(130)
전류
스위칭부
(131)
IAMP2
AMP2
출력신호
제2 샘플링
커패시터부
(120)
CI2

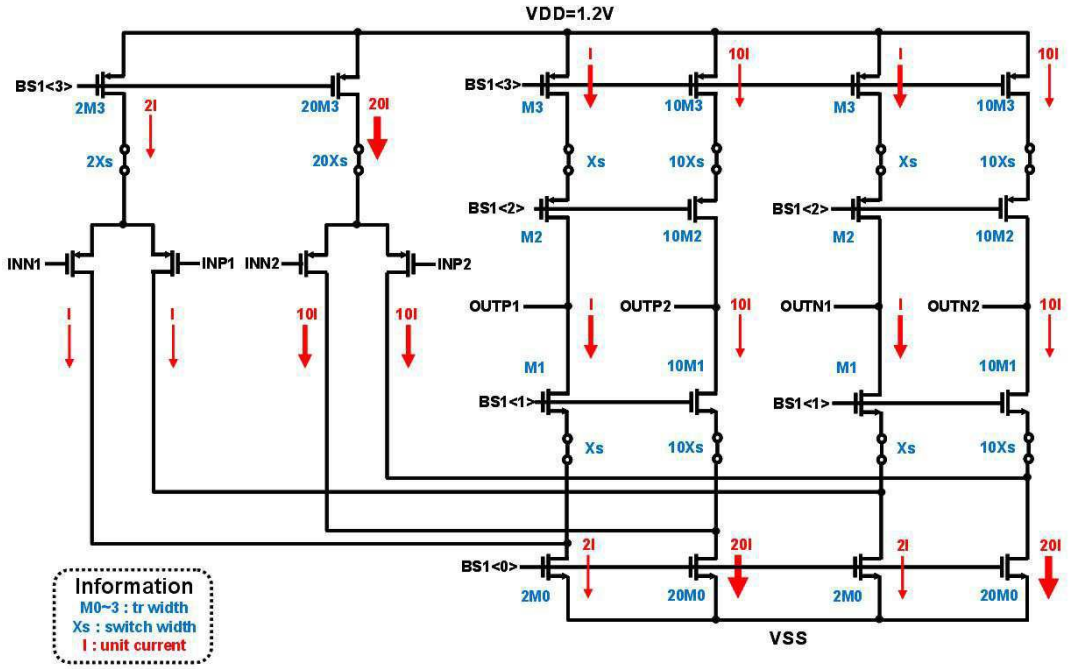
도면3


AMP1
IAMP1
131
Q2
Q1
I_{DC2}
I_{SC}
I_{DC1}
IAMP2
AMP2

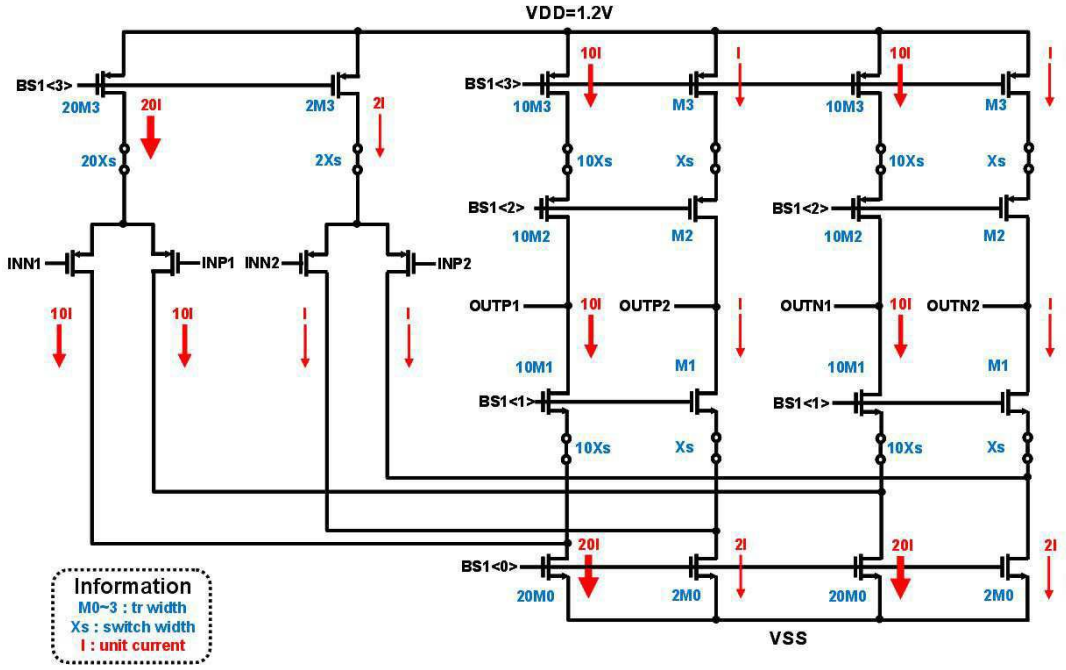
도면4


VDD = 1.2V
2M3
18M3
2M3
2Xs
Q2
18Xs
18Xs
Q1
2Xs
INN1
INP1
INN2
INP2
BS1<3>
M3
9M3
M3
Xs
Q2
9Xs
Q1
Xs
BS1<2>
M2
9M2
M2
OUTP1
OUTP2
OUTN1
OUTN2
M1
9M1
M1
BS1<1>
BS1<0>
2M0
18M0
2M0
VSS
Information
M0~3 : tr width
Xs : switch width
: Always closed switch

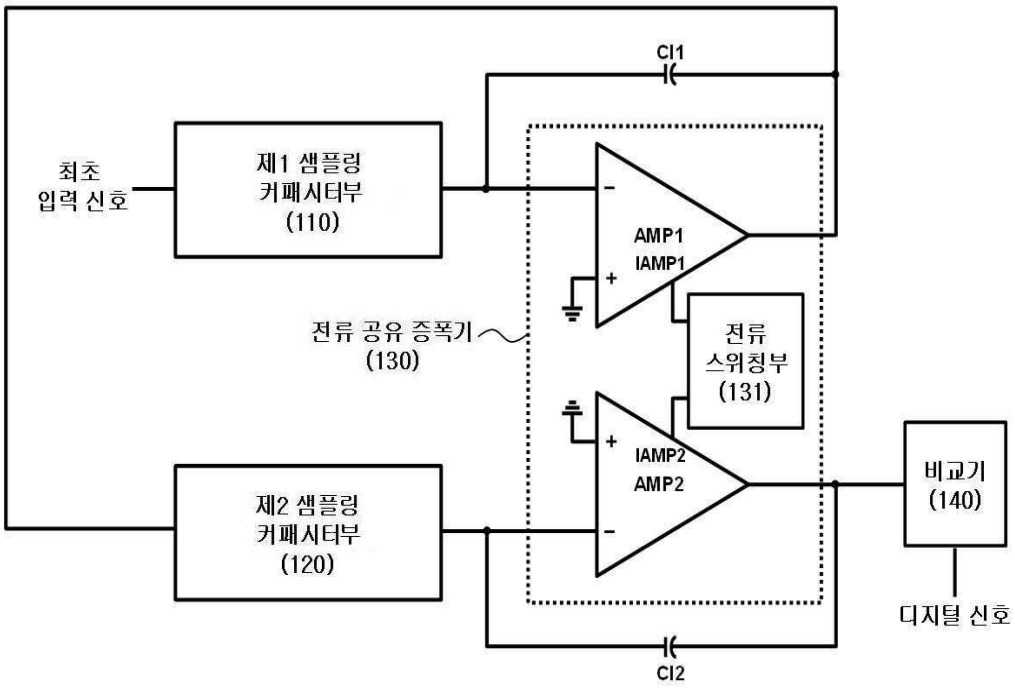
도면5a


VDD=1.2V
BS1<3>
2M3
2I
20M3
20I
2Xs
20Xs
INN1
INP1
INN2
INP2
I
10I
M3
10M3
Xs
10Xs
BS1<2>
M2
10M2
OUTP1
OUTP2
OUTN1
OUTN2
M1
10M1
BS1<1>
BS1<0>
2M0
20M0
VSS
Information
M0~3 : tr width
Xs : switch width
I : unit current

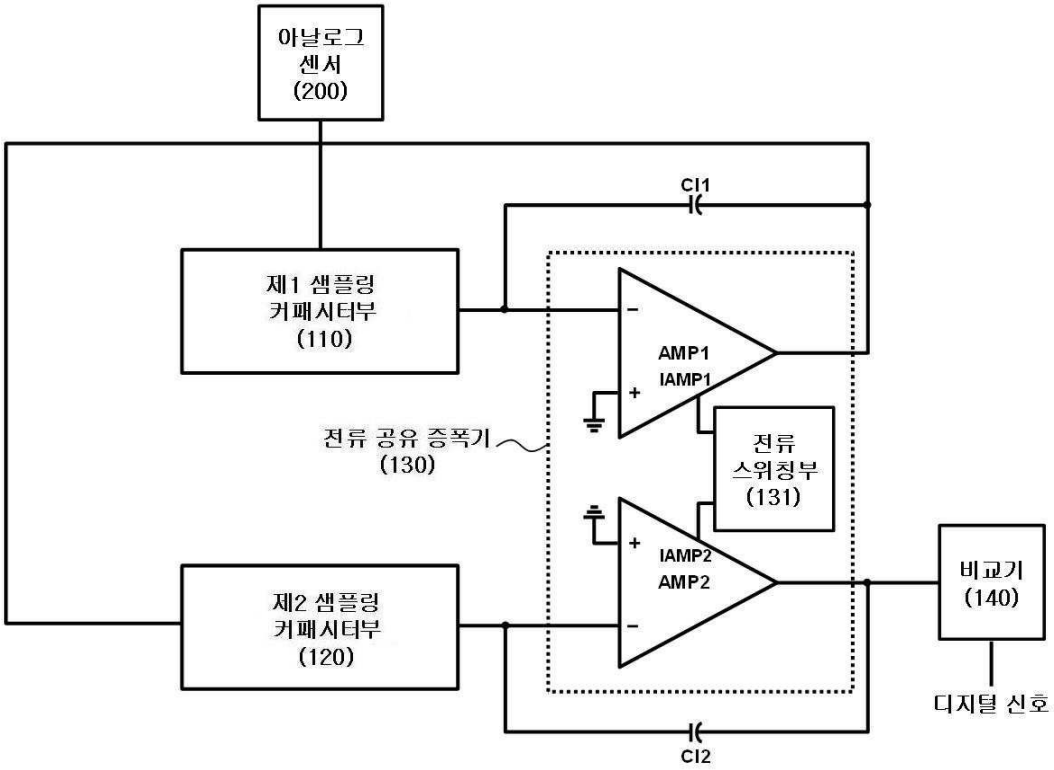
도면5b


VDD=1.2V
BS1<3>
20M3
2M3
20I
2I
20Xs
2Xs
INN1
INP1
INN2
INP2
10I
I
BS1<3>
10M3
M3
10Xs
Xs
BS1<2>
10M2
M2
OUTP1
OUTP2
OUTN1
OUTN2
10M1
M1
BS1<1>
BS1<0>
20M0
2M0
VSS
Information
M0~3 : tr width
Xs : switch width
I : unit current

도면6


CI1
최초
입력 신호
제1 샘플링
커패시터부
(110)
AMP1
IAMP1
전류 공유 증폭기
(130)
전류
스위칭부
(131)
IAMP2
AMP2
제2 샘플링
커패시터부
(120)
비교기
(140)
디지털 신호
CI2

도면7


아날로그
센서
(200)
CI1
제1 샘플링
커패시터부
(110)
AMP1
IAMP1
전류 공유 증폭기
(130)
전류
스위칭부
(131)
IAMP2
AMP2
비교기
(140)
제2 샘플링
커패시터부
(120)
디지털 신호
CI2