

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-50759

(P2010-50759A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 1/387 (2006.01)	H04N 1/387	5B057
G06T 3/40 (2006.01)	G06T 3/40	B 5C076
H04N 1/40 (2006.01)	H04N 1/40	Z 5C077

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号	特願2008-213461 (P2008-213461)	(71) 出願人	000006297
(22) 出願日	平成20年8月22日 (2008.8.22)		村田機械株式会社
			京都府京都市南区吉祥院南落合町3番地
		(74) 代理人	100107847
			弁理士 大槻 聡
		(72) 発明者	姜 成泰
			京都府京都市伏見区竹田向代町136番地
			村田機械株式会社内
		Fターム(参考)	5B057 AA11 CA08 CA12 CA16 CB08
			CB12 CB16 CC02 CD06 CD10
			CH11
			5C076 AA22 BA03 BA04 BA08 BB07
			CB01
			5C077 LL17 PP20 PQ18 PQ24 SS07
			TT06

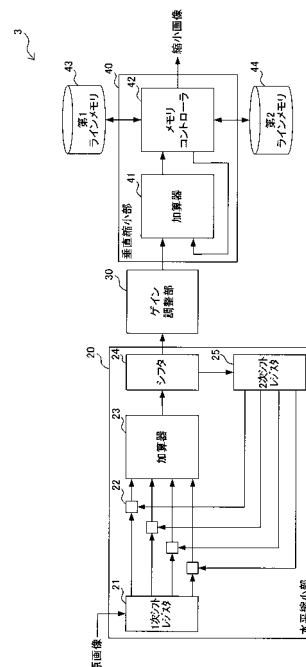
(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 原稿の光学読み取りによって生成された原画像を縮小する際に、画素データを保持するラインメモリの記憶容量を削減することができる画像処理装置を提供する。

【解決手段】 画像縮小部が、原稿読取部から水平方向に隣接するN個の画素データが入力されるごとに当該N個の画素データを平均化して水平縮小画素データを生成する水平縮小部と、水平縮小画素データを所定値で割った商を求めてゲイン調整値を生成するゲイン調整部と、ゲイン調整値を保持するラインメモリと、ゲイン調整部によってゲイン調整値が生成されるごとに当該ゲイン調整値をラインメモリ上の対応するゲイン調整値に加算することを繰り返し、原稿読取部から垂直方向に隣接するM個の画素データが入力されるごとに当該M個の画素データを平均化した垂直縮小画素データを生成する垂直縮小部により構成される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

原稿の光学読み取りによって原画像を生成し、画素データを順次に出力する原稿読取部と、上記原画像を水平方向に $1/N$ (N は 2 以上の整数) に縮小するとともに、垂直方向に $1/M$ (M は 2 以上の整数) に縮小して縮小画像を生成する画像縮小部と、上記縮小画像を表示する画像表示部とを有する画像処理装置であって、

上記画像縮小部は、上記原稿読取部から水平方向に隣接する N 個の上記画素データが入力されるごとに当該 N 個の画素データを平均化して水平縮小画素データを生成する水平縮小部と、

上記水平縮小画素データを所定値で割った商を求めてゲイン調整値を生成するゲイン調整部と、

上記ゲイン調整値を保持するラインメモリと、

上記ゲイン調整部によってゲイン調整値が生成されるごとに当該ゲイン調整値を上記ラインメモリ上の対応するゲイン調整値に加算することを繰り返し、上記原稿読取部から垂直方向に隣接する M 個の上記画素データが入力されるごとに当該 M 個の画素データを平均化した垂直縮小画素データを生成する垂直縮小部とを備えたことを特徴とする画像処理装置。

【請求項 2】

上記水平縮小部が、上記画素データを保持するレジスタと、

水平方向に隣接する 2 以上の上記画素データを加算する加算器と、

ビット位置をシフトさせることによって上記加算器による N 個の画素データの加算結果を N で割った商を求め、上記水平縮小画素データとして出力するシフタとからなることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

上記ラインメモリが、第 1 ラインメモリ及び第 2 ラインメモリからなり、

上記垂直縮小部が、第 1 ラインメモリ及び第 2 ラインメモリのいずれか一方のラインメモリから上記縮小画像を読み出して上記画像表示部へ出力している間に、他方のラインメモリを使用して上記垂直縮小画素データを生成することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 4】

原稿の光学読み取りによって原画像を生成し、2 値の画素データを順次に出力する原稿読取部と、上記原画像を水平方向に $1/N$ (N は 2 以上の整数) に縮小するとともに、垂直方向に $1/M$ (M は 2 以上の整数) に縮小して縮小画像を生成する画像縮小部と、上記縮小画像を表示する画像表示部とを有する画像処理装置であって、

上記画像縮小部は、上記原稿読取部から水平方向に隣接する N 個の上記画素データが入力されるごとに当該 N 個の画素データを加算した水平縮小画素データを生成する水平縮小部と、

上記水平縮小画素データに N 、 M 及び出力画素データのビット幅に応じて予め定められる所定値を乗算してゲイン調整値を生成するゲイン調整部と、

上記ゲイン調整値を保持するラインメモリと、

上記ゲイン調整部によってゲイン調整値が生成されるごとに当該ゲイン調整値を上記ラインメモリ上の対応するゲイン調整値に加算することを繰り返し、上記原稿読取部から垂直方向に隣接する M 個の上記画素データが入力されるごとに当該 M 個の画素データを平均化した垂直縮小画素データを生成する垂直縮小部とを備えたことを特徴とする画像処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像処理装置に係り、さらに詳しくは、原稿の光学読み取りによって原画像を生成する原稿読取部と、原画像を縮小して縮小画像を生成する画像縮小部と、縮小画像

10

20

30

40

50

を表示する画像表示部とを有する画像処理装置の改良に関する。

【背景技術】

【0002】

画像処理の際に画素データを一時記憶させるメモリとしては、1枚の画像単位で画素データを保持するフレームメモリが使用されることが多かった(例えば、特許文献1~3)。フレームメモリは、DRAMによって構成されるが、近年、高速化及び低消費電力化のために様々な改良がなされている。例えば、メモリコントローラによるバーストアクセスを工夫することによってメモリアクセスの回数を削減している。また、同一ブロック内の任意の画素データに対して、水平走査方向以外に垂直走査方向にもバーストアクセスが可能なメモリ、或いは、マトリクス状にメモリセル群を配置し、行デコーダ及び列デコーダによる画素データの同時アクセスが可能なメモリが提案されている。

10

【0003】

このようなフレームメモリを用いる方法は、メモリアクセスのタイミングに余裕があり、また、垂直方向に隣接する複数の画素列を処理単位として行われる画像処理であっても容易に行えるという点で、水平走査方向の画素列単位で画素データを保持するラインメモリを用いるのに比べて有利である。しかしながら、フレームメモリは、ラインメモリに比べてメモリアクセスの制御が複雑であることから、製造コストが増大してしまうという問題があった。

【特許文献1】特開2001-197365号公報

【特許文献2】特開昭61-281672号公報

20

【特許文献3】特開2005-117501号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、上記事情に鑑みてなされたものであり、画像処理の際に画素データを一時記憶させるメモリにラインメモリを用いることによって製造コストを削減することができる画像処理装置を提供することを目的とする。特に、原稿の光学読み取りによって生成された原画像を縮小する際に、画素データを保持するラインメモリの記憶容量を削減することができる画像処理装置を提供することを目的とする。また、原画像の縮小処理に要する時間を短縮することができる画像処理装置を提供することを目的とする。

30

【課題を解決するための手段】

【0005】

第1の本発明による画像処理装置は、原稿の光学読み取りによって原画像を生成し、画素データを順次に出力する原稿読取部と、上記原画像を水平方向に $1/N$ (N は2以上の整数)に縮小するとともに、垂直方向に $1/M$ (M は2以上の整数)に縮小して縮小画像を生成する画像縮小部と、上記縮小画像を表示する画像表示部とを有する画像処理装置であって、上記画像縮小部が、上記原稿読取部から水平方向に隣接する N 個の上記画素データが入力されるごとに当該 N 個の画素データを平均化して水平縮小画素データを生成する水平縮小部と、上記水平縮小画素データを所定値で割った商を求めてゲイン調整値を生成するゲイン調整部と、上記ゲイン調整値を保持するラインメモリと、上記ゲイン調整部によってゲイン調整値が生成されるごとに当該ゲイン調整値を上記ラインメモリ上の対応するゲイン調整値に加算することを繰り返し、上記原稿読取部から垂直方向に隣接する M 個の上記画素データが入力されるごとに当該 M 個の画素データを平均化した垂直縮小画素データを生成する垂直縮小部とを備えて構成される。

40

【0006】

この画像処理装置では、原稿読取部から水平方向に隣接する N 個の画素データが入力されるごとに当該 N 個の画素データを平均化して水平縮小画素データが生成され、水平縮小画素データを所定値で割った商としてゲイン調整値が生成される。そして、ゲイン調整部によってゲイン調整値が生成されるごとに当該ゲイン調整値をラインメモリ上の対応するゲイン調整値に加算することを繰り返し、原稿読取部から垂直方向に隣接する M 個の画素

50

データが入力されるごとに当該M個の画素データを平均化した垂直縮小画素データが生成される。このような構成によれば、原稿の光学読み取りによって生成された原画像を縮小する際に、画素データを一時記憶させるメモリにラインメモリしか用いないので、1枚の画像単位で画素データを保持するフレームメモリを用いるのに比べて製造コストを削減することができる。特に、水平方向に隣接するN個の画素データを平均化した水平縮小画素データから得られるゲイン調整値をラインメモリに保持させるので、原稿読取部から入力される画素データをそのまま保持させるのに比べてラインメモリの記憶容量を削減することができる。しかも、水平縮小画素データを所定値で割った商として生成されるゲイン調整値を保持させるので、ラインメモリにおけるデータ格納領域のビット幅が増大するのを抑制することができる。

10

【0007】

第2の本発明による画像処理装置は、上記構成に加え、上記水平縮小部が、上記画素データを保持するレジスタと、水平方向に隣接する2以上の上記画素データを加算する加算器と、ビット位置をシフトさせることによって上記加算器によるN個の画素データの加算結果をNで割った商を求め、上記水平縮小画素データとして出力するシフタとからなるように構成される。このような構成によれば、水平方向に隣接するN個の画素データを加算してからシフタに割り算させるので、シフタに割り算させてから複数の画素データを加算するのに比べて画素データの平均化による誤差を抑制することができる。

【0008】

第3の本発明による画像処理装置は、上記構成に加え、上記ラインメモリが、第1ラインメモリ及び第2ラインメモリからなり、上記垂直縮小部が、第1ラインメモリ及び第2ラインメモリのいずれか一方のラインメモリから上記縮小画像を読み出して上記画像表示部へ出力している間に、他方のラインメモリを使用して上記垂直縮小画素データを生成するように構成される。このような構成によれば、一方のラインメモリから縮小画像を読み出している間に他方のラインメモリを使用して垂直縮小画素データの生成が行われ、縮小画像をラインメモリから読み出している期間中、垂直縮小画素データの生成を停止させる必要がないので、原画像の縮小処理に要する時間を短縮することができる。

20

【0009】

第4の本発明による画像処理装置は、原稿の光学読み取りによって原画像を生成し、2値の画素データを順次に出力する原稿読取部と、上記原画像を水平方向に $1/N$ （Nは2以上の整数）に縮小するとともに、垂直方向に $1/M$ （Mは2以上の整数）に縮小して縮小画像を生成する画像縮小部と、上記縮小画像を表示する画像表示部とを有する画像処理装置であって、上記画像縮小部が、上記原稿読取部から水平方向に隣接するN個の上記画素データが入力されるごとに当該N個の画素データを加算した水平縮小画素データを生成する水平縮小部と、上記水平縮小画素データにN、M及び出力画素データのビット幅に応じて予め定められる所定値を乗算してゲイン調整値を生成するゲイン調整部と、上記ゲイン調整値を保持するラインメモリと、上記ゲイン調整部によってゲイン調整値が生成されるごとに当該ゲイン調整値を上記ラインメモリ上の対応するゲイン調整値に加算することを繰り返し、上記原稿読取部から垂直方向に隣接するM個の上記画素データが入力されるごとに当該M個の画素データを平均化した垂直縮小画素データを生成する垂直縮小部とを備えて構成される。

30

40

【0010】

この画像処理装置では、原稿読取部から水平方向に隣接するN個の画素データが入力されるごとに当該N個の画素データを加算して水平縮小画素データが生成され、水平縮小画素データに所定値を乗算してゲイン調整値が生成される。そして、ゲイン調整部によってゲイン調整値が生成されるごとに当該ゲイン調整値をラインメモリ上の対応するゲイン調整値に加算することを繰り返し、原稿読取部から垂直方向に隣接するM個の画素データが入力されるごとに当該M個の画素データを平均化した垂直縮小画素データが生成される。このような構成によれば、原稿の光学読み取りによって生成された原画像を縮小する際に、画素データを一時記憶させるメモリにラインメモリしか用いないので、1枚の画像単位で

50

画素データを保持するフレームメモリを用いるのに比べて製造コストを削減することができる。特に、水平方向に隣接するN個の画素データを加算した水平縮小画素データから得られるゲイン調整値をラインメモリに保持させるので、原稿読取部から入力される画素データをそのまま保持させるのに比べてラインメモリの記憶容量を削減することができる。

【発明の効果】

【0011】

本発明による画像処理装置によれば、原稿の光学読み取りによって生成された原画像を縮小する際に、画素データを一時記憶させるメモリとしてラインメモリを用いるので、1枚の画像単位で画素データを保持するフレームメモリを用いるのに比べて製造コストを削減することができる。特に、水平方向に隣接するN個の画素データについて平均化した水平縮小画素データから得られるゲイン調整値をラインメモリに保持させるので、原稿読取部から入力される画素データをそのまま保持させるのに比べてラインメモリの記憶容量を削減することができる。しかも、水平縮小画素データを所定値で割った商として生成されるゲイン調整値を保持させるので、ラインメモリにおけるデータ格納領域のビット幅が増大するのを抑制することができる。

10

【0012】

また、一方のラインメモリから縮小画像を読み出している間に他方のラインメモリを使用して垂直縮小画素データの生成が行われ、縮小画像をラインメモリから読み出している期間中、垂直縮小画素データの生成を停止させる必要がないので、原画像の縮小処理に要する時間を短縮することができる。

20

【発明を実施するための最良の形態】

【0013】

実施の形態1.

図1は、本発明の実施の形態1による画像処理装置の概略構成の一例を示したブロック図である。この画像処理装置1は、イメージスキャナ2、画像縮小部3及び画像表示部4を備え、イメージスキャナ2で読み取った原画像を縮小してLCD13上に表示させる動作を行っている。

【0014】

イメージスキャナ2は、原稿の光学読み取りによって原画像を生成し、画素データを順次に出力する原稿読取部であり、原稿に光を照射する光源装置と、原稿による反射光を受光して受光量に応じた画素データを生成するイメージセンサーと、読取位置を水平方向及び垂直方向に走査させる走査装置などによって構成される。

30

【0015】

上記画素データは、所定のビット幅、例えば、8ビット(256階調)のモノクロデータであり、水平走査方向に隣接する画素ごとのデータとしてイメージスキャナ2から出力されるものとする。ここでは、イメージスキャナ2から出力される画素データが、8ビットのモノクロデータであるものとして以下に説明するが、カラー画像が原画像として出力されるものであっても良い。カラー画像を縮小する場合には、RGBごとの多値データとして処理される。

【0016】

40

画像縮小部3は、イメージスキャナ2から順次に入力される画素データを平均化することによって、原画像の画像サイズを縮小させた縮小画像を生成する動作を行っている。具体的には、水平方向に関して $1/N$ (Nは2以上の整数)縮小するとともに、垂直方向に関して $1/M$ (Mは2以上の整数)に縮小することによって、上記縮小画像を生成し、縮小画素データを順次に出力する動作が行われる。

【0017】

画像表示部4は、表示メモリ11、表示コントローラ12及びLCD13からなり、画像縮小部3から入力された縮小画像をLCD13上に表示する動作を行っている。表示メモリ11は、ビットマップ形式の画像データをLCD13上の画素に対応付けて保持するメモリ、例えば、VRAMであり、画像縮小部3から入力された縮小画像が1枚の画像単

50

位で保持される。

【0018】

表示コントローラ12は、表示メモリ11上の画像データに基づいてLCD13を制御し、縮小画像を表示させる動作を行っている。LCD13は、多数の画素がマトリクス状に配置されたパネルディスプレイである。

【0019】

ここでは、LCD13における水平方向の画素数A1と垂直方向の画素数B1とが、それぞれイメージスキャナ2によって読取可能な水平走査方向の最大画素数A2と垂直走査方向の最大画素数B2とに比べて小さいものとする。例えば、LCD13が、A1 = 640、B1 = 480のVGAサイズのディスプレイであるのに対して、読取可能な最大画素数は、A2 = 2560、B2 = 1808程度となっている。

10

【0020】

図2は、図1の画像処理装置1の要部における構成例を示したブロック図であり、画像縮小部3内の機能構成の一例が示されている。この画像縮小部3は、水平縮小部20、ゲイン調整部30、垂直縮小部40、第1ラインメモリ43及び第2ラインメモリ44により構成される。

【0021】

水平縮小部20は、イメージスキャナ2から原画像として順次に入力される画素データについて、水平方向に隣接するN個の画素データを平均化して水平縮小画素データを生成し、ゲイン調整部30へ出力する動作を行っている。画素データの平均化による水平縮小画素データの生成は、イメージスキャナ2から水平方向に隣接するN個の画素データが入力されるごとに、当該N個の画素データについて行われる。

20

【0022】

このような水平縮小部20は、例えば、イメージスキャナ2から入力された画素データを保持するレジスタと、水平方向に隣接する複数の画素データを加算する加算器と、ビット位置をシフトさせることによって上記加算器によるN個の画素データの加算結果をNで割った商を求め、水平縮小画素データとして出力するシフタなどによって構成される。

【0023】

ここでは、水平縮小部20が、1次シフトレジスタ21、セレクタ22、加算器23、シフタ24及び2次シフトレジスタ25からなり、Nが 2^k の形で表される整数であるものとする。1次シフトレジスタ21は、イメージスキャナ2から画素ごとに順次に入力される画素データを一時記憶し、水平方向に隣接する N_1 個の画素データを一括して加算器23へ出力するレジスタである。

30

【0024】

加算器23は、1次シフトレジスタ21から入力される N_1 個の画素データを加算し、その加算結果をシフタ24へ出力する回路素子である。シフタ24は、ビット位置をシフトさせることによって N_1 個の画素データの加算結果を N_1 で割った商を求める回路素子である。ここでは、 N_1 個の画素データの加算結果を N_1 で割ったときに小数点以下に端数が生じた場合、小数点以下の端数は切り捨てられるものとする。もしくは、端数が0.5以上の場合には切り上げ、端数が0.5未満の場合には切り捨てるように処理しても良い。つまり、シフタ24から出力される画素データは、8ビットの整数値となる。

40

【0025】

2次シフトレジスタ25は、シフタ24から画素ごとに順次に入力される画素データを一時記憶し、水平方向に隣接する N_2 個の画素データを一括してセレクタ22へ出力するレジスタである。

【0026】

セレクタ22は、1次シフトレジスタ21及び加算器23間に配置される回路素子であり、1次シフトレジスタ21から入力される画素データと、2次シフトレジスタから入力される画素データのいずれかを選択的に加算器23へ出力する動作を行っている。

【0027】

50

加算器 23 では、1 次シフトレジスタ 21 から N_1 個の画素データが入力された場合に、 N_1 個の画素データを加算して、加算結果をシフト 24 へ出力し、2 次シフトレジスタ 25 から N_2 個の画素データが入力された場合には、 N_2 個の画素データを加算して、加算結果をシフト 24 へ出力する動作が行われる。

【0028】

また、シフト 24 では、 N_1 個の画素データが加算された場合に、 N_1 個の画素データの加算結果を N_1 で割った商を求め、その演算結果を 2 次シフトレジスタ 25 へ出力し、 N_2 個の画素データが加算された場合に、 N_2 個の画素データの加算結果を N_2 で割った商を求め、その演算結果を水平方向に隣接する N ($N = N_1 \times N_2$) 個の画素データを平均化した水平縮小画素データとしてゲイン調整部 30 へ出力する動作が行われる。

10

【0029】

N_2 個の画素データを加算してその加算結果を N_2 で割った商をゲイン調整部 30 へ出力する動作は、 N_1 個の画素データを加算してその加算結果を N_1 で割った商を 2 次シフトレジスタ 25 へ出力する動作を N_2 回繰り返すごとに行われる。

【0030】

ここでは、シフト 24 の構成を簡素化するという観点から、 $N_1 = N_2$ であるものとする。例えば、 $N_1 = N_2 = 4$ の場合、原画像が縮小率 $1/16$ で水平走査方向に縮小され、水平方向に隣接する 16 個の画素データを平均化した水平縮小画素データが生成される。

【0031】

なお、平均化処理において、重み係数を用いた演算によって N 個の画素データから水平縮小画素データを生成しても良い。例えば、水平方向の縮小率が $1/3$ の場合、3 つの画素データについて、1 : 2 : 1 の割合で平均化しても良い。

20

【0032】

また、水平方向の縮小率に応じて、中心とする縮小ブロックの前後の縮小ブロックにオーバーラップさせた画素数の画素データの平均値を算出して水平縮小画素データとするものであっても良い。例えば、水平方向の縮小率が $1/4$ の場合、中心とする縮小ブロックの 4 つの画素に加えて、直前の隣接ブロックにおける後方の 2 画素と、直後の隣接ブロックにおける前方の 2 画素とを合わせた 8 画素分の画素データの平均値を算出して水平縮小画素データとしても良い。

30

【0033】

ゲイン調整部 30 は、水平縮小部 20 から入力される水平縮小画素データのゲインを調整する回路素子であり、水平縮小画素データを所定値で割った商を求めてゲイン調整値を生成し、垂直縮小部 40 へ出力する動作を行っている。このゲイン調整部 30 は、例えば、ビット位置をシフトさせることによって水平縮小画素データを所定値で割った商を求めるシフトによって構成される。上記所定値は、垂直走査方向の縮小率、出力画素データのビット幅に応じて予め定められる。

【0034】

ここでは、垂直走査方向の縮小率が $1/M$ であることから、ゲイン調整部 30 が、水平縮小部 20 から入力された水平縮小画素データを M で割った商を求め、ゲイン調整値として垂直縮小部 40 へ出力されるものとする。また、 M は、 2^k の形で表される整数であるものとする。

40

【0035】

第 1 ラインメモリ 43 及び第 2 ラインメモリ 44 は、いずれもゲイン調整値を保持するラインメモリであり、水平方向の画素列単位で画像データが保持される。これらのラインメモリ 43、44 は、SRAM 又はレジスタによって構成される。

【0036】

垂直縮小部 40 は、加算器 41 及びメモリコントローラ 42 からなり、ゲイン調整部 30 から入力されるゲイン調整値について、垂直方向に隣接する M 個の画素データを平均化して垂直縮小画素データを生成し、縮小画像として画像表示部 4 へ出力する動作を行って

50

いる。

【 0 0 3 7 】

具体的には、ゲイン調整部 3 0 によってゲイン調整値が生成されるごとに当該ゲイン調整値をラインメモリ 4 3 , 4 4 上の対応するゲイン調整値に加算することを繰り返す動作が行われる。そして、イメージスキャナ 2 から垂直方向に隣接する M 個の画素データが入力されるごとに、当該 M 個の画素データを平均化した垂直縮小画素データを生成し、縮小画像としてラインメモリ 4 3 , 4 4 に書き込む動作が行われる。

【 0 0 3 8 】

メモリコントローラ 4 2 は、ラインメモリ 4 3 , 4 4 に対して画素データを読み書きする回路素子である。このメモリコントローラ 4 2 では、原画像における水平走査方向のある画素列について、ゲイン調整部 3 0 からゲイン調整値が入力されるごとに、データ格納領域を異ならせながら当該ゲイン調整値をラインメモリ 4 3 , 4 4 に書き込む動作が行われる。

10

【 0 0 3 9 】

そして、次の画素列について、ゲイン調整部 3 0 から加算器 4 1 にゲイン調整値が入力されるごとに、当該ゲイン調整値に対応するゲイン調整値をラインメモリ 4 3 , 4 4 から読み出して加算器 4 1 へ出力し、加算器 4 1 によるこれらゲイン調整値の加算結果を累積値としてラインメモリ 4 3 , 4 4 に書き込む動作が行われる。

【 0 0 4 0 】

つまり、加算器 4 1 では、上記次の画素列について、ゲイン調整部 3 0 からゲイン調整値が入力されるごとに当該ゲイン調整値と、メモリコントローラ 4 2 によってラインメモリ 4 3 , 4 4 から読み出されたゲイン調整値とを加算する動作が行われる。

20

【 0 0 4 1 】

垂直縮小部 4 0 では、第 1 ラインメモリ 4 3 及び第 2 ラインメモリ 4 4 のいずれか一方のラインメモリから縮小画像を読み出して画像表示部 4 へ出力している間に、他方のラインメモリを使用して垂直縮小画素データの生成が行われる。つまり、垂直縮小部 4 0 では、ゲイン調整部 3 0 から入力されるゲイン調整値の書き込みと、画像表示部 4 への垂直縮小画素データの読み出しとにそれぞれラインメモリ 4 3 及び 4 4 を用いるいわゆるダブルバッファリングが行われる。

【 0 0 4 2 】

図 3 (a) ~ (d) は、図 2 の画像縮小部 3 の動作の一例を示した図であり、イメージスキャナ 2 から順次に入力される画素データを水平縮小率 1 / 4、垂直縮小率 1 / 4 で水平及び垂直方向に縮小して垂直縮小画素データが生成される様子が模式的に示されている。

30

【 0 0 4 3 】

図 3 (a) には、イメージスキャナ 2 から原画像として入力される k ライン目の入力画像データについて、4 個の画素データの平均化処理によって水平縮小画素データを生成し、ゲイン調整によって得られるゲイン調整値をラインメモリに格納する様子が示されている。k ライン目の入力画像データは、水平走査方向に隣接する 2 5 6 0 個の画素データからなり、連続する 4 個の画素データからなる縮小ブロックに区分して縮小処理される。

40

【 0 0 4 4 】

ここでは、原画像における k ライン目の画素列を縮小処理の開始ラインと呼び、(k + 3) ライン目の画素列を終了ラインと呼ぶことにし、開始ラインから終了ラインまでの 4 つの画素列を縮小ブロックとして垂直走査方向の縮小処理が行われる。

【 0 0 4 5 】

また、1 つ前の縮小ブロック、すなわち、(k - 1) ライン目の画素列を終了ラインとする縮小ブロックにおいて、垂直縮小画素データが確定し、当該垂直縮小画素データを一方のラインメモリ (メモリ B) から出力デバイス、すなわち、画像表示部 4 へ読み出している間に、他方のラインメモリ (メモリ A) にメモリアクセスが切り替えられ、現在の縮小ブロックについての縮小処理が開始される。

50

【 0 0 4 6 】

まず、 k ライン目の各入力画素データ（8ビットの多値データ）について、水平縮小率 $1/4$ で4画素ごとに平均化処理が行われる。具体的には、水平走査方向の第1の縮小ブロックについて、0, 32, 64, 96の画素データが平均化され、水平縮小データ「48」が生成される。この水平縮小データ「48」は、ゲイン調整のためにライン数の4で除算され、ゲイン調整値「12」が生成される。この k ライン目の画素列は、現在の縮小ブロックの開始ラインであることから、ゲイン調整値「12」がそのままメモリAの1画素目に書き込まれる。

【 0 0 4 7 】

次に、水平走査方向の第2の縮小ブロックについて、128, 160, 192, 224の画素データが平均化され、水平縮小データ「176」が生成される。この水平縮小データ「176」は、ゲイン調整のためにライン数の4で除算され、ゲイン調整値「44」が生成され、そのままメモリAの2画素目に書き込まれる。

【 0 0 4 8 】

この様な水平走査方向の縮小処理は、 k ライン目の画素列における最後端の画素まで繰り返される。

【 0 0 4 9 】

図3(b)には、 $(k+1)$ ライン目の入力画像データについて、4個の画素データの平均化処理によって水平縮小画素データを生成し、ゲイン調整によって得られるゲイン調整値をラインメモリに格納する様子が示されている。 $(k+1)$ ライン目の各入力画素データについて、 k ライン目と同様に水平縮小率 $1/4$ で4画素ごとに平均化処理が行われる。具体的には、水平走査方向の第1の縮小ブロックについて、224, 0, 32, 64の画素データが平均化され、水平縮小データ「80」が生成される。この水平縮小データ「80」は、ゲイン調整のためにライン数の4で除算され、ゲイン調整値「20」が生成される。そして、ゲイン調整値「20」と、メモリAから読み出した累積値「12」とが加算され、新たな累積値「32」が1画素目に書き込まれる。

【 0 0 5 0 】

次に、水平走査方向の第2の縮小ブロックについて、96, 128, 160, 192の画素データが平均化され、水平縮小データ「144」が生成される。この水平縮小データ「144」は、ゲイン調整のためにライン数の4で除算され、ゲイン調整値「36」が生成される。そして、ゲイン調整値「36」と、メモリAから読み出した累積値「44」とが加算され、新たな累積値「80」が2画素目に書き込まれる。

【 0 0 5 1 】

この様な水平走査方向の縮小処理は、 $(k+1)$ ライン目の画素列における最後端の画素まで繰り返される。

【 0 0 5 2 】

図3(c)には、 $(k+2)$ ライン目の入力画像データについて、4個の画素データの平均化処理によって水平縮小画素データを生成し、ゲイン調整によって得られるゲイン調整値をラインメモリに格納する様子が示されている。また、図3(d)には、 $(k+3)$ ライン目の入力画像データについて、4個の画素データの平均化処理によって水平縮小画素データを生成し、ゲイン調整によって得られるゲイン調整値をラインメモリに格納する様子が示されている。

【 0 0 5 3 】

$(k+2)$ ライン及び $(k+3)$ ライン目の各入力画素データについても、 $(k+1)$ ライン目と同様に水平縮小率 $1/4$ で4画素ごとに平均化処理が行われ、水平縮小データが生成される。そして、この水平縮小データからゲイン調整値が生成され、当該ゲイン調整値と、メモリAから読み出した累積値との加算値が1画素目に書き込まれる。この様な水平走査方向の縮小処理は、 $(k+3)$ ライン目の画素列における最後端の画素まで繰り返される。

【 0 0 5 4 】

10

20

30

40

50

原画像における $(k + 3)$ ライン目の画素列について、ゲイン調整値の累積加算値の書き込みが終了した時点で縮小画像のラインデータが確定する。

【0055】

本実施の形態によれば、原画像を縮小する際に、画素データを一時記憶させるメモリにラインメモリ43, 44しか用いないので、1枚の画像単位で画素データを保持するフレームメモリを用いるのに比べて製造コストを削減することができる。特に、水平方向に隣接するN個の画素データを平均化した水平縮小画素データから得られるゲイン調整値をラインメモリ43, 44に保持させるので、イメージスキャナ2から入力される画素データをそのまま保持させるのに比べてラインメモリ43, 44の記憶容量を削減することができる。しかも、水平縮小画素データを所定値で割った商として生成されるゲイン調整値を保持させるので、ラインメモリ43, 44におけるデータ格納領域のビット幅が増大するのを抑制することができる。

10

【0056】

また、水平方向に隣接するN個の画素データを加算してからシフト24に割り算させるので、シフトに割り算させてから複数の画素データを加算するのに比べて画素データの平均化による誤差を抑制することができる。さらに、一方のラインメモリから縮小画像を読み出している間に他方のラインメモリを使用して垂直縮小画素データの生成が行われ、縮小画像をラインメモリから読み出している期間中、垂直縮小画素データの生成を停止させる必要がないので、原画像の縮小処理に要する時間を短縮することができる。

【0057】

20

実施の形態2.

実施の形態1では、多値の原画像を縮小する場合の例について説明した。これに対し、本実施の形態では、2値の原画像を縮小する場合について説明する。

【0058】

図4は、本発明の実施の形態2による画像処理装置の要部における一構成例を示したブロック図であり、画像縮小部50内の機能構成の一例が示されている。この画像縮小部50は、水平縮小部60、ゲイン調整部70、垂直縮小部40、第1ラインメモリ43及び第2ラインメモリ44により構成される。垂直縮小部40、第1ラインメモリ43及び第2ラインメモリ44は、図2の画像縮小部3におけるものと同様の構成である。

【0059】

30

水平縮小部60は、イメージスキャナ2から2値の原画像として順次に入力される画素データについて、水平方向に隣接するN個の画素データを加算して水平縮小画素データを生成し、ゲイン調整部70へ出力する動作を行っている。具体的には、イメージスキャナ2からの画素データを保持するレジスタ62と、水平方向に隣接するN個の画素データを加算する加算器61によって構成される。

【0060】

ゲイン調整部70は、水平縮小部60から入力される水平縮小画素データのゲインを調整する回路素子であり、水平縮小画素データと所定値とを乗算して多値のゲイン調整値を生成し、垂直縮小部40へ出力する動作を行っている。

【0061】

40

このゲイン調整部70は、例えば、ビット位置をシフトさせることによって水平縮小画素データと所定値とを乗算するシフトによって構成される。上記所定値は、水平走査方向及び垂直走査方向の各縮小率、出力画素データのビット幅に応じて予め定められる。

【0062】

例えば、水平走査方向の縮小率が $1/N$ 、垂直走査方向の縮小率が $1/M$ 、出力画素データのビット幅が k (k は2以上の整数) ビットである場合、水平縮小部60から入力される水平縮小画素データに $2^k / (N \times M)$ が乗算され、その乗算結果がゲイン調整値として垂直縮小部40へ出力される。なお、 N , M , k の各値によっては、上記所定値である $2^k / (N \times M)$ が1未満になることもあり、その場合には、水平縮小画素データを $(N \times M) / 2^k$ で除算した結果がゲイン調整値となる。

50

【 0 0 6 3 】

図 5 (a) ~ (d) は、図 4 の画像縮小部 5 0 の動作の一例を示した図であり、イメージスキャナ 2 から順次に入力される画素データを水平縮小率 $1/4$ 、垂直縮小率 $1/4$ で水平及び垂直方向に縮小して垂直縮小画素データが生成される様子が模式的に示されている。

【 0 0 6 4 】

図 5 (a) には、イメージスキャナ 2 から原画像として入力される k ライン目の入力画像データについて、4 個の画素データの加算処理によって水平縮小画素データを生成し、ゲイン調整によって得られるゲイン調整値をラインメモリに格納する様子が示されている。 k ライン目の入力画像データは、水平走査方向に隣接する 2 5 6 0 個の画素データからなり、連続する 4 個の画素データからなる縮小ブロックに区分して縮小処理される。

【 0 0 6 5 】

まず、 k ライン目の各入力画素データ (1 ビットの 2 値データ) について、水平縮小率 $1/4$ で 4 画素ごとに加算処理が行われる。具体的には、水平走査方向の第 1 の縮小ブロックについて、0, 0, 0, 0 の画素データが加算され、水平縮小データ「0」が生成される。この水平縮小データ「0」は、ゲイン調整のために、出力画素データの階調数 2 5 6 を縮小ブロックの全画素数 1 6 で割った値 1 6 が乗算され、ゲイン調整値「0」が生成される。この k ライン目の画素列は、現在の縮小ブロックの開始ラインであることから、ゲイン調整値「0」がそのままメモリ A の 1 画素目書き込まれる。

【 0 0 6 6 】

次に、水平走査方向の第 2 の縮小ブロックについて、1, 1, 1, 1 の画素データが加算され、水平縮小データ「4」が生成される。この水平縮小データ「4」は、ゲイン調整のために、出力画素データの階調数 2 5 6 を縮小ブロックの全画素数 1 6 で割った値 1 6 が乗算され、ゲイン調整値「64」が生成され、そのままメモリ A の 2 画素目書き込まれる。

【 0 0 6 7 】

この様な水平走査方向の縮小処理は、 k ライン目の画素列における最後端の画素まで繰り返される。

【 0 0 6 8 】

図 5 (b) には、 $(k + 1)$ ライン目の入力画像データについて、4 個の画素データの加算処理によって水平縮小画素データを生成し、ゲイン調整によって得られるゲイン調整値をラインメモリに格納する様子が示されている。 $(k + 1)$ ライン目の各入力画素データについて、 k ライン目と同様に水平縮小率 $1/4$ で 4 画素ごとに加算処理が行われる。具体的には、水平走査方向の第 1 の縮小ブロックについて、1, 0, 0, 0 の画素データが加算され、水平縮小データ「1」が生成される。この水平縮小データ「1」は、ゲイン調整のために、出力画素データの階調数 2 5 6 を縮小ブロックの全画素数 1 6 で割った値 1 6 が乗算され、ゲイン調整値「16」が生成される。そして、ゲイン調整値「16」と、メモリ A から読み出した累積値「0」とが加算され、新たな累積値「16」が 1 画素目書き込まれる。

【 0 0 6 9 】

次に、水平走査方向の第 2 の縮小ブロックについて、0, 1, 1, 1 の画素データが加算され、水平縮小データ「3」が生成される。この水平縮小データ「3」は、ゲイン調整のために、出力画素データの階調数 2 5 6 を縮小ブロックの全画素数 1 6 で割った値 1 6 が乗算され、ゲイン調整値「48」が生成される。そして、ゲイン調整値「48」と、メモリ A から読み出した累積値「64」とが加算され、新たな累積値「112」が 2 画素目書き込まれる。

【 0 0 7 0 】

この様な水平走査方向の縮小処理は、 $(k + 1)$ ライン目の画素列における最後端の画素まで繰り返される。

【 0 0 7 1 】

図 5 (c) には、(k + 2) ライン目の入力画像データについて、4 個の画素データの加算処理によって水平縮小画素データを生成し、ゲイン調整によって得られるゲイン調整値をラインメモリに格納する様子が示されている。また、図 5 (d) には、(k + 3) ライン目の入力画像データについて、4 個の画素データの加算処理によって水平縮小画素データを生成し、ゲイン調整によって得られるゲイン調整値をラインメモリに格納する様子が示されている。

【 0 0 7 2 】

(k + 2) ライン及び (k + 3) ライン目の各入力画素データについても、(k + 1) ライン目と同様に水平縮小率 1 / 4 で 4 画素ごとに加算処理が行われ、水平縮小データが生成される。そして、この水平縮小データからゲイン調整値が生成され、当該ゲイン調整値と、メモリ A から読み出した累積値との加算値が 1 画素目に書き込まれる。このような水平走査方向の縮小処理は、(k + 3) ライン目の画素列における最後端の画素まで繰り返される。

10

【 0 0 7 3 】

原画像における (k + 3) ライン目の画素列について、ゲイン調整値の累積加算値の書き込みが終了した時点で縮小画像のラインデータが確定する。

【 0 0 7 4 】

このような構成によっても、水平方向に隣接する N 個の画素データを加算した水平縮小画素データから得られるゲイン調整値をラインメモリ 4 3 , 4 4 に保持させるので、イメージスキャナ 2 から入力される画素データをそのまま保持させるのに比べてラインメモリ 4 3 , 4 4 の記憶容量を削減することができる。

20

【 図面の簡単な説明 】

【 0 0 7 5 】

【 図 1 】 本発明の実施の形態 1 による画像処理装置の概略構成の一例を示したブロック図である。

【 図 2 】 図 1 の画像処理装置 1 の要部における構成例を示したブロック図であり、画像縮小部 3 内の機能構成の一例が示されている。

【 図 3 】 図 2 の画像縮小部 3 の動作の一例を示した図であり、画素データを水平及び垂直方向に縮小して垂直縮小画素データが生成される様子が模式的に示されている。

【 図 4 】 本発明の実施の形態 2 による画像処理装置の要部における一構成例を示したブロック図であり、画像縮小部 5 0 内の機能構成の一例が示されている。

30

【 図 5 】 図 4 の画像縮小部 5 0 の動作の一例を示した図であり、画素データを水平及び垂直方向に縮小して垂直縮小画素データが生成される様子が模式的に示されている。

【 符号の説明 】

【 0 0 7 6 】

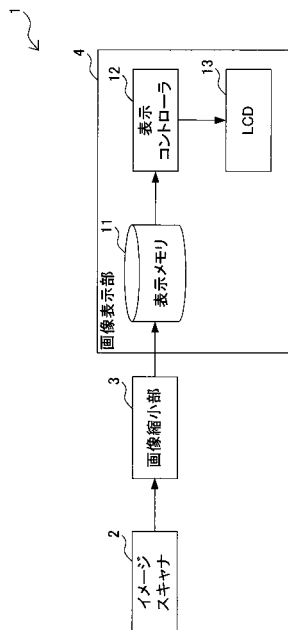
- 1 画像処理装置
- 2 イメージスキャナ
- 3 画像縮小部
- 4 画像表示部
- 1 1 表示メモリ
- 1 2 表示コントローラ
- 1 3 L C D
- 2 0 水平縮小部
- 2 1 1 次シフトレジスタ
- 2 2 セレクタ
- 2 3 加算器
- 2 4 シフタ
- 2 5 2 次シフトレジスタ
- 3 0 ゲイン調整部
- 4 0 垂直縮小部

40

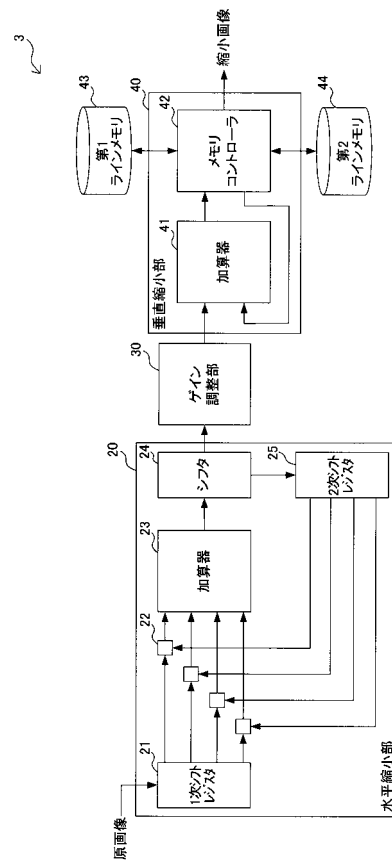
50

- 4 1 加算器
- 4 2 メモリコントローラ
- 4 3 第1ラインメモリ
- 4 4 第2ラインメモリ
- 5 0 画像縮小部
- 6 0 水平縮小部
- 6 1 加算器
- 6 2 レジスタ
- 7 0 ゲイン調整部

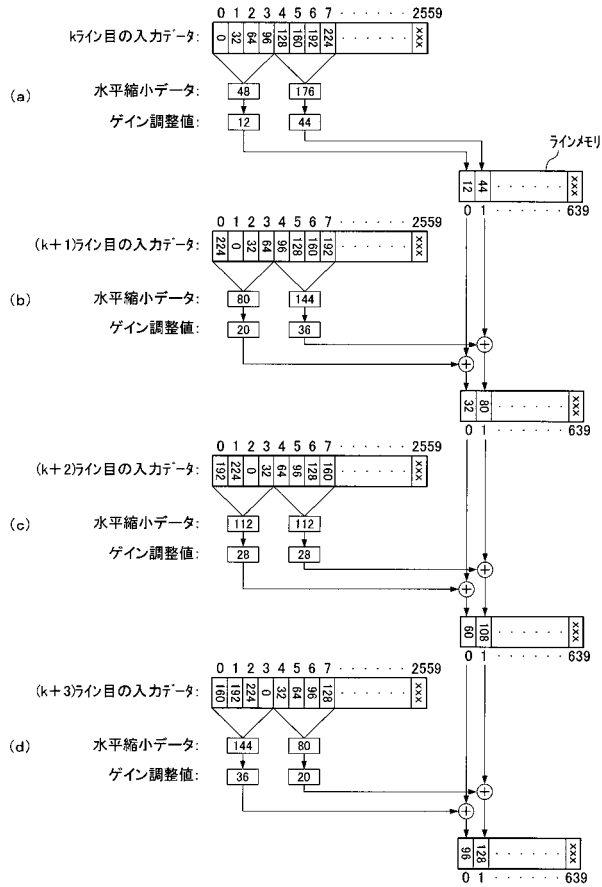
【図1】



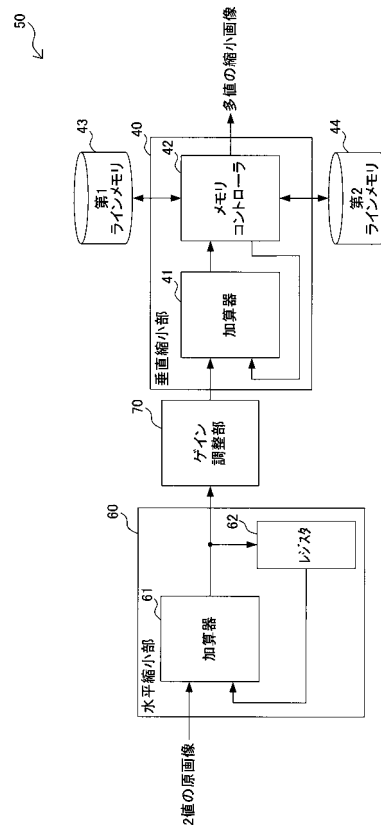
【図2】



【図 3】



【図 4】



【図 5】

