



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I875122 B

(45) 公告日：中華民國 114 (2025) 年 03 月 01 日

(21) 申請案號：112129918

(22) 申請日：中華民國 112 (2023) 年 08 月 09 日

(51) Int. Cl. : H10B41/00 (2023.01)

G11C16/02 (2006.01)

(30) 優先權：2022/09/20 日本

2022-148921

(71) 申請人：日商鎧俠股份有限公司 (日本) KIOXIA CORPORATION (JP)
日本

(72) 發明人：赤峯和紀 AKAMINE, KAZUKI (JP)；小林茂樹 KOBAYASHI, SHIGEKI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

TW 202111932A

TW 202127632A

TW 202145452A

TW 202234674A

US 2017/0134020A1

審查人員：徐漢育

申請專利範圍項數：11 項 圖式數：16 共 59 頁

(54) 名稱

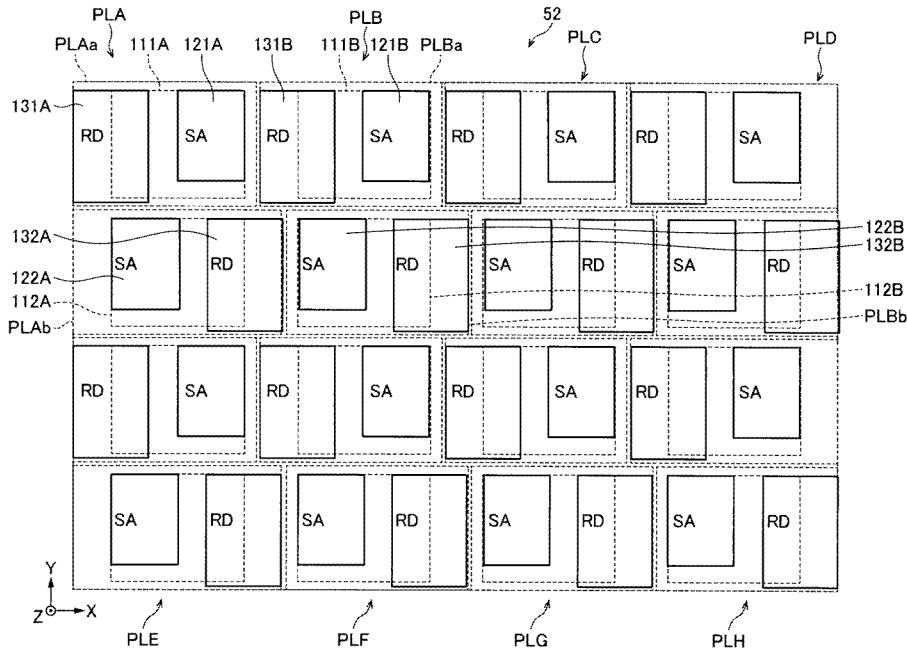
半導體記憶裝置

(57) 摘要

本實施形態，係有關於半導體記憶裝置。

半導體記憶裝置，係具備有：層積體，係使複數之導電層隔著絕緣層而被作了層積；和電路部，係於層積體之層積方向上而被作重疊設置，層積體，係具有被配置有複數之記憶體胞之記憶體部、和使複數之導電層之端部成為階梯狀之階梯部，電路部，係具有被與複數之導電層作電性連接之行解碼器，階梯部，係具有在層積方向上而被與行解碼器作重疊設置之第 1 構造、和與第 1 構造相異之第 2 構造，第 2 構造之階差係較第 1 構造之階差而更大。

指定代表圖：



【圖 5】

符號簡單說明：

52: 電路晶片

111A: 記憶體胞陣列

111B: 記憶體胞陣列

112A: 記憶體胞陣列

112B: 記憶體胞陣列

121A: 感測放大器

121B: 感測放大器

122A: 感測放大器

122B: 感測放大器

131A: 行解碼器

131B: 行解碼器

132A: 行解碼器

132B: 行解碼器

PLA: 平面

PLAa: 平面部分

PLAb: 平面部分

PLB: 平面

PLBa: 平面部分

PLBb: 平面部分

PLC: 平面

PLD: 平面

PLE: 平面

PLF: 平面

PLG: 平面

PLH: 平面



I875122

公告本

【發明摘要】

【中文發明名稱】

半導體記憶裝置

【中文】

本實施形態，係有關於半導體記憶裝置。

半導體記憶裝置，係具備有：層積體，係使複數之導電層隔著絕緣層而被作了層積；和電路部，係於層積體之層積方向上而被作重疊設置，層積體，係具有被配置有複數之記憶體胞之記憶體部、和使複數之導電層之端部成為階梯狀之階梯部，電路部，係具有被與複數之導電層作電性連接之行解碼器，階梯部，係具有在層積方向上而被與行解碼器作重疊設置之第1構造、和與第1構造相異之第2構造，第2構造之階差係較第1構造之階差而更大。

【指定代表圖】圖5

【代表圖之符號簡單說明】

52: 電路晶片

111A: 記憶體胞陣列

111B: 記憶體胞陣列

112A: 記憶體胞陣列

112B: 記憶體胞陣列

121A: 感測放大器

121B: 感測放大器

122A: 感測放大器

122B: 感測放大器

131A: 行解碼器

131B: 行解碼器

132A: 行解碼器

132B: 行解碼器

PLA: 平面

PLAa: 平面部分

PLAb: 平面部分

PLB: 平面

PLBa: 平面部分

PLBb: 平面部分

PLC: 平面

PLD: 平面

PLE: 平面

PLF: 平面

PLG:平面

PLH:平面

【特徵化學式】無

【發明說明書】

【中文發明名稱】

半導體記憶裝置

【技術領域】

【0001】本實施形態，係有關於半導體記憶裝置。

[關連申請案]

本申請案，係享受以日本專利申請 2022-148921 號(申請日：2022 年 9 月 20 日)作為基礎申請之優先權。本申請案，係藉由參照此基礎申請案，而包含基礎申請案之所有的內容。

【先前技術】

【0002】作為半導體記憶裝置之其中一例，係存在有使複數之導電層隔著絕緣層而被作層積並被形成有階梯部者。

【發明內容】

【0003】本實施形態，係為一種半導體記憶裝置，其係具備有：層積體，係使複數之導電層隔著絕緣層而被作了層積；和電路部，係於層積體之層積方向上而被作重疊設置，層積體，係具有被配置有複數之記憶體胞之記憶體部、和使複數之導電層之端部成為階梯狀之階梯部。電路

部，係具有與複數之導電層作連接之行解碼器。階梯部，係具有在層積方向上而被與行解碼器作重疊設置之第1構造、和與第1構造相異之第2構造，前述第2構造之階差係較第1構造之階差而更大。

【0004】若依據本實施形態，則係可提供一種作了小型化的半導體記憶裝置。

【圖式簡單說明】

【0005】

[圖1]係為對於本實施形態的記憶體系統之構成例作展示之區塊圖。

[圖2]係為對於本實施形態之半導體記憶裝置的構成例作展示之區塊圖。

[圖3]係為對於本實施形態之半導體記憶裝置的構造例作展示之剖面圖。

[圖4]係為對於本實施形態之半導體記憶裝置的陣列晶片側之配置態樣作展示之圖。

[圖5]係為對於本實施形態之半導體記憶裝置的電路晶片側之配置態樣作展示之圖。

[圖6]係為對於本實施形態之第1變形例之半導體記憶裝置的陣列晶片側之配置態樣作展示之圖。

[圖7]係為對於本實施形態之第2變形例之半導體記憶裝置的陣列晶片側之配置態樣作展示之圖。

[圖8]係為對於本實施形態之第3變形例之半導體記憶

裝置的陣列晶片側之配置態樣作展示之圖。

[圖9]係為對於本實施形態之第4變形例之半導體記憶裝置的陣列晶片側之配置態樣作展示之圖。

[圖10]係為用以對於本實施形態之半導體記憶裝置的陣列晶片之製造方法作說明之圖。

[圖11]係為用以對於本實施形態之半導體記憶裝置的陣列晶片之製造方法作說明之圖。

[圖12]係為用以對於本實施形態之半導體記憶裝置的陣列晶片之製造方法作說明之圖。

[圖13]係為用以對於本實施形態之半導體記憶裝置的陣列晶片之製造方法作說明之圖。

[圖14]係為用以對於本實施形態之半導體記憶裝置的陣列晶片之製造方法作說明之圖。

[圖15]係為用以對於本實施形態之半導體記憶裝置的陣列晶片之製造方法作說明之圖。

[圖16]係為用以對於本實施形態之半導體記憶裝置的陣列晶片之製造方法作說明之圖。

【實施方式】

【0006】以下，參照所添附的圖面，針對本實施形態作說明。為了容易進行說明之理解，在各圖面中，對於相同之構成要素，係盡可能附加相同之元件符號，並省略重複之說明。

【0007】本實施形態之半導體記憶裝置2，例如係為

能夠將資料非揮發性地作記憶的 NAND 型快閃記憶體。圖 1，係為對於包含有半導體記憶裝置 2 之記憶體系統的構成例作展示之區塊圖。此記憶體系統，係具備有記憶體控制器 1、和半導體記憶裝置 2。另外，在圖 1 中，雖係針對記憶體系統為具備有 1 個的半導體記憶裝置 2 之例子作展示，但是，記憶體系統係亦可具備有複數之半導體記憶裝置 2。關於半導體記憶裝置 2 之具體性之構成，係於後再作說明。此記憶體系統，係能夠與未圖示之主機 (host) 作連接。主機，例如，係為個人電腦或行動終端等之電子機器。

【0008】記憶體控制器 1，係依循於從主機而來的寫入要求而對於對半導體記憶裝置 2 之資料的寫入作控制。又，記憶體控制器 1，係依循於從主機而來的讀出要求而對於從半導體記憶裝置 2 之資料的讀出作控制。

【0009】在記憶體控制器 1 與半導體記憶裝置 2 之間，晶片致能訊號 /CE、準備、繁忙 (ready、busy) 訊號 R/B、指令門鎖致能訊號 CLE、位址門鎖致能訊號 ALE、寫入致能訊號 /WE、讀取致能訊號 /RE、RE、寫入保護訊號 /WP、身為資料之訊號 DQ<7:0>、資料選通訊號 DQS、/DQS 之各訊號係被作送收訊。

【0010】記憶體控制器 1，係具備有 RAM11、處理器 12、主機介面 13、ECC 電路 14 以及記憶體介面 15。RAM11、處理器 12、主機介面 13、ECC 電路 14 以及記憶體介面 15，係相互藉由內部匯流排 16 而被作連接。

【0011】主機介面13，係將從主機所受訊了的要求、使用者資料(寫入資料)等，輸出至內部匯流排16處。又，主機介面13，係將從半導體記憶裝置2所讀出了的使用者資料、從處理器12而來之回應等，對於主機作送訊。

【0012】記憶體介面15，係基於處理器12之指示，而對於將使用者資料等對於半導體記憶裝置2作寫入之處理和從半導體記憶裝置2而讀出之處理作控制。

【0013】處理器12，係對於記憶體控制器1作統籌性的控制。處理器12，例如係為CPU或MPU等。處理器12，當從主機經由主機介面13而接收了要求的情況時，係進行依循於該要求之控制。例如，處理器12，係依循於從主機而來之要求，而對於記憶體介面15下達對於半導體記憶裝置2之使用者資料以及同位檢查碼的寫入之指示。又，處理器12，係依循於從主機而來之要求，而對於記憶體介面15下達從半導體記憶裝置2之使用者資料以及同位檢查碼的讀出之指示。

【0014】處理器12，係對於被儲存在RAM11中之使用者資料，而決定在半導體記憶裝置2上之儲存區域(記憶體區域)。使用者資料，係經由內部匯流排16而被儲存於RAM11中。處理器12，係對於身為寫入單位之頁面單位的資料(頁面資料)，而實施記憶體區域之決定。以下，係將被儲存在半導體記憶裝置2之1個頁面中的使用者資料，亦稱作「單位資料」。單位資料，一般而言係被編碼並作為碼字而被儲存在半導體記憶裝置2中。在本實施形態中，

編碼係並非為必須。記憶體控制器 1，係亦可並不進行編碼地而將單位資料儲存在半導體記憶裝置 2 中，但是，在圖 1 中，作為其中一構成例，係對於進行編碼之構成作展示。

【0015】處理器 12，係針對各單位資料之每一者，而分別決定寫入目標之半導體記憶裝置 2 之記憶體區域。在半導體記憶裝置 2 之記憶體區域處，係被分配有物理位址。處理器 12，係使用物理位址來對於單位資料之寫入目標之記憶體區域作管理。處理器 12，係以指定所決定了的記憶體區域(物理位址)並將使用者資料對於半導體記憶裝置 2 作寫入的方式，來對於記憶體介面 15 下達指示。處理器 12，係對於使用者資料之邏輯位址(主機所管理的邏輯位址)與物理位址之間之對應關係作管理。處理器 12，當受訊了從主機而來之包含有邏輯位址之讀出要求的情況時，係特定出與邏輯位址相對應之物理位址，並對於物理位址作指定而對於記憶體介面 15 下達單元資料的讀出之指示。

【0016】ECC 電路 14，係將被儲存在 RAM11 中之使用者資料作編碼，並產生碼字。又，ECC 電路 14，係將從半導體記憶裝置 2 所讀出了的碼字作解碼。ECC 電路 14，例如係藉由利用被賦予至單元資料處之核對和 (checksum) 等，來進行在資料中之錯誤之檢出以及該錯誤之訂正。

【0017】RAM11，係將從主機所受訊了的使用者資料暫時性地作儲存，直到將其記憶至半導體記憶裝置 2 中為

止，或者是將從半導體記憶裝置2所讀出了的使用者資料暫時性地作儲存，直到對於主機作送訊為止。RAM11，例如係為SRAM或DRAM等之泛用記憶體。

【0018】在圖1中，係對於記憶體控制器1為具備有ECC電路14和記憶體介面15的構成例作展示。但是，ECC電路14係亦可被內藏於記憶體介面15中。又，ECC電路14係亦可被內藏於半導體記憶裝置2中。在圖1中所示之各要素之具體性的構成和配置，係並不被特別作限定。

【0019】主要參照圖2，針對半導體記憶裝置2之構成作說明。如同該圖中所示一般，半導體記憶裝置2，係具備有2個的平面PLA、PLB、和輸入輸出電路21、和邏輯控制電路22、和序列器41、和暫存器42、和電壓產生電路43、和輸入輸出用墊片群31、和邏輯控制用墊片群32、以及電源輸入用端子群33。

【0020】平面PLA，係具備有記憶體胞陣列111A、和記憶體胞陣列112A、和感測放大器121A、和感測放大器122A、和行解碼器131A、以及行解碼器132A。平面PLB，係具備有記憶體胞陣列111B、和記憶體胞陣列112B、和感測放大器121B、和感測放大器122B、和行解碼器131B、以及行解碼器132B。

【0021】平面PLA之構成與平面PLB之構成係互為相同。記憶體胞陣列111A之構成與記憶體胞陣列111B之構成係互為相同，記憶體胞陣列112A之構成與記憶體胞陣列112B之構成係互為相同。感測放大器121A之構成與感測

放大器 121B 之構成係互為相同，感測放大器 122A 之構成與感測放大器 122B 之構成係互為相同。行解碼器 131A 之構成與行解碼器 131B 之構成係互為相同，行解碼器 132A 之構成與行解碼器 132B 之構成係互為相同。被設置在半導體記憶裝置 2 處之平面之數量，係可如同在圖 2 中所例示一般地而為 2 個，亦可為 3 個以上。

【0022】記憶體胞陣列 111A、112A、111B 以及 112B，係記憶資料。記憶體胞陣列 111A、112A、111B 以及 112B 之各者，係包含有被與字元線以及位元線相互附加有關連之複數之記憶體胞電晶體。記憶體胞陣列 111A 與記憶體胞陣列 112A，係將位元線作共有。記憶體胞陣列 111B 與記憶體胞陣列 112B，係將位元線作共有。

【0023】記憶體胞陣列 111A、112A 之位元線之其中一部分，係與感測放大器 121A 作連接，記憶體胞陣列 111A、112A 之位元線之另外一部分，係與感測放大器 122A 作連接。記憶體胞陣列 111B、112B 之位元線之其中一部分，係與感測放大器 121B 作連接，記憶體胞陣列 111B、112B 之位元線之另外一部分，係與感測放大器 122B 作連接。

【0024】記憶體胞陣列 111A 之字元線，係被與行解碼器 131A 作連接。記憶體胞陣列 112A 之字元線，係被與行解碼器 132A 作連接。記憶體胞陣列 111B 之字元線，係被與行解碼器 131B 作連接。記憶體胞陣列 112B 之字元線，係被與行解碼器 132B 作連接。

【0025】輸入輸出電路21，係與記憶體控制器1之間進行訊號DQ<7:0>以及資料選通訊號DQS、/DQS之送收訊。輸入輸出電路21，係將訊號DQ<7:0>內之指令以及位址傳輸至暫存器42處。又，輸入輸出電路21，係將寫入資料以及讀出資料在自身與感測放大器121A、感測放大器122A、感測放大器121B以及感測放大器122B之間作送收訊。輸入輸出電路21，係具有收訊從記憶體控制器1而來之指令等之作為「輸入電路」之功能和對於記憶體控制器1而將資料作輸出之作為「輸出電路」之功能的雙方。亦可替代此種態樣，而設為將輸入電路與輸出電路作為彼此相異之電路來構成之態樣。

【0026】邏輯控制電路22，係從記憶體控制器1而收訊晶片致能訊號/CE、指令閃鎖致能訊號CLE、位址閃鎖致能訊號ALE、寫入致能訊號/WE、讀取致能訊號RE、/RE、以及寫入保護訊號/WP。又，邏輯控制電路22，係將準備、繁忙訊號R/B送訊至記憶體控制器1處，而將半導體記憶裝置2之狀態對於外部作通知。

【0027】輸入輸出電路21以及邏輯控制電路22，係均為在自身與記憶體控制器1之間而將訊號作輸入輸出。亦即是，輸入輸出電路21以及邏輯控制電路22，係作為半導體記憶裝置2之介面電路而起作用。

【0028】序列器41，係基於從記憶體控制器1而被輸入至半導體記憶裝置2中的控制訊號，來對於平面PLA、PLB和電壓產生電路43等之各部之動作進行控制。序列器

41，係作為對於記憶體胞陣列 111A、記憶體胞陣列 112A、記憶體胞陣列 111B 以及記憶體胞陣列 112B 等之動作進行控制的「控制電路」之一部分而起作用。控制電路 22，係作為上述之「控制電路」之另外一部分而起作用。

【0029】暫存器 42，係將指令和位址暫時性地作保持。暫存器 42，係亦保持代表平面 PLA、PLB 之各者之狀態的狀態資訊。狀態資訊，係因應於從記憶體控制器 1 而來之要求，來被從暫存器 42 而讀出，並作為狀態訊號而被從輸入輸出電路 21 來對於記憶體控制器 1 作輸出。

【0030】電壓產生電路 43，係因應於從序列器 41 而來之指示，而產生於「在記憶體胞陣列 111A、112A、111B 以及 112B 處之資料的寫入動作、讀出動作以及刪除動作」之各者中所需要的電壓。在此種電壓中，例如，係包含有後述之對於字元線 WL 所施加之 VPGM 或 VPASS_PGM、VPASS_READ 一般之電壓，或者是後述之對於位元線 BL 所施加之電壓等。電壓產生電路 43，係能夠以能夠使平面 PLA 以及平面 PLB 相互進行平行動作的方式來對於各字元線 WL 和位元線 BL 等之各者而個別地施加電壓。

【0031】輸入輸出用墊片群 31，係具備有用以在記憶體控制器 1 與輸入輸出電路 21 之間而進行各訊號之送收訊的複數之端子(墊片)。各個的端子，係分別與訊號 DQ<7:0> 以及資料選通訊號 DQS、/DQS 之各者相互對應地而被個別作設置。

【0032】邏輯控制用墊片群 32，係具備有用以在記憶

體控制器 1 與邏輯控制電路 22 之間而進行各訊號之送收訊的複數之端子(墊片)。各個的端子，係分別與晶片致能訊號 /CE、指令閃鎖致能訊號 CLE、位址閃鎖致能訊號 ALE、寫入致能訊號 /WE、讀取致能訊號 RE、/RE、寫入保護訊號 /WP 以及準備、繁忙訊號 R/B 之各者相互對應地而被個別作設置。

【0033】電源輸入用端子群 33，係具備有用以接受在半導體記憶裝置 2 之動作中所需要的各電壓之施加的複數之端子。在被施加於各個的端子處之電壓中，係包含有電源電壓 V_{cc} 、 V_{ccQ} 、 V_{pp} 、以及接地電壓 V_{ss} 。

【0034】電源電壓 V_{cc} ，係為作為動作電源而從外部所賦予的電源電壓，例如係為 3.3V 程度之電壓。電源電壓 V_{ccQ} ，例如係為 1.2V 之電壓。電源電壓 V_{ccQ} ，係為當在記憶體控制器 1 與半導體記憶裝置 2 之間而進行訊號之送收訊時所被使用之電壓。電源電壓 V_{pp} ，係為較電源電壓 V_{cc} 而更高壓之電源電壓，例如係為 12V 之電壓。

【0035】在對於記憶體胞陣列 111A、112A、111B 以及 112B 而寫入資料或者是將資料刪除時，係成為需要 20V 程度之高的電壓 (VPGM)。此時，相較於將約 3.3V 之電源電壓 V_{cc} 藉由電壓產生電路 43 之升壓電路來進行升壓，係以將約 12V 之電源電壓 V_{pp} 作升壓的情形時能夠更高速且更低消耗電力地來產生所期望之電壓。另一方面，例如，當半導體記憶裝置 2 為被使用於無法供給高電壓之環境中的情況時，對於電源電壓 V_{pp} 係亦可並不供給電壓。就算

是在並不供給電源電壓 V_{pp} 的情況時，只要被供給有電源電壓 V_{cc} ，則半導體記憶裝置 2 係能夠實行各種之動作。亦即是，電源電壓 V_{cc} ，係為標準性地被供給至半導體記憶裝置 2 處之電源，電源電壓 V_{pp} ，例如係為因應於使用環境而被追加性、任意性地供給之電源。

【0036】接著，一面參照圖 3，一面針對第 1 實施形態之半導體記憶裝置 2 之構造進行說明。圖 3，係為對半導體記憶裝置 2 之構造作展示之剖面圖。半導體記憶裝置 2，係為將陣列晶片 51 與電路晶片 52 作了貼合之 3 維記憶體。

【0037】陣列晶片 51，係具備有：包含複數之記憶體胞之記憶體胞陣列 511、和記憶體胞陣列 511 上之絕緣膜 512、和記憶體胞陣列 511 下之層間絕緣膜 513、以及層間絕緣膜 513 下之絕緣膜 514。絕緣膜 512、514，例如係包含有包含矽與氧之膜或者是包含矽與氮之膜。

【0038】電路晶片 52，係被設置於陣列晶片 51 下。元件符號 S，係代表陣列晶片 51 與電路晶片 52 之間之貼合面。電路晶片 52，係具備有絕緣膜 515、和絕緣膜 515 下之層間絕緣膜 516、以及層間絕緣膜 516 下之基板 517。絕緣膜 515，例如係包含有包含矽與氧之膜或者是包含矽與氮之膜。基板 517，例如係為矽基板等之包含有半導體材料之層。

【0039】圖 3，係展示有與基板 517 之表面相平行並且彼此垂直之 X 方向以及 Y 方向、和與基板 517 之表面相垂直並且與基板 517 相交叉之 Z 方向。在本說明書中，係將

「+Z方向」視為「上方向」，並將「-Z方向」視為「下方向」。例如，記憶體胞陣列511係位置在基板517之上方向處，基板517係位置在記憶體胞陣列511之下方向處。-Z方向，係可與重力方向相互一致，亦可並非為相互一致。

【0040】陣列晶片51，係作為記憶體胞陣列511內之電極層，而具備有複數之字元線WL、和源極側選擇閘極SGS、和汲極側選擇閘極SGD、以及源極線SL。圖3，係對於記憶體胞陣列511之階梯部521作展示。如同在圖3中所示一般，各字元線WL，係經由接觸插塞522而被與字元配線層523作電性連接。源極側選擇閘極SGS，係經由接觸插塞524而被與源極側選擇閘極配線層525作電性連接。進而，汲極側選擇閘極SGD，係經由接觸插塞526而被與汲極側選擇閘極配線層527作電性連接。源極線SL，係經由接觸插塞529而被與源極配線層530作電性連接。貫通字元線WL、源極側選擇閘極SGS以及汲極側選擇閘極SGD之柱狀部CL，係經由插塞528而被與位元線BL作電性連接，並且被與源極線SL作電性連接。

【0041】電路晶片52，係具備有複數之電晶體531。各電晶體531，係包含有在基板517上隔著閘極絕緣膜地而被作設置之閘極電極532、和被設置在基板517內之未圖示之源極擴散層以及汲極擴散層。電路晶片52，係更進而具備有：被設置在此些之電晶體531之源極擴散層或者是汲極擴散層上之複數之插塞533、和被設置在此些之插塞533上並包含有複數之配線之配線層534、以及被設置在配線

層 534 上並包含有複數之配線之配線層 535。電路晶片 52，係更進而具備有：被設置在配線層 535 上之複數之通孔插塞 536、和在絕緣膜 515 內而被設置在此些之通孔插塞 536 上之複數之金屬墊片 537。金屬墊片 537，例如，係包含有 Cu(銅)或 Al(鋁)。電路晶片 52，係作為對於陣列晶片 51 作控制之控制電路(邏輯電路)而起作用。此控制電路，係包含電晶體 531 等，係被與金屬墊片 537 作電性連接。

【0042】陣列晶片 51，係具備有：被設置在金屬墊片 537 上之複數之金屬墊片 541、和被設置在金屬墊片 541 上之複數之通孔插塞 542、以及包含有複數之配線之配線層 543。金屬墊片 541，係被設置在絕緣膜 514 內。配線層 543 內之配線，係被設置在通孔插塞 542 上。各字元線 WL 和各位元線 BL，係被與配線層 543 內之相對應之配線作電性連接。金屬墊片 541，例如，係包含有 Cu 或 Al。陣列晶片 51，係更進而具備有：被設置在配線層 543 上之通孔插塞 544、和被設置在絕緣膜 512 上或通孔插塞 544 上之金屬墊片 545。通孔插塞 544，係被設置在層間絕緣膜 513 內或絕緣膜 512 內。金屬墊片 545，例如，係包含有 Cu 或 Al。又，金屬墊片 545，係作為半導體記憶裝置 2 之外部連接墊片(接合墊片)而起作用，並能夠經由接合打線、焊錫球、金屬凸塊等而與安裝基板或者是其他之裝置作連接。

【0043】一面參照圖 2 一面進行說明的記憶體胞陣列 111A、112A、111B 以及 112B，係被包含於陣列晶片 51 中，並對應於記憶體胞陣列 511。一面參照圖 2 一面進行說

明的感測放大器 121A、感測放大器 122A、行解碼器 131A、132A、感測放大器 121B、122B、行解碼器 131B、132B，係被包含於電路晶片 52 中，並對應於控制電路。

【0044】接著，一面參照圖 4 以及圖 5，一面針對在半導體記憶裝置 2 中之記憶體胞陣列之階梯部之配置態樣作說明。圖 4，係為對於半導體記憶裝置 2 的陣列晶片 51 側之配置態樣作展示之圖。圖 5，係為對於半導體記憶裝置 2 的電路晶片 52 側之配置態樣作展示之圖。在一面參照圖 1 以及圖 2 一面進行的半導體記憶裝置 2 之說明中，雖係作為具有 2 個的平面者來進行了說明，但是，在一面參照圖 4 以及圖 5 一面進行之半導體記憶裝置 2 之陣列晶片 51 以及電路晶片 52 的說明中，係作為具有 8 個的平面 PLA、PLB、PLC、PLD、PLE、PLF、PLG、PLH 者，來進行說明。

【0045】如同在圖 4 中所示一般，平面 PLA、PLB、PLC、PLD，係沿著 X 方向而被作配置。平面 PLE、PLF、PLG、PLH，係沿著 X 方向而被作配置。平面 PLA、PLE，係沿著 Y 方向而被作配置。平面 PLB、PLF，係沿著 Y 方向而被作配置。平面 PLC、PLG，係沿著 Y 方向而被作配置。平面 PLD、PLH，係沿著 Y 方向而被作配置。

【0046】「平面 PLA、PLB」與「平面 PLC、PLD」，關於在 XY 平面上之配置，係成為相同之構成。「平面 PLE、PLF 以及平面 PLG、PLH」與「平面 PLA、PLB、PLC、PLD」，關於在 XY 平面上之配置，係成為點對稱。故而，係以平面 PLA、PLB 作為例子來進行說明。

【0047】如同一面參照圖2一面作了說明一般，平面PLA，係具有記憶體胞陣列111A、112A。記憶體胞陣列111A與記憶體胞陣列112A，係將位元線BL作共有。平面PLA，係具有包含記憶體胞陣列111A之平面部分PLAa、和包含記憶體胞陣列112A之平面部分PLAb。

【0048】在平面部分PLAa處，於記憶體胞陣列111A之周圍，係被設置有真階梯141A和假階梯142A。真階梯141A，係包含有一面參照圖3一面作了說明的階梯部521。真階梯141A，係以能夠使接觸插塞522與各階梯直接作連接的方式，而被形成有與接觸插塞522相對應之階梯部521。另一方面，假階梯142A，係並未被連接有接觸插塞522，而是成為在形成真階梯141A之工程中所一併被形成之階梯狀之部分，因此，係以使真階梯141A之數階的部分對應於假階梯142A之一階的方式，而被形成。故而，假階梯142A之從上端起直到下端為止之在X方向上之距離，係較真階梯141A之從上端起直到下端為止之在X方向上之距離而更短。又，假階梯142A之階差係較真階梯141A之階差而更大。

【0049】在平面部分PLAa處，係相對於記憶體胞陣列111A而在-X方向上被設置有真階梯141A。在平面部分PLAa處，係相對於記憶體胞陣列111A而在+X方向、+Y方向以及-Y方向上分別被設置有假階梯142A。

【0050】在平面部分PLAb處，於記憶體胞陣列112A之周圍，係被設置有真階梯141A和假階梯142A。在平面

部分PLAb處，係相對於記憶體胞陣列112A而在+X方向上被設置有真階梯141A。在平面部分PLAb處，係相對於記憶體胞陣列112A而在-X方向、+Y方向以及-Y方向上分別被設置有假階梯142A。

【0051】平面PLB，係具有記憶體胞陣列111B、112B。記憶體胞陣列111B與記憶體胞陣列112B，係將位元線BL作共有。平面PLB，係具有包含記憶體胞陣列111B之平面部分PLBa、和包含記憶體胞陣列112B之平面部分PLBb。

【0052】在平面部分PLBa處，於記憶體胞陣列111B之周圍，係被設置有真階梯141B和假階梯142B。真階梯141B，係為與真階梯141A相同之階梯部。假階梯142B，係為與假階梯142A相同之階梯部。故而，假階梯142B之從上端起直到下端為止之在X方向上之距離，係較真階梯141B之從上端起直到下端為止之在X方向上之距離而更短。又，假階梯142B之階差係較真階梯141B之階差而更大。

【0053】在平面部分PLBa處，係相對於記憶體胞陣列111B而在-X方向上被設置有真階梯141B。在平面部分PLBa處，係相對於記憶體胞陣列111B而在+X方向、+Y方向以及-Y方向上分別被設置有假階梯142B。

【0054】在平面部分PLBb處，於記憶體胞陣列112B之周圍，係被設置有真階梯141B和假階梯142B。在平面部分PLBb處，係相對於記憶體胞陣列112B而在+X方向上

被設置有真階梯 141B。在平面部分 PLBb 處，係相對於記憶體胞陣列 112B 而在 -X 方向、+Y 方向以及 -Y 方向上分別被設置有假階梯 142B。

【0055】如同一面參照圖 2 一面作了說明一般，平面 PLA，係具有感測放大器 121A、122A。平面 PLA 之記憶體胞陣列 111A 和記憶體胞陣列 112A，由於係將位元線 BL 作共有，因此，感測放大器 121A 和感測放大器 122A，係以分擔記憶體胞陣列 111A、112A 之位元線 BL 的方式而被作連接。

【0056】平面 PLA，係具有行解碼器 131A、132A。行解碼器 131A，係被與記憶體胞陣列 111A 作連接。行解碼器 132A，係被與記憶體胞陣列 112A 作連接。

【0057】平面 PLB，係具有感測放大器 121B、122B。平面 PLB 之記憶體胞陣列 111B 和記憶體胞陣列 112B，由於係將位元線 BL 作共有，因此，感測放大器 121B 和感測放大器 122B，係以分擔記憶體胞陣列 111B、112B 之位元線 BL 的方式而被作連接。

【0058】平面 PLB，係具有行解碼器 131B、132B。行解碼器 131B，係被與記憶體胞陣列 111B 作連接。行解碼器 132B，係被與記憶體胞陣列 112B 作連接。

【0059】如同在圖 5 中所示一般，在包含有記憶體胞陣列 111A 之平面部分 PLAa 處，係被設置有感測放大器 121A 和行解碼器 131A。行解碼器 131A，由於係被與記憶體胞陣列 111A 作連接，因此，係被配置在真階梯 141A

上。感測放大器 121A，係被配置在「包夾著記憶體胞陣列 111A 地而被配置在與真階梯 141A 相反側處」之假階梯 142A 上。

【0060】在包含有記憶體胞陣列 112A 之平面部分 PLAb 處，係被設置有感測放大器 122A 和行解碼器 132A。行解碼器 132A，由於係被與記憶體胞陣列 112A 作連接，因此，係被配置在真階梯 141A 上。感測放大器 122A，係被配置在「包夾著記憶體胞陣列 112A 地而被配置在與真階梯 141A 相反側處」之假階梯 142A 上。

【0061】在包含有記憶體胞陣列 111B 之平面部分 PLBa 處，係被設置有感測放大器 121B 和行解碼器 131B。行解碼器 131B，由於係被與記憶體胞陣列 111B 作連接，因此，係被配置在真階梯 141B 上。感測放大器 121B，係被配置在「包夾著記憶體胞陣列 111B 地而被配置在與真階梯 141B 相反側處」之假階梯 142B 上。

【0062】在包含有記憶體胞陣列 112B 之平面部分 PLBb 處，係被設置有感測放大器 122B 和行解碼器 132B。行解碼器 132B，由於係被與記憶體胞陣列 112B 作連接，因此，係被配置在真階梯 141B 上。感測放大器 122B，係被配置在「包夾著記憶體胞陣列 112B 地而被配置在與真階梯 141B 相反側處」之假階梯 142B 上。

【0063】半導體記憶裝置 2，係具備有使複數之導電層隔著絕緣層而被作了層積之層積體(陣列晶片 51)、和於層積體之層積方向上而被作重疊設置之電路部(電路晶片

52)。層積體，係具有被配置有複數之記憶體胞之記憶體部(記憶體胞陣列 111A、111B、112A、112B)、和使複數之導電層之端部成為階梯狀之階梯部。電路部，係具有被與複數之導電層作電性連接之行解碼器 131A、132A、131B、132B。階梯部，係具有在層積方向上而被設置於與行解碼器 131A、132A、131B、132B相重疊的部分處之第1構造(真階梯 141A、141B)、和與第1構造相異之第2構造(假階梯 142A、142B)，第2構造之階差係較第1構造之階差而更大。

【0064】記憶體部，係具有第1記憶體部(記憶體 111A)與第2記憶體部(記憶體胞陣列 112A)。階梯部，係具有與第1記憶體部相連接並且具有第1構造之第1階梯部(記憶體胞陣列 111A側之真階梯 141A)、和與第2記憶體部相連接並且具有第1構造之第2階梯部(記憶體胞陣列 112A側之真階梯 141A)。行解碼器，係具有與第1階梯部相連接之第1行解碼器(行解碼器 131A)、和與第2階梯部相連接之第2行解碼器(行解碼器 132A)。第1行解碼器，係於記憶體部之第1邊處而被作重疊設置，第2行解碼器，係於記憶體部之與第1邊相異之第2邊處而被作重疊設置。

【0065】與第1記憶體部相連接並且具有第2構造之第3階梯部(記憶體胞陣列 111A側之假階梯 142A)，係被設置在第2邊側處，與第2記憶體部相連接並且具有第2構造之第4階梯部(記憶體胞陣列 112A側之假階梯 142A)，係被設置在第1邊側處。

【0066】在將第1邊與第2邊作連接之第3邊側處，係被設置有與第1記憶體部相連接並且具有第2構造之第5階梯部(記憶體胞陣列111A側之假階梯142A)，在身為與第3邊相異之邊並且將第1邊與第2邊作連接之第4邊側處，係被設置有與第2記憶體部相連接並且具有第2構造之第6階梯部(記憶體胞陣列112A側之假階梯142A)。

【0067】在第1構造處，係被設置有與行解碼器作電性連接之接觸插塞522。記憶體胞，係具有汲極，第1記憶體部與第2記憶體部，係將與記憶體胞之汲極相連接之位元線BL作共有。

【0068】在第1記憶體部與第2記憶體部之間，係亦可使位元線BL有所彎折。

【0069】與第1記憶體部相連接並且具有第2構造之第7階梯部(記憶體胞陣列111A側之假階梯142A)，係被設置在第1記憶體部與第2記憶體部之間。

【0070】與第2記憶體部相連接並且具有第2構造之第8階梯部(記憶體胞陣列112A側之假階梯142A)，係被設置在第1記憶體部與第2記憶體部之間。

【0071】第1記憶體部之導電層與第2記憶體部之導電層，係亦可相互連接。亦可構成為：記憶體部，係被設置有複數，複數之記憶體部係藉由細縫而被隔開。

【0072】在一面參照圖4一面作了說明之例中，將位元線BL作共有之記憶體胞陣列111A與記憶體胞陣列112A，係在X方向上而被配置於相同之位置處。被設置有

感測放大器 122A 之側之假階梯 142A，係在 X 方向上而佔據有與被設置有行解碼器 131A 之側之真階梯 141A 相同之寬幅。假階梯 142A，由於係能夠將 X 方向之長度設為較真階梯 141A 而更短，因此，係能夠使記憶體胞陣列 112A 朝向 -X 方向而作偏移。將此種配置例，作為第 1 變形例來進行說明。

【0073】參照圖 6，針對第 1 變形例之陣列晶片 51A 作說明。陣列晶片 51A，係具有 8 個的平面 PLA5、PLB5、PLC5、PLD5、PLE5、PLF5、PLG5、PLH5。

【0074】如同在圖 6 中所示一般，平面 PLA5、PLB5、PLC5、PLD5，係沿著 X 方向而被作配置。平面 PLE5、PLF5、PLG5、PLH5，係沿著 X 方向而被作配置。平面 PLA5、PLE5，係沿著 Y 方向而被作配置。平面 PLB5、PLF5，係沿著 Y 方向而被作配置。平面 PLC5、PLG5，係沿著 Y 方向而被作配置。平面 PLD5、PLH5，係沿著 Y 方向而被作配置。

【0075】平面 PLA5，在記憶體胞陣列 111A、112A 之配置態樣上，係與參照圖 4 所作了說明的平面 PLA 相異。具體而言，相對於平面 PLA 之記憶體胞陣列 112A 之配置位置，平面 PLA5 之記憶體胞陣列 112A 之配置位置係朝向 -X 方向而有所偏移，並在 X 方向上相較於記憶體胞陣列 111A 而更靠向 -X 方向地被作配置。

【0076】平面 PLA5，係具有平面部分 PLAa 以及平面部分 PLAb5。平面部分 PLAb5，由於記憶體胞陣列 112A 之

配置位置係朝向 -X 方向而有所偏移，因此，假階梯 142A5，係與假階梯 142A 相同地而被設置在狹窄之區域中。假階梯 142A5 與假階梯 142A，實質性而言係成為相同之形態。在 X 方向上，由於平面部分 PLAa 與平面部分 PLAb5 係為相同之長度，因此，平面部分 PLAa 與平面部分 PLAb5 係同樣為矩形狀。

【0077】平面 PLB5，亦相同的，在記憶體胞陣列 111B、112B 之配置態樣上，係與參照圖 4 所作了說明的平面 PLB 相異。具體而言，相對於平面 PLB 之記憶體胞陣列 112B 之配置位置，平面 PLB5 之記憶體胞陣列 112B 之配置位置係朝向 -X 方向而有所偏移，並在 X 方向上相較於記憶體胞陣列 111B 而更靠向 -X 方向地被作配置。

【0078】平面 PLB5，係具有平面部分 PLBa 以及平面部分 PLBb5。平面部分 PLBb5，係使記憶體胞陣列 112B 之配置位置朝向 -X 方向而有所偏移。在平面部分 PLBb5 處之記憶體胞陣列 112B 之朝向 -X 方向之偏移量，由於係與在平面部分 PLAb5 處之記憶體胞陣列 112B 之朝向 -X 方向之偏移量相同，因此，假階梯 142B，係與將配置位置作偏移前相同地而被設置在狹窄之區域中。在 X 方向上，由於平面部分 PLBa 與平面部分 PLBb5 係為相同之長度，因此，平面部分 PLBa 與平面部分 PLBb5 係同樣為矩形狀。

【0079】在平面 PLA5 處之記憶體胞陣列 111A、112A 之配置態樣，由於係與在平面 PLB5 處之記憶體胞陣列 111B、112B 之配置態樣相同，因此，平面 PLA5 與平面

PLB5係成為相同之形態。同樣的，平面PLC5、PLD5、PLE5、PLF5、PLG5、PLH5，亦係成為與平面PLA5、PLB5相同之形態。

【0080】平面PLA5，係具有包含記憶體胞陣列111A之平面部分PLAa、和包含記憶體胞陣列112B之平面部分PLAb5。記憶體胞陣列111A與記憶體胞陣列112A，係將位元線BL作共有。在圖6之例中，於在X方向上而彼此重疊之區域處，係將位元線BL作共有，於在X方向上而並未彼此重疊之區域處，係並不將位元線BL作共有。被設置在平面部分PLAa處之感測放大器121A，係被連接有「僅被設置在記憶體胞陣列111A處之位元線BL」以及「記憶體胞陣列111A與記憶體胞陣列112A所共有的位元線BL之其中一部分」。被設置在平面部分PLAb5處之感測放大器122A，係被連接有「僅被設置在記憶體胞陣列112A處之位元線BL」以及「記憶體胞陣列111A與記憶體胞陣列112A所共有的位元線BL之剩餘部分」。

【0081】於在第1變形例中而一面參照圖6一面作了說明之例中，係針對一部分之位元線BL之長度為與另外之一部分之位元線BL之長度相異之例來進行了說明。將「在將記憶體胞陣列之配置態樣設為圖6之狀態的同時，亦使位元線BL之長度彼此一致」之例，作為第2變形例，來一面參照圖7一面進行說明。

【0082】參照圖7，針對第2變形例之陣列晶片51B作說明。陣列晶片51B，係設為具有8個的平面PLA6、

PLB6、PLC6、PLD6、PLE6、PLF6、PLG6、PLH6者，來進行說明。

【0083】如同在圖7中所示一般，平面PLA6、PLB6、PLC6、PLD6，係沿著X方向而被作配置。平面PLE6、PLF6、PLG6、PLH6，係沿著X方向而被作配置。平面PLA6、PLE6，係沿著Y方向而被作配置。平面PLB6、PLF6，係沿著Y方向而被作配置。平面PLC6、PLG6，係沿著Y方向而被作配置。平面PLD6、PLH6，係沿著Y方向而被作配置。

【0084】平面PLA6，係具有記憶體胞陣列111A6、112A6。平面PLA6之記憶體胞陣列111A6、112A6之配置態樣，係與一面參照圖6一面作了說明的平面PLA5之記憶體胞陣列111A、112A之配置態樣相同。

【0085】記憶體胞陣列111A6、112A6，係與記憶體胞陣列111A、112A相異，而將所有的位元線BL作共有。記憶體胞陣列111A6與記憶體胞陣列112A6，係藉由使位元線BL作彎折，而將所有的位元線BL作共有。藉由使所有的位元線BL作彎折並且作共有，係能夠使各位元線BL之電性特性彼此一致。

【0086】從晶片尺寸之縮小的觀點來看，將平面作結合一事亦係為可採用之態樣。圖8，係為用以對於本實施形態之第3變形例之陣列晶片51C作說明之圖。陣列晶片51C，係為將一面參照圖6一面作了說明的陣列晶片51A之平面作了結合者。

【0087】陣列晶片51C，係具有4個的平面PLAE7、PLBF7、PLCG7、PLDH7。平面PLAE7，係為將陣列晶片51A之平面PLA5與平面PLE5作了結合者。平面PLAE7，係具有記憶體胞陣列111A7、112A7、111E7、112E7。

【0088】記憶體胞陣列111A7，係相當於陣列晶片51A之平面PLA5所具有的記憶體胞陣列111A。記憶體胞陣列112A7，係相當於陣列晶片51A之平面PLA5所具有的記憶體胞陣列112A。記憶體胞陣列111E7、112E7，係相當於陣列晶片51A之平面PLE5所具有的記憶體胞陣列。

【0089】在記憶體胞陣列111A7和記憶體胞陣列112A7和記憶體胞陣列111E7以及記憶體胞陣列112E7之間，係並未被形成有假階梯或者是細縫，而成為相互連接之狀態。記憶體胞陣列111A7與記憶體胞陣列112A7，係將至少一部分的位元線BL作共有。記憶體胞陣列111E7與記憶體胞陣列112E7，係將至少一部分的位元線BL作共有。

【0090】從更進一步將晶片尺寸縮小的觀點來看，將在X方向上之平面之間隔縮窄一事亦係為可採用之態樣。圖9，係為用以對於本實施形態之第4變形例之陣列晶片51D作說明之圖。陣列晶片51D，係具有4個的平面PLAE8、PLBF8、PLCG8、PLDH8。

【0091】如同在圖9中所示一般，平面PLAE8、PLBF8、PLCG8、PLDH8，係沿著X方向而被作配置。

【0092】平面PLAE8，係具有4個的記憶體胞陣列

111A8、112A8、111E8、112E8。在記憶體胞陣列111A8之-X方向側處，係被設置有假階梯142A8。在記憶體胞陣列111A8之+X方向側處，係被設置有真階梯141A8。在記憶體胞陣列112A8之-X方向側處，係被設置有真階梯141A8。在記憶體胞陣列112A8之+X方向側處，係被設置有細縫ST。

【0093】在記憶體胞陣列111E8之-X方向側處，係被設置有假階梯142E8。在記憶體胞陣列111E8之+X方向側處，係被設置有真階梯141E8。在記憶體胞陣列112E8之-X方向側處，係被設置有真階梯141E8。在記憶體胞陣列112E8之+X方向側處，係被設置有細縫ST。

【0094】記憶體胞陣列111A8以及記憶體胞陣列111E8，係在X方向上而被配置在相同之位置處。記憶體胞陣列112A8以及記憶體胞陣列112E8，係在X方向上而被配置在相同之位置處。記憶體胞陣列112A8以及記憶體胞陣列112E8之配置位置，係相較於記憶體胞陣列111A8以及記憶體胞陣列111E8之配置位置而更朝向+X方向有所偏移。

【0095】在記憶體胞陣列111A8和記憶體胞陣列112A8和記憶體胞陣列111E8以及記憶體胞陣列112E8之間，係並未被形成有假階梯或者是細縫，而成為相互連接之狀態。記憶體胞陣列111A8與記憶體胞陣列112A8，係將至少一部分的位元線BL作共有。記憶體胞陣列111E8與記憶體胞陣列112E8，係將至少一部分的位元線BL作共

有。

【0096】平面 PLBF8，係具有4個的記憶體胞陣列 111B8、112B8、111F8、112F8。在記憶體胞陣列 111B8 之 -X 方向側處，係被設置有真階梯 141B8。在記憶體胞陣列 111B8 之 +X 方向側處，係被設置有細縫 ST。在記憶體胞陣列 112B8 之 -X 方向側處，係被設置有細縫 ST。在記憶體胞陣列 112B8 之 +X 方向側處，係被設置有真階梯 141B8。

【0097】在記憶體胞陣列 111F8 之 -X 方向側處，係被設置有真階梯 141F8。在記憶體胞陣列 111F8 之 +X 方向側處，係被設置有細縫 ST。在記憶體胞陣列 112F8 之 -X 方向側處，係被設置有細縫 ST。在記憶體胞陣列 112F8 之 +X 方向側處，係被設置有真階梯 141F8。

【0098】記憶體胞陣列 111B8 以及記憶體胞陣列 111F8，係在 X 方向上而被配置在相同之位置處。記憶體胞陣列 112B8 以及記憶體胞陣列 112F8，係在 X 方向上而被配置在相同之位置處。記憶體胞陣列 112B8 以及記憶體胞陣列 112F8 之配置位置，係相較於記憶體胞陣列 111B8 以及記憶體胞陣列 111F8 之配置位置而更朝向 -X 方向有所偏移。

【0099】在平面 PLAE8 之記憶體胞陣列 112A8 與平面 PLBF8 之記憶體胞陣列 112B8 之間，係被設置有細縫 ST，而並未被設置有階梯部。故而，相較於被設置有階梯部的情況，記憶體胞陣列 112A8 與記憶體胞陣列 112B8 係被更靠近地作配置。

【0100】在平面PLAE8之記憶體胞陣列112E8與平面PLBF8之記憶體胞陣列112F8之間，係被設置有細縫ST，而並未被設置有階梯部。故而，相較於被設置有階梯部的情況，記憶體胞陣列112E8與記憶體胞陣列112F8係被更靠近地作配置。

【0101】在記憶體胞陣列111B8和記憶體胞陣列112B8和記憶體胞陣列111F8以及記憶體胞陣列112F8之間，係並未被形成有假階梯或者是細縫，而成為相互連接之狀態。記憶體胞陣列111B8與記憶體胞陣列112B8，係將至少一部分的位元線BL作共有。記憶體胞陣列111F8與記憶體胞陣列112F8，係將至少一部分的位元線BL作共有。

【0102】平面PLCG8，係具有4個的記憶體胞陣列111C8、112C8、111G8、112G8。在平面PLCG8處之記憶體胞陣列111C8、112C8、111G8、112G8之配置態樣，係與在平面PLAE8處之記憶體胞陣列111A8、112A8、111E8、112E8之配置態樣相同。

【0103】在平面PLCG8之記憶體胞陣列111C8與平面PLBF8之記憶體胞陣列111B8之間，係被設置有細縫ST，而並未被設置有階梯部。故而，相較於被設置有階梯部的情況，記憶體胞陣列111C8與記憶體胞陣列111B8係被更靠近地作配置。

【0104】在平面PLCG8之記憶體胞陣列111G8與平面PLBF8之記憶體胞陣列111F8之間，係被設置有細縫ST，

而並未被設置有階梯部。故而，相較於被設置有階梯部的情況，記憶體胞陣列 111G8 與記憶體胞陣列 111F8 係被更靠近地作配置。

【0105】平面 PLDH8，係具有 4 個的記憶體胞陣列 111D8、112D8、111H8、112H8。在平面 PLDH8 處之記憶體胞陣列 111D8、112D8、111H8、112H8 之配置態樣，係與在平面 PLBF8 處之記憶體胞陣列 111B8、112B8、111F8、112F8 之配置態樣相同。

【0106】接著，一面參照圖 10、11、12，一面針對陣列晶片 51 之製造製程作說明。一面針對參照圖 4 所作了說明的陣列晶片 51 之平面 PLA、PLB 作圖示，一面進行說明。一面針對平面 PLA、PLB 之相當於記憶體胞陣列 111A、111B 之部分作圖示，一面進行說明。

【0107】

<層積工程>

首先，進行層積工程。在層積工程中，首先，係以將基板 80 之 Z 方向側表面作覆蓋的方式，而使絕緣體層 81 與犧牲層 82 被交互作層積。犧牲層 82，係為在後續之工程中被取代(replace)為導電體層之層，並例如係為包含有氮與矽之層。於圖 10 中，係展示有層積工程完成後之狀態。

【0108】

<階梯形成工程>

在層積工程之後，係進行階梯形成工程。在階梯形成工程中，例如，係藉由反覆進行向異性蝕刻與蝕刻遮罩之

薄化(slimming)，來在被作了層積的絕緣體層81以及犧牲層82之一部分處，形成真階梯141A、141B以及假階梯142A、142B。於圖11中，係展示有如此這般地剛被形成了真階梯141A、141B以及假階梯142A、142B後的狀態。

【0109】

<孔形成工程>

在階梯形成工程之後，係進行孔形成工程。在孔形成工程中，係在與記憶體柱相對應之部分處，形成記憶體洞MHAa、MHAb、MHBa、MHBb。此些，係均為使其長邊方向沿著Z方向的略圓柱形狀之細長之孔，例如係藉由RIE而被形成。之後，記憶體洞MHAa、MHAb、MHBa、MHBb之內側係被犧牲材所填埋。作為犧牲材之材料，例如，係可使用多晶矽或非晶質矽等。於圖12中，係展示有孔形成工程完成後之狀態。

【0110】

<犧牲材去除工程>

在孔形成工程之後，係進行犧牲材去除工程。在犧牲材去除工程中，將記憶體洞MHAa、MHAb、MHBa、MHBb作填埋之犧牲材係被去除。在作為犧牲材等而使用有多晶矽或非晶質矽等的情況時，例如係可藉由濕蝕刻來將此些作去除。

【0111】

<記憶體柱等之形成工程>

在犧牲材去除工程之後，係進行記憶體柱等之形成工

程。在記憶體柱等之形成工程中，在記憶體洞 MHAa、MHAb、MHBa、MHBb 之內側處，係被形成有記憶體柱。此些，係均為例如藉由 CVD(化學氣相沉積，Chemical Vapor Deposition)而被形成。

【0112】

<取代(replace)工程>

在記憶體柱等之形成工程之後，係進行取代工程。在取代工程中，藉由濕蝕刻，犧牲層 82 係被去除。此時，被作了層積之各個的絕緣體層 81，係以在各者之間空出有間隙的狀態而殘留。但是，各個的絕緣體層 81，由於係藉由記憶體柱而被作支持，因此其之形狀係被作維持。之後，例如藉由 CVD，在原本犧牲層 82 所存在的間隙之各者處，係被形成有導電體層。

【0113】接著，一面參照圖 13、14、15、16，一面針對陣列晶片 51D 之製造製程作說明。一面針對參照圖 9 所作了說明的陣列晶片 51D 之平面 PLAE8、PLBF8 作圖示，一面進行說明。一面針對在平面 PLAE8 與平面 PLBF8 之間被形成有細縫 ST 之相當於記憶體胞陣列 112A8、112B8 之部分作圖示，一面進行說明。

【0114】

<層積工程>

首先，進行層積工程。在層積工程中，首先，係以將基板 80 之 Z 方向側表面作覆蓋的方式，而使絕緣體層 81 與犧牲層 82 被交互作層積。犧牲層 82，係為在後續之工程中

被取代(replace)為導電體層之層，並例如係為包含有氮與矽之層。於圖13中，係展示有層積工程完成後之狀態。

【0115】

<階梯形成工程>

在層積工程之後，係進行階梯形成工程。在階梯形成工程中，例如，係藉由反覆進行向異性蝕刻與蝕刻遮罩之薄化，來在被作了層積的絕緣體層81以及犧牲層82之一部分處，形成真階梯141A8、141B8。於圖14中，係展示有如此這般地剛被形成了真階梯141A8、141B8後的狀態。

【0116】

<孔形成工程>

在階梯形成工程之後，係進行孔形成工程。在孔形成工程中，係在與記憶體柱相對應之部分處，形成記憶體洞MHA_c、MHA_d、MHB_c、MHB_d。此些，係均為使其長邊方向沿著Z方向的略圓柱形狀之細長之孔，例如係藉由RIE而被形成。之後，記憶體洞MHA_c、MHA_d、MHB_c、MHB_d之內側係被犧牲材所填埋。作為犧牲材之材料，例如，係可使用多晶矽或非晶質矽等。於圖15中，係展示有孔形成工程完成後之狀態。

【0117】

<細縫形成工程>

在孔形成工程之後，係進行細縫形成工程。在記憶體洞MHA_c、MHA_d與記憶體洞MHB_c、MHB_d之間，係被形成有細縫ST。作為細縫ST之材料，例如，係可使用包含

有氧與矽之絕緣材料。圖 16，係展示有細縫形成工程完成後之狀態。

【0118】

<犧牲材去除工程>

在細縫形成工程之後，係進行犧牲材去除工程。在犧牲材去除工程中，將記憶體洞 MHA_c、MHA_d、MHB_c、MHB_d作填埋之犧牲材係被去除。在作為犧牲材等而使用有多晶矽或非晶質矽等的情況時，例如係可藉由濕蝕刻來將此些作去除。

【0119】

<記憶體柱等之形成工程>

在犧牲材去除工程之後，係進行記憶體柱等之形成工程。在記憶體柱等之形成工程中，在記憶體洞 MHA_c、MHA_d、MHB_c、MHB_d之內側處，係被形成有記憶體柱。此些，係均為例如藉由 CVD 而被形成。

【0120】

<取代(replace)工程>

在記憶體柱等之形成工程之後，係進行取代工程。在取代工程中，藉由濕蝕刻，犧牲層 82 係被去除。此時，被作了層積之各個的絕緣體層 81，係以在各者之間空出有間隙的狀態而殘留。但是，各個的絕緣體層 81，由於係藉由記憶體柱而被作支持，因此其之形狀係被作維持。之後，例如藉由 CVD，在原本犧牲層 82 所存在的間隙之各者處，係被形成有導電體層。

【0121】以上，係參照具體例而對於本實施形態作了說明。但是，本發明係並不被限定於此些之具體例。就算是當業者對於此些之具體例而適宜施加有設計變更者，只要是具備有本發明之特徵，則被包含於本發明之範圍中。前述之各具體例所具備的各要素以及其之配置、條件、形狀等，係並不被限定為所作了例示者，而能夠適宜作變更。前述之各具體例所具備的各要素，只要不會產生技術上的矛盾，則便可適宜對於其組合作變更。

【符號說明】

【0122】

2:半導體記憶裝置

51,51A,51B,51C,51D:陣列晶片

52:電路晶片

80:基板

81:絕緣體層

82:犧牲層

111A,111A6,111A7,111A8:記憶體胞陣列

111B,111B8:記憶體胞陣列

111C8,111D8,111E7,111E8,111F8,111G8,111H8:記憶體胞陣列

112A,112A6,112A7,112A8:記憶體胞陣列

112B,112B8:記憶體胞陣列

112C8,112D8,112E7,112E8,112F8,112G8,112H8:記憶體胞

陣列

121A,122A,121B,122B:感測放大器

131A,132A,131B,132B:行解碼器

141A,141A8,141B,141B8,141E8,141F8:真階梯

142A,142A5,142A8,142B,142E8:假階梯

BL:位元線

PLA,PLA5,PLA6,PLAE7,PLAE8:平面(plane)

PLB,PLB5,PLB6,PLBF8:平面

PLC,PLC5,PLC6,PLCG8:平面

PLD,PLD5,PLD6,PLDH8:平面

PLE,PLF,PLG,PLH:平面

PLE5,PLF5,PLG5,PLH5:平面

PLE6,PLF6,PLG6,PLH6:平面

PLAa,PLAb,PLAb5:平面部分

PLBa,PLBb,PLBb5:平面部分

ST:細縫

【發明申請專利範圍】

【請求項1】一種半導體記憶裝置，係具備有：

層積體，係使複數之導電層隔著絕緣層而被作了層積；和

電路部，係於前述層積體之層積方向上而被作重疊設置，

前述層積體，係具有被配置有複數之記憶體胞之記憶體部、和階梯部，

前述電路部，係具有被與前述複數之導電層作電性連接之行解碼器，

前述階梯部，係具有在前述層積方向上而被與前述行解碼器作重疊設置之第1構造、和與前述第1構造相異之第2構造，

前述第1構造，係使前述複數之導電層之端部成為階梯狀，

前述第2構造，係使前述複數之導電層之其他之端部成為階梯狀，

前述第2構造之階差係較前述第1構造之階差而更大。

【請求項2】如請求項1所記載之半導體記憶裝置，其中，

前述記憶體部，係具有第1記憶體部與第2記憶體部，

前述階梯部，係具有與前述第1記憶體部相連接並且具有前述第1構造之第1階梯部、和與前述第2記憶體部相連接並且具有前述第1構造之第2階梯部，

前述行解碼器，係具有與前述第1階梯部相連接之第1行解碼器、和與前述第2階梯部相連接之第2行解碼器，

前述第1行解碼器，係於前述記憶體部之第1邊處而被作重疊設置，前述第2行解碼器，係於前述記憶體部之與前述第1邊相異之第2邊處而被作重疊設置。

【請求項3】如請求項2所記載之半導體記憶裝置，其中，

在前述第2邊側處，係被設置有與前述第1記憶體部相連接並且具有前述第2構造之第3階梯部，

在前述第1邊側處，係被設置有與前述第2記憶體部相連接並且具有前述第2構造之第4階梯部。

【請求項4】如請求項3所記載之半導體記憶裝置，其中，

在將前述第1邊與前述第2邊作連接之第3邊側處，係被設置有與前述第1記憶體部相連接並且具有前述第2構造之第5階梯部，

在身為與前述第3邊相異之邊並且將前述第1邊與前述第2邊作連接之第4邊側處，係被設置有與前述第2記憶體部相連接並且具有前述第2構造之第6階梯部。

【請求項5】如請求項1所記載之半導體記憶裝置，其中，

在前述第1構造處，係被設置有與前述行解碼器作電性連接之接觸插塞。

【請求項6】如請求項5所記載之半導體記憶裝置，其

中，

前述記憶體胞係具有汲極。

【請求項 7】如請求項 4 所記載之半導體記憶裝置，其中，

在前述第 1 構造處，係被設置有與前述行解碼器作電性連接之接觸插塞，

前述記憶體胞係具有汲極，

前述第 1 記憶體部與前述第 2 記憶體部，係將與前述汲極相連接之位元線作共有。

【請求項 8】如請求項 7 所記載之半導體記憶裝置，其中，

在前述第 1 記憶體部與前述第 2 記憶體部之間，前述位元線係有所彎折。

【請求項 9】如請求項 7 所記載之半導體記憶裝置，其中，

在前述第 1 記憶體部與前述第 2 記憶體部之間，係被設置有與前述第 1 記憶體部相連接並且具有前述第 2 構造之第 7 階梯部，

在前述第 1 記憶體部與前述第 2 記憶體部之間，係被設置有與前述第 2 記憶體部相連接並且具有前述第 2 構造之第 8 階梯部。

【請求項 10】如請求項 7 所記載之半導體記憶裝置，其中，

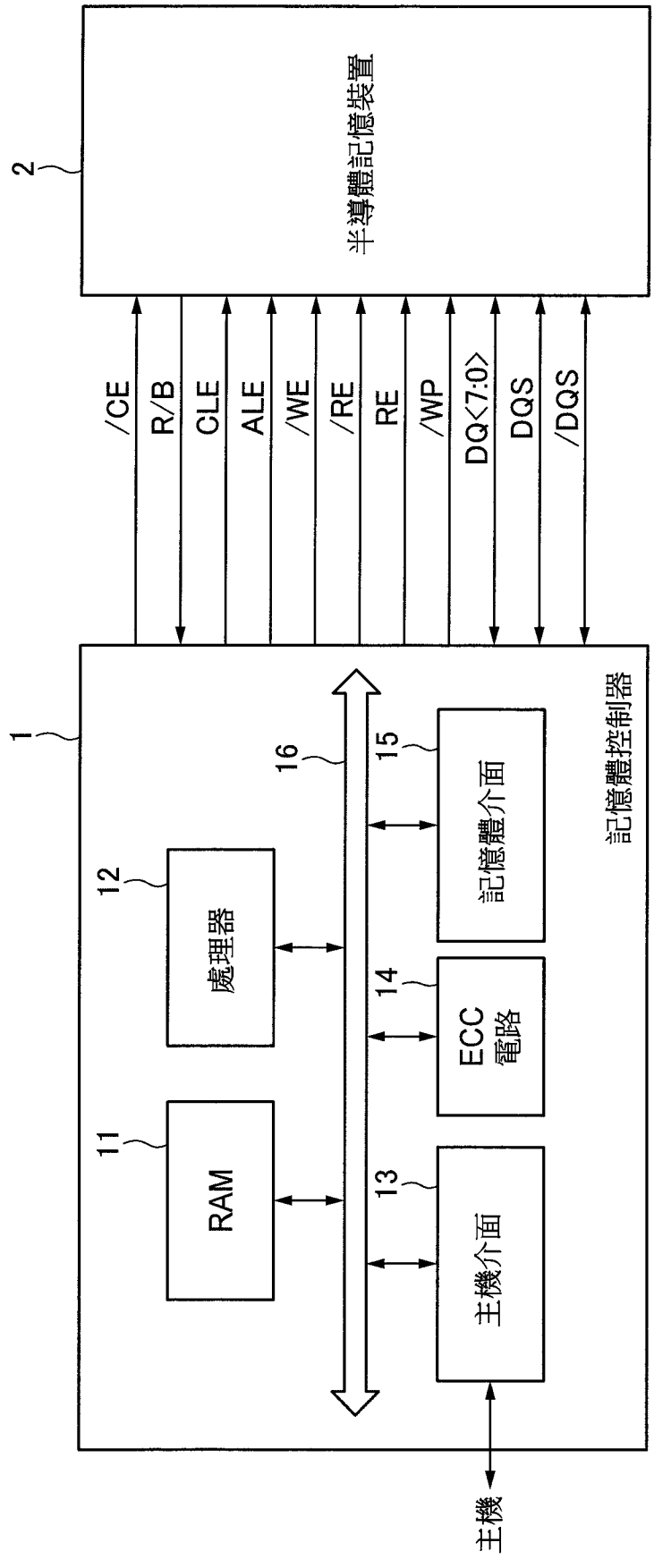
前述第 1 記憶體部之導電層與前述第 2 記憶體部之導電

層係相連接。

【請求項 11】如請求項 1 所記載之半導體記憶裝置，
其中，

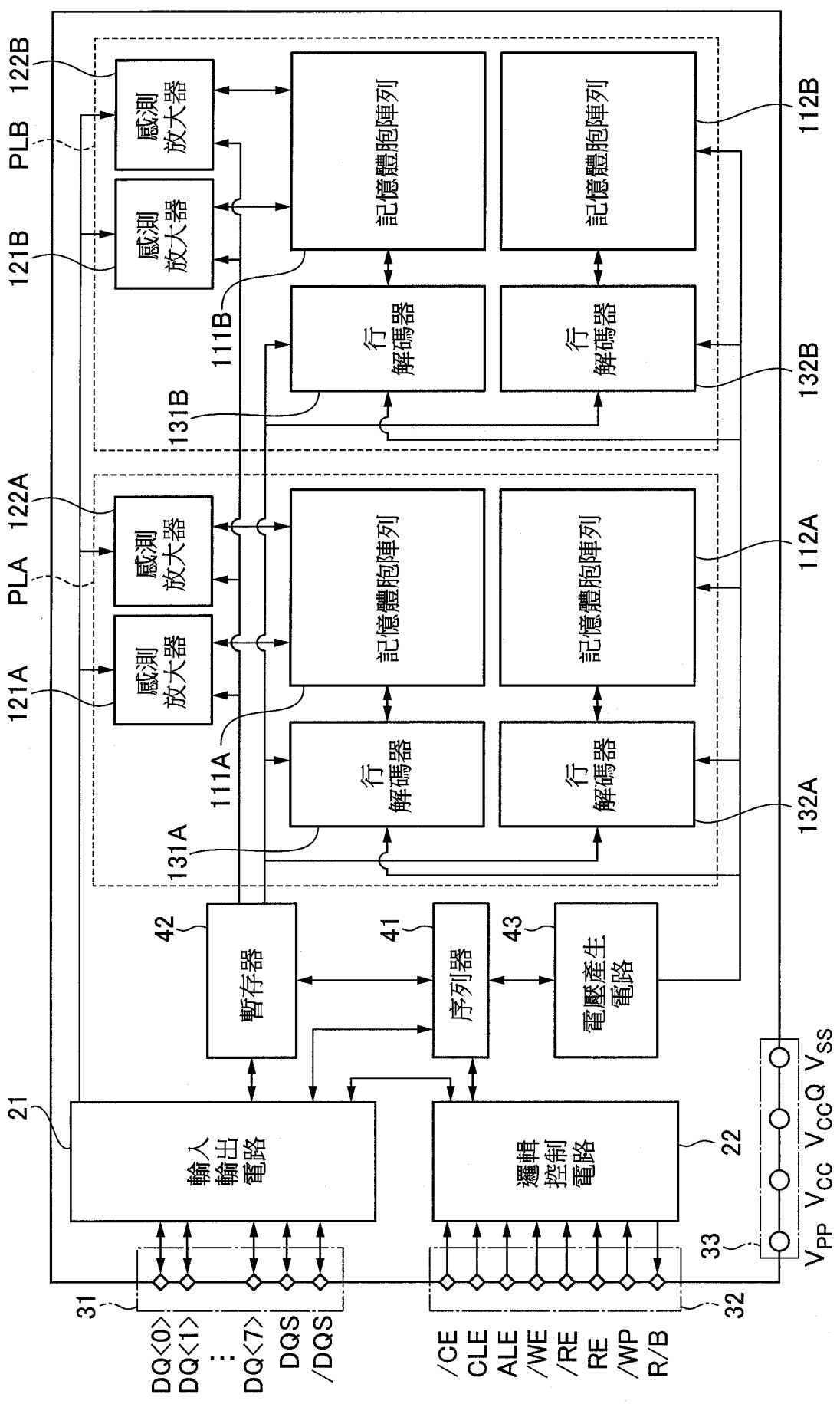
前述記憶體部係被設置有複數，複數之前述記憶體部
係藉由細縫而被隔開。

【發明圖式】

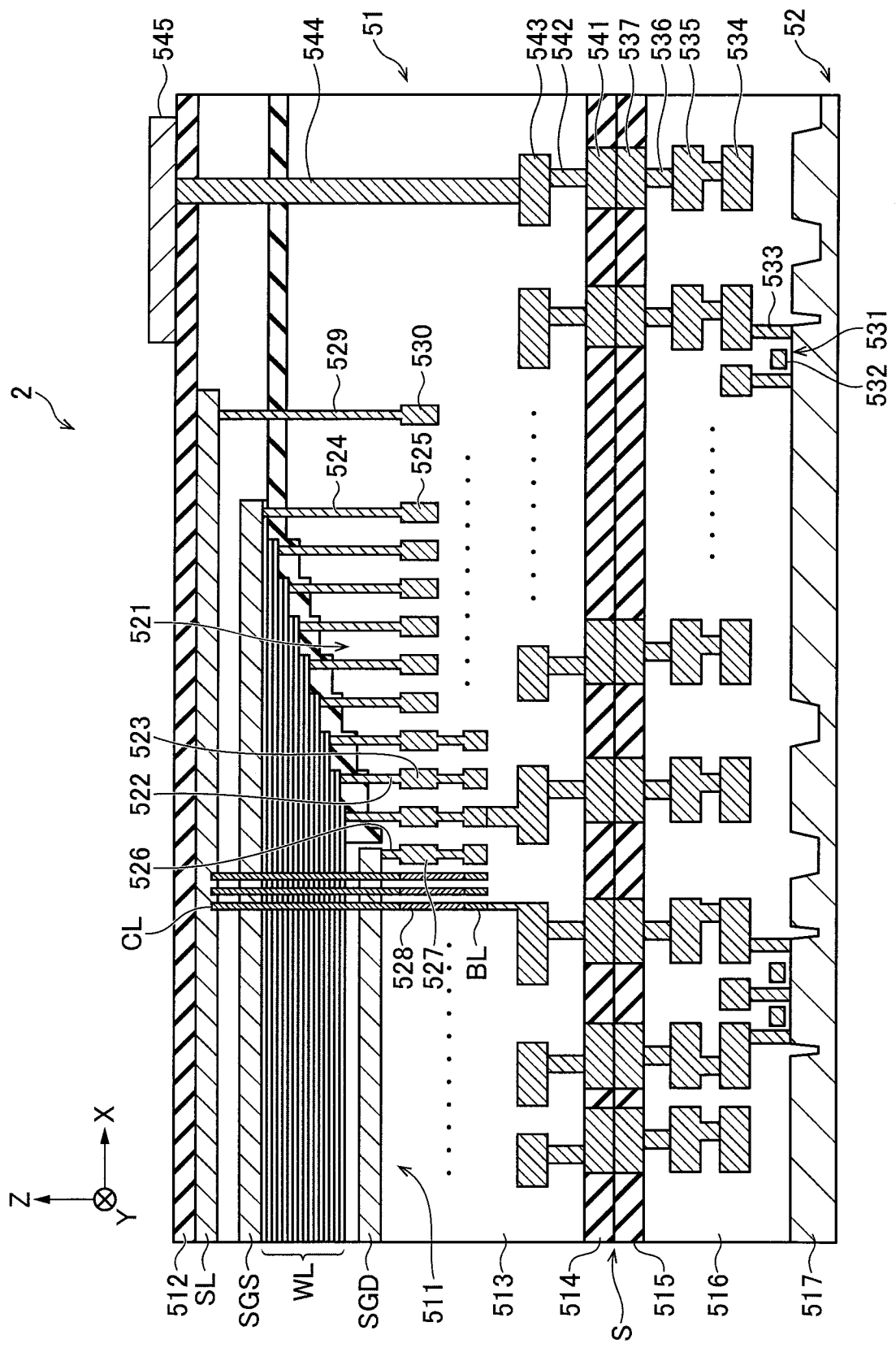


【圖 1】

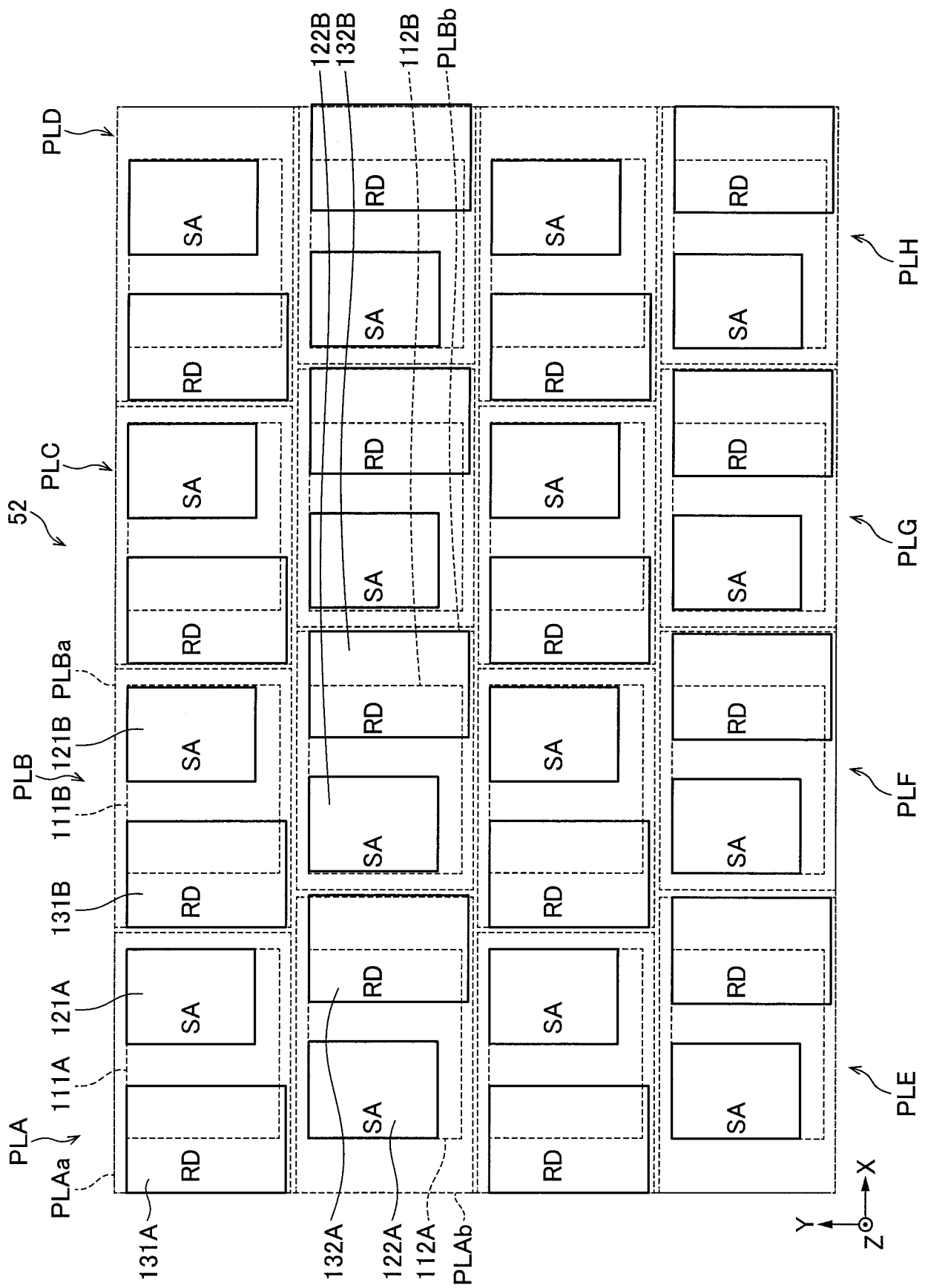
2 ↘



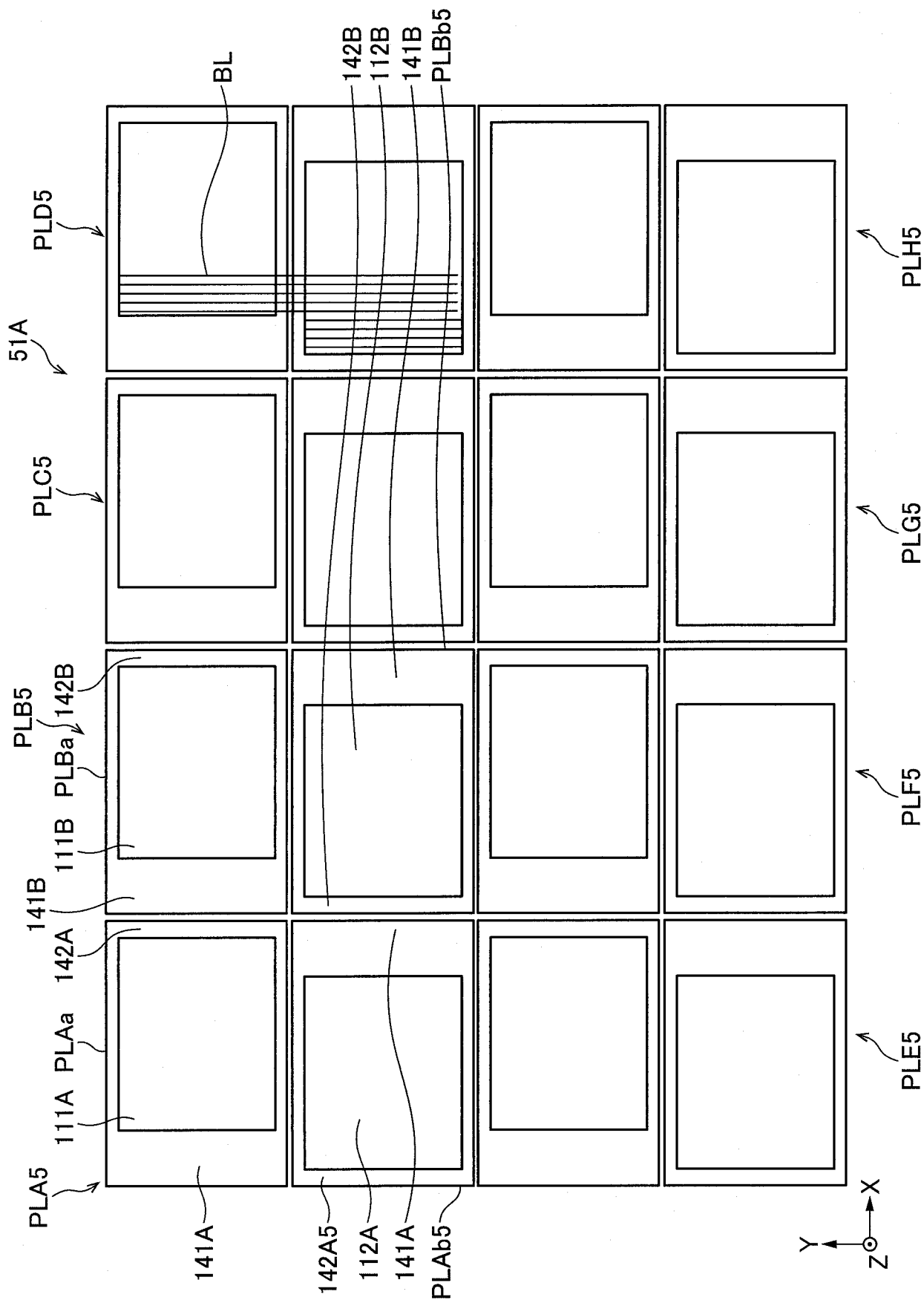
【圖 2】



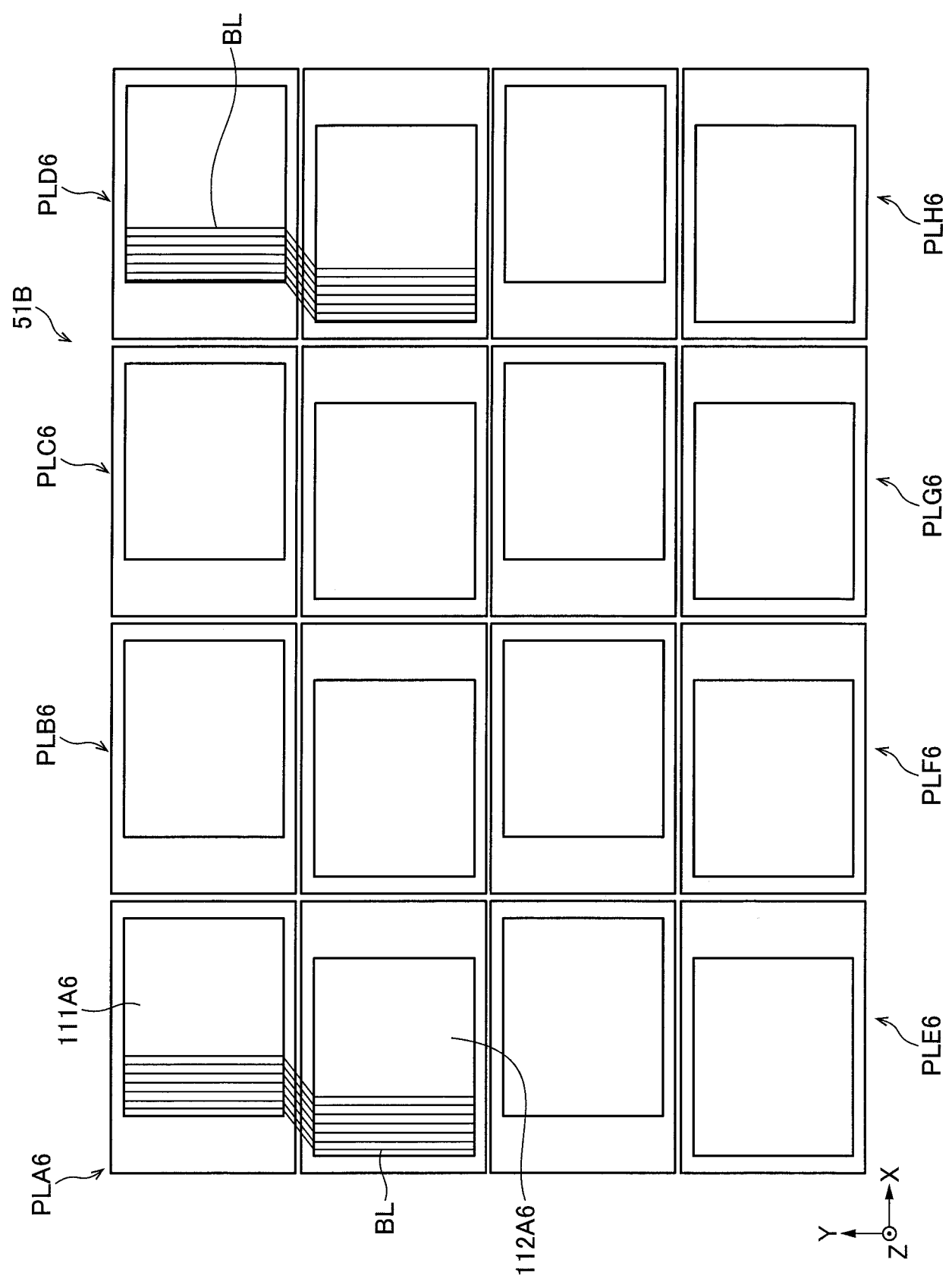
【圖 3】



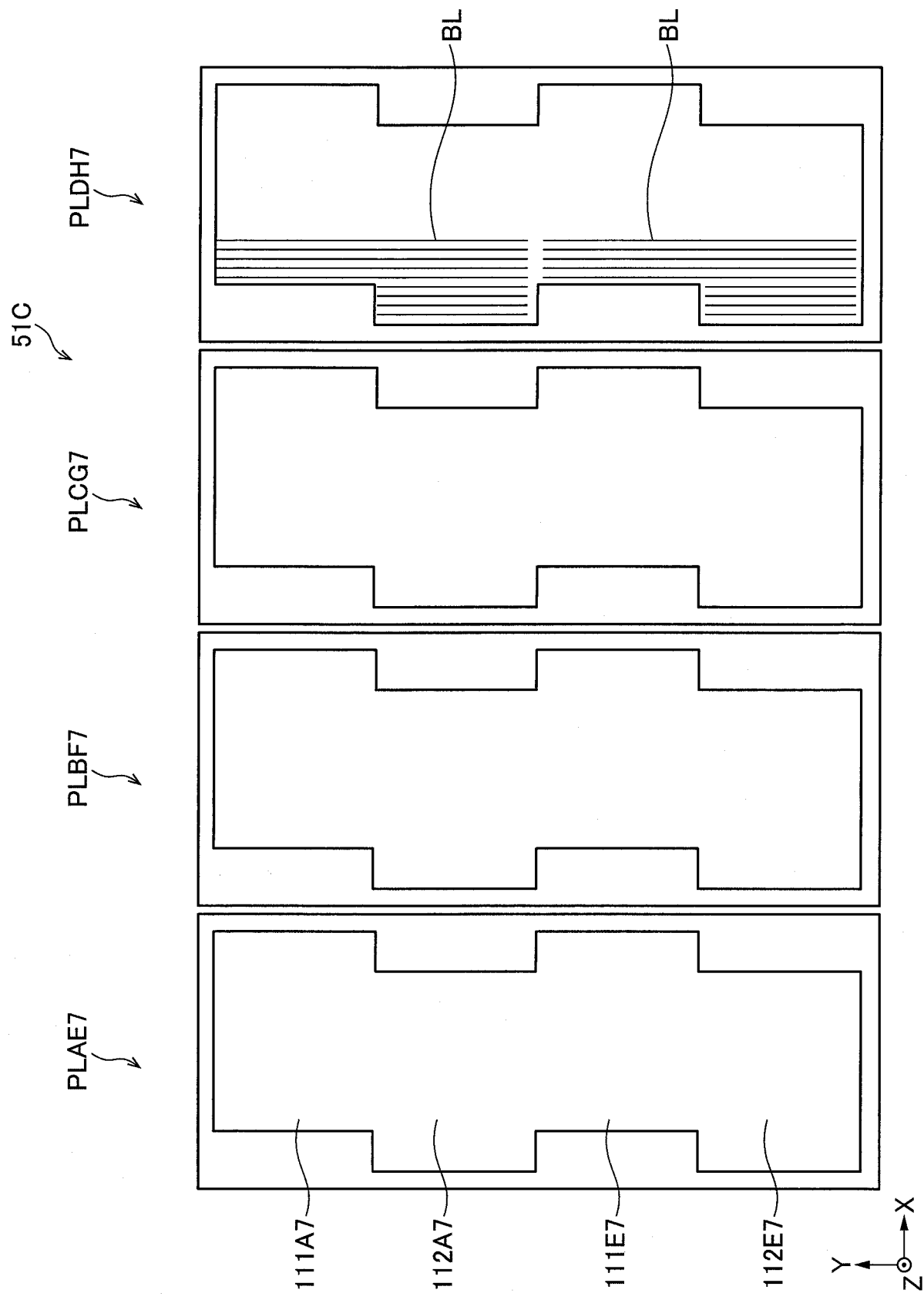
【圖 5】



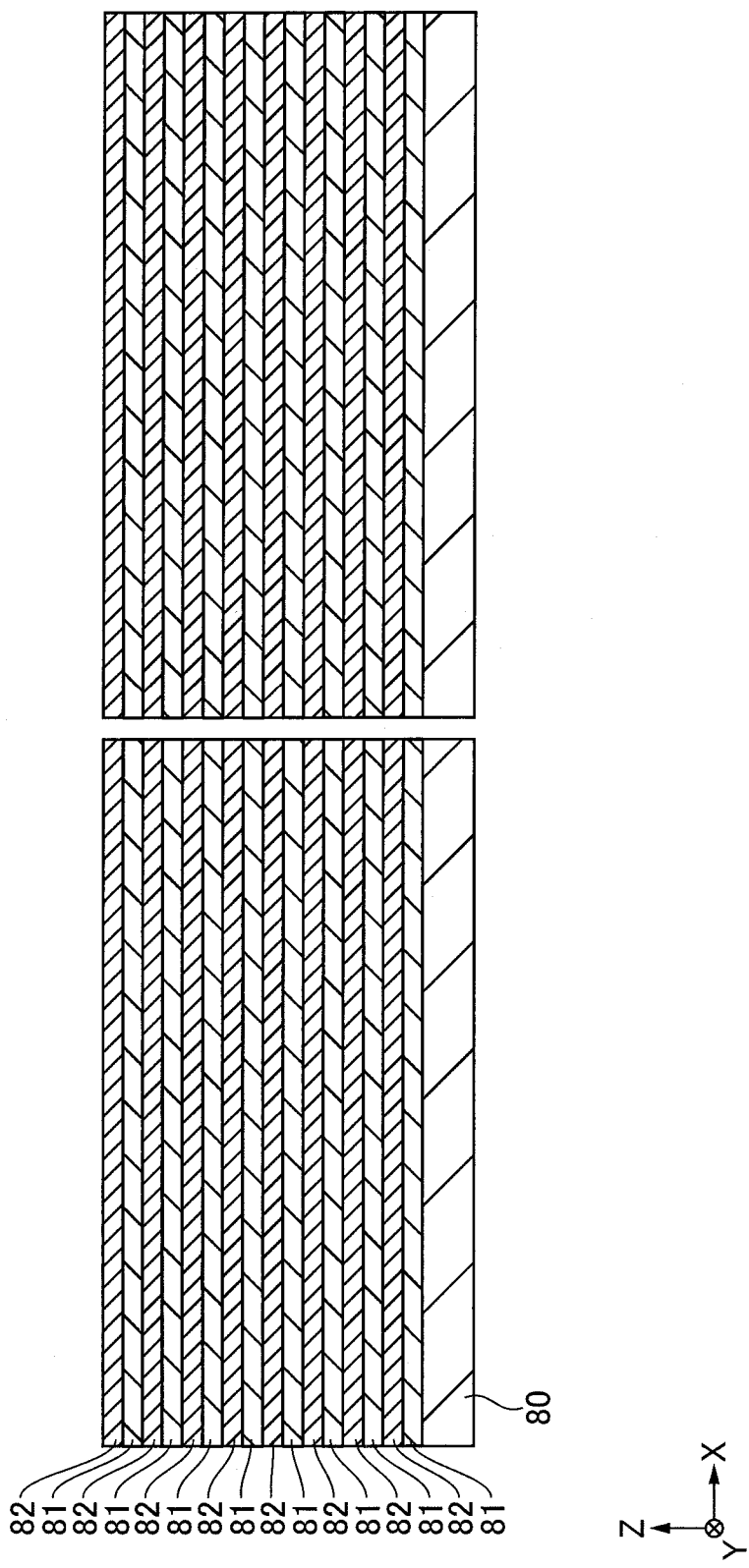
【圖 6】



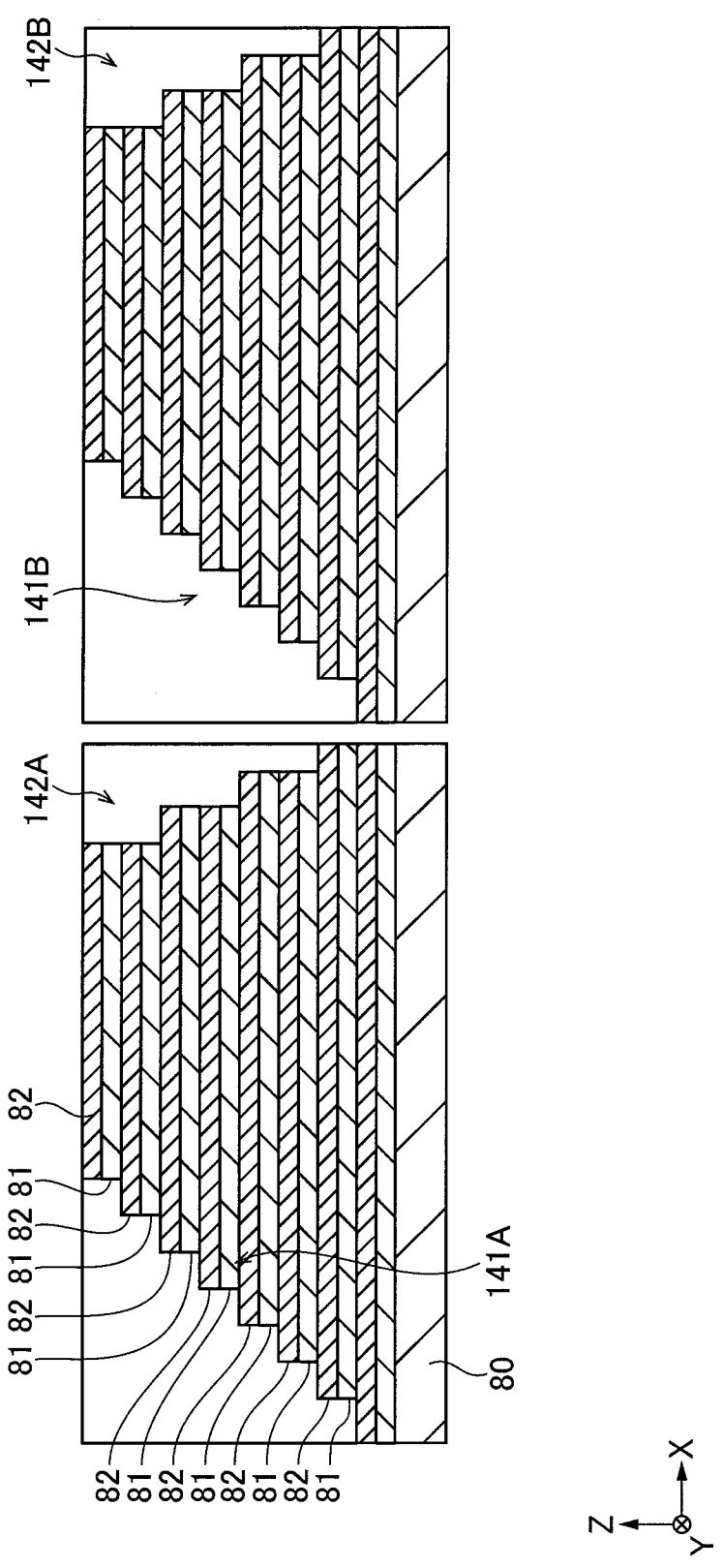
【圖 7】



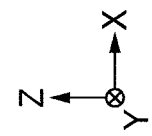
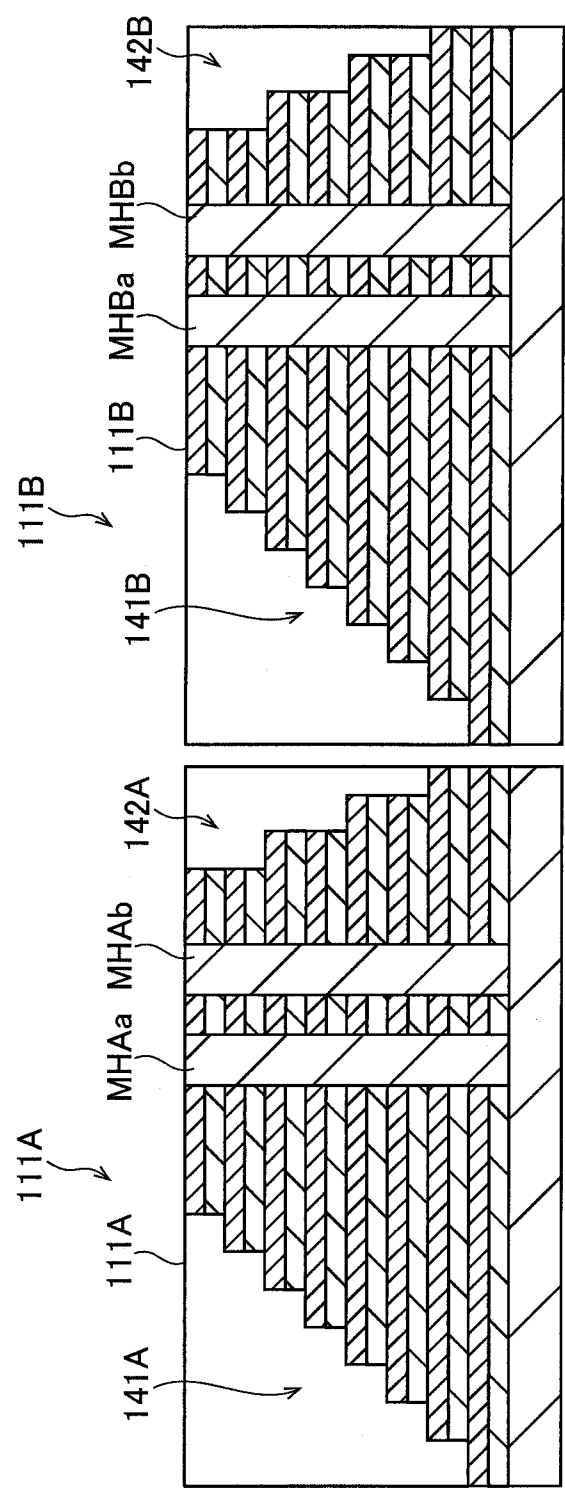
【圖 8】



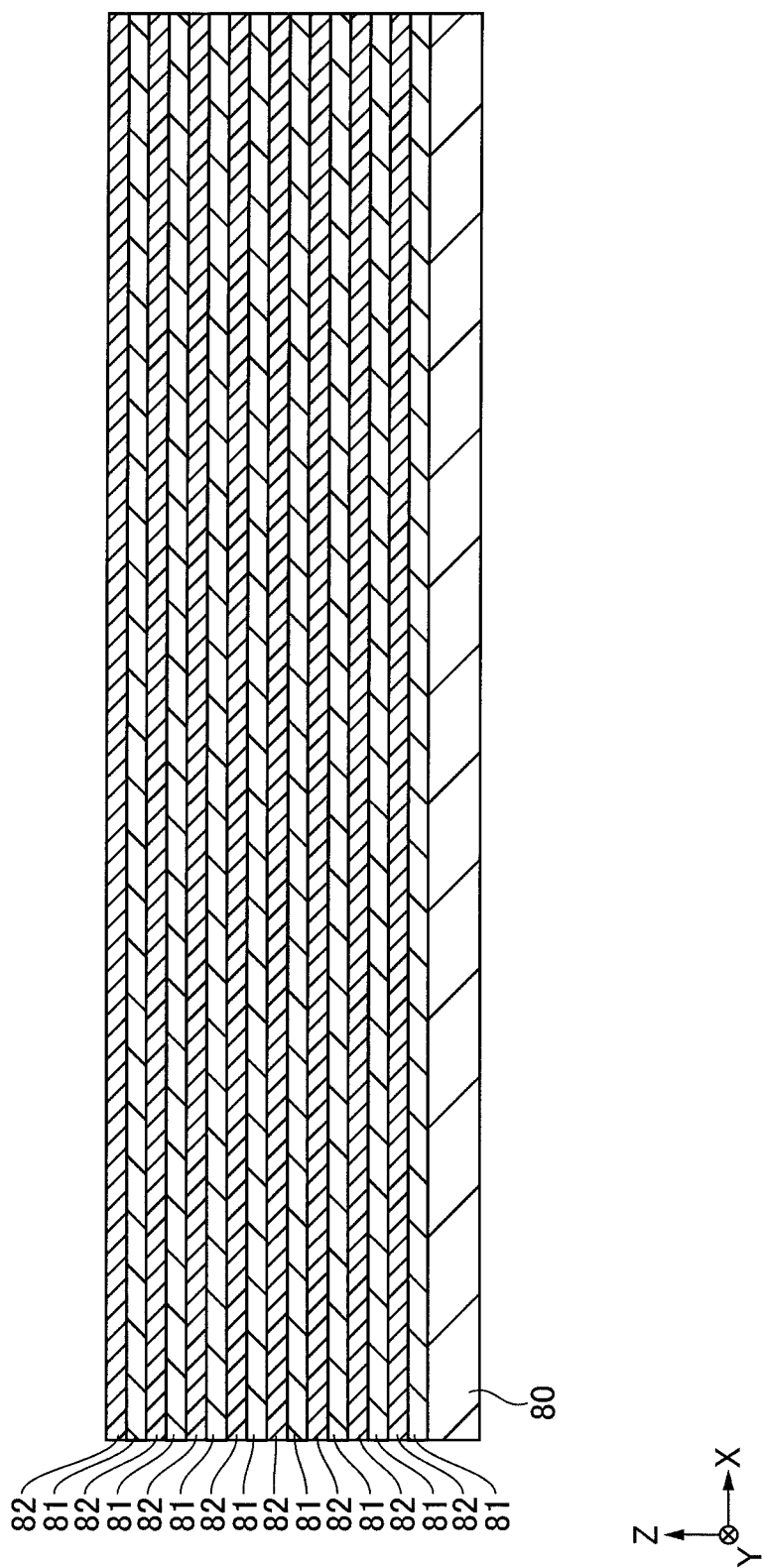
【圖 10】



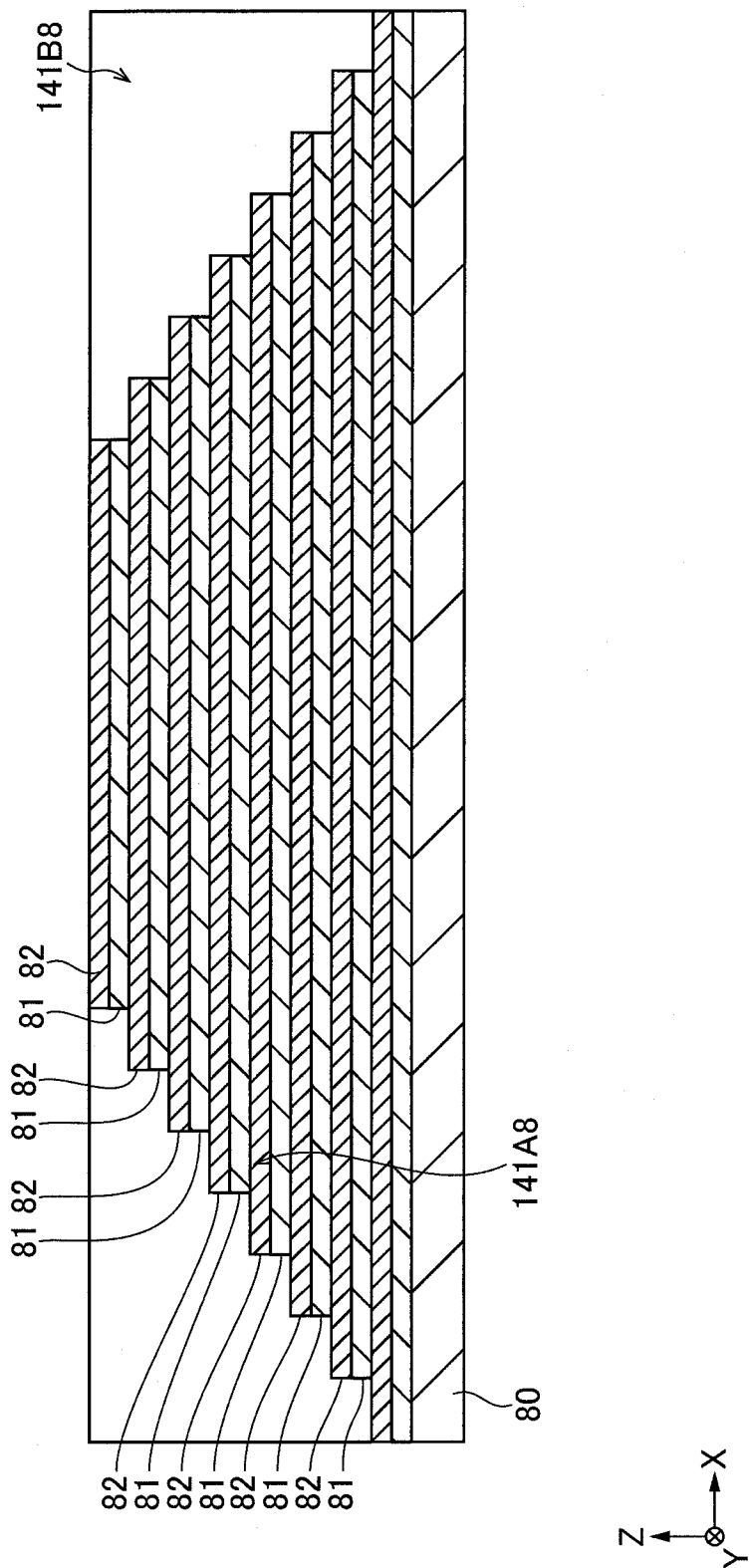
【圖 11】



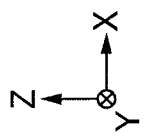
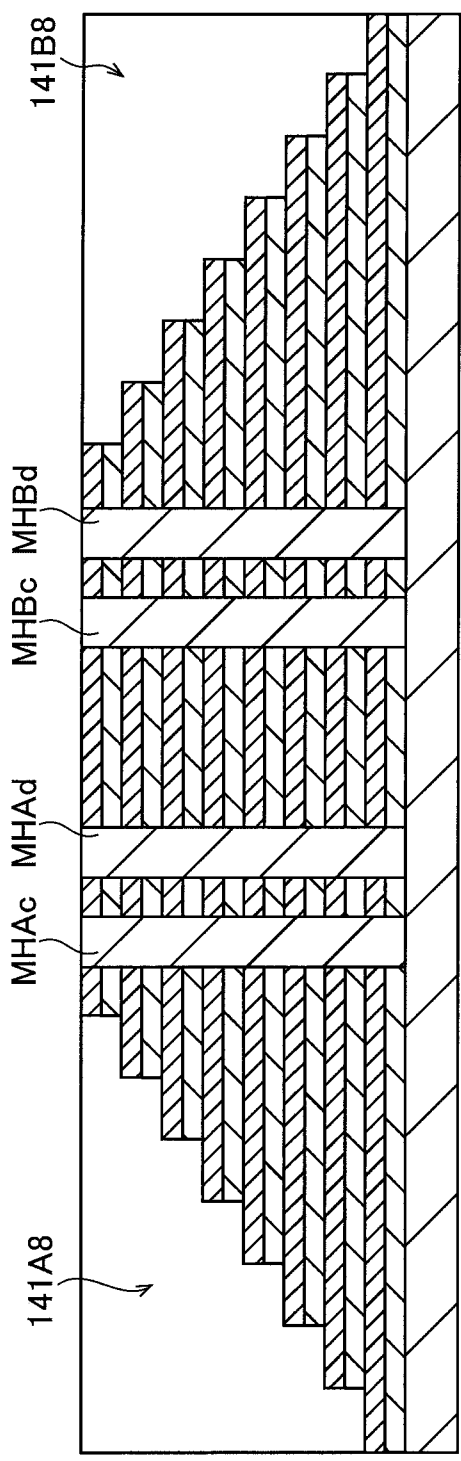
【圖 12】



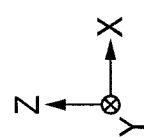
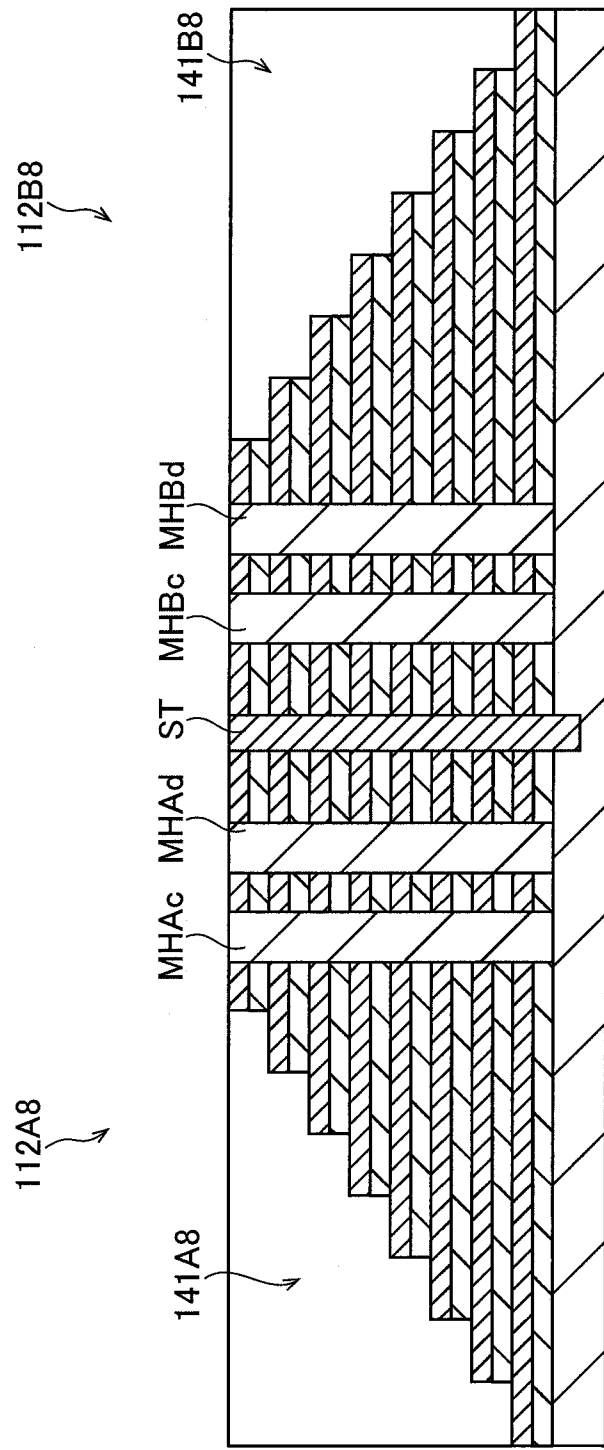
【圖 13】



【圖 14】



【圖 15】



【圖 16】