

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2021-69112

(P2021-69112A)

(43) 公開日 令和3年4月30日 (2021.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/378 (2011.01)	H04N 5/378	5C024
H03K 23/00 (2006.01)	H03K 23/00	B

審査請求 未請求 請求項の数 19 O L (全 30 頁)

(21) 出願番号 特願2020-169542 (P2020-169542) (22) 出願日 令和2年10月7日 (2020.10.7) (31) 優先権主張番号 10-2019-0129942 (32) 優先日 令和1年10月18日 (2019.10.18) (33) 優先権主張国・地域又は機関 韓国 (KR) (31) 優先権主張番号 16/908,980 (32) 優先日 令和2年6月23日 (2020.6.23) (33) 優先権主張国・地域又は機関 米国 (US)	(71) 出願人 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区三星路129 129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea (74) 代理人 100107766 弁理士 伊東 忠重 (74) 代理人 100070150 弁理士 伊東 忠彦 (74) 代理人 100135079 弁理士 宮崎 修
---	---

最終頁に続く

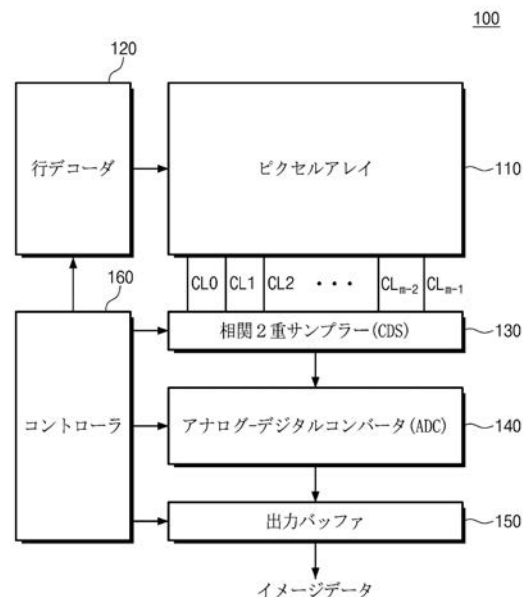
(54) 【発明の名称】 カウンター回路、及びそれを含むイメージセンサ

(57) 【要約】

【課題】 補数演算が可能なカウンター、及びそれを含むイメージセンサを提供すること。

【解決手段】 本発明の実施形態によるイメージセンサは、ピクセルセンサと、サンプリング部と、カウンターと、を備え、カウンターは、サンプリング信号及びランブ信号を比較した時間軸の長さの情報である比較信号とクロック信号を論理積する第1のANDゲートと、第1のANDゲートの出力の立ち下がりエッジによりトリガーされ、第1のカウンタ値を出力する第1のカウンティングユニットと、を含み、第1のカウンティングユニットは、第1の補数制御信号に応答して反転された第1のカウンタ値を格納し、第2の補数制御信号に応答して反転された第1のカウンタ値を出力する第1の補数演算コントローラと、第1の補数演算コントローラから出力・反転された第1のカウンタ値に応じてセット又はリセットされ、第1のカウンタ値を出力する第1のDフリップフロップと、を含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入射光を感知してアナログ形態のサンプリング信号を出力するピクセルセンサと、
前記サンプリング信号とランプ信号を比較して時間軸の長さの情報である比較信号を出力するサンプリング部と、

クロック信号、第 1 の補数制御信号、及び第 2 の補数制御信号に応答して前記比較信号の長さをカウントするカウンタと、を備え、

前記カウンタは、

前記比較信号と前記クロック信号を論理積する第 1 のアンド（AND）ゲートと、

前記第 1 のアンドゲートの出力の立ち下がりエッジによりトリガーされ、第 1 のカウント値を出力する第 1 のカウンティングユニットを含み、 10

前記第 1 のカウンティングユニットは、

前記第 1 の補数制御信号に応答して反転された前記第 1 のカウント値を格納し、前記第 2 の補数制御信号に応答して反転された前記第 1 のカウント値を出力する第 1 の補数演算コントローラと、

前記第 1 の補数演算コントローラから出力・反転された前記第 1 のカウント値に基づいてセット又はリセットされ、前記第 1 のカウント値を出力する第 1 の D フリップフロップと、を含む、イメージセンサ。

【請求項 2】

前記第 1 の補数演算コントローラは、 20

反転された前記第 1 のカウント値を前記第 1 の補数制御信号に応答して格納する D ラッチと、

前記第 2 の補数制御信号に応答して前記 D ラッチに格納・反転された前記第 1 のカウント値を前記第 1 の D フリップフロップに伝達する論理ゲートと、を含む、請求項 1 に記載のイメージセンサ。

【請求項 3】

前記論理ゲートは、

前記 D ラッチの非反転出力信号と前記第 2 の補数制御信号を論理積して、前記第 1 の D フリップフロップのセット入力端に伝達する第 2 のアンドゲートと、

前記 D ラッチの反転出力信号と前記第 2 の補数制御信号を論理積して、前記第 1 の D フリップフロップのリセット入力端に伝達する第 3 のアンドゲートと、を含む、請求項 2 に記載のイメージセンサ。 30

【請求項 4】

前記第 1 の D フリップフロップのデータ入力端には、前記第 1 の D フリップフロップの反転出力信号がフィードバックされて入力される、請求項 3 に記載のイメージセンサ。

【請求項 5】

前記 D ラッチは、前記第 1 の補数制御信号の立ち下がりエッジに同期して反転された前記第 1 のカウント値を格納する、請求項 2 乃至 4 のいずれか一項に記載のイメージセンサ。

【請求項 6】 40

前記カウンタは、前記第 1 のカウント値の立ち下がりエッジによりトリガーされて、前記第 1 のカウント値の上位ビットである第 2 のカウント値を出力する第 2 のカウンティングユニットと、をさらに含み、

前記第 2 のカウンティングユニットは、

前記第 1 の補数制御信号に応答して反転された前記第 2 のカウント値を格納し、前記第 2 の補数制御信号に応答して反転された前記第 2 のカウント値を出力する第 2 の補数演算コントローラと、

前記第 2 の補数演算コントローラから出力・反転された前記第 2 のカウント値に基づいてセット又はリセットされ、前記第 1 のカウント値の立ち下がりエッジにより前記第 2 のカウント値を出力する第 2 の D フリップフロップと、を含む、請求項 1 に記載のイメージ 50

センサ。

【請求項 7】

前記第 1 のカウンティングユニットは、分周制御信号に応答して反転された前記第 1 のカウント値、及び反転された前記第 2 のカウント値のいずれか 1 つを選択して、前記第 1 の補数演算コントローラに伝達する第 1 のマルチプレクサをさらに含む、請求項 6 に記載のイメージセンサ。

【請求項 8】

前記分周制御信号及び前記第 1 及び第 2 の補数制御信号が活性化されると、前記第 1 のカウンティングユニットは、反転された前記第 2 のカウント値を格納して出力する、請求項 7 に記載のイメージセンサ。

10

【請求項 9】

入力信号のハイ区間又はロー区間をクロック信号を使用してカウントするカウンタ回路であって、

前記入力信号と前記クロック信号とを論理積する第 1 のアンド (AND) ゲートと、

前記第 1 のアンド (AND) ゲートの出力にトリガーされ、前記入力信号の長さをカウントするリップルカウンタと、を備え、

前記リップルカウンタは、前記入力信号の長さをカウントアップ又はカウントダウンするための複数のカウンティングユニットを含み、

前記複数のカウンティングユニットの各々は、

第 1 の補数制御信号に応答して反転されたカウンティングビットを格納する D ラッチと

20

、
第 2 の補数制御信号に応答して前記 D ラッチに格納されて前記反転されたカウンティングビットによってセット又はリセットされる D フリップフロップと、を含む、カウンタ回路。

【請求項 10】

前記複数のカウンティングユニットの各々は、

前記 D ラッチの非反転出力を前記第 2 の補数制御信号に同期して前記 D フリップフロップのセット入力端に伝達する第 2 のアンドゲートと、

前記 D ラッチの反転出力信号を前記第 2 の補数制御信号に同期して前記 D フリップフロップのリセット入力端に伝達する第 3 のアンドゲートと、をさらに含む、請求項 9 に記載のカウンタ回路。

30

【請求項 11】

前記リップルカウンタは、前記第 1 のアンド (AND) ゲートの出力の立ち下がりエッジに同期して最下位のカウント値をトグルする第 1 のカウンティングユニットと、

前記第 1 のカウンティングユニットの出力の立ち下がりエッジによりトリガーされる第 2 のカウンティングユニットと、を含む、請求項 10 に記載のカウンタ回路。

【請求項 12】

前記第 1 のカウンティングユニットの反転出力端は、前記第 1 のカウンティングユニットのデータ入力端に連結される、請求項 11 に記載のカウンタ回路。

【請求項 13】

40

前記リップルカウンタの現在のカウンティングビットの補数を生成するために前記第 1 の補数制御信号、及び前記第 2 の補数制御信号が順次にハイレベルに遷移する、請求項 9 乃至 12 のいずれか一項に記載のカウンタ回路。

【請求項 14】

入力信号のハイ区間又はロー区間をクロック信号を使用してカウントするカウンタ回路であって、

前記入力信号と前記クロック信号を論理積の演算で処理する第 1 のアンド (AND) ゲートと、

前記第 1 のアンド (AND) ゲートの出力にトリガーされ、前記入力信号の長さをカウントするための第 1 のカウンティングユニット及び第 2 のカウンティングユニットを有す

50

るリップルカウンタと、を備え、

分周制御信号が活性化されると、第1のカウンティングビットをトグルリングする前記第1のカウンティングユニットは、前記第1のカウンティングビットより上位ビットである第2のカウンティングビットをトグルリングする前記第2のカウンティングユニットから反転された前記第2のカウンティングビットをラッチして出力する、カウンタ回路。

【請求項15】

前記第1のカウンティングユニットは、

前記分周制御信号に応じて反転された前記第1のカウンティングビット及び反転された前記第2のカウンティングビットのいずれか1つを選択するマルチプレクサと、

前記マルチプレクサの出力を第1の補数制御信号に応答してラッチし、ラッチされた前記マルチプレクサの出力を第2の補数制御信号に応答して出力する補数演算コントローラと、

前記補数演算コントローラに格納された前記マルチプレクサの出力に応じてセット又はリセットされるDフリップフロップと、を含む、請求項14に記載のカウンタ回路。

【請求項16】

前記マルチプレクサは、前記分周制御信号が活性化されると、反転された前記第2のカウンティングビットを選択して前記補数演算コントローラに提供する、請求項15に記載のカウンタ回路。

【請求項17】

前記補数演算コントローラは、

前記第1の補数制御信号に応答して、前記マルチプレクサの出力を格納するDラッチと

、

前記Dラッチの非反転出力を前記第2の補数制御信号に同期して前記Dフリップフロップのセット入力端に伝達する第2のANDゲートと、

前記Dラッチの反転出力信号を前記第2の補数制御信号に同期して前記Dフリップフロップのリセット入力端に伝達する第3のANDゲートと、をさらに含む、請求項16に記載のカウンタ回路。

【請求項18】

前記Dフリップフロップの反転出力信号は、前記マルチプレクサの反転された前記第1のカウンティングビットにフィードバックされる、請求項17に記載のカウンタ回路。

【請求項19】

前記分周制御信号が活性化された状態で、前記第1の補数制御信号及び前記第2の補数制御信号が順次活性化されると、前記入力信号に対応するカウント値に対する補数演算及び分周演算が連続的に遂行される、請求項17に記載のカウンタ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、より具体的には、補数演算が可能なカウンタ、及びそれを含むイメージセンサに関する。

【背景技術】

【0002】

光の強度、音響の強さ、時間などのような有効な物理量をデジタル信号に変換するためにカウンタが使用される。例えば、イメージセンサは、入射光に反応する半導体の性質を利用してイメージを取得する装置である。イメージセンサのピクセルアレイから出力されるアナログ信号をデジタル信号に変換するために、アナログ-デジタルコンバータ（以下、ADC）が使用される。アナログ-デジタルコンバータは、クロック信号を利用してカウンティング動作を遂行するカウンタを用いて実現され得る。

【0003】

イメージセンサでのデータのサンプリングは、低ノイズの実現のためにピクセルから出力されるイメージ信号（SIG）に対応するカウント値からリセット信号のリセット信号

10

20

30

40

50

(R E S E T) に対応するカウント値を減算する方式で実現される。リセット信号のリセット信号 (R E S E T) に対応するカウント値を減算するためにカウンタには、補数演算機能が含まれ得る。しかし、高ピクセルのイメージセンサにおいて信号ライン間のカップリングの影響が大きくなるにつれて、カウンタの補数演算は失敗する確率が高まってくる。加えて、低ノイズの実現のためのリセットマルチサンプリング技法を適用するためには、分周機能を備えたカウンタに対する必要性が台頭してくる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】 米国特許第8395539号明細書

10

【特許文献2】 米国特許第8969770号明細書

【特許文献3】 米国特許第7990304号明細書

【特許文献4】 米国特許第9184753号明細書

【特許文献5】 米国特許第9774333号明細書

【特許文献6】 米国特許第9871986号明細書

【特許文献7】 米国特許第8576979号明細書

【特許文献8】 米国特許出願公開第2011/0122274号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

20

本発明は、上記従来技術から鑑みてなされたものであって、本発明の目的は、補数演算時のカップリングの影響を減らすことができ、リセットマルチサンプリング方式を適用できる分周機能を備えたカウンタ、並びにそれを含むイメージセンサを提供することにある。

【課題を解決するための手段】

【0006】

本発明の実施形態によるイメージセンサは、入射光を感知してアナログ形態のサンプリング信号を出力するピクセルセンサと、前記サンプリング信号とランプ信号を比較して時間軸の長さの情報である比較信号を出力するサンプリング部と、クロック信号、第1の補数制御信号、及び第2の補数制御信号に応答して前記比較信号の長さをカウントするカウンタと、を備え、前記カウンタは、前記比較信号と前記クロック信号を論理積する第1のアンド (AND) ゲートと、前記第1のアンドゲートの出力の立ち下がリエッジにトリガーされ、第1のカウント値を出力する第1のカウンティングユニットと、を含み、前記第1のカウンティングユニットは、前記第1の補数制御信号に応答して反転された前記第1のカウント値を格納し、前記第2の補数の制御信号に応答して反転された前記第1のカウント値を出力する第1の補数演算コントローラと、前記第1の補数演算コントローラから出力・反転された前記第1のカウント値に応じてセット又はリセットされ、前記第1のカウント値を出力する第1のDフリップフロップと、を含む。

30

【0007】

本発明の実施形態による入力信号のハイ (High) 区間又はロー (Low) 区間をクロック信号を使用してカウントするカウンタ回路は、前記入力信号と前記クロック信号を論理積する第1のアンド (AND) ゲートと、前記第1のアンド (AND) ゲートの出力にトリガーされ、前記入力信号の長さをカウントするリップルカウンタと、を備え、前記リップルカウンタは、前記入力信号の長さをカウントアップ又はカウントダウンするための複数のカウンティングユニットを有し、前記複数のカウンティングユニットの各々は、第1の補数制御信号に応答して反転されたカウンティングビットを格納するDラッチと、第2の補数の制御信号に応答して前記Dラッチに格納された前記反転されたカウンティングビットによってセット又はリセットされるDフリップフロップと、を含む。

40

【0008】

本発明の実施形態による入力信号のハイ (High) 区間又はロー (Low) 区間をクロック信号

50

を使用してカウントするカウンタ回路は、前記入力信号と前記クロック信号を論理積の演算で処理する第1のアンド（AND）ゲートと、前記第1のアンド（AND）ゲートの出力によりトリガーされ、前記入力信号の長さをカウントするための第1のカウンティングユニット及び第2のカウンティングユニットを有するリップルカウンタと、を備え、分周制御信号が活性化されると、第1のカウンティングビットをトグルリングする前記第1のカウンティングユニットは、前記第1のカウンティングビットより上位ビットである第2のカウンティングビットをトグルリングする、前記第2のカウンティングユニットから反転された前記第2のカウンティングビットをラッチして出力する。

【発明の効果】

【0009】

10

上述した本発明の実施形態によると、イメージセンサで遂行される補数演算時のカップリングの影響を減らせるカウンタを実現することができる。本発明の実施形態によると、リセットマルチサンプリング方式で使用される分周機能を備えたカウンタ、並びにそれを含むイメージセンサを実装することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施形態によるイメージセンサを示すブロック図である。

【図2】本発明の 픽셀センサアレイを例として示すブロック図である。

【図3】図2に示された1つの 픽셀センサの例としての構成を示す回路図である。

【図4】図1の相關2重サンプラ、アナログ-デジタルコンバータは、出力バッファの例としての構造を示すブロック図である。

20

【図5】本発明の実施形態によるカウンタを示す回路図である。

【図6A】図5のカウンティングユニットの構造を示すブロック図である。

【図6B】図5のカウンティングユニットの構造を示すブロック図である。

【図7】図5に図示されたカウンタの補数演算の動作を簡単に示すタイミング図である。

【図8】相關2重サンプリングのための、本発明のカウンタの動作を示すタイミング図である。

【図9】本発明の他の実施形態による相關2重サンプラ、アナログ-デジタルコンバータ、及び出力バッファの例としての構造を示すブロック図である。

30

【図10】本発明の他の実施形態によるカウンタを示す回路図である。

【図11A】図10のカウンティングユニットの構造を示すブロック図である。

【図11B】図10のカウンティングユニットの構造を示すブロック図である。

【図12】図10のカウンタで行われる分周演算を例として示すタイミング図である。

【図13A】補数演算だけ遂行するカウンティングユニット（CU<k>）の動作を各々示すタイミング図である。

【図13B】補数演算だけ遂行するカウンティングユニット（CU<k>）の動作を各々示すタイミング図である。

【図14A】補数演算及び分周演算の両方を遂行するカウンティングユニット（CU<k>）の動作を各々示すタイミング図である。

40

【図14B】補数演算及び分周演算の両方を遂行するカウンティングユニット（CU<k>）の動作を各々示すタイミング図である。

【図15】本発明のカウンタを使用するリセットマルチサンプリング動作を例として示すタイミング図である。

【図16A】本発明のカウンタを使用して、リセットマルチサンプリングを遂行するためのイメージセンサの 픽셀センサの構造を示す図である。

【図16B】本発明のカウンタを使用して、リセットマルチサンプリングを遂行するためのイメージセンサの 픽셀センサの構造を示す図である。

【図17】本発明の実施形態によるカウンタを使用するリセットマルチサンプリング方式のアナログ-デジタルコンバーティングの過程を示すタイミング図である。

50

【図 18】本発明の実施形態によるイメージセンサを含む電子システムを示すブロック図である。

【発明を実施するための形態】

【0011】

前の一般的な説明及び以下の詳細な説明の両方は、例として理解されるべきであり、請求された発明に対する付加的な説明が提供されていることとみなされるべきである。参照符号が本発明の好ましい実施形態に詳しく記載されており、それらの例が参照図面に表示されている。可能なあらゆる場合に、同じ参照符号が同じ又は類似の部分を参照するために説明及び図面に使用される。

【0012】

以下では、CMOS イメージセンサが、本発明の特徴と機能を説明するための例として使用されることになっている。しかし、この技術分野に精通した人は、ここに記載された内容に基づいて、本発明の他の利点及び性能を容易に理解できるだろう。本発明は、他の実施形態を通じて、また実現されたり適用されたりすることができる。さらに、詳細な説明は、本発明の範囲、技術的思想及び他の目的からかなり逸脱せずに、観点及びアプリケーションに応じて修正されたり変更されたりすることができる。

【0013】

以下では、本発明の技術分野における通常知識を有する者が本発明を容易に実施することができる程度に、本発明の実施形態が明確かつ詳細に記載されるだろう。

【0014】

図 1 は、本発明の実施形態によるイメージセンサを示すブロック図である。図 1 を参照すると、イメージセンサ 100 は、ピクセルセンサ (Pixel Sensor) アレイ 110 と、行デコーダ 120 と、相関 2 重サンプラー 130 と、アナログ-デジタルコンバータ (ADC、140) と、出力バッファ 150 と、コントローラ 160 と、を備える。

【0015】

ピクセルセンサアレイ 110 は、2 次元的に配列された複数のピクセルセンサを含む。各々のピクセルセンサは、光信号を電気信号に変換する。ピクセルセンサアレイ 110 は、行デコーダ 120 から選択信号 (SEL)、リセット信号 (RS) 及び転送信号 (TG) のような駆動信号によって駆動される。なお、駆動信号にตอบสนองして、各々のピクセルによってセンシング (感知) された電気信号は、複数の列ライン (CL0、CL1、… CL(m-1)) を介して相関 2 重サンプラー 130 に提供される。1 つのピクセルセンサは、単一の光電変換素子 (例えば、フォトダイオード) を含み得る。また、ピクセルセンサは、少なくとも 2 つの光電変換素子を含み、リセットマルチサンプリング方式で駆動されることも有り得る。

【0016】

行デコーダ 120 は、コントローラ 160 の制御に基づいてピクセルセンサアレイ 110 のいずれか 1 つの行を選択することができる。行デコーダ 120 は、複数の行のうちいずれか 1 つ行を選択するために選択信号 (SEL) を生成する。そして行デコーダ 120 は、選択された行に対応するピクセルに対してリセット信号 (RS) と転送信号 (TG) を順次活性化させる。そうすると、選択された行のアクティブピクセルセンサの各々から生成されるアナログ形態のリセット信号のリセット信号 (RESET) 及びイメージ信号 (SIG) が、順次に相関 2 重サンプラー 130 に伝達されることになる。

【0017】

相関 2 重サンプラー 130 は、ピクセルセンサアレイ 110 から複数の列ライン (CL0、CL1、… CL(m-1)) の各々に提供されるリセット信号のリセット信号 (RESET) とイメージ信号 (SIG) セットを順次サンプリング及びホールディング (Sampling and Holding) する。つまり、相関 2 重サンプラー 130 は、列の各々に対応するリセット信号のリセット信号 (RESET) とイメージ信号 (SIG) のレベルをサンプリングし、維持する。そして相関 2 重サンプラー 130 は、コントロー

10

20

30

40

50

ラ 1 6 0 の制御に基づいてサンプリングされた列の各々のリセット信号のリセット信号 (R E S E T) とイメージ信号 (S I G) を複数の列単位でアナログ-デジタルコンバータ 1 4 0 に伝達することができる。

【0018】

アナログ-デジタルコンバータ 1 4 0 は、相関 2 重サンプラー 1 3 0 から出力された各々の列に対するサンプリング信号をデジタル信号に変換して出力する。本発明のアナログ-デジタルコンバータ 1 4 0 は、補数演算及び分周演算が可能なカウンタを含む。クロック信号 (C L K) を使用してカウンタによってリセット信号のリセット信号 (R E S E T) とイメージ信号 (S I G) がカウンティングされる。そしてイメージ信号 (S I G) のカウント値からリセット信号のリセット信号 (R E S E T) に対応するカウント値が減算され得る。このとき、リセット信号のリセット信号 (R E S E T) に対応するカウント値は、補数演算によって負数に変換される。最後に、加算演算を介してイメージデータが生成される。

10

【0019】

特に、本発明のカウンタは、補数演算のとき、カップリングに強い回路構造を有する。すなわち、本発明のカウンタに基づいて信号ラインによるカップリングの影響から自由で高い信頼度のイメージデータをサンプリングすることができる。加えて、リセットマルチサンプリング技法を適用するイメージセンサでも、本発明の分周機能を備えたカウンタを使用してノイズを低減することができる。

20

【0020】

出力バッファ 1 5 0 は、アナログ-デジタルコンバータ 1 4 0 によって提供される各々の列単位のイメージデータをラッチして出力する。出力バッファ 1 5 0 は、コントローラ 1 6 0 の制御に基づいて、アナログ-デジタルコンバータ 1 4 0 から出力されるイメージデータを一時格納し、その後順次ラッチされたイメージデータを出力することになるだろう。ここで、出力バッファ 1 5 0 は、イメージセンサ 1 0 0 に含まれることもでき、含まれない可能性もある。

【0021】

コントローラ 1 6 0 は、ピクセルセンサアレイ 1 1 0、行デコーダ 1 2 0、相関 2 重サンプラー 1 3 0、アナログ-デジタルコンバータ 1 4 0、及び出力バッファ 1 5 0 を制御する。コントローラ 1 6 0 は、ピクセルセンサアレイ 1 1 0、行デコーダ 1 2 0、相関 2 重サンプラー 1 3 0、アナログ-デジタルコンバータ 1 4 0、及び出力バッファ 1 5 0 などの動作に必要なクロック信号 (Clock signal)、タイミング制御信号 (Timing control signal) などのような制御信号 (Control signals) を供給することができる。コントローラ 1 6 0 は、ロジック制御回路 (Logic control circuit)、位相ロックループ (Phase Lock Loop; PLL) 回路、タイミング制御回路 (Timing control circuit)、及び通信インターフェース回路 (Communication interface circuit) などを含み得る。

30

【0022】

以上では、本発明の実施形態によるイメージセンサ 1 0 0 の構成が簡単に説明された。特に、アナログ-デジタルコンバータ 1 4 0 は、列の各々に対応するリセット信号のリセット信号 (R E S E T) とイメージ信号 (S I G) との差の値を計算するカウンタを含む。加えて、カウンタはリセットマルチサンプリング機能をサポートするための分周機能をさらに含むこともできる。したがって、本発明のカウンタを介してセンシングエラーを誘発するカップリングから自由なアナログ-デジタルコンバータ 1 4 0 を実現することができる。加えて、分周機能を有するカウンタを介してノイズを減らせるリセットマルチサンプリング方式のイメージセンサを実現することができる。

40

【0023】

図 2 は、本発明のピクセルセンサアレイを例として示すブロック図である。図 2 を参照すると、ピクセルセンサアレイ 1 1 0 は、複数の行と列のマトリックス形態に配列されるピクセルセンサ (Pixel Sensors) を含む。

50

【0024】

ピクセルセンサアレイ110の各ピクセルセンサは、レッドフィルタ（Red filter）、グリーンフィルタ（Green filter）、及びブルーフィルタ（Blue filter）のうちの少なくとも1つを含み得る。レッドフィルタ（Red filter）は、赤色の波長帯域の光を通過させ、グリーンフィルタ（Green filter）は、緑色の波長帯域の光を通過させ、ブルーフィルタ（Blue filter）は、青色の波長帯域の光を通過させる。加えて、ピクセルセンサ111は、複数のトランジスタと光電変換素子を含み得る。複数のピクセルセンサ111の各々は、光電変換素子を用いて光を感知し、これを電気信号に変換して列ライン（CL）を介して出力する。加えて、リセットマルチサンプリング技法を適用するためにピクセルセンサ111は、少なくとも2つの光電変換素子を含む構造で提供されることもできる。

10

【0025】

ピクセルセンサアレイ110に選択された行（i）に対してリセット信号（RS__i）及び転送信号（TG__i）が提供されると、選択された行の各列のライン（CL__j）には、リセット信号（RS__i）と転送信号（TG__i）の各々に対応するサンプリング信号（Vout__j、Vout__j+1、Vout__j+2、Vout__j+3）が出力されるだろう。サンプリング信号（Vout__j、Vout__j+1、Vout__j+2、Vout__j+3）は、相関2重サンプラー130に提供され、各々リセット信号のリセット信号（RESET）とイメージ信号（SIG）でサンプリングされる。

20

【0026】

図3は、図2に示された1つのピクセルセンサの例としての構成を示す回路図である。図3を参照すると、ピクセルセンサ111は、1つの光電変換素子（PD）と4つのNMOSTランジスタ（TX、RX、DX、SX）を含む構成として実現され得る。しかし、ピクセルセンサ111は、多様な機能のために、追加のトランジスタや容量をさらに含む得ることはよく理解されるだろう。

【0027】

光電変換素子（PD）は、入射光の光量や光の強度に応じて電荷を生成及び蓄積する光感知素子である。光電変換素子（PD）ではフォトダイオード（Photo Diode）、フォトランジスタ（Photo Transistor）、フォトゲート（Photo Gate）、ピンフォトダイオード（Pinned Photo Diode：PPD）などで実現される。

30

【0028】

転送トランジスタ（TX）は、光電変換素子（PD）で蓄積された電荷をフローティング拡散領域（FD）に転送する。転送トランジスタ（TX）は、一般的に、1つのトランジスタで構成されることができ、行デコーダ120から提供される転送信号（TG__i）に応答して、スイッチングされる。

【0029】

フローティング拡散領域（FD：Floating Diffusion）は、入射された光量に対応する電荷を検出する機能を有する。フローティング拡散領域（FD）は、光電変換素子（PD）から提供される電荷を転送信号（TG__i）が活性化される時間の間に蓄積する。電荷の蓄積のために、フローティング拡散領域（FD）は、一定の大きさの容量（C_{FD}）を有し得る。フローティング拡散領域（FD）は、ソースフォロワー（Source follower）増幅器（アンプ）で駆動されるドライブトランジスタ（DX）のゲート端と連結される。フローティング拡散領域（FD）は、リセットトランジスタ（RX）によって電源電圧（VDD）の提供を受けられる。

40

【0030】

リセットトランジスタ（RX）は、フローティング拡散領域（FD）をリセット信号（RS__i）に応答してリセットさせる。リセットトランジスタ（RX）のソース（Source）は、フローティング拡散領域（FD）と連結され、ドレイン（Drain）は、電源電圧（VDD）端に連結される。リセット信号（RS__i）によって提供されるバイアスにより、リセットトランジスタ（RX）がターンオン（Turn-on）されると、リセットトランジ

50

スタ（RX）のドレインと連結された電源電圧（VDD）がフローティング拡散領域（FD）に伝達される。そうすると、フローティング拡散領域（FD）に蓄積された電荷は、電源電圧（VDD）端に移動し、フローティング拡散領域（FD）の電圧はリセットされる。

【0031】

ドライブトランジスタ（DX）は、ソースフォロワーアンプ（Source Follower Amplifier）の役割を遂行し、フローティング拡散領域（FD）の電氣的ポテンシャルの変化を増幅して、これを出力ラインを介してセンシング電圧（Vout_j）に出力する。

【0032】

選択トランジスタ（SX）は、行単位で読み取るピクセルセンサを選択する。選択トランジスタ（SX）は、行単位で提供される選択信号（SEL）によって駆動される。選択トランジスタ（SX）がターンオンされると、ドライブトランジスタ（DX）を介してフローティング拡散領域（FD）のポテンシャル（電位）が、選択トランジスタ（SX）のドレイン（Drain）に増幅されて伝達される。転送トランジスタ（TX）、リセットトランジスタ（RX）、選択トランジスタ（SX）の駆動信号ライン（TG_i、RS_i、SEL）は、同じ行に含まれている単位ピクセルが同時に駆動されるように行方向（水平方向）に延長される。

【0033】

図4は、図1の相関2重サンプラー、アナログ-デジタルコンバータ、及び出力バッファの例としての構造を示すブロック図である。図4を参照すると、相関2重サンプラー130は、ランプ信号発生器132とコンパレータ134を含み得る。そして、アナログ-デジタルコンバータ140は、複数のカウンタ（CNT₀、CNT₁、CNT₂、CNT₃）を含む。そして、出力バッファ150は、メモリ（MEM₀、MEM₁、MEM₂、MEM₃）とセンサアンプ154を含み得る。ここで、出力バッファ150は、適用される技術に基づいてイメージセンサ100に含まれることもでき、含まれない可能性もある。

【0034】

相関2重サンプラー130を構成するランプ信号発生器132は、コントローラ160からの制御信号（Ramp_{EN}）に応答して、一定の立ち下がり又は立ち上がりの傾きを有するランプ信号（RAMP）を出力する。つまり、ランプ信号発生器132は、コントローラ160の制御に基づいて、特定の傾きを有するランプ信号（RAMP）を連続的に発生する。ランプ信号（RAMP）との比較動作を介してリセット信号のリセット信号（RESET）とイメージ信号（SIG）は、時間軸の長さの情報に各々変換される。

【0035】

コンパレータ134は、ピクセルセンサアレイ110の列の各々に対して備えられる複数のコンパレータ（Comp₀、Comp₁、Comp₂、Comp₃）を含む。コンパレータ134は、列に対応するサンプリング信号（Vout₀、Vout₁、Vout₂、Vout₃）の各々をランプ信号（RAMP）と比較する。ここで、サンプリング信号（Vout₀、Vout₁、Vout₂、Vout₃）の各々は相関2重サンプリング動作によってサンプリングされてホールディングされたリセット信号のリセット信号（RESET）とイメージ信号（SIG）を含む。

【0036】

第1のコンパレータ（Comp₀）によるサンプリング信号（Vout₀）とランプ信号（RAMP）の比較動作は次の通りである。ランプ信号（RAMP）は、第1のコンパレータ（Comp₀）の反転入力端（-）に入力され、サンプリング信号（Vout₀）は、第1のコンパレータ（Comp₀）の非反転入力端（+）に入力される。第1のコンパレータ（Comp₀）は、第1の区間でランプ信号（RAMP）とサンプリング信号（Vout₀）のリセット信号のリセット信号（RESET）を比較し、第2の区間では、ランプ信号（RAMP）とイメージ信号（SIG）を比較してCDS出力信号（CDS_{OUT0}）に出力する。これらの手順を介してレベル情報を含むリセット信号のリセット

信号 (RESET) とイメージ信号 (SIG) は、時間軸の長さの情報に変換され得る。第2の～第4のコンパレータ (Comp2、Comp3、Comp4) の動作特性は、担当する列のみが異なるだけで、第1のコンパレータ (Comp0) と実質的に同一であるため、これらの説明は省略することにする。

【0037】

アナログ-デジタルコンバータ140は、コントローラ160からクロック信号 (CLK)、補数制御信号 (BWI、BWI__C) の提供を受けるカウンター (CNT__0、CNT__1、CNT__2、CNT__3) を含む。カウンター (CNT__j、j=0、1、2、3) は、時間軸の長さ情報に対応するコンパレータ134のCDS出力信号 (CDS__OUTj、j=0、1、2、3) をカウントしてデジタル情報に変換することができる。カウンター (CNT__j、j=0、1、2、3) は、補数制御信号 (BWI、BWI__C) がカップリングによって不安定な状況でもカウント値の信頼性の高い補数化演算を遂行することができる。カウンター (CNT__j、j=0、1、2、3) の具体的な構造及び動作は、後述する図5～図8で説明される。

10

【0038】

出力バッファ150は、コントローラ160からの制御信号 (Mem__EN) に応答して、各々の列に対応するイメージデータ (Image Data) を格納する列メモリ152と感知アンプ154を含み得る。列メモリ152は、各々に格納されたイメージデータ (Image Data) を順次に感知アンプ154に伝達する複数のメモリ (MEM__0、MEM__1、MEM__2、MEM__3) を含み得る。前で、説明したように、出力バッファ150の構成は、イメージセンサ (100、図1参照) に含まれることもでき、含まれない可能性もあることが、よく理解されるだろう。

20

【0039】

以上では、本発明の実施形態によるカウンター (CNT__0、CNT__1、CNT__2、CNT__3) を含むアナログ-デジタルコンバータ140の構造が簡単に説明された。本発明のカウンター (CNT__0、CNT__1、CNT__2、CNT__3) の各々はカップリングによって補数制御信号 (BWI、BWI__C) が不安定な状況でも安定した補数演算が可能である。

【0040】

図5は、本発明の実施形態によるカウンターを示す回路図である。図5を参照すると、図4のカウンターの中でカウンター (CNT__0) の例としての構造が示されている。ここで、残りのカウンター (CNT__1、CNT__2、CNT__3) の構造もカウンター (CNT__0) と同一であることは、よく理解されるだろう。

30

【0041】

カウンター (CNT__0) は、アンドゲート141と複数のカウンティングユニット (142、143、144、145) を含み得る。カウンター (CNT__0) は、クロック信号 (CLK) によっていずれか1つのカウンティングユニット142がトリガーされる非同期的なリップルカウンター (Ripple Counter) に構成され得る。アンドゲート141は、CDS出力信号 (CDS__OUT0) がハイ(High)レベルである区間でのみクロック信号 (CLK) を第1のカウンティングユニット142のクロック入力端に伝達する。

40

【0042】

第1のカウンティングユニット142は、基本的には、クロック入力端 (CLK) に提供される信号の立ち下がりエッジによりトリガーされるDフリップフロップを含む。すなわち、第1のカウンティングユニット142の入力クロックパルスの立ち下がりエッジにより出力端 (Q、/Q) のトグリング(toggling)が発生する。反転出力 (/Q) は、第1のカウンティングユニット142のデータ入力端 (D) に連結される。したがって、第1のカウンティングユニット142の出力は、入力クロックパルスの立ち下がりエッジに同期してトグリングを繰り返す最下位ビット (Q<0>) を出力する。特に、第1のカウンティングユニット142は、補数制御信号 (BWI、BWI__C) に基づいて、ラッチされたデータを反転させて出力することができる。第2のカウンティングユニット～第4のカ

50

ウンティングユニット（１４３、１４４、１４５）の機能も第１のカウンティングユニット１４２と実質的に同一である。

【００４３】

上述した機能により、カウンタ（CNT__0）は、CDS出力信号（CDS__OUT0）に提供されるリセット信号のリセット信号（RESET）をカウンティングする。補数制御信号（BWI、BWI__C）が提供されると、リセット信号のリセット信号（RESET）のカウンティング値は、反転されることで１の補数（Complement）に変換される。バイナリ演算で補数は負数に使用され得る。したがって、リセット信号のリセット信号（RESET）の反転されたカウンティング値をはじめとし、イメージ信号（SIG）をカウント-アップ（Count-up）すると、最終的にイメージ信号（SIG）からリセット信号のリセット信号（RESET）を減算したイメージデータの値（SIG-RESET）がカウンタ（CNT__0）から得られる。

10

【００４４】

特に、本発明のカウンタ（CNT__0）は、Dラッチを使用して、補数制御信号（BWI、BWI__C）がカップリングによって不安定であるとしても、安定したカウント動作を行うことができる。これらの特徴は、後述する図面を介してより詳しく説明されるだろう。

【００４５】

図６Ａ及び図６Ｂは、図５のカウンティングユニットの構造を示すブロック図である。図６Ａ及び図６Ｂを参照すると、カウンタ（CNT__0）を構成する各々のカウンティングユニット（CU<k>）は、補数演算コントローラ１４６とDフリップフロップ１４７を含む。そして補数演算コントローラ１４６は、Dラッチ１４６aとアンドゲート（１４６B、１４６C）を使用して構成することができる。

20

【００４６】

図６Ａをもう少し具体的に説明すると、次の通りである。カウンティングユニット（CU<k>）を構成する補数演算コントローラ１４６は、カウンティングユニット（CU<k>）の反転出力（/Q<k>）と補数制御信号（BWI、BWI__C）の提供を受ける。カウンティングユニット（CU<k>）の反転出力（/Q<k>）は、補数演算コントローラ１４６とDフリップフロップ１４７の入力端（D）にフィードバックされる。補数演算コントローラ１４６は、フィードバックされた反転出力（/Q<k>）をDラッチ（１４６a、図６Ｂを参照）を使用して格納する。したがって、反転出力（/Q<k>）のレベルが不安定であるとしても最初ラッチされた反転出力（/Q<k>）の値が維持される。加えて、補数演算コントローラ１４６に維持された反転出力（/Q<k>）は、Dフリップフロップ１４７のセット（SET）端及びリセット（RESET）端に提供される。したがって、Dフリップフロップ１４７のデータ入力端（D）に提供された反転出力（/Q<k>）が不安定な場合でも、Dフリップフロップ１４７の出力端（Q）は、セット（SET）端とリセット（RESET）端の状態に応じて変動されるのである。Dフリップフロップ１４７のクロック入力端（CLK）には、下位カウンティングユニット（CU<k-1>）の出力値（Q<k-1>）が提供される。Dフリップフロップ１４７は、カウンティングユニット（CU<k-1>）の出力値（Q<k-1>）の立ち下がりエッジによりトリガーされる。

30

40

【００４７】

図６Ｂをもう少し具体的に説明すると、次の通りである。補数演算コントローラ１４６は、Dラッチ１４６aとアンドゲート（１４６B、１４６C）を含み得る。Dラッチ１４６aのデータ入力端（D）には、フィードバックされた反転出力（/Q<k>）が入力され、クロック入力端には、第１の補数制御信号（BWI__C）が入力される。フィードバックされた反転出力（/Q<k>）は、第１の補数制御信号（BWI__C）の立ち上がりエッジに同期してDラッチ１４６aに格納される。そうすると、第１の補数制御信号（BWI__C）の次の立ち上がりエッジまでの反転出力（/Q<k>）のビット値は、Dラッチ１４６aによって安定的に維持され得る。

50

【0048】

第1の補数制御信号(BWI__C)の立ち上がりエッジによりDラッチ146aに格納された反転出力(/Q<k>)のビット値は、第2の補数制御信号(BWI)に同期してDフリップフロップ147に出力される。つまり、アンド(AND)ゲート146Bは、Dラッチ146aの非反転出力(Q)と第2の補数制御信号(BWI)の入力を受けてセット信号(S)に出力する。アンド(AND)ゲート146Cは、Dラッチ146aの反転出力(/Q)と第2の補数制御信号(BWI)の入力を受けてリセット信号(R)に出力する。つまり、アンドゲート(146B、146C)によってDラッチ146aに格納されたビット値は、第2の補数制御信号(BWI)によってDフリップフロップ147のセット端子(SET)又はリセット端子(RESET)に伝達される。

10

【0049】

図7は、図5に図示されたカウンターの補数演算動作を簡単に示すタイミング図である。図5～図7を参照すると、補数制御信号(BWI__C、BWI)に応答してカウンター(CNT__0)は、カウント値を反転させて補数に変換することができる。補数制御信号(BWI__C、BWI)はT5時点まではロー(Low)レベル(L)を維持する。カウントがスタートされると、サンプリング信号(Vout0)は、固定された値に維持され、ランプ信号(RAMP)は、時間軸に対して一定の傾きで下降する。本発明のカウンター(CNT__0)のカウント動作が開始される。

【0050】

T0時点で、ランプ信号(RAMP)とサンプリング信号(Vout0)の比較結果であるCDS出力信号(CDS__OUT0)がハイレベルに遷移する。そうすると、アンドゲート141によってクロック信号(CLK)が第1のカウンティングユニット(CU<0>)に伝達される。第1のカウンティングユニット(CU<0>)は、クロック信号(CLK)の立ち下がりエッジによりトリガーされる。したがって、クロック信号(CLK)の立ち下がりエッジが発生するT1の時点で最下位ビット(Q<0>)が論理「1」にトグルングされ、第2のクロック信号(CLK)の立ち下がりエッジが発生するT2時点では、再び最下位ビット(Q<0>)が論理「0」にトグルングされる。これらの第1のカウンティングユニット(CU<0>)のトグルング動作は、クロック信号(CLK)が第1のカウンティングユニット(CU<0>)に提供される区間の間、持続される。つまり、CDS出力信号(CDS__OUT0)がハイレベルに維持される区間では、第1のカ

20

30

【0051】

T2時点で、第1のカウンティングユニット(CU<0>)の出力ビット値(Q<0>)の立ち下がりエッジが発生する。したがって、出力ビットの値(Q<0>)の立ち下がりエッジによりトリガーされる第2のカウンティングユニット(CU<1>)でトグルングが発生する。つまり、出力ビット値(Q<0>)の立ち下がりエッジが発生するT2時点でビット値(Q<1>)は、論理「1」にトグルングされる。出力ビットの値(Q<0>)の第2の立ち下がりエッジが発生するT3時点では、再びビット値(Q<1>)は、論理「0」にトグルングされる。これらの第2のカウンティングユニット(CU<1>)のトグルングは、CDS出力信号(CDS__OUT0)がハイレベルに維持される区間の間、持続される。

40

【0052】

T3時点で、第2のカウンティングユニット(CU<1>)の出力ビット値(Q<1>)の立ち下がりエッジが発生する。したがって、出力ビットの値(Q<1>)の立ち下がりエッジによりトリガーされる第3のカウンティングユニット(CU<2>)のトグルングが発生する。つまり、出力ビットの値(Q<1>)の立ち下がりエッジが発生するT3時点でビット値(Q<2>)は、論理「1」にトグルングされる。出力ビット値(Q<1>)の第2の立ち下がりエッジが発生するT4時点では、再びビット値(Q<2>)は、論理「0」にトグルングされる。これらの第3のカウンティングユニット(CU<2>)のトグルングは、CDS出力信号(CDS__OUT0)がハイレベルに維持される区間の

50

間、持続される。

【0053】

T4時点で、第3のカウンティングユニット(CU<2>)の出力ビット値(Q<2>)の立ち下がリエッジが発生する。出力ビットの値(Q<2>)の立ち下がリエッジによりトリガーされる第4のカウンティングユニット(CU<3>)のトグリングが発生する。つまり、出力ビットの値(Q<2>)の立ち下がリエッジが発生するT4時点で、ビット値(Q<3>)は、論理「1」にトグリングされる。図示されていないが、出力ビット値(Q<2>)の第2の立ち下がリエッジが発生する時点では、再びビット値(Q<3>)は、論理「0」にトグリングされる。

【0054】

T5時点で、CDS出力信号(CDS__OUT0)がローレベル(L)に遷移する。すると、クロック信号(CLK)の第1のカウンティングユニット(CU<0>)への伝達は遮断され、カウント動作は停止される。この時点でカウンタ(CNT__0)のカウント値は「1010(Q<3>、Q<2>、Q<1>、Q<0>)」である。この状態で、第1の補数制御信号(BWI__C)がハイレベル(H)に遷移すると、カウンティングユニット(CU<0>、CU<1>、CU<2>、CU<3>)の各々の反転出力値が、各々の補数制御コントローラ146に備えられたDラッチ(146a、図6Bを参照)に格納される。

【0055】

T6時点では、第2の補数制御信号(BWI)がハイレベル(H)に遷移すると、カウンティングユニット(CU<0>、CU<1>、CU<2>、CU<3>)の各々の反転出力値が、各々のDフリップフロップ(147、図6Aを参照)のセット(SET)端及びリセット(RESET)端に提供される。それでは、T5時点でカウンタ(CNT__0)のカウント値「1010」は、1の補数「0101」に変換される。続いて、T7時点で第2の補数制御信号(BWI)がローレベル(L)に遷移すると、カウンタ(CNT__0)の値は、補数「0101」を維持するようになるだろう。

【0056】

図8は、相関2重サンプリングのための、本発明のカウンタの動作を示すタイミング図である。図8を参照すると、本発明のカウンタは、リセット信号のリセット信号(RESET)をサンプリングして補数を取り、続いてイメージ信号(SIG)をサンプリングする方式で相関2重サンプリング信号を処理することができる。

【0057】

T0時点で、リセット信号のリセット信号(RESET)に対応するサンプリング信号(Vout0)がコンパレータ(Comp0)に伝達される。そうすると、ランプ信号(RAMP)とサンプリング信号(Vout0)の比較結果であるCDS出力信号(CDS__OUT0)が、ハイレベル(H)に遷移する。CDS出力信号(CDS__OUT0)のハイレベル(H)への遷移とともにアンド(AND)ゲート141によってクロック信号(CLK)が、第1のカウンティングユニット(CU<0>)に伝達される。続いて、カウンティングユニット(CU<0>、CU<1>、CU<2>、CU<3>)によってCDS出力信号(CDS__OUT0)のハイレベル区間がカウンティングされる。

【0058】

T1時点で、CDS出力信号(CDS__OUT0)がローレベル(L)に遷移する。それで、クロック信号(CLK)の第1のカウンティングユニット(CU<0>)への伝達は遮断され、カウンタ(CNT__0)のカウンティング動作は、一時停止される。この時点でカウンタ(CNT__0)のカウント値は「1010(Q<3>、Q<2>、Q<1>、Q<0>)」である。この状態で、第1の補数制御信号(BWI__C)がハイレベル(H)に遷移すると、カウンティングユニット(CU<0>、CU<1>、CU<2>、CU<3>)の各々のDラッチ(146a、図6Bを参照)には、反転されたカウント値が格納される。しかし、Dフリップフロップ147に伝達されないだろう。

【0059】

10

20

30

40

50

T 2 時点で、第 2 の補数制御信号 (B W I) がハイレベル (H) に遷移すると、カウンティングユニット (C U < 0 >、C U < 1 >、C U < 2 >、C U < 3 >) の各々の D ラッチ 1 4 6 a に格納されて反転されたカウント値が、D フリップフロップ (1 4 7、図 6 A を参照) に伝達される。それで、カウンタ (C N T _ 0) のカウント値「1 0 1 0」は、1 の補数「0 1 0 1」に変換・出力される。

【0 0 6 0】

T 3 時点で、第 2 の補数制御信号 (B W I) がローレベル (L) に遷移すると、カウンタ (C N T _ 0) のカウント値は、補数「0 1 0 1」を維持するようになる。

【0 0 6 1】

T 4 時点で、イメージ信号 (S I G) に対応するサンプリング信号 (V o u t 0) がコンパレータ (C o m p 0) に伝達される。そうすると、ランプ信号 (R A M P) とサンプリング信号 (V o u t 0) の比較結果である C D S 出力信号 (C D S _ O U T 0) が、再びハイレベル (H) に遷移する。C D S 出力信号 (C D S _ O U T 0) のハイレベル (H) への遷移とともにアンドゲート 1 4 1 によってクロック信号 (C L K) が、第 1 のカウンティングユニット (C U < 0 >) に伝達される。続いて、カウンティングユニット (C U < 0 >、C U < 1 >、C U < 2 >、C U < 3 >) によって C D S 出力信号 (C D S _ O U T 0) のハイレベルの区間がカウンティングされる。

【0 0 6 2】

T 4 時点で、カウンタ (C N T _ 0) のカウントのスタート値は、リセット信号のリセット信号 (R E S E T) のカウント値の補数である「0 1 0 1」となる。カウンタ (C N T _ 0) は、負数に対応する「0 1 0 1」でイメージ信号 (S I G) のカウント値が加算される方式で動作する。したがって、イメージ信号 (S I G) のカウント値からリセット信号のリセット信号 (R E S E T) のカウント値が減算され得る。

【0 0 6 3】

上述した方式で相関 2 重サンプリングが行われる場合には、リセット信号のリセット信号 (R E S E T) のカウント値を格納するための別のメモリを備えなくても、容易に相関 2 重サンプリング値をデジタルデータに変換することができる。

【0 0 6 4】

図 9 は、本発明の他の実施形態による相関 2 重サンプラ、アナログ-デジタルコンバータ、及び出力バッファに対する例としての構造を示すブロック図である。図 9 を参照すると、相関 2 重サンプラ 1 3 0 は、ランプ信号発生器 1 3 2 とコンパレータ 1 3 4 を含み得る。そして、アナログ-デジタルコンバータ 2 4 0 は、複数のカウンタ (C N T _ 0、C N T _ 1、C N T _ 2、C N T _ 3) を含む。そして、出力バッファ 1 5 0 は、メモリ (M E M _ 0、M E M _ 1、M E M _ 2、M E M _ 3) とセンスアンプ 1 5 4 を含み得る。相関 2 重サンプラ 1 3 0 と出力バッファ 1 5 0 は、図 4 のそれらと同一であるため、これらに対する説明は省略することにする。

【0 0 6 5】

この実施形態では、アナログ-デジタルコンバータ 2 4 0 は、クロック信号 (C L K)、補数制御信号 (B W I、B W I _ C)、及び分周制御信号 (D I V I D E) の提供を受けるカウンタ (C N T _ 0、C N T _ 1、C N T _ 2、C N T _ 3) を含む。カウンタ (C N T _ j、j = 0、1、2、3) は、時間軸の長さ情報に対応するコンパレータ 1 3 4 の C D S 出力信号 (C D S _ O U T j、j = 0、1、2、3) をカウントしてデジタル情報に変換することができる。カウンタ (C N T _ j、j = 0、1、2、3) は、補数制御信号 (B W I、B W I _ C) がカップリングによって不安定な状況でもカウント値の安定的な補数化演算を遂行することができる。加えて、カウンタ (C N T _ j、j = 0、1、2、3) は、分周制御信号 (D I V I D E) に応答してカウントのバイナリ値を 2 で割ることができる。分周機能を有するカウンタ (C N T _ j、j = 0、1、2、3) の具体的な構造と動作は、後述する図面を介して詳細に説明する。

【0 0 6 6】

以上では、本発明の実施形態による補数機能及び分周機能を有するカウンタ (C N T

10

20

30

40

50

— 0、CNT__1、CNT__2、CNT__3)を含むアナログ-デジタルコンバータ240の構造が簡単に説明された。本発明のカウンター(CNT__0、CNT__1、CNT__2、CNT__3)の各々は、カップリングによって補数制御信号(BWI、BWI__C)が不安定な状況でも安定した補数演算が可能である。加えて、分周機能を介してアナログ-デジタルコンバータ240は、リセットマルチサンプリング技法を容易に適用することができ、ノイズの大きさを減らすことができる。

【0067】

図10は、本発明の他の実施形態によるカウンターを示す回路図である。図10を参照すると、図9のカウンターの中でカウンター(CNT__0)の例としての構造が示されている。ここで、残りのカウンター(CNT__1、CNT__2、CNT__3)の構造もカウンター(CNT__0)と同一であることは、よく理解されるだろう。

10

【0068】

カウンター(CNT__0)は、アンドゲート241と、複数のカウンティングユニット(242、243、244、245)を含み得る。カウンター(CNT__0)は、クロック信号(CLK)によっていずれか1つのカウンティングユニット242が、トリガーされる非同期式リップルカウンター(Ripple Counter)に構成される。アンドゲート241は、CDS出力信号(CDS__OUT0)がハイレベルである区間でのみクロック信号(CLK)を第1のカウンティングユニット242のクロック入力端に伝達する。

【0069】

第1のカウンティングユニット242は、基本的には、立ち下がりエッジによりトリガーされるDフリップフロップを含む。すなわち、第1のカウンティングユニット242の入力クロックの立ち下がりエッジで出力(Q、/Q)のトグルリングが発生する。反転出力端(/Q)は、第1のカウンティングユニット242のデータ入力端(D)に連結される。したがって、第1のカウンティングユニット242の出力は、入力クロックの立ち下がりエッジに同期してトグルリングを繰り返す最下位ビット(Q<0>)を出力する。特に、第1のカウンティングユニット242は、補数制御信号(BWI、BWI__C)に基づいて、ラッチされたデータを反転させて出力することができる。加えて、第1のカウンティングユニット242は、分周制御信号(DIVIDE)に応答して、ラッチされたバイナリデータを2で割る分周動作を遂行することができる。第2のカウンティングユニットから第4のカウンティングユニット(243、244、245)の機能も第1のカウンティングユニット242と実質的に同一である。

20

30

【0070】

上述した機能によりカウンター(CNT__0)は、イメージ信号(SIG)、及びリセット信号のリセット信号(RESET)を複数回サンプリングし、平均値を出力するマルチサンプリングの動作を行うことができる。例えば、イメージ信号(SIG)と2回リセット信号(REF1、REF2)がサンプリングされる場合には、最終的に出力されるイメージデータは、 $(SIG - (REF1 + REF2) / 2)$ にならなければならない。この場合には、リセットノイズが $(1/\text{root}(2))$ 倍だけ減少することになり、低ノイズのイメージセンサの実現が可能になる。しかし、平均値を計算するために2で割る分周機能が必要である。本発明のアナログ-デジタルコンバータ240に含まれるカウンター(CNT__0、CNT__1、CNT__2、CNT__3)は、分周制御信号(DIVIDE)に

40

【0071】

図11A及び図11Bは、図10のカウンティングユニットの構造を示すブロック図である。図11A及び図11Bを参照すると、カウンター(CNT__0)を構成する各々のカウンティングユニット(CU<k>)は、マルチプレクサ248、補数演算コントローラ246、及びDフリップフロップ247を含む。そして補数演算コントローラ246は、Dラッチ246Aとアンドゲート(246b、246c)を使用して構成することができる。

【0072】

50

図11Aをより具体的に説明すると、次の通りである。マルチプレクサ248は、分周制御信号(DIVIDE)の制御に基づいてカウンティングユニット(CU<k>)の反転出力(/Q<k>)、及び上位ビットに対応するカウンティングユニット(CU<k+1>)の反転出力(Qu=/Q<k+1>)のいずれか1つを選択する。マルチプレクサ248によって選択されたデータ信号(Qi)は、補数演算コントローラ246の入力端(D)に提供される。

【0073】

具体的には、分周制御信号(DIVIDE)が「0」である場合には、マルチプレクサ248は、カウンティングユニット(CU<k>)の反転出力(/Q<k>)を選択する。反転出力(/Q<k>)が補数演算コントローラ246の入力端(D)に提供されると、補数演算コントローラ246とDフリップフロップ247は、図6Aのカウンティングユニット(CU<k>)と同じ補数演算を遂行することができる。

【0074】

補数演算のために、補数演算コントローラ246は、カウンティングユニット(CU<k>)のフィードバックされた反転出力(/Q<k>)と補数制御信号(BWI、BWI__C)の提供を受ける。反転出力(/Q<k>)は、補数演算コントローラ246とDフリップフロップ247の入力端(D)にフィードバックされる。補数演算コントローラ246は、フィードバックされた反転出力(/Q<k>)をDラッチ(図11B参照)を使用して格納する。したがって、反転出力(/Q<k>)のレベルが不安定だとしても、ラッチされた反転出力(/Q<k>)の値が維持される。加えて、補数演算コントローラ246に維持された反転出力(/Q<k>)は、Dフリップフロップ247のセット(SET)端、及びリセット(RESET)端に提供される。したがって、Dフリップフロップ247の入力端(D)に提供された反転出力(/Q<k>)が不安定な場合でも、Dフリップフロップ247の出力(Q)は、セット(SET)端とリセット(RESET)端の状態に応じて変動されるはずである。Dフリップフロップ247のクロック入力端(CLK)には、下位カウンティングユニット(CU<k-1>)の非反転出力(Q<k-1>)が提供される。Dフリップフロップ147は、非反転出力(Q<k-1>)の立ち上がりエッジによりトリガーされる。

【0075】

一方、分周制御信号(DIVIDE)が「1」である場合には、マルチプレクサ248は、上位カウント値(Qu)に対応するカウンティングユニット(CU<k+1>)の反転出力(/Q<k+1>)を選択する。この場合、補数演算コントローラ246とDフリップフロップ247は、上位カウント値(Qu)をラッチする動作を行うようになる。バイナリ演算で、下位ビットへのシフトは2で割る分周演算に対応する。したがって、カウンタ(CNT__0)の全体的においては、各々のDフリップフロップ247には、上位カウンティングユニット(CU<k+1>)の反転カウント値(/Q<k+1>)がサブカウンティングユニット(CU<k>)にシフトされる補数演算及び分周演算が発生する。

【0076】

図11Bを参照すると、補数演算コントローラ246は、Dラッチ246A、及びアンドゲート(246b、246c)を含み得る。Dラッチ246Aのデータ入力端(D)には、フィードバックされた反転出力(/Q<k>)が、クロック入力端には、第1の補数制御信号(BWI__C)が入力される。反転出力(/Q<k>)は、第1の補数制御信号(BWI__C)の立ち上がりエッジに同期してDラッチ246Aに格納される。そうすると、第1の補数制御信号(BWI__C)の次の立ち上がりエッジまで反転出力(/Q<k>)のビット値は、Dラッチ246Aによって安定的に維持される。

【0077】

第1の補数制御信号(BWI__C)の立ち上がりエッジによりDラッチ246Aに格納された反転出力(/Q<k>)のビット値は、第2の補数制御信号(BWI)によって出力される。つまり、アンドゲート246bは、Dラッチ246Aの非反転出力(Q)と第

10

20

30

40

50

2の補数制御信号(BWI)の入力を受けてセット信号(S)を出力する。アンドゲート246cは、Dラッチ246Aの反転出力(/Q)と第2の補数制御信号(BWI)の入力を受けて、リセット信号(R)を出力する。つまり、アンドゲート(246b、246c)によってDラッチ246Aに格納されたビット値は、第2の補数制御信号(BWI)によってDフリップフロップ247のセット/リセット端子に伝達される。

【0078】

補数演算コントローラ246は、入力されるデータ(Qi)に応じて、分周演算又は補数演算を選択的に行うことができる。

【0079】

図12は、図10のカウンターで行われる分周演算を例として示すタイミング図である。図12を参照すると、補数制御信号(BWI_C、BWI)、及び分周制御信号(DIVID)に応答してカウンタ(CNT_0)はカウント値を反転させたり、分周演算で処理したりすることができる。

【0080】

T0時点で、ランプ信号(RAMP)及びサンプリング信号(Vout0)の比較結果であるCDS出力信号(CDS_OUT0)が、ハイレベル(H)に遷移する。そうすると、アンドゲート(241、図10を参照)によってクロック信号(CLK)が、第1のカウンティングユニット(CU<0>)に伝達される。第1のカウンティングユニット(CU<0>)は、クロック信号(CLK)の立ち下がりエッジによりトリガーされる。したがって、クロック信号(CLK)の立ち下がりエッジが発生する時点からカウンタ(CNT_0)のカウンティングが始まる。つまり、カウンティングユニット(CU<0>、CU<1>、CU<2>、CU<3>)の各々のカウンティング値(Q<0>、Q<1>、Q<2>、Q<3>)がカウンタアップ(Count-up)される。

【0081】

T1時点で、CDS出力信号(CDS_OUT0)がローレベル(L)に遷移し、分周制御信号(DIVID)がハイレベル(H)に遷移する。すると、クロック信号(CLK)の伝達は遮断され、カウンタ(CNT_0)のカウンティング動作は停止される。カウンタ(CNT_0)のカウント値は「1010(Q<3>、Q<2>、Q<1>、Q<0>)」になる。この時点で、補数演算及び分周演算を遂行するために、先に、第1の補数制御信号(BWI_C)がハイレベル(H)に遷移すると、カウンティングユニット(CU<0>、CU<1>、CU<2>、CU<3>)の各々の反転出力が各々のDラッチ(146a、図6Bを参照)に格納される。加えて、分周制御信号(DIVID)のハイレベル遷移によってカウンティングユニット(CU<k>)の各々のマルチプレクサ(248、図11Aを参照)は、上位カウント値(Qu)に対応するカウンティングユニット(CU<k+1>)の反転カウント値(/Q<k+1>)を選択することになるだろう。

【0082】

T2時点で、第2の補数制御信号(BWI)がハイレベル(H)に遷移すると、カウンティングユニット(CU<0>、CU<1>、CU<2>、CU<3>)の各々の反転カウント値が各々のDフリップフロップ(147、図11Aを参照)のセット(SET)及びリセット(RESET)の端に提供される。すると、カウンタ(CNT_0)のカウント値「1010」は、1の補数「0101」に変換される。同時に、補数「0101」の分周制御信号(DIVID)が「1」であるので、マルチプレクサ248は、上位カウント値(Qu)に対応するカウンティングユニット(CU<k+1>)の反転出力(/Q<k+1>)を選択する。この場合、補数演算コントローラ246とDフリップフロップ247は、上位カウント値(Qu)をラッチする動作を行うことになる。したがって、カウンティングユニット(CU<0>、CU<1>、CU<2>、CU<3>)の各々は、補数「0101」の上位カウント値を下位ビットにシフトさせる。したがって、補数「0101」の最下位ビット「1」は無効化され、残りの3つのビット「010」のみがカウント(CNT_0)に維持される。このような動作は、補数化演算によって負数に変換

10

20

30

40

50

されたりセット信号のリセット信号 (R E S E T) を追加に 2 で割る分周演算に該当する。

【0083】

続いて、T 3 時点で第 2 の補数制御信号 (B W I) がローレベル (L) に遷移し、T 4 時点で分周制御信号 (D I V I D E) もローレベル (L) に遷移すると、カウンタ (C N T _ 0) のカウント値は、分周された補数「0 1 0」を維持することになるだろう。

【0084】

図 1 3 A 及び図 1 3 B は、補数演算だけを遂行するカウンティングユニット (C U < k >) の動作を各々示すタイミング図である。図 1 3 A は、カウンティングユニット (C U < k >) の現在のデータ値 (Q < k >) が論理「1」である場合の補数演算だけを示し、図 1 3 B は、カウンティングユニット (C U < k >) の現在のデータ値 (Q < k >) が論理「0」である場合の補数演算を示す。

10

【0085】

図 1 3 A を参照すると、カウンティングユニット (C U < k >) の現在のデータ値 (Q < k >) は、論理「1」であり、分周制御信号 (D I V I D E) は、ローレベル (L) を維持する。すると、マルチプレクサ (2 4 8、図 1 1 A を参照) は、フィードバックされた反転カウント値 ($/Q < k > = \text{「0」}$) を選択して、補数演算コントローラ 2 4 6 の入力 (Q i) に提供する。

【0086】

t 0 時点で、第 1 の補数制御信号 (B W I _ C) がハイレベル (H) に遷移する。第 1 の補数制御信号 (B W I _ C) の立ち上がりエッジに同期して、補数演算コントローラ (2 4 6、図 1 1 B を参照) 内の D ラッチ (2 4 6 a、図 1 1 B を参照) には、入力 (Q i) である論理「0」が格納される。

20

【0087】

次いで、t 1 時点では、第 2 の補数制御信号 (B W I) がハイレベル (H) に遷移する。第 2 の補数制御信号 (B W I) のハイレベル (H) の区間 (t 1 ~ t 2) の間に補数演算コントローラ (2 4 6、図 1 1 B を参照) 内の D ラッチ (2 4 6 a、図 1 1 B を参照) に格納された論理「0」が、アンドゲート (2 4 6 b、2 4 6 c) を介して D フリップフロップ 2 4 7 のセット (S E T = 0) 及びリセット (R E S E T = 1) 端に提供される。そうすると、D フリップフロップ 2 4 7 の出力値 (Q < k >) は、リセット (論理「0」) の値に遷移される。

30

【0088】

図 1 3 B を参照すると、分周制御信号 (D I V I D E) は、ローレベル (L) であり、カウンティングユニット (C U < k >) の現在のデータ値 (Q < k >) は、論理「0」である。すると、マルチプレクサ (2 4 8、図 1 1 A を参照) は、フィードバックされた反転カウント値 ($/Q < k > = \text{「1」}$) を選択して、補数演算コントローラ 2 4 6 の入力 (Q i) に提供する。このとき、補数演算コントローラ (2 4 6、図 1 1 B を参照) 内の D ラッチ (2 4 6 a、図 1 1 B を参照) には、論理「1」が格納される。

【0089】

t 0 時点で、第 1 の補数制御信号 (B W I _ C) がハイレベル (H) に遷移する。第 1 の補数制御信号 (B W I _ C) の立ち上がりエッジに同期して、補数演算コントローラ (2 4 6、図 1 1 B を参照) 内の D ラッチ (2 4 6 a、図 1 1 B を参照) には、入力 (Q i) の論理「1」が格納される。

40

【0090】

t 1 時点で、第 2 の補数制御信号 (B W I) がハイレベル (H) に遷移する。第 2 の補数制御信号 (B W I) のハイレベル (H) の区間 (t 1 ~ t 2) の間に補数演算コントローラ (2 4 6、図 1 1 B を参照) 内の D ラッチ (2 4 6 a、図 1 1 B を参照) に格納された論理「1」が、アンドゲート (2 4 6 b、2 4 6 c) を介して D フリップフロップ 2 4 7 のセット (S E T = 1) 及びリセット (R E S E T = 0) 端に提供される。すると、t 1 時点で D フリップフロップ 2 4 7 の出力値 (Q < k >) は、セット (論理「1」) の

50

値に遷移される。

【0091】

図14A及び図14Bは、補数演算及び分周演算の両方を遂行するカウンティングユニット(CU<k>)の動作を各々示すタイミング図である。図14Aは、カウンティングユニット(CU<k>)のカウント値(Q<k>)が論理「1」であり、カウンティングユニット(CU<k+1>)の反転カウント値(/Q<k+1>)が、論理「0」である場合の補数演算及び分周演算を示す。そして、図14Bは、カウンティングユニット(CU<k>)の現在のカウント値(Q<k>)が論理「0」であり、カウンティングユニット(CU<k+1>)の反転カウント値(/Q<k+1>)が論理「1」である場合の補数演算及び分周演算を示す。

10

【0092】

図14Aを参照すると、分周制御信号(DIVIDE)がハイレベル(又は論理「1」)である場合には、マルチプレクサ(248、図11Aを参照)は、上位カウント値(Q_u)に対応するカウンティングユニット(CU<k+1>)の反転カウント値(/Q<k+1>=「0」)が選択される。したがって、補数演算コントローラ246の入力(Q_i)には、カウンティングユニット(CU<k>)の現在のカウント値(Q<k>=「1」)に関係なく、カウンティングユニット(CU<k+1>)の反転カウント値(/Q<k+1>=「0」)が提供される。

【0093】

t0時点で、第1の補数制御信号(BW_I__C)の立ち上がりエッジに同期して、補数演算コントローラ(246、図11Bを参照)内のDラッチ(246a、図11Bを参照)には、反転カウント値(/Q<k+1>=「0」)に対応する論理「0」が格納される。

20

【0094】

次いで、t1時点では、第2の補数制御信号(BW_I)がハイレベル(H)に遷移する。すると、第2の補数制御信号(BW_I)のハイレベル(H)の区間(t1~t2)の間に補数演算コントローラ(246、図11Bを参照)内のDラッチ(246a、図11Bを参照)に格納された論理「0」が、アンドゲート(246b、246c)を介してDフリップフロップ247のセット(SET=0)及びリセット(RESET=1)端に提供される。そうすると、Dフリップフロップ247の出力値(Q<k>)は、リセット(論理「0」)の値に遷移される。

30

【0095】

上述した方式で反転された上位カウント値(/Q<k+1>)が下位カウントビット(Q<k>)にシフトされる。反転された上位カウント値(/Q<k+1>)が下位カウントビット(Q<k>)にシフトされることで、補数演算及び分周演算が共に遂行される。

【0096】

図14Bを参照すると、分周制御信号(DIVIDE)がハイレベル(又は論理「1」)である場合には、マルチプレクサ(248、図11Aを参照)は、上位カウント値(Q_u)に対応するカウンティングユニット(CU<k+1>)の反転カウント値(/Q<k+1>=「0」)が選択される。したがって、補数演算コントローラ246の入力(Q_i)には、カウンティングユニット(CU<k>)の現在のカウント値(Q<k>=「1」)に関係なく、カウンティングユニット(CU<k+1>)の反転カウント値(/Q<k+1>=「1」)が提供される。

40

【0097】

t0時点で、第1の補数制御信号(BW_I__C)の立ち上がりエッジに同期して、補数演算コントローラ(246、図11Bを参照)内のDラッチ(246a、図11Bを参照)には、反転カウント値(/Q<k+1>)に対応する論理「1」が格納される。

【0098】

次いで、t1時点では、第2の補数制御信号(BW_I)がハイレベル(H)に遷移する。そうすると、第2の補数制御信号(BW_I)のハイレベル(H)区間(t1~t2)の

50

間に補数演算コントローラ（246、図11Bを参照）内のDラッチ（246a、図11Bを参照）に格納された論理「1」が、アンドゲート（246b、246c）を介してDフリップフロップ247のセット（SET=0）及びリセット（RESET=1）端に提供される。そうすると、Dフリップフロップ247の出力値（ $Q < k >$ ）は、セット（論理「1」）の値に遷移される。

【0099】

このような方式で反転された上位カウント値（ $/Q < k + 1 >$ ）が、下位カウントビット（ $Q < k >$ ）にシフトされる。反転された上位カウント値（ $/Q < k + 1 >$ ）が下位カウントビット（ $Q < k >$ ）にシフトされることで、補数演算及び分周演算の同時遂行が可能である。

10

【0100】

図15は、本発明のカウンターを使用するリセットマルチサンプリング動作を例として示すタイミング図である。図15を参照すると、2回のリセット信号（R1、R2）のサンプリング、及びイメージ信号（S）をサンプリングするマルチサンプリングの動作において、本発明のカウンター（CNT_j）の動作が説明される。

【0101】

T0時点で、ランプ信号（RAMP）が活性化になり、カウンタイネーブル信号（COUNT_{EN}）の活性化に応じて、第1のリセット信号（R1）に対応するサンプリング信号（Vout）のレベルが、時間軸の長さの情報に変換され始める。サンプリング信号（Vout）のレベルとランプ信号（RAMP）との交差時点までCDS出力信号（CDS_{OUT}）がハイレベルを維持すれば、カウンタ（CNT）のカウント値は、R1のレベルまで増加する。

20

【0102】

T1時点で、CDS出力信号（CDS_{OUT}）がローレベルに遷移すると、カウンタのカウント動作は停止され、カウント値はR1を維持する。

【0103】

T2時点で、ランプ信号（RAMP）が活性化になり、カウンタイネーブル信号（COUNT_{EN}）の活性化に応じて、第2のリセット信号（R2）に対応するサンプリング信号（Vout）のレベルが、時間軸の長さの情報に変換され始める。サンプリング信号（Vout）のレベルとランプ信号（RAMP）の交差時点までCDS出力信号（CDS_{OUT}）が、ハイレベルを維持すれば、カウンタ（CNT）のカウント値は、（R1+R2）のレベルまで増加する。

30

【0104】

T3時点で、CDS出力信号（CDS_{OUT}）が、ローレベルに遷移する。そうすると、カウンタ（CNT）のカウント値は、（R1+R2）レベルを維持することになるだろう。

【0105】

T3時点とT4時点との間で、分周制御信号（DIVIDE）、及び第1の補数制御信号（BWI_C）がハイレベルに遷移された後に、第2の補数制御信号（BWI）がハイレベルに遷移されると、リセット信号（R1+R2）に対する補数演算及び分周演算が発生する。つまり、サンプリングされたリセット信号（R1+R2）の補数演算を介して負数の $-(R1+R2)$ に変換される。そして分周演算を介して $-(R1+R2)/2$ に対応するリセット信号の平均値が導出され得る。

40

【0106】

T5時点では「 $-(R1+R2)/2$ 」をスタートのカウント値とし、イメージ信号（S）に対するサンプリングが行われる。第1のイメージ信号に対応するCDS出力信号（CDS_{OUT}）のハイレベルの区間では、カウンタは、「 $-(R1+R2)/2$ 」を始点としてカウントアップを行う。

【0107】

T6時点では、カウントアップの結果として「 $S - (R1+R2)/2$ 」に対応する

50

カウント値がカウンタから出力される。加えて、メモリに格納されたりセット信号の平均値である「 $-(R1 + R2) / 2$ 」をカウンタに反映する。そうすると、カウンタには「 $S - (R1 + R2)$ 」に対応するカウント値が設定されるだろう。

【0108】

上述したリセットマルチサンプリング技法を適用する場合には、本発明のカウンタは、補数演算及び分周演算を同時に遂行して容易にマルチサンプリング動作を遂行することができる。加えて、マルチサンプリングされたりセット信号の分周演算を介して低ノイズのイメージセンサの実現が可能である。

【0109】

図16A及び図16Bは、本発明のカウンタを使用して、マルチサンプリングを遂行するためのイメージセンサのピクセルセンサの構造を示す図である。

10

【0110】

図16A及び図16Bを参照すると、ピクセルセンサ211は、1つのピクセルセンサの少なくとも2つの光電変換素子を含むように構成され得る。例えば、ピクセルセンサ211は、第1のサブピクセル(C1)及び第2のサブピクセル(C2)に区分される。第1のサブピクセル(C1)は、第1の光電変換素子(PD1)と第1の転送トランジスタ(TX1)を含み得る。そして第2のサブピクセル(C2)は、第2の光電変換素子(PD2)と第2の転送トランジスタ(TX2)を含み得る。そして、第1及び第2の転送トランジスタ(TX1、TX2)は、フローティング拡散領域(FD)を共有することができる。

20

【0111】

第1の転送トランジスタ(TX1)のゲート電極は、第1の電荷転送ライン(TG1)に連結され、第1の電荷転送信号に基づいて、第1の光電変換素子(PD1)に蓄積された電荷を全フローティング拡散領域(FD)に転送することができる。第2の転送トランジスタ(TX2)のゲート電極は、第2の電荷転送ライン(TG2)に連結され、第2の電荷転送信号に応じて第2の光電変換素子(PD2)に蓄積された電荷をフローティング拡散領域(FD)に転送することができる。

【0112】

マルチサンプリング動作のとき、イメージ信号(SIG)は、第1のサブピクセル(C1)及び第2のサブピクセル(C2)によって順次生成される。したがって、マルチサンプリング方式のイメージ信号に対する平均演算は、本発明のカウンタで遂行される補数演算及び分周演算を介して容易に遂行され得る。

30

【0113】

図17は、図16A及び図16Bに示されたピクセル構造で、本発明の実施形態によるカウンタを使用するリセットマルチサンプリング方式のアナログ-デジタルコンバーティング過程を示すタイミング図である。図17を参照すると、2回のリセット信号(R1、R2)に対するマルチサンプリングと2回のイメージ信号(S1、S2)をサンプリングするサンプリング動作で、本発明のカウンタ(CNT_j)の動作が説明される。本発明のマルチサンプリング方法は、図16A及び図16Bのピクセル構造にのみ適用されるわけではないことが、よく理解されるだろう。

40

【0114】

T0時点で、ランプ信号(RAMP)が活性化になり、カウンタイネーブル信号(COUNT_{EN})の活性化に応じて、第1のリセット信号(R1)に対応するサンプリング信号(Vout)のレベルが、時間軸の長さの情報に変換され始める。サンプリング信号(Vout)のレベルとランプ信号(RAMP)との交差時点までCDS出力信号(CDS_{OUT})がハイレベルを維持すれば、カウンタ(CNT)のカウント値は、R1のレベルまで増加する。

【0115】

T1時点で、CDS出力信号(CDS_{OUT})がローレベルに遷移すると、カウンタのカウント動作は停止され、カウント値はR1を維持する。

50

【0116】

T2時点で、ランプ信号(RAMP)が活性化になり、カウンタイネーブル信号(COUNT_EN)の活性化に応じて、第2のリセット信号(R2)に対応するサンプリング信号(Vout)のレベルが、時間軸の長さの情報に変換され始める。サンプリング信号(Vout)のレベルとランプ信号(RAMP)との交差点までCDS出力信号(CDS_OUT)が、ハイレベルを維持すれば、カウンタ(CNT)のカウント値は、 $(R1 + R2)$ のレベルまで増加する。

【0117】

T3時点で、CDS出力信号(CDS_OUT)がローレベルに遷移する。そうすると、カウンタ(CNT)のカウント値は、 $(R1 + R2)$ レベルを維持することになるだろう。

10

【0118】

T4時点で、分周制御信号(DIVIDE)、及び第1の補数制御信号(BWI_C)がハイレベルに遷移された後に、第2の補数制御信号(BWI)がハイレベルに遷移される。すると、カウンタ(CNT)に維持される、リセット信号 $(R1 + R2)$ に対する補数演算及び分周演算が発生する。つまり、サンプリングされたりセット信号 $(R1 + R2)$ の補数演算を介して、負数の $-(R1 + R2)$ に変換される。そしてT4時点の分周演算を介して $-(R1 + R2) / 2$ に対応するリセット信号の平均値が導出され得る。このとき、生成された負数に対応するリセット信号の平均値である「 $-(R1 + R2) / 2$ 」は、別途に提供されるレジスタやメモリに格納することができるだろう。

20

【0119】

T5時点で、分周制御信号(DIVIDE)がローレベルに遷移すると、リセット信号の平均値である「 $-(R1 + R2) / 2$ 」は、カウンタ(CNT)に維持されるようになる。

【0120】

T6時点では、「 $-(R1 + R2) / 2$ 」をスタートのカウント値にして、第1のイメージ信号(S1)に対するサンプリングが行われる。第1のイメージ信号(S1)は、例えば、図16Aの第1のサブピクセル(C1)からセンシングされたイメージ信号(Sig1)であり得る。CDS出力信号(CDS_OUT)のハイレベルの区間では、カウンタは「 $-(R1 + R2) / 2$ 」を始点としてカウントアップを行う。そうすると、T7時点までのカウント値は、「 $S1 - (R1 + R2) / 2$ 」まで増加することになるだろう。T7時点で、カウントアップの結果として「 $S1 - (R1 + R2) / 2$ 」に対応するカウント値が、カウンタから出力される。「 $S1 - (R1 + R2) / 2$ 」の出力が完了されると、T7時点とT8時点との間で、メモリに格納された基準信号の平均値である「 $-(R1 + R2) / 2$ 」をカウンタに入力することができる。そうすると、カウンタには「 $-(R1 + R2) / 2$ 」に対応するカウント値が設定されるだろう。

30

【0121】

T8時点で、「 $-(R1 + R2) / 2$ 」をスタートのカウント値とし、第2のイメージ信号(S2)に対するサンプリングが行われる。第2のイメージ信号(S2)は、例えば、図16Aの第1のサブピクセル(C1)及び第2のサブピクセル(C2)からセンシングされたイメージ信号の合計 $(Sig1 + Sig2)$ であり得る。第2のイメージ信号(S2)に対応するCDS出力信号(CDS_OUT)のハイレベル区間では、カウンタは、「 $-(R1 + R2) / 2$ 」を始点としてカウントアップを行う。すると、T9の時点では、カウンタの状態は、「 $S2 - (R1 + R2) / 2$ 」のカウント値に増加することになるだろう。それで、カウントされた値である「 $S2 - (R1 + R2) / 2$ 」が出力され得る。

40

【0122】

上述したリセットマルチサンプリング技法を適用する場合には、本発明のカウンタは、補数演算及び分周演算を同時に遂行して容易にマルチサンプリングの動作を遂行することができる。

50

【0123】

図18は、本発明の実施形態によるイメージセンサを含む電子システムを示すブロック図である。図18を参照すると、電子システム1000は、MIP I インターフェースを使用又はサポートすることができるデータ処理装置、例えばポータブル電話、PDA、PMP、又はスマートフォンで実現され得る。電子システム1000は、アプリケーションプロセッサ1010、イメージセンサ1040、及びディスプレイ1050を含む。

【0124】

アプリケーションプロセッサ1010に実現されたCSIホスト1012は、カメラシリアルインターフェース(Camera Serial Interface: CSI)を介してイメージセンサ1040のCSI装置1041とシリアル通信することができる。このとき、CSIホスト1012には、光デシリアライザ(Optical Deserializer)が実現されることができ、CSI装置1041には、光シリアライザ(Optical Serializer)が実現され得る。加えて、アプリケーションプロセッサ1010は、本発明の自動ホワイトバランスを遂行するイメージ信号プロセッサ(ISP)を含み得る。

【0125】

アプリケーションプロセッサ1010に実現されたDSIホスト1011は、ディスプレイシリアルインターフェース(Display Serial Interface: DSI)を介して、ディスプレイ1050のDSI装置1051とシリアル通信することができる。このとき、例えば、DSIホスト1011には、光シリアライザが実現されることができ、DSI装置1051には、光デシリアライザが実現され得る。

【0126】

電子システム1000は、アプリケーションプロセッサ1010と通信することができるRFチップ1060を含み得る。電子システム1000のPHY1013及びRFチップ1060のPHY1061は、MIP I Dig RFインターフェースによってデータをやり取りすることができる。

【0127】

電子システム1000は、GPS1020、ストレージ1070、マイク1080、DRAM1085、及びスピーカー1090をさらに含むことができ、前記電子システム1000は、Wimax1030、WLAN1033、及びUWB1035などを利用して通信することができる。

【0128】

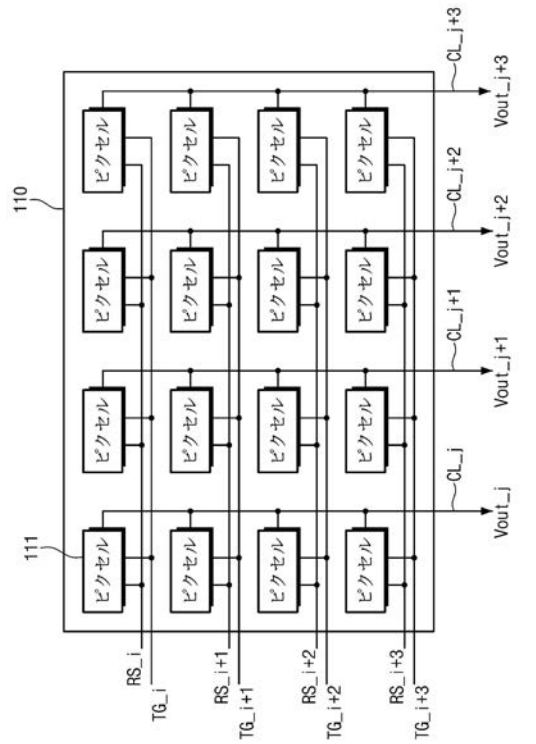
上述された内容は、本発明を実施するための具体的な実施形態である。本発明は、上述された実施形態だけでなく、単純に設計変更されたり、容易に変更されたりすることができる実施形態も、また含む。なお、本発明は、実施形態を用いて容易に変形して実施することができる技術も含まれる。したがって、本発明の範囲は、上述された実施形態に限定されて定められてはならず、後述する特許請求の範囲だけでなく、この発明の特許請求の範囲と均等なものによって定められなければならないだろう。

10

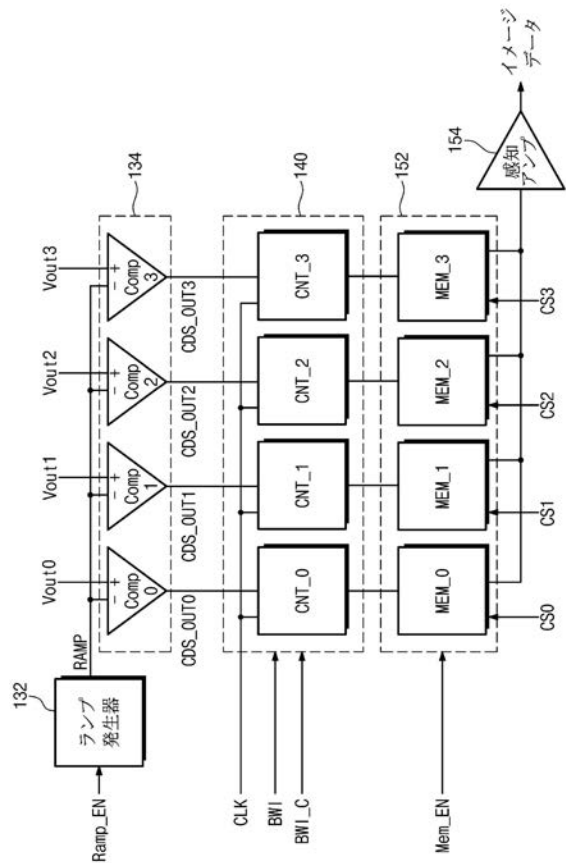
20

30

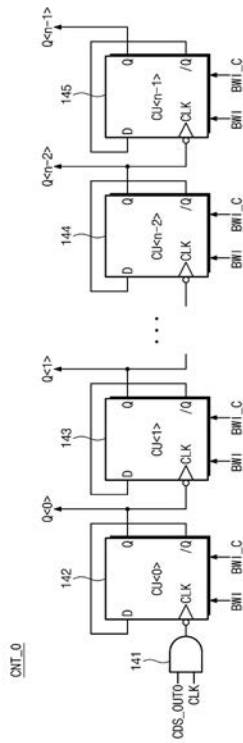
【図 2】



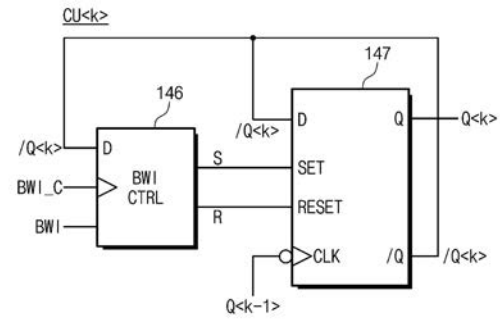
【図 4】



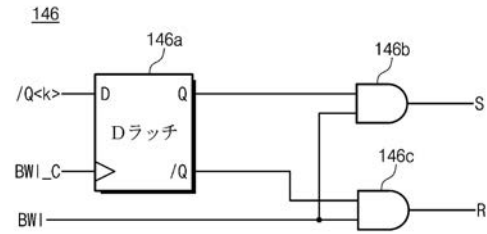
【図 5】



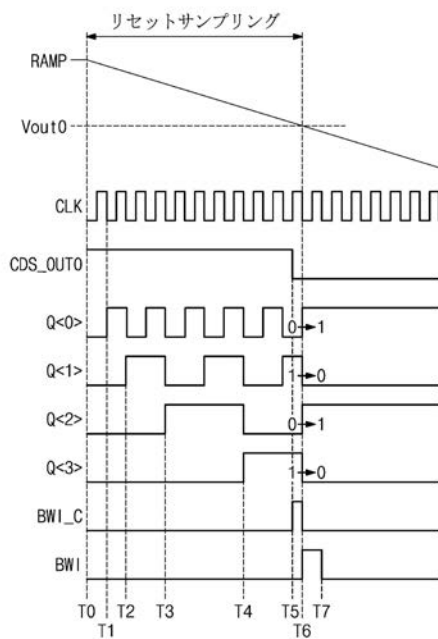
【図 6 A】



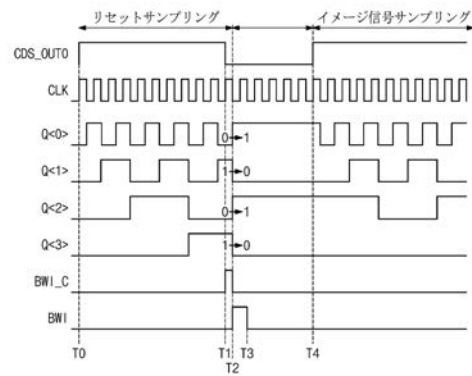
【図 6 B】



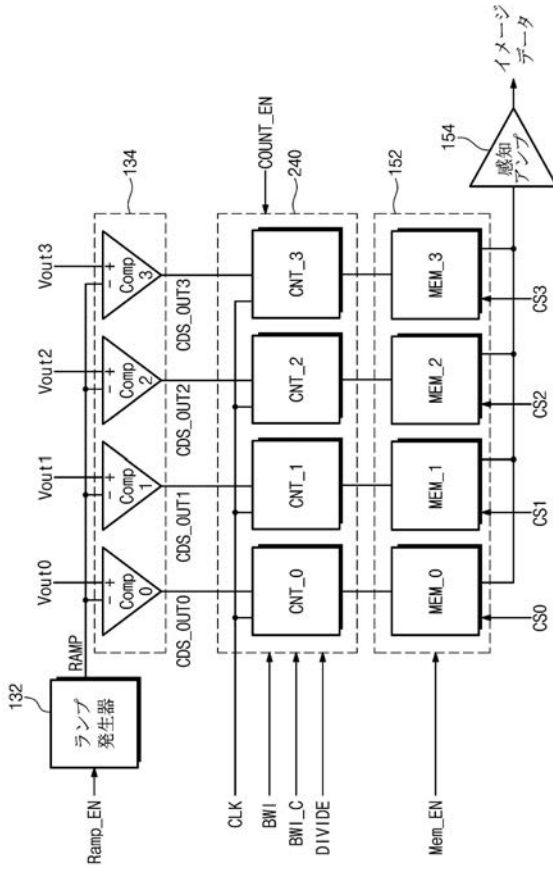
【図 7】



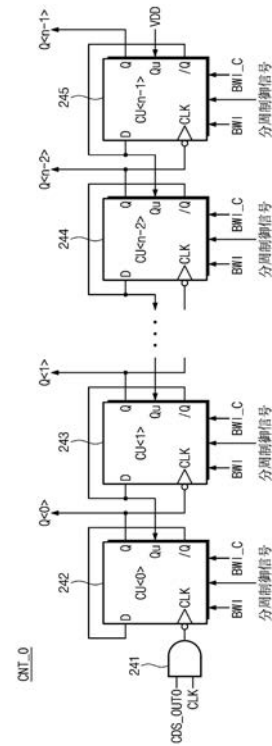
【図 8】



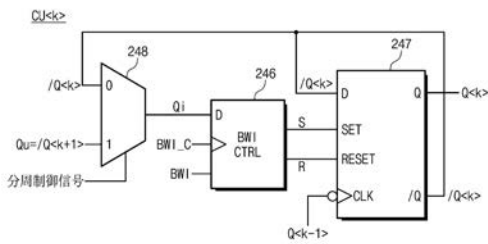
【図 9】



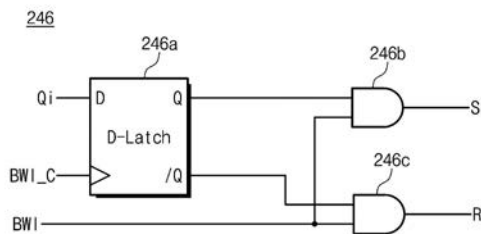
【図 10】



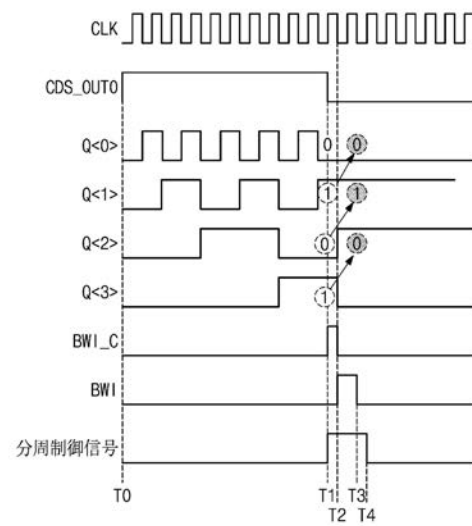
【図 11 A】



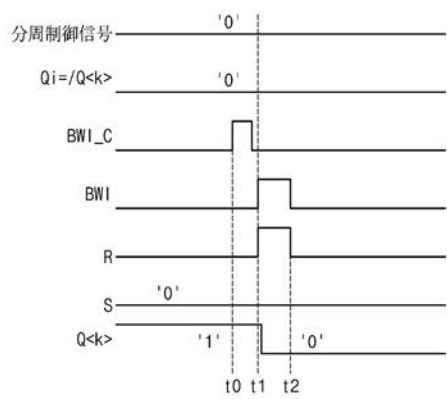
【図 11 B】



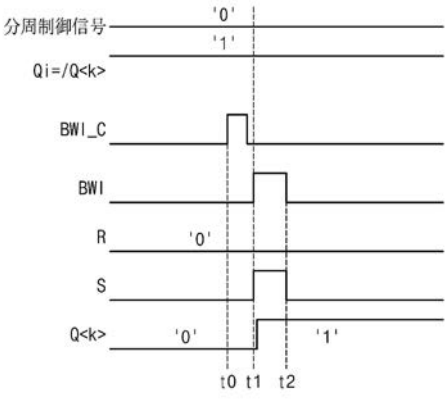
【図 12】



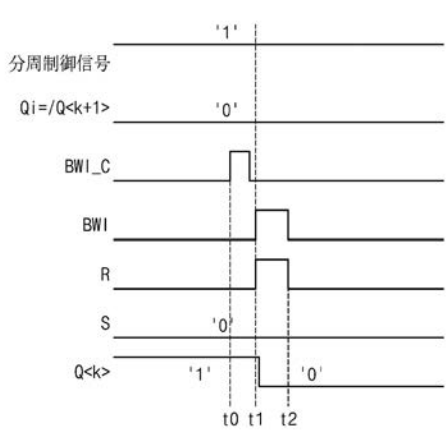
【図 1 3 A】



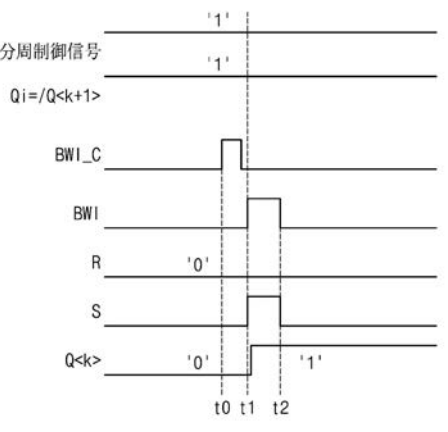
【図 1 3 B】



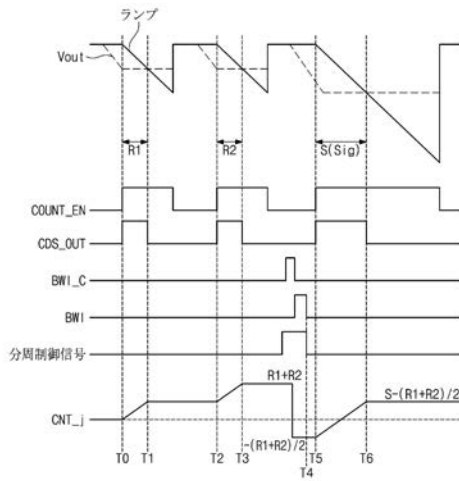
【図 1 4 A】



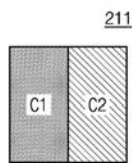
【図 1 4 B】



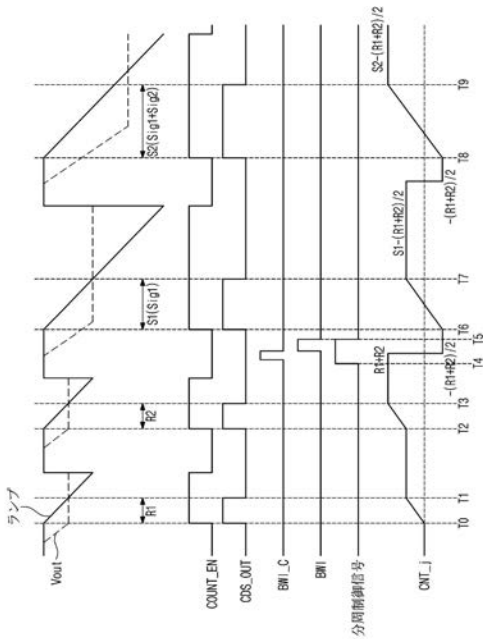
【図 15】



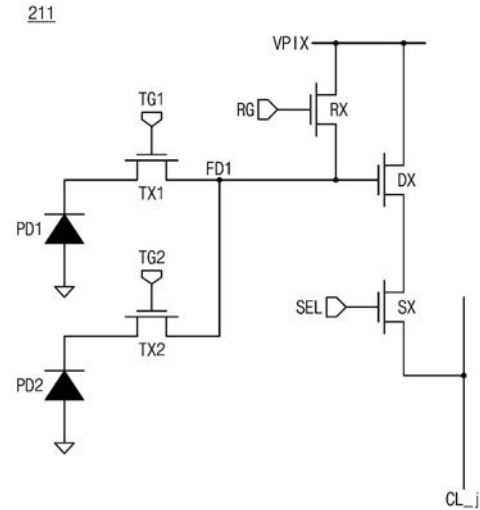
【図 16 A】



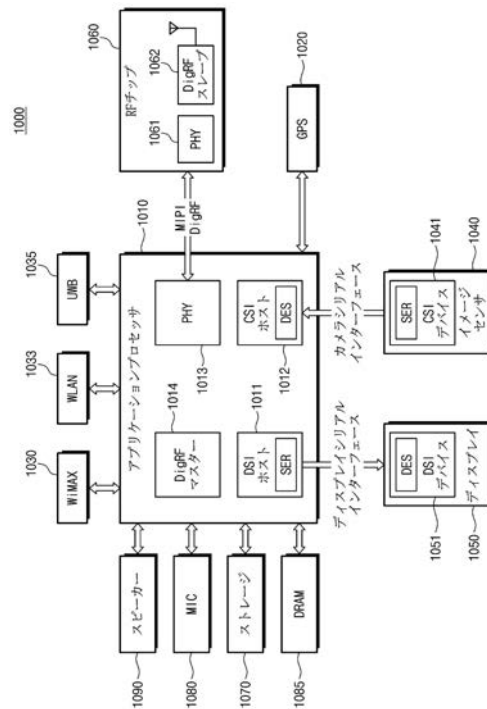
【図 17】



【図 16 B】



【図 18】



フロントページの続き

(72)発明者 具 磁賢

大韓民国京畿道水原市靈通区三星路1 2 9

(72)発明者 李 赫賢

大韓民国京畿道水原市靈通区三星路1 2 9

Fターム(参考) 5C024 HX24 HX32 HX50 HX52 HX55