

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H03K 17/292

(45) 공고일자 1990년06월18일
(11) 공고번호 특 1990-0004197

(21) 출원번호	특 1983-0006040	(65) 공개번호	특 1984-0007203
(22) 출원일자	1983년12월20일	(43) 공개일자	1984년12월05일

(30) 우선권주장 451792 1982년12월21일 미국(US)
555025 1983년11월25일 미국(US)

(71) 출원인 인터내셔널 렉티파이어 코오퍼레이션 제랄드 에이.코리스
미합중국 캘리포니아 로스엔젤레스 선셋 불르바아드 9220

(72) 발명자 토마스 해르만
미합중국 캘리포니아 레돈도 비이치 해린 드라이브 1622
올리버 월리암즈
미합중국 캘리포니아 카마릴로 이스트 샤스타 플레이스 6204

(74) 대리인 장용식

심사관 : 이택수 (책자공보 제 1906호)

(54) 교류고체 릴레이회로 및 다이리스터 구조

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

교류고체 릴레이회로 및 다이리스터 구조

[도면의 간단한 설명]

제 1 도는 본 발명의 특성을 이용한 단일 횡 다이리스터 접합패턴의 단면도.

제 2 도는 본 발명의 횡 다이리스터를 이용한 단일 칩 표면상의 금속화패턴의 평면도.

제 3 도는 장치표면이 되는 접합패턴을 보여주는 제 2 도의 칩의 실리콘 표면의 평면도.

제 4 도는 제 3 도의 평행소자 또는 루우프종 하나를 나타내는 확대도.

제 5 도는 제 3 도의 5-5선 단면도.

제 6 도는 제 4 도의 6-6선 단면도.

제 7 도는 제 3 도의 7-7선 단면도.

제 8 도는 제 3 도에 나타낸 폴리실리콘 저항기의 단면도.

제 9 도는 제 2 도 내지 제 8 도의 장치의 접합패턴 및 내부결선에 의해 제조된 다이리스터와 그 제어회로의 회로도.

제 10 도는 본 발명의 신규한 교류릴레이의 회로도.

제 11 도는 세라믹 기판위에 설치된 LED와 제 10 도의 2파워 다이리스터 칩을 나타내는 도.

제 12 도는 제 11 도의 측면도.

제 13 도는 LED와 파워칩을 둘러싸기 위한 포위캡을 갖춘 제 11 도의 조립을 나타내는 정면도.

제 14 도는 제 13 도의 상면도.

* 도면의 주요부분에 대한 부호의 실명

20 : N(-)층

21,22,23 : P형 영역

24 : N ⁺ 영역	30 : 산화물층
31,32 : 풀리실리콘전계판	35 : 이산화실리콘층
40 : 캐소드전극	41 : 애노우드전극
64a,64b,64c,64d : 다이리스터	71 : 제너다이오드
76,77,78,79 : MOSFET	80 : 기판
81 : P형 애노우드영역	82 : P형 보조영역
84,90 : 부유가아드링	95 : 스트립
96 : 직사각형	

[발명의 상세한 설명]

본 발명은 교류교체릴레이 및 고체릴레이에 사용될 수 있는 신규한 다이리스터에 관한 것이다.

고체교류릴레이는 공지되어 있다. 입력과 출력사이에 광학적분리를 한 릴레이들 역시 공지이다. 기존의 장치들에 있어서 많은 분리된 구성요소들은 교류회로를 갖추도록 통상적으로 요구된다. 이에 따라 단일의 장치를 제조하기 위해서는 30개 이상의 분리된 다이리스터, 트랜지스터, 저항기 및 캐패시터를 요한다. 종래부터 전체 고체릴레이의 각종 부품들을 접속하기 위한 시도가 있었으나, 고압 및 고전력 구성요소들 때문에 극히 한정된 성공만을 거두었다. 과거에 만들어진 고체릴레이은 교류전압이 어느정도 작은 "원도우"내에 있을 때만 다이리스터를 턴-온 시키기 위해 제로전압 크로싱 회로를 채용하였다. 또한 이러한 회로는 비교적 복잡해서 주파워 침내로 접속하기가 어려웠다. 그리하여 제로 크로스 파이어링회로는 파워 단자를 거쳐 접속된 분리 레지스터의 이용을 요구해 왔다. 이를 저항기는 침표면 위에 이 저항기를 형성하는 것이 어려웠기 때문에 단일침내에 용이하게 접속되지 않았다. 또한 어떠한 유도성이나 저항성부하하에서 릴레이에 대한 소위 "스너버리스(Snubber less)"작용을 제공하기가 어려웠다. 이에따라 고체릴레이은 저항성이나 약간의 유도성부하하에서는 동작이 잘되는 반면, 높은 유도성부하 하에서는 반사이클동안 릴레이를 턴온시키는 상태인 "반파" 또는 "채터(chatter)"로 되는 경향이 있었다. 이것은 종래에 발생했는데 그 이유는 릴레이들이 다소빠른 과도현상이나 높은 dV/dt 상태하에서 회로의 신속한 턴온을 억제시키기 위해 신호조절회로에 제공되었기 때문이다. 그러나 장치가 매우 높은 유도성부하하에서 작동되었을때 전압 과도현상이 장치가 턴온되는 동안에 보통 반복적으로 발생된다. 신호조절(conditioning)회로가 이것을 과도신호로서 잘못 해석했을 때는 동작시 특정의 반이상동안 파워 출력을 차단한다. 그 회로는 다음의 반파동안 정상적으로 바뀔것이며 릴레이는 턴온될 것이다. 이 상태는 릴레이가 전파의 하나 혹은 다른 반파사이에만 턴온할 수 있도록 반복된다. 이 상태를 피하기 위하여 종래의 릴레이들은 감소된 파이어링(firing)감도로 형성되었으며 이는 광학적 파이어링 감도의 감소가 요구된다.

종래 릴레이들은 비교적 복잡하기 때문에, 그 하우징에 대해 충분한 체적이 필요하였다. 더우기 과거의 고체릴레이들은 그 전류 취급능력을 한정하는 최대온도상승이 약 100°C까지 한정되었었다. 결국 종래의 고체릴레이은 대단히 많은 분리된 구성요소와 큰 하우징을 필요로 하는 점에서 비교적 고가였다. 단독으로 또는 이와같은 릴레이에 사용될 수 있는 광학적으로 파이어링되는 흉 다이리스터는 역시 공지이다. 그러나 이러한 장치들은 비싸고 비교적 높은 순방향 강하(forward drop)을 가지며 입력방사에 대해 비교적 둔감하다. 이형의 한 다이리스터 WKD치는 예를들면 1982년 10월 19일자 U.S.P. 4,335,320(명칭 : 광제어 트랜지스터)에 기술되어 있다.

본 발명에 따르면, 2개의 동일하고 신규한 다이리스터 파워칩이 교류릴레이용으로 제공되어 있으며 각 파워칩은 각 장치의 한 표면에 양 캐소드 및 애노우드 전극을 갖춘 측면구조로 되어있고 각각의 침들은 광학적으로 파이어링될 수 있으며 조광되었을때 장치가 그의 애노우드와 캐소드 전극사이에 전도성이 되도록 광학적으로 민감한 상부표면을 갖는다. 각각의 다이리스터의 게이트회로는 신규한 제어회로에 접속되어 있으며 분리된 구성요소들중의 하나 또는 다이리스터를 형성하는 반도체재료의 본체내에 채용된 구성요소들중 하나를 형성한다. 제어회로는 장치에 걸린 전압이 어떤 소정의 원도우 값보다 더 큰 값으로 조과했을 때 또는 높은 dV/dt 과도현상이 장치에 나타냈을때 비록 표면이 조광되었더라도 턴온을 방지하기 위해 작동될 수 있다. 이 제어회로는 그 각각의 다이리스터의 게이트를 클램프하도록 턴온될 수 있는 클램프 트랜지스터와 주파워 전극을 가로질러 연결된 용량성분할회로를 포함한다. 용량성분할기는 제어트랜지스터에 제어신호를 가한다. 용량성 분할기의 캐패시터중 하나는 제어트랜지스터의 분배된 용량을 포함한다. 제어트랜지스터가 ON상태인 한, 그의 각각의 파워 다이리스터는 비록 그의 표면이 조광되었더라도 턴온될 수 없다. 용량성 분할기는 제어트랜지스터가 어떤 비교적 작은 원도우치 보다 큰 주장치에 걸린 모든 절대전압에 대해 통상적으로 턴온될 수 있도록 배치된다. 이에 따라 파워 다이리스터는 이 작은 원도우 값이나 제로크로스 값의 의측을 턴온할 수 없다. 제어트랜지스터와 결합되어 있는 신규한 용량성 분할기는 두 빠른 과도현상을 억제하기 위해 작용하며 또한 그 장치가 정상적인 부하상태하에서 작용할 수 있게한다. 이에 따라 장치가 높은 유도성 부하 상태하에서 턴온되는 동안에 반복적으로 발생되는 전압과도현상이 빠른 과도현상으로 잘못 해석되지 않을 것이며 파워 다이리스터칩은 높은 유도성부하하에서 정상상태로 턴온할 수 있다.

본 발명의 신규한 신호조절기(signal conditioner)는 오파이어링없이 본 장치의 광학적 감도의 개량을 기대할 수 있다. 시중에서 입수할 수 있는 광학적으로 분리된 드라이액 드라이버와 그와 유사한 것들은 과도현상으로부터 저 레벨명령 신호를 분리하기 위한 그들의 무능력때문에 dV/dt 능력이나 광학적 감도에 있어 항상 제한되었다. 신규한 하우징은 2개의 침 배치가 제공되며 상기 2침은 다른 하나와 병렬로 용이하고 저렴하게 접속되고 외부 환경으로부터 보호된다. 알루미늄 기판 또는 다른 적절한 열적으로 도전성이나 전기적으로는 절연성인 기판은 스위치의 여러침을 내장하고 적절한 출력 리아드에 침전극을 접속하기 위해 기판위에 적합한 도전성 패턴이 제공된다. 서로 역평행으로 접속될 2개의 동일한 다이리

스터 칩들은 기판위의 각각의 도전성 패드에 대칭적으로 고정되어 있으며 다른 하나와 그리고 기판위의 두 도전성 패턴의 끝과 일직선으로 되어 있다.

두 연속적 와이어는 다이리스터 패드 및 리이도 와이어가 한 칩의 애노우드 패드, 제2 칩의 캐소드 패드 및 입력교류리아이드에 접속된 도전성 패턴 중 하나에 전기적으로 접속되는 상태로 도전성 리아이드들에 스티치 본드(stitch-bonded)된다. 다른 와이어는 서로 역평행으로 다이리스터들을 접속하기 위해 도전성 패턴 및 다른 전극들에 유사하게 된다. 작은 LED 칩은 파워칩이 연결됨과 동시에 알루미나 기판에 연결된다. LED는 교류출력리아이드로 부터 확실하게 절연된 두 입력리아이드에 적절하게 접속된다.

다음 흰 조광반사재료로 덮여진 플라스틱 캡이 기판에 고정되고 LED를 포함하는 기판의 영역 및 두 파워칩 덮는다. 캡은 칩의 표면을 싸거나 포위한 투명한 실리콘 및 흰 실리콘으로 페인트된 외측 표면을 갖춘 그의 내부 결선리아이드들로 구성될 수 있다. 만일 파워 트랜지스터에 대한 제어회로가 분리된 형태로 수행된다면, 그 분리된 구성요소들은 이 기판에 적절하게 접속될 수 있다. 그러나, 바람직하게는 이들 구성요소들은 전고체 릴레이가 두 파워칩 및 그들의 제어장치들, LED 칩 및 상기한 각종 지자구조들로 구성되도록 하기 위하여 개별적인 파워칩내에 집적된다.

릴레이의 각각의 다이리스터는 신규한 구조로서 낮은 순방향 전압강하 및 비교적 높은 전류용량을 갖는 단일 칩에 형성되며 논크리티칼 LED 트리거링 소오스는 다이리스터를 통전시키기 위해 제공될 수 있도록 입력방사에 대해 고도로 민감하다. 평행으로 접속된 제어 MOSFET, 저항기, 제어다이오드 및 캐패시터를 포함하는 릴레이 회로 제어 구성요소는 단일 칩내에 구비될 수 있다. 릴레이 제어구성요소는 애노우드 대 캐소드 전압이 소정치보다 적을 때만 다이리스터를 터온하도록 한다. 더욱이, LED가 오프되면, 과도 전류로 인한 잘못된 터온은 모든 전류 조건 하에서 방지된다.

본 발명에 따르면, 각각 광학적으로 파이어링될 수 있는 다수의 개별적 흰 다이리스터가 단일 칩내에 다른 것과 별별로 접속되어 있다. 각각의 흰 다이리스터는 베이스내에 형성된 에미터 소자를 갖춘 각각의 베이스를 갖는다. 각 베이스의 두 측면과 끝을 포장하는 다수의 간격을 둔 애노우드 영역(finger)으로 구성되는 신규한 애노우드 영역은 소자의 평행 접속을 용이하게 해준다. 다이리스터 베이스 영역은 거리를 둔 평행에미터 영역을 포함하며, 그 베이스 영역은 보조 P영역에 의해 둘러싸여진다. 측면의 광학적으로 트리거되는 다이리스터에 대한 보조 영역은 USP 4,355,320에 나타나 있다. 그러나 본 발명의 신규한 보조 영역은 동글게 형성되어 개별적 베이스 영역을 전부 둘러싸며 금속 캐소드 전극에 단단하게 접속된 도전성 폴리실리콘 전계판에 저항성 접속을 한다. 신규한 저항성 접속은 전계판으로부터 보조 영역 까지 거리를 두어 접속함으로써 얻어질 수 있다. 이러한 식으로 저항성 접속을 사용함으로써 애노우드 영역으로부터 주입되어 에미터로 향하여 측면으로 이동하는 보다 많은 캐리어가 에미터에 도달할 것이다. 이것은 장치의 동작동안에 전력손실을 현저하게 감소시키는 중요한 양(예를 들면, 1.45V 내지 1.15V) 만큼 장치의 순방향 전압강하를 개량한다.

본 발명의 또 다른 특징에 따르면 애노우드 영역은 순방향 강하를 다시 감소시키는 에미터 도우팅에 비교하여 비교적 고밀도로 도우프될 수도 있다. 에미터 영역 표면의 에미터 도우팅 농도는 주입능률을 향상하기 위해 최적인 되는 정도로 제어된다. 특히 에미터 표면에 1×10^{12} 내지 6×10^{12} 인 이온/cc의 표면농도를 사용할 때 매우 양호한 동작이 얻어진다. 결국 장치에 대한 표면접점을 만들 때 비교적 두꺼운 알루미늄의 얇은 라인들은 실리콘의 최대량을 표시하도록 사용된다. 이하, 본 발명을 첨부도면을 참조하여 상세히 설명한다. 제 1 도는 본 발명에 따라 제조되는 흰 다이리스터 칩을 금속화할 때 접합패턴의 단면도를 보인 것이다. 제 1 도의 흰 다이리스터를 포함하는 칩은 어떠한 소망의 사이즈 및 외형을 가질 수 있으며, 그것은 단결정 실리콘의 칩이다.

제 1 도에 나타낸 각종 접합은 N(-)층(20)에 형성된다. 층(20)은 약 20 μ -cm의 저항을 가질 수 있다. 간격을 둔 P형 영역(21, 22, 23)은 어느 소망의 공정에 의해 칩(20)의 상부 표면에 형성된다. 불활동성인 다른 P형 영역(23a)은 영역(23)의 주위를 포위할 수 있다. 영역(21, 22, 23 및 23a)은 P영역의 판저항이 칩 표면에 약 $1600\Omega/\text{cm}^2$ 이 되도록 하기 위하여 충분한 농도의 봉소확산영역으로 될 수 있다. 그들은 예를 들면 그것이 비교적 얕게 도우프될 수 있도록 하기 위하여 $\text{cm}^2/\text{당} 5 \times 10^{13}$ ⁺¹³ 봉소원자를 채용하여 드라이브-확산 공정 및 이온주입에 의해 형성될 수도 있다. 영역(21)은 다른 P영역들보다 더욱 고밀도로 도우프되는 것이 바람직하다. 영역(21, 22, 23 및 23a)들은 모두 대략 4μ 의 깊이를 가질 수 있다. P형 영역(23)은 흰 다이리스터의 옆으로 거리를 둔 접합부들을 완전하게 하기 위해 N(+) 영역(24)을 포함한다.

영역(21, 23)의 대향 에지들은 선택된 전압을 차단할 수 있는 한 가능한한 서로 근접하게 해야 한다. 본 출원에서 장치는 약 400 내지 500V를 차단하며, 떨어진 거리는 105μ 이다. 영역(21)은 애노우드 영역이며, 영역(23)은 게이트 또는 베이스 영역이며 영역(24)은 에미터 또는 캐소드 영역인 반면에 N(-) 본체(20)는 제 1 도에 도시된 다이리스터의 주 블록킹 영역이다. 영역(22)은 공지형태의 부유가이드 영역으로 칩의 표면에 절연파괴의 위험이 없이 400 내지 500V의 고압을 접합부(21, 23) 사이에 차단전압을 증대하도록 한다.

상부 칩 표면은 예컨대 약 1μ 의 두께를 갖는 박막 이산화실리콘층(30)으로 덮여진다. 폴리실리콘 전계판(31, 32)은 종래의 폴리실리콘 부착 및 마스킹 기술을 사용하여 도시된 바와 같이 산화물 층(30) 위에 형성된다. 폴리실리콘 전계판을 포함, 칩의 전상부 표면과 산화물 층(30)은 종래의 유리질 및 인으로 도우프된 이산화실리콘층(35)로 덮여진다. 공지구조의 간격을 둔 캡(36, 37)은 인으로 도우프된 산화물 층(35) 내에 측면의 분극작용이 부유가아드영역(22)에 인접한 영역(20)의 표면에서의 전계분포를 방해하지 못하도록 부유가아드영역(22)의 각 단에 위치될 수 있다.

상기 에미터 영역(24) 및 애노우드 영역(21)이 여려 영역 및 전계판에 접촉할 수 있도록 하기 위해 적절한 개구들이 산화물 층(30, 35)에 형성된다. 이에 따라 알루미늄 캐소드 전극(40) 및 애노우드 전극(41)은 도시된 바와 같이 에미터 영역(24) 및 애노우드 영역(21)에 각각 결합된다. 산화물 층(35)에 형성된 다른 개구들은 캐소드(40)에서 전계판(31)에 그리고 애노우드(41)에서 전계판(32)까지 연결할 수 있게 한다. 양 캐소

드전극(40) 및 애노우드전극(41)은 비교적 얇으며 예컨대 대략 4μ 의 두께로 할 수 있다. 영역(23a)은 캐소드(40)에 바람직하게 저항식으로 연결된다. 이에따라 영역(23a)은 그들의 주위에 따라 간격을 둔 점들에만 캐소드(40)에 연결될 수 있다. 제 1 도의 횡적인 다이리스터는 에미터영역(24)으로 부터 게이트영역(23)내로 캐리어의 주입에 의해 턴온된다. 적절한 주입은 본체(20)에 있어 캐리어. (정공)을 발생할 장치의 상부표면에 방사를 가함에 의해 얻어질 수 있다. 이들 호울들은 영역(23)으로 이동하여 장치를 턴온시키기 위해 베이스드라이브로서 작동하도록 영역(23,24) 사이의 에미터접합에 의해 콜렉트된다. 적절한 방사원은 장치의 표면을 조광하도록 배치된 개략적으로 나타낸 LED(45)일 수 있다. 제 1 도의 구조를 채용한 장치는 400 내지 500V를 차단할 수 있다. 순방향 도전동안에 순방향 전압강하는 대략 1.5 암페어 순방향 전류에서 약 1.15볼트이다.

제 1 도의 횡방향 다이리스터의 배치는 바람직한 기하학적 측면에 있어 소정의 수로 충족될 수 있다. 특히 효과있는 기하학은 현재 기술되고 있는 제 2 도 내지 제 9 도에 나타난 것이며 제 1 도의 그것과 같이 다수의 장치가 병렬로 접속되어 있는 배치를 보여준다. 제 2 도 및 3도를 참조하면, 단일의 다이리스터 장치와 그의 제어회로 구성요소들을 포함하는 단일의 칩의 평면도를 나타낸다. 제 2 도와 3도의 칩은 통상의 공정이 완료된 후 분리되어 있는 보통 웨이퍼위의 많은 칩들중의 하나이다. 그 칩은 제 2 도에 나타냈으며 캐소드와 애노우드 단자 전극의 금속화후이다. 칩표면의 접합패턴은 제 3 도에 나타냈다. 다수의 분리된 다이리스터 소자들은 꾸불꾸불하거나 손을 마주낀 모양의 통로로 이후에 표시된 통로를 따라 연장되어 있는 애노우드, 베이스 및 에미터영역에 대한 신규한 패턴(제 3 도 및 제 4 도)을 사용하여 평행으로 연결되어 있으며, 이에 의해 그들은 가능한한 가장 긴 길이를 지니게되어 장치가 높은 전류용량을 갖도록 하는 것이다. 제 2 도 및 제 3 도의 실시예에 있어서, 칩은 82mm의 폭과 113mm의 길이를 가지며, 1.15V의 순방향 전압강하로 1.5A의 순방향 전류이동률을 갖는다. 장치의 양대칭차단능력은 대략 피아이크 500V이다. 따라서, 본 발명의 다이리스터칩은 역평행 접속된 동일한 다이리스터 칩과 함께 채용될 수 있으며 280V까지의 실효전압을 갖는 교류회로를 제어하기 위한 고체 릴레이에 사용된다. 제 2 도의 기본 금속화 패턴은 도시된 바와 같은 형상의 캐소드(50)와 애노우드(51)를 채용한다. 제 2 도에는 도시되지 않았으나, 제어회로는 칩본체내에 내장된다. 회로는 제 9 도에 나타난다. 제 3 도의 금속화영역(60,61)은 제 9 도에 나타난 2개의 캐패시터의 전극들이다.

캐패시터(60)는 제 7 도를 참조하여 뒤에 기술될 것이다. 전극(60,61)을 포함하는 캐패시터는 제 9 도에 도시한 바와같이 평행으로 접속되며, 다이리스터(64a,64b,64c 및 64d)의 애노우드와 제어 MOSFET(76,77,78 및 79)의 게이트 사이에 각각 연결되어 있다. 다이리스터들(64a,64b,64c,64d)은 평행으로 있으며 제 2 도 및 제 6 도에 있어서 캐소드(50) 및 애노우드(51)로서 나타난 공통 캐소드 및 애노우드를 갖는다. 폴리실리콘으로 형성되고 캐소드와 각각의 다이리스터(64a,64b,64c,64d)의 제어 사이에 전기적으로 접속된 100K Ω 저항기(70)가 제 3 도의 칩으로 짐작되어 구비된다. 저항기(70)의 상세한 구성을 제 8 도와 관련하여 뒤에 기술될 것이다. 부가적으로 제 9 도에 나타난 바와같이 제너다이오드(71)가 제 3 도의 칩에 일체적으로 형성되어 있으며 애노우드와 도시된 다이리스터의 캐소드단자(50,51) 사이에 캐패시터(60,61)와 직렬로 접속되어 있다. 또한 제9에는 제너다이오드(71)와 병렬로 고유분포 캐패시터(75)가 도시되어 있다. 제너다이오드(71)는 불활성 P영역(82)에 형성될 수 있으며 제 3 도에 나타난 N⁺ 영역(71a)으로 구성될 수 있다. 한제너단자(71b)는 N⁺ 영역(71a)의 상부에 직접 형성될 수 있으며, 다른단자는 캐소드전극에 접속된 금속접점(71c)으로 형성될 수 있다. 제 3 도 및 제 4 도로 위에 기술될, 제 9 도에 나타난 다수의 제어 MOSFET(76,77,78,79)들은 칩위에 내장되어 있으며 다이리스터(64a,64b,64c 및 64d)로 각각 작동한다. 각각의 제어 MOSFET는 작동지연시간이 제한되고 회로 대칭이 보장될 수 있도록 그의 각각의 주다이리스터부재에 밀접하여 배치되어 있다.

이제 제 2 도 내지 제 8 도에 관련되어 기술될 제 9 도의 회로는 신규한 방법으로 수행된다. 여기에 기술된 실시예는 4개의 병렬 다이리스터(64a,64b,64c,64d)를 사용하며 소정수의 어느 소자도 사용될 수 없다. 제 3 도 내지 6 도를 참조하면, 전체의 접적된 장치는 약 20 Ω -cm의 저항성을 가질 수 있는 비교적 높은 저항N(-)기판(80)에 형성된다. 많은 개별적인 P형 영역들은 어떤 소망의 공정에 의해 기판(80)에 형성된다. 이들의 첫번째는 제 1 도의 애노우드영역(21)에 대응하는 P⁺형 애노우드영역(81)이다. 제 3 도 및 제 4 도에 나타난 바와같이, 애노우드 영역(81)은 3개의 평행 핑거(finger)(81a,81b,81c)가 뻗어있는 주본체부를 갖는다. 81a 및 81b는 제 4 도 및 6도에 더욱 상세히 나타났다. 레그(81a,81e 및 81f)들을 갖는 직사각형 애노우드영역 프레임은 제 3 도에 나타난 바와같이 칩의 주위를 둘러싼다. 레그(81d,81e)는 제 5 도에 나타났다.

제 3 도 내지 8 도에 나타난 제2 P형 영역은 "불활성" P형 보조영역(82)이다. 불활성영역(82)은 루우프부(82a,82b,82c 및 82d)(제 3 도)를 가지며, 뒤에 기술될 4개의 각각의 다이리스터의 베이스를 포위하여 제 1 도의 보조링(23a)이 목적을 수행한다. 루우프부(82b)는 제 6 도에 나타났다. 4개의 둑거리로 떨어진 길게 연장된 P형 베이스영역(83a,83b,83c,83d)(제 3 도,4도 및 6도)들은 영역 80에 형성되어 있다. 이를 베이스영역들은 제 1 도의 베이스영역(23)에 대응한다. 베이스영역(83b)은 제 4 도에 확대하여 상세히 나타낸다. 베이스영역(83a,83b,83c 및 83d)은 보조링루우프(82a,82b,82c 및 82d)에 의해 거의 전부 포위되어 있는 것을 주목해야 한다.

부유 가아드링(84)로 구성되는 또다른 P형 영역이 형성되어 있는데, 이는 제 3 도 내지 6도에 나타났다. 가아드링(84)은 물결모양의 경로로 연장되어 있으며 제 3 도와 제 4 도의 장치표면에 도달하는 N(-)영역(80)을 절반으로 분할한다.

에미터 영역(86a,86b)은 제 4 도에 확대하여 상세히 나타났다. 상기로 부터 제 3 도의 접합패턴은 제 9 도의 4개의 다이리스터소자(84a,84b,84c 및 84d)에 대한 근간을 형성하며 장치의 평행접속을 가능하게 한다는 것을 알 수 있을 것이다. 다이리스터(64b)를 한정하는 다이리스터 소자는 제 4 도 및 6도에 나타났으며 이제부터 기술된다. 다이리스터 베이스는 팽행에미터 영역(86a,86b)을 포함하는 활동성

P영역(83b)으로 이루어진다. 다이리스터 애노우도 영역은 베이스(83b)를 대칭적으로 둘러싸는 애노우도 영역 평거(81a 및 81b)로 구성된다. 다이리스터 본체는 N(-)영역(80)으로 이루어진다. 또한 베이스는 집적능력을 증대하는 상기 이점을 지닌 보조 루우프 영역(82b)에 의해 거의 완전하게 둘러싸인다. 역시 신규한 접합패턴은 칩위에 다수의 다이리스터의 병렬접속을 가능하게 한다. 도시된 접합패턴은 형성함에 있어, 베이스 영역(83a, 83b, 83c 및 83d)과 각각의 인접 애노우도 평거(81a, 81b, 및 81c)(및 외측 애노우드 레그, 81d 및 81e) 사이의 측면거리는 약 105미크론이다. P형 영역들의 각각의 깊이는 약 4미크론이다. 각각의 베이스 영역(83a, 83b, 83c 및 83d)는 약 40밀리의 길이 및 약 75미크론의 폭을 갖는다. 여러 P영역들을 형성하는 동안에 다른 P형 가아드링(90)(제 2 도 및 5도)은 칩의 주변둘레에 바람직하게 형성된다. 링(90)은 약 38미크론 만큼 P 애노우드(81e)[†]의 외주로 부터 떨어져 있다. 또한 제 3 도 및 제 4 도에 나타낸 바와 같이 여러 접합들을 형성하는 동안에 N(+)소오스 및 드레인 영역(91a-91b, 92a-92b, 93a-93b 및 94a-94b)들은 제 9 도에 있어서 제어MOSFET(76, 77, 78, 79)용으로 각각 형성된다. 이들은 확대불활성 P형 영역(82)에 형성된다.

제어 MOSFET(77)의 경우에 대해 제 4 도에 나타낸 바와 같이, 약 0.1미크론의 두께를 갖는 적절한 게이트 산화물 및 폴리실리콘 게이트전극(도시되지 않음)은 영역 92a 및 92b 사이의 갭위에 배치된다.

국도로 얇은 산화물은 게이트가 캐패시터(60 및 61) 및 캐패시터(75)사이의 노우드의 전위에 있기 때문에 제어 MOSFET용으로 사용될 수 있다.

이에따라 제어 MOSFET 게이트들과 주 다이리스터들의 캐소드 사이의 전위차는 매우 낮다. 따라서 트랜지스터(76 내지 79)는 매우 높은 이득의 트랜지스터로 될수 있다.

소오스영역(92a)는 불활성 베이스에 연결되고, 반면에 드레인 영역(92b)은 도전성스트립(95)(제 4 도 및 6도)을 통하여 다이리스터 베이스영역(83b)에 전기적으로 접속되어 있다. 스트립(95)은 금속이 바람직하다.

베이스(83a, 83b, 83c, 83d)를 연결하는 도전성 스트립을 갖춘 각 다이리스터소자가 제어 MOSFET 소오스전극(91a, 92b, 93c, 94d)를 각각 제어하도록 상기와 비슷한 배치가 제공된다. 다음 도전성 스트립은 점선(95a)으로 제 4 도에 부분개략적으로 나타낸 폴리실리콘 연결스트립에 의해 모두 함께 접속되어 있다.

또한 캐패시터(60, 61)는 캐패시터(60)에 대해 제 7 도에 나타낸 바와 같이 불활성 P영역(82)에 설치되어 있다. 이에 따라 캐패시터(60)는 직사각형 링(96)에 적절한 반경방향의 코오너를 갖도록 함에 의해 칩으로 부터 분리된 P형 베이스(82) 및 침표면에 도달하도록 N(-) 재료(80)의 영역위에 금속층을 퇴적함으로써 형성된다.

금속층(60)은 전계판을 형성하기 위해 열산화물층(97)위에 있는 것을 주목해야 한다.

또한 저항기(70)는 제 8 도에 나타낸 바와같이 불활성 P형 영역(82)에 설치되어 있다. 이에따라, 제 8 도에서 폴리실리콘 스트립(70a)은 산화물층(97)위에 부착되고, 부착된 이산화 실리콘층(98)과 함께 뒤덮여진다. 따라서 저항기(70)은 절연층(97)에 의해 침분체로 부터 완전히 절연된 저항층으로 형성된다.

이에따라 저항기(70)는 다른 회로구성요소들과의 기생 간섭이 없는 이상적인 저항기로 된다.

다음 개구들은 층(98)에 형성되어 있으며 저항기 단자접속(99, 100)은 저항기로 만들어진다. 이를 단자들은 다이리스터 캐소드 및 제어 MOSFET(76, 77, 78, 79)의 소오스전극에 적절히 접속되어 있다.

제 5 도 및 6 도에 나타낸 칩의 상면은 소정의 금속화를 하도록 처리된다. 금속화되기전에 적당한 열적 산화물(110)이 제자리에 존재하거나 개략 1미크론의 두께로 장치표면에 가해진다. 종래의 마스킹 및 에칭단계 후 금속들은 필요한 순서로 가해진다. 다음 상면은 어떤 소정두께를 가질수 있는 부착된 산화물 코팅으로 덮여진다.

신규한 폴리실리콘 전계플레이트(112, 113)는 열적산화물(110)위에 부착된다. 모든 폴리실리콘 스트립이나 층들은 어떤 소정순서로 부착될 수 있음을 유의해야 한다. 전계판(112)은 상부에 배치된 기다랗고 꾸불꾸불한 판이며 P(+) 애노우도 영역(81)과 N(-)영역(80) 사이의 접합의 경로를 흐른다. 비슷하게 전계판(113)은 플레이트(112)의 그것과 평행의 경로를 잇는 기다랗고 꾸불꾸불한 판이며 보조 영역(82)과 외측으로 배치된 N(-)영역 (80)사이의 접합위에 실시된다.

전계플레이트(112) 및 (113)이 부착될 때 외부등 위링(115)(제 5 도)도 칩의 외주주위에 배치될 수 있다. 링(115)은 보통 방식으로 기판(80)에 연결된다.

전계플레이트(112), (113)와 링(115)은 각각 약 20미크론의 폭을 갖는다. 보호링 영역(84)은 약 8미크론의 폭을 갖고 있고 플레이트(112)와 (113)의 서로 마주보는 변 사이의 중간에 배치되는 데 이 마주보는 두변 사이의 거리는 약 44미크론이다. 이와 마찬가지로 P형 영역(90)(제 5 도)은 두변이 서로 44미크론격차되어 있는 플레이트(112)와 플레이트(115)사이의 중간에 위치되어 있다.

그 다음 양극(51)을 도시한 바와같이 형성되어 제 2 도 및 제 6 도에 나타낸 바와같이 P형 양극 (81)에 연결시킨다. 또한 제 2 도, 제 5 도 및 제 6 도에 표시한 바와같이 음극(50)을 형성한다.

제 2 도 내지 제 9 도의 횡 다이리스터는, 칩의 노출면을 조명하도록 배치된 LED(45)(제 6 도 및 제 9 도)로부터의 복사에 의해 도통된다.

칩은 극히 예민하기 때문에 LED(45)는 크기, 출력 또는 위치가 특히 중요하지는 않다.

제 2 도 내지 제 8 도에 표시된 패턴들이 제 9 도에 표시된 전기회로를 구성하게 하고, 그리하여 고체상태 릴레이의 반쪽을 결정하는데, 이 고체상태 릴레이에 대해서는 나중에 다시 설명하겠다. 조명광이 없을 때 과도신호에 의해 점화하지 않도록 다이리스터가 도통하는 것을 억제시키고 있다. 콘덴서(60-

61,75) 사이에의 전압배분이 도통될 수 있는 전압창을 결정한다. 용량성 전압분할기로 제어 트랜지스터에는 아주 낮은 게이트 전압을 걸리게 할 수 있고 기능성 누설전류도 아주 낮게 할 수 있다는 것은 중요한 의미가 있다. 콘덴서들은 또한 투임광이나 복사를 막는다.

제 2 도 내지 제 8 도에 나타낸 신규 형 다이리스터는 원하는 어떤 방법으로 만들수 있다. 이 장치는 주어진 침면적에 대하여 양극 영역(81)과 기저영역(84) 사이에 최대유효 전류운반구역을 제공한다. 패던의 형상은 또한, 높은 감광도를 유지하면서 LED(45)가 위험하지 않도록 순방향전압강하를 가급적 충분히 적게하도록 배열되어 있다.

신규형상의 주요특징은 각 기저영역(83a, 83b, 83c 및 83d)를 각각 둘러싸는 신규한 P형 보조영역(82a, 82b, 82c 및 82d)이다. 이런 기하학적 형상으로 모든 N+음극을 함께 접속할 수 있다. 그리하여 영역(82a, 82b, 82c 및 82d) 그리고 주영역(82)은 그속에 모든 다이리스터 기저가 묻혀있는 일정전위 영역이다. 기저부의 끝에 있는 영역(82)속으로 뻗어감으로써 큰 면적을 금속화에 이용하여 영역들을 병렬로 연결할 수 있다.

제 4 도에 연결점(120)으로 약시된 바와같이 P형 루우프(82b)의 길이를 따라 뻗은 격자점형 접속을 사용하거나 하여 음극(50)에서 부터 루우프(82a, 82b, 82c 및 82d)까지에 저항적으로 연결하는 것이 바람직하다. 또한 제 4 도에 나타낸것처럼 짧은 접촉대(121)로 연결시킬 수도 있다. 제 4와 제 6 도에 나타낸 것처럼 보조루우프들과 음극(50) 사이에 저항적 접속을 사용하므로써, 장치가 도통되어 있는 동안 양극 영역(81a, 81b)에서 주입된 캐리어는 보조영역(82a, 82b, 82c 및 82d)에 포집되기 보다는 에미터영역(86a, 86b)으로 이동하는 경향이 있다. 이것이 에미터의 포집효율을 증진시키고 장치의 순방향 전압강하를 크게 감소시킨다. 예시하면, 보조루우프형 역과 음극(50)사이에 저항적 연결을 만들어줌으로써 1.4 암페어에서의 순방향 전압강하는 약 1.45 볼트에서 약 1.15 볼트로 감소했다. 이 결과 순방향 도전시 전력소모는 크게 감소될 수 있는 것이다.

제 3 도 내지 제 6 도의 장치를 만들때 양극영역(81)과 모든 그 부품들은 P형 영역(82, 83, 84)의 도우핑에 비하여 보다 심하게 도우핑하는 것이 바람직하다. 예를들면, 양극영역(81)은, 영역(82, 83, 84)의 평방당 1600 Ω 에 비하여 평방당 50 Ω 의 비저항을 갖게되는 점까지 도우핑한다. 이로인해 이득이 높아지고 그리하여 영역(81, 80, 83)으로 구성되어 있는 고유한 횡 트랜지스터의 감광도를 확실히 높일 수 있다. 더 우기 양극 영역을 더욱 심히 도우핑함으로써 장치의 순방향 전압강하를 낮출 수 있다.

본 발명의 또 다른 중요 특징은 에미터 영역 예컨데 제 3 도와 제 6 도에서 영역(86, 86b)의 도우핑을 제어하여 장치의 표면에서의 N형 농도를 최적치 1×10^{20} 내지 6×10^2 인(撫) 이온/cc가 되게 할수 있다는데 있다. 이것은 영역(86)을 형성할 때 얇은 산화물 층내로 인을 확산시키던지 또는 확산과정에 의해 여러 가스류를 제어하거나 하여 행한다. 영역(86)의 표면에서의 N형 농도를 낮춤으로써, 장치의 방출효율이 개선되고 그리하여 순방향 전압강하를 더욱 낮출 수 있고 광원(45)으로부터의 광자에 의해 장치가 도통하는 강도를 현저히 증가시킬 수 있다.

다음에는 제 10 도를 보면 본 발명의 완전한 a,c 릴레이의 회로도가 표시되어 있다. 제 10 도의 릴레이는 각각 주 a,c 전원단자(212, 213) 사이에 서로 역평행관계로 접속되어 있는 두개의 동일 다이리스터(210, 211)를 사용하고 있다. 약시된 다이리스터(210, 211)는 제 1 도 내지 제 9 도에 표시된 각각의 형태이며 각각 게이트(216, 217)에 의해 약시된 게이트회로가 마련되어 있다. 다이리스터 칩(210)은 그 상면에 양극패드(220)와 음극패트(221)를 갖고 있는 한편 칩(211)은 같은 양극패드(222)와 음극패드(223)를 갖고 있다(제 11 도).

다이리스터(210, 211)는 한쪽의 양극(220)이 다른쪽의 음극(223)에 연결되도록 또한 한쪽의 양극(222)이 다른쪽의 음극(221)에 연결되도록, 서로 전기적으로 연결되어 있다. 그리하여 장치들은 제 10 도에 표시된 것처럼 역평행 관계로 연결되어 있다.

제 10 도에서 단자(226, 227)를 가진 시판의 칼륨 알루미늄 비소화물일 수 있는 단일 LED(225)는, 다른 회로조건이 적합할 때의 도통될 수 있게 하기 위해서 칩(210, 211)의 감면을 충분히 조명하도록 나중에 실명할 것처럼 배치된다. 단자(226, 227)에 연결되어 있는 입력회로와 단자(212, 213)에 연결되어 있는 a,c 전원회로 사이는 전기절연한다.

다이리스터(210, 211)의 도통을 각각 제어하기 위해 전술한 바와 같은 동일 제어회로들을 마련하는데 이 회로에는 각각 MOSFET 트랜지스터(230, 231), 제너다이오드(232, 233), 저항(234, 235) 및 콘덴서(236, 237)이 포함된다. 콘덴서(236, 237)은 제 9 도의 콘덴서(60, 61)과 마찬가지로 각 용량성 분할기의 한 성분역할을 한다. 용량성분할기의 둘째 성분은 각각 정지(230, 231)의 분포 용량(238, 239)으로 구성되어 있다.

회로성분(230-239)은 개별적 성분으로 처리할 수 있다. 그러나 제 1 도 내지 제 9 도에 기재한 것처럼 이들 회로성분들은 다이리스터(210, 211)를 포괄하여 반도체 과 일체적으로 처리하는 것이 보다 바람직하다.

트랜지스터(230, 231)은 각각 다이리스터(210, 211)의 게이트(216, 217)에 연결된다. 트랜지스터(230, 231)이 통전하고 있는 on되어 있는 한, LED(225)로부터 장치(210, 211)의 표면에 조명하더라도 장치를 도통시킬 수 없다. 트랜지스터(230, 231)은 그들의 각 게이트(240, 241)이 적당한 임계전압(V_{th})까지 알맞게 충전할 때에 도통한다. 그리하여 노우드(242, 243)아 각각 트랜지스터(230, 231)의 임계도통전압 도달하고 소오스 전압 까지에 적당한 드레인이 설치되어 있으면 장치들은 도통하여 다이리스터(210, 211)의 각 게이트(216, 217)를 클램프 할 것이다.

각 노우드(242, 243)의 전압을 V_o 라 하면 :

$$V_o = V_{ccCp} / (C1 + Cp)$$

상기식에서, V_{cc} 는 단자(212)와 (213)간의 정압이고, C_p 는 각각 분포 콘덴서(238, 239)이 용량이고, C_1 은 각각 콘덴서(236, 237)의 용량이다.

상기로 부터, 단자(212)와 (213)간의 순간 a,c전압이 어떤 "창" 값보다 더 정(正)이거나 또는 부(負)일 때는 노우드(242) 또는 (243)에서의 진압 V_o 는 트랜지스터(230, 231)의 임계전압보다 더 클것이라는 것을 알수 있다. 따라서, 이창전압이 초과될때는 트랜지스터(230, 231)은 다이리스터(210, 211)을 클래프한다. 이런 배치로 장치의 주단자들 사이에 저항을 삽입시킬 필요없이도 제로 검출회로가 마련될 수 있다.

본 신규 용량성 분할회로는 또한 과도(過渡)잡음 또는 높은 dV/dt 신호와 같은 급상승 펄스로 인한 장치(210, 211)의 점화를 억제하는데 유용하다. 그렇게 높은 과도펄스는 트랜지스터(230, 231)가 각각 도통하여 그 각각의 다이리스터를 클램프할 정도로 충분히 높은 전압을 기생콘덴서(236, 239) 사이에 인가하게 된다. 그리하여 다이리스터는 급상승 과도펄스에 응답해서 점화되지 않을 것이다.

릴레이 단자(212, 213)에 연결되어 있는 높은 유도부하에 의해 발생하는 것과 비교적 천천히 상승하는 펄스인 경우에는 이를 펄스는 제어 트랜지스터를 도통시켜 저절로 다이리스터(210, 211)을 클램프시킬 정도로 충분히 빠르지는 않을 것이고 그로인해 릴레이가 높은 유도부하위에서 단상화하거나 또는 채터링하는 것을 피할수 있다. 또한 이것이 장치의 최적감도를 저하시키지 않고 수행된다는 것을 주의할 필요가 있을 것이다. 그리하여 다이리스터(210, 211)은 비교적 느리게 상승하는 과도펄스에 의한 오작동의 우려없이 점화에 최적한 광감도를 갖도록 설계할 수 있다.

제 10 도에 표시된 또다른 이점은 저항(234, 235)의 설계에 있다. 곧 저항의 온도계수는 각 다이리스터 감도에 평행시킨다. 즉, 저항이 흔히 있는 부의 온도계수를 갖고 있으면, 저항이 고온시 그의 각 제어된 정류기를 클램프시키는 수도 있을 수 있다. 그러나 저항(234, 235)의 저항 온도계수를 평행 시킴으로써 클램프작용을 피할수 있다.

다음에는 제 11 도 내지 제 14 도에 있어서 제 10 도의 칩(210, 211)그리고 LED(25)를 장입하는 구조에 대해 설명하겠다. 먼저 제 11 도와 12 도에 보면, 알루미나로 만들수도 있으나 어떤 원하는 전기 절연성, 필연성의 물질일 수 있는 세라믹기관 지지체(200)가 표시되어 있다. 예로서 알루미나 슬랩(260)은 두께 0.025인치, 길이 약 0.9인치 폭 약 0.25인치를 가질 수 있다.

패턴(261, 267)를 포함하여 복수개의 도전성 패턴을 기판(260)에 일면 위에 형성한다. 이를 각 패턴은 금 도금에 의해 기판위에 형성하는데 금도금의 두께는 약 150미크로인치보다 크다. 그 다음 각 다이리스터 칩(210, 211)은 각각 전도성패드(265, 264)위에 적절히 납땜해 붙이거나 다른방법으로 부착시켜 알루미나 본체(260)와 양호한 열접촉이 되게한다. 대표적 크기의 장치인 경우 칩(210, 211)은 각각 약 82×116 밀의 크기를 갖는다.

LED칩(225)은 도전성 패턴(262)의 일단위에 장착 시킨다. 칩(210, 211)은 대체로, 그 양극리이드와 음극리이드가 상호간에 또한 도전성패턴(266, 267)의 일단과 일직선상에 놓이도록 설치한다. 따라서 단일와이어(270)를 사용하여 다이리스터(211)의 도전성패드(223)과 다이리스터(210, 220)와 도전성패턴(207)의 단부를 전기적으로 연결하면 편리할 것이다. 이것은 고속 자동기술에 적합한 비교적 간단한 방식의 스티치본딩공정으로 행할 수 있다.

곧, 본딩헤드를 와이어(270)위까지 하강 시키고 패드(223, 220)의 위치와 도체(267)의 일단에 일치하는 격차되어 있는 2점에 와이어를 전기적으로 부착 시킨다. 같은 방법으로 둘째의 평행와이어(271)를 도전패드(222, 221)과 도전패턴(226)의 단부에 스티치 본딩시킨다. 도체(27)의 스티치본딩을 제 11 도 및 제 12 도에 표시하고 있다. 각 도전와이어(270, 271)은 약 6밀의 직경을 가진 알루미늄 와이어면 될 것이다.

위의 결과, 전원단자(212, 213)은 제 11 도의 다이리스터(210, 211)에 제 10 도에서처럼 다이리스터를 서로 역평행관계에 둔채 연결된다.

칩(210, 211)도 또한 그들 각각의 제어회로를 내포하고 있기 때문에 이 제어회로도 또한 그 자리에서 상기와 같이 단일 스티치 본딩법에 의해 연결하면 된다는 것을 말해 두고자 한다.

LED(225)는, 리이드(226)에 연결되어 있는 도전패턴(262)의 일단의 상부에 배치되어 있음을 볼 수 있다. LED(225)의 다른 극은 와이어(280)에 의해 도전패턴(261)의 일단에 전기적으로 연결되어 있다.

와이어(280)는 LED(225)의 연장도선이어도 좋은데 이 와이어는 어떤 원하는 방법으로 도전성 패턴(261)의 일단에 본딩된다. 그다음 도전패턴(261)을 와이어(281)의 직접 단락 접속에 의해서 또는 저항(282)에 의해 격차된 도전패턴(263)에 연결한다.

단락 와이어(281) 또는 저항(282)은 단자(226, 227)의 전력과 LED(225)의 특성에 따라 적당히 선택한다. 와이어(280, 281)는 직경 약 1밀의 금선이면 좋을 것이다. 리이드(212, 213, 226 및 227)은 기판(260)의 주변에서부터 뻗어나와 이중 인라인핀형 패키지를 구성한다. 그다음 광학적 캡 또는 덮개(291)를 LED(225)와 다이리스터(210, 211)위에 배치하여 제 11 도에서 점선(290)으로 표시된 영역을 둘러싼다.

이 캡은 제 13 도와 제 14 도에서 캡(291)으로 표시되어 있는데, 장치 작동시 발생하는 열에 견딜 수 있는 어떤 원하는 반사경 플라스틱 재료로 만들 수 있다.

흰색 플라스틱을 실제 사용했다. 플라스틱은 디슬폰으로 만들어진 것을 사용하면 좋을 것이다. 플라스틱은 그 내부표면에서 반사할 수 있도록 흰색인 것이 바람직하다. 캡은 또는 산화티탄분말이 혼합된 RTV와 같은 적절한 실리콘으로 만들수도 있다.

산화티탄분말은 실리콘내에 분산상태로 남아있다. 이 혼합물은 약 115°C에서 약 15분간 오븐내에서 경화시킬 수 있다. 캡(291)은 LED(225)의 위치위에 경사면(292)을 갖고 있으며 이 경사면은 제 13 도에서 볼 수 있는 것처럼 빛을 칩(210, 211)의 부분쪽으로 반사할 수 있다.

캡(291)은 제 13 도에 표시한 것처럼 그 자리에서 고정시킬 수도 있고 또는 요구한 대로 기판에 겹치게 배치하여 기판가장자리 위로 스냅 하도록 배치시킬 수 있다.

그 다음에는 제 13 도 및 제 14 도에 충전공(294,294)를 통하여 캡(292)의 내부에 투명한 실리콘을 충전하여 모든 칩(225,210,211)과 거기 연결된 도선을 완전히 인캡슐리션화 하는데 그래도 LED(225)로부터의 조사광은 다이리스터 칩(210,211)의 감광성면에 도달하게 된다.

캡(291)을 위치 고정하고 실리콘을 채운 후에, 캡(291)이 부착된 기판(260)전체를 리이드(212,213,226 및 227)이 있는 리이드 프레임내에 장착할 수 있다. 그 다음에는 그 조립된 장치를, 예컨대 이송성형법 등으로 만든 하우징내에 완전히 장입한다. 리이드(212,213,226 및 227)은 이 포장체로 부터 뻗쳐나오고 비교적 크기와 부피가 작은 이종, 인라인 핀 패키지가 얹어진다. 그러나 이 장치는 240볼트 a,c에서 1 내지 1/2암페어의 연속 전류정격을 감당할 수 있다.

본 발명은 그 바람직한 실시예에 관해서 설명 하였지만 많은 변형과 수식이 당분야에 숙달된 자에게는 용이할 것이다. 따라서 본 발명은 여기에 기재된 특정내용에만 한정되는 것이 아니라 오직 첨부된 특허청구의 범위에 의해서만 한정되는 것이 마땅할 것이다.

(57) 청구의 범위

청구항 1

각각 애노우드와 캐소드 전극 및 각각 게이트회로를 갖고 있는 제1 및 제2 다이리스터로 구성되는 교류 고체 릴레이회로에 있어서, 상기 다이리스터의 각각은 분리된 각각 제1 및 제2 반도체 칩에 형성되고 횡 전도형이며, 상기 각 다이리스터의 상기 애노우드 및 캐소드 전극은 각각 상기 제1 및 제2 칩의 동일한 제1표면에 위치하며, 상기 제1 및 제2 칩의 상기 제1 표면은 광학적으로 민감하여 상기 제1 및 제2 칩은 상기 일표면을 조광함으로써 전류를 도통하도록 스위치될 수 있는 것을 특징으로 하며, 상기 고체 릴레이에는 또한 여기시에 상기 제1 표면을 조광하도록 배열된 발광다이오드(LED), 한쌍의 교류단자, 서로 역 평행하게 상기 교류단자쌍에 접속되어 있는 상기 제1 및 제2다이리스터의 상기 애노우드 및 캐소드 전극, 상기교류단자로 부터 절연되어 있으며 상기 발광다이오드에 접속된 한쌍의 제어단자 및 각각 상기 제1 및 제2 다이리스터의 상기 게이트 회로에 접속되어서 상기 교류단자쌍 사이의 전압이 소정치를 초과할 때 상기 제1 및 제2다이리스터의 파이어링을 방지하기 위하여 각각 상기 제1 및 제2 게이트회로를 클램프하며 소정치보다 더 큰 dv/dt를 갖는 과도펄스에 응하여 상기 제1 및 제2 게이트회로를 클램프하기 위한 제1 및 제2 제어회로를 더 포함하는 것을 특징으로 하는 교류고체 릴레이.

청구항 2

제 1 항에 있어서, 상기 제1 및 제2 제어회로는 각각 제1 및 제2 제어트랜지스터를 포함하며, 각각 출력 회로와, 도통 및 비도통상태에서에 각 제어회로를 스위치 하도록 동작하는 트랜지스터 제어회로를 가지며, 또한 제1 및 제2 캐패시터 분배기를 포함하는 것을 더 특징으로 하며, 상기 제1 및 제2 트랜지스터 출력회로는 각각 상기 제1 및 제2다이리스터중의 하나의 상기 게이트회로와 상기 애노우드 전극 사이에 접속되며 이에 의해 상기 제1 또는 제2 트랜지스터 출력회로가 도통상태 일때 각각 제1 또는 제2다이리스터중 하나는 상기 제1표면의 조광에 응하여 파이어링 되지 않으며, 상기 제1 및 제2 캐패시터 분배기는 상기 교류단자쌍을 가로질러 접속되며 각 제어트랜지스터의 상기 제어회로에 접속된 캐패시터들 사이의 각 노드를 가짐으로써 교류전압이 소정 원도우 전압을 초과할 때 상기 노드의 전압은 상기 교류단자쌍 사이의 전압이 각각상기 다이리스터중의 하나가 턴온하는 것을 방지할 수 있는 소정치를 초과하는 동안 각 트랜지스터를 도통상태로 하여, 급상승과도 펄스는 과도상태의 높은 dv/dt펄스에 의해 상기 다이리스터의 턴온을 방지하기 위하여 이 기간동안 상기 트랜지스터를 턴온 시키는 것을 특징으로 하는 고체 릴레이.

청구항 3

제 2 항에 있어서, 상기 제1 및 제2 제어회로는 또한 각각 상기 제1 및 제2 캐패시터 분배기와 상기 각 노드로 부터 각각 상기 제1 및 제2 다이리스터의 애노우드 전극으로 각각 접속되어 있는 제1 및 제2 제너레이터를 포함하는 것을 특징으로 하는 고체 릴레이.

청구항 4

제 2 항 또는 3항에 있어서, 더우기 각각 상기 제1 및 제2 다이리스터의 상기 게이트회로 사이에서 각각 상기 제1 및 제2 다이리스터의 애노우드 전극에 접속된 제1 및 제2 저항을 포함하는 것을 특징으로 하는 고체 릴레이.

청구항 5

제 2 항 또는 3항에 있어서, 상기 제1 및 제2 트랜지스터는 MOSFET이며 상기 트랜지스터 제어회로는 상기 트랜지스터의 게이트회로를 포함하는 것을 특징으로 하는 고체 릴레이.

청구항 6

제 5 항에 있어서, 더우기 상기 제1 및 제2 캐패시터 분배기 각각의 상기 제2 캐패시터는 각각 상기 제1 및 제2 트랜지스터의 분포 캐패시터인 것을 특징으로 하는 고체 릴레이.

청구항 7

제 1 항에 있어서, 더우기 상기 제1 또는 제2 칩 및 상기 발광다이오드를 장착시키기 위한 전기적으로는 절연이나 열적으로 도전성인 세라믹기판을 포함하며 상기 제1 및 제2 칩과 상기 발광다이오드는 상기

기판의 동일표면에 서로 간격을 가지고 고정되어 있으며, 상기 제1 및 제2 칩의 상기 광학적으로 민감한 표면은 상기 기판으로부터 멀리 대향하며, 상기 발광다이오드는 반사 표면으로부터 출력된 빛의 반사에 의해 상기 제1 및 제2 칩의 조광을 가능하게 하는 위치에 있는 것을 특징으로 하는 고체 릴레이.

청구항 8

제 1 항에 있어서, 더우기 각 칩의 상기 제1 표면은 한 도전형의 접합-수신표면, 각각이 상기 표면내에 축방향으로 서로 간격을 가지고 형성되어 있는 다른 도전형의 애노우드영역과 상기 다른 도전형의 베이스영역, 상기 베이스영역내에 전체가 포함되어 상기 표면으로부터 그 안으로 뻗어 있는 상기 한 도전형의 에미터영역으로 구성되며, 상기 애노우도 및 캐소드 전극은 각각 상기 애노우도 및 에미터영역에 접속되며, 상기 애노우도 영역은 순방향 전압강하를 감소시키고 광감도를 증가시키도록 상기 베이스영역보다 더 고밀도로 도우프되는 것을 특징으로 하는 고체 릴레이.

청구항 9

제 1 항에 있어서, 더우기 각 칩의 상기 제1 표면은 한 도전형의 접합-수신표면, 각각이 상기 표면내에 축방향으로 서로 간격을 가지고 형성되어 있는 다른 도전형의 애노우드영역과 상기 다른 도전형의 베이스영역, 상기 베이스영역내에 전체가 포함되며 상기 표면으로부터 그안에서 뻗어 있는 상기 한 도전형의 에미터 영역으로 구성되며, 상기 애노우도 및 캐소드 전극은 각각 상기 애노우도 및 에미터영역에 접속되어, 상기 에미터영역은 상기 방사수단으로부터의 방사에 의해 턴온하는 상기 횡 다이리스터의 방사감도를 증가시킬 때 얇은 산화층을 통하여 확산에 의해 얻어지는 한 레벨의 상기 표면에 비교적 저밀도로 도우프되는 것을 특징으로 하는 고체 릴레이.

청구항 10

제 8 항 또는 9항에 있어서, 상기 표면내에 형성되고 상기 애노우드와 베이스영역 사이에 횡으로 간격을 둔 다른 도전형의 가아드링을 더 포함하며, 상기 가아드링은 상기 캐소드와 애노우도 전극과 접촉하고 상기 전극들에 대해 전기적으로 보유하는 것을 특징으로 하는 고체 릴레이.

청구항 11

제 1 항에 있어서, 각 칩의 제1 표면은 한 도전형의 접합내장표면, 다른 하나와 횡으로 거리를 두고 상기 표면내에 각각 형성된 다른 도전형의 애노우드영역 및 상기 다른 도전형의 베이스영역, 상기 베이스영역에 전적으로 포함되어 형성되고 상기 표면으로부터 그안에 뻗어 있는 상기 한 도전형의 에미터영역, 상기 애노우도 및 에미터영역에 각각 접속된 애노우도 및 캐소드 전극, 및 상기 표면에 형성되고 상기 베이스영역을 에워싸고 횡으로 거리를 둔 다른 도전형의 보조영역으로 구성되는 것을 특징으로 하는 고체 릴레이.

청구항 12

제 8 항에 있어서, 상기 베이스영역은 상기 표면에 단자접속되는 연장된 형상을 가지며, 상기 에미터영역은 상기 베이스영역내에 포함된 적어도 하나의 직사각형 형상을 포함하고, 상기 애노우드영역은 손가락 모양의 패턴을 가지며 그 핑거들은 상기 베이스영역을 둘러싸는 것을 특징으로 하는 고체 릴레이.

청구항 13

제 11 항에 있어서, 상기 보조영역을 상기 캐소드 전극에 저항성을 접속하는 수단을 특징으로 하는 고체 릴레이.

청구항 14

한 도전형의 접합내장표면을 갖는 반도체 재료의 칩으로 이루어지고 상기 표면내에는 서로 간격을 두어 횡으로 각각 형성된 다른 도전형의 애노우드영역 및 상기 다른 도전형의 베이스영역이 있는 광학적으로 파이어되는 횡다이리스터에 있어서, 상기 한 도전형의 에미터영역은 상기 표면으로부터 그안에 뻗어 있고 상기 베이스영역내에 전체적으로 포함되어 형성되며, 애노우도 및 캐소드 전극은 각각 상기 애노우드영역 및 에미터영역과 상기 다이리스터를 도통하기 위해 상기 표면의 적어도 일부를 조광하는 방사수단에 접속되고, 상기 다른 도전형의 보조영역은 상기 표면에 형성되어 상기 베이스영역으로부터 횡으로 떨어지고 에워싸는 것을 특징으로 하는 횡 다이리스터.

청구항 15

제 14 항에 있어서, 상기 애노우드영역은 순방향전압 강하를 감소시키고 광감도를 증가시키기 위하여 상기 베이스영역 보다 더욱 고밀도로 도우프되는 것을 특징으로 하는 다이리스터.

청구항 16

제 14 항 또는 제 15 항에 있어서, 상기 에미터영역은 상기 표면에 비교적 저밀도로 도우프되고 박막산화물층을 통해 확산에 의해 얻어지는 표면농도를 갖는 것을 특징으로 하는 다이리스터.

청구항 17

제 14 항에 있어서, 상기 다른 도전형의 가아드링은 상기 표면내로 형성되고 상기 애노우드와 베이스영역으로부터 횡으로 간격을 두고 그 사이에 배치되어 있으며, 상기 가아드링은 상기 캐소드 및 애노우드 전극과 접촉되고 상기 전극들에 대해 전기적으로 부유(floating)되는 것을 특징으로 하는 다이리스터.

청구항 18

제 17 항에 있어서, 상기 에미터영역, 베이스영역 및 가이드링은 함께 연장된 부분을 갖는 비교적 얇은 영역들인 것을 특징으로 하는 횡 다이리스터.

청구항 19

제 14 항에 있어서, 상기 보조영역을 상기 캐소드전극에 저항성 접속을 하는 수단으로 포함하는 것을 특징으로 하는 다이리스터.

청구항 20

한 도전형의 반도체기판으로 구성되는 광학적으로 트리거되는 다이리스터에 있어서, 상기 기판은 적어도 제1 및 제2의 상기 기판의 표면내로 뻗어 있는 다른 도전형의 평행베이스 영역들을 가지며, 상기 한 도전형의 각각의 에미터 영역들을 적어도 제1 및 제2 평행 베이스 영역의 상기 표면내로 뻗어 있고 그들의 상기 각각의 베이스영역내에 완전히 포함되어 있으며, 상기 다른 도전형의 각각의 필게 연장된 애노우드 영역은 상기 기판내로 뻗어 있고 상기 평행 베이스 영역의 각각으로부터 횡으로 떨어져 있고 그의 대향 연장 측단에 배치되어 상기 베이스영역과 적어도 함께 연장되어 있으며, 애노우드 접점은 상기 애노우드 영역에 연결되고, 캐소드 접점은 상기 에미터 영역에 연결되고, 방사발생수단은 적절한 바이어스전압이 상기 애노우드와 캐소드 접점에 인가되었을 때 상기 다이리스터를 온시키기 위해 베이스 드라이브로서 작용하는 상기 기판에 소수캐리어를 발생하도록 작동될 수 있는 것을 특징으로 하는 광학 트리거 다이리스터.

청구항 21

제 20 항에 있어서, 상기 애노우드 영역은 상기 기판표면내로 뻗어 있고 상기 베이스 영역의 인접한 한 끝에 배치된 상기 다른 도전형의 확대 영역으로부터 뻗어 있는 평행하고 길게 연장된 핑거들로 이루어지는 것을 특징으로 하는 다이리스터.

청구항 22

제 20 항 또는 제 21 항에 있어서, 상기 기판내로 뻗어 있고 주위를 둘러싸며 상기 베이스 영역의 각면의 일단으로부터 횡으로 거리를 두고 떨어져 있는 상기 다른 도전형의 다수의 보조영역을 포함하며 그들의 각각의 베이스들과 그와 결합된 상기 길게 연장된 애노우드 영역 사이에 배치되어 있는 것을 특징으로 하는 다이리스터.

청구항 23

제 22 항에 있어서, 다수의 보조 영역들은 상기 베이스 영역의 인접한 일단에 배치된 상기 다른 도전형의 확대 영역으로부터 뻗어 있는 것을 특징으로 하는 다이리스터.

청구항 24

제 20 항에 있어서, 상기 길게 연장된 애노우드 영역과 다수의 베이스 영역들은 상기 한 도전형의 재료의 연속적으로 길게 연장된 꾸불꾸불한 스프링에 의해 서로 분리된 것을 특징으로 하는 다이리스터.

청구항 25

제 24 항에 있어서, 상기 길게 연장된 꾸불꾸불한 스트립과 함께 연장되고 그의 중앙으로 배치되며 상기 기관표면내로 뻗어 있는 상기 다른 도전형의 가이드링을 포함하는 것을 특징으로 하는 다이리스터.

청구항 26

제 24 항 또는 25항에 있어서, 서로 간격을 두고 배치되어 있고 상기 길게 연장된 꾸불꾸불한 스트립의 대향단과 함께 연장되어 있는 제1 및 제2 전계판을 포함하는 것을 특징으로 하는 다이리스터.

청구항 27

제 20 항에 있어서, 상기 최소한 제1 및 제2베이스 영역에 대한 각각의 제어트랜지스터를 포함하며, 각각의 상기 제어트랜지스터는 상기 기관의 표면내로 간격을 두어 뻗어 있는 소오스 및 드레인 영역으로 구성되어 그를 각각의 상기 베이스영역과 횡으로 간격을 두어 떨어져 있으며, 접촉수단이 상기 기판위에 지지되어 상기 베이스 영역을 상기 각각의 제어트랜지스터의 드레인 영역에 전기적으로 접속하며, 상기 각각의 제어트랜지스터의 드레인 영역은 상기 캐소드접점에 접속되며, 각각의 게이트 절연층은 상기 각각의 제어트랜지스터의 상기 소오스와 드레인 영역 사이의 공간의 상기 기판위에 덮여져 있으며, 게이트 전극 수단은 상기 게이트 절연체층 각각의 위에 있는 것을 특징으로 하는 다이리스터.

청구항 28

제 27 항에 있어서, 상기 기판위에 형성되고 상기 애노우드와 캐소드접점 사이에 직렬로 접속되며 용량 성 분할기를 한정하는 제1 및 제2 캐패시터를 포함하며, 상기 제어트랜지스터의 상기 게이트 전극수단은 상기 제1 및 제2 캐패시터 사이의 노우드에 접속되고, 상기 제1 및 제2 캐패시터는 상기 게이트 전극수단과 상기 기판사이의 상기 애노우드와 캐소드접점 사이에 극히 미소한 전압만을 인가하기 위한 사이즈로 되어있으며 이에 의해 상기 게이트절연층은 대략 0.1미크론 정도로 매우 얇게될 수 있는 것을 특징으로 하는 다이리스터.

청구항 29

제 28 항에 있어서, 상기 제1 캐패시터는 분배된 용량이고 상기 제2 캐패시터는 상기 기판에 있는 캐패시터접합 및 상기 캐패시터 접합위에 있는 캐패시터 전극으로 이루어지며, 상기 캐패시터는 상기 애노우

드 접점에 연결된 것을 특징으로 하는 다이리스터.

청구항 30

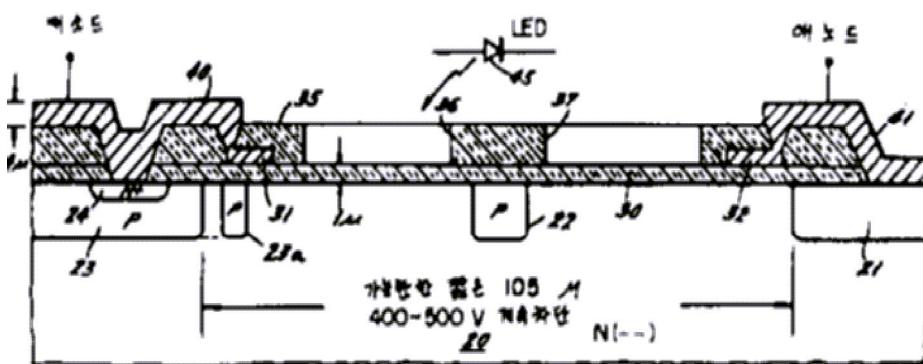
제 29 항에 있어서, 제너다이오드 수단은 상기 기판위에 형성되며 상기 제1 및 제2 캐패시터와 상기 캐소드전극 사이의 상기 노우드사이에 접속된 것을 특징으로 하는 다이리스터.

청구항 31

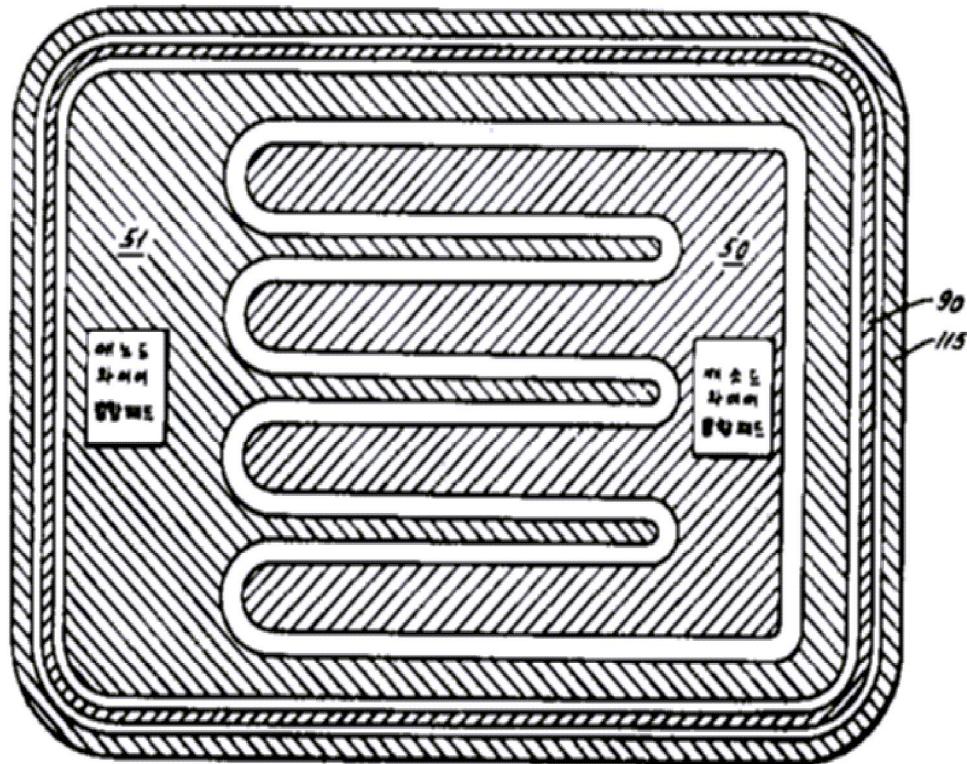
제 27 항에 있어서, 접적 저항기 수단이 상기 각각의 제어트랜지스터의 소오스 및 드레인영역을 가로질러 접속되어 있고, 상기 저항기 수단은 상기 기판의 소정영역위에 부착된 폴리실리콘의 스트립을 포함하며, 이산화실리콘층이 상기 기판의 소정영역과 상기 폴리실리콘의 스트립 사이에 배치되어 상기 저항기가 상기 기판에서의 기생전류로부터 전기적으로 분리되며, 제1 및 제2 단자는 상기 폴리실리콘 스트립위에 간격을 둔 침들로부터 뻗어있고, 상기 제1 단자는 상기 베이스에 접속된 각각의 상기 접촉수단에 접속되며, 상기 제2단자는 상기 캐소드접점에 각각 접속된 것을 특징으로 하는 다이리스터.

도면

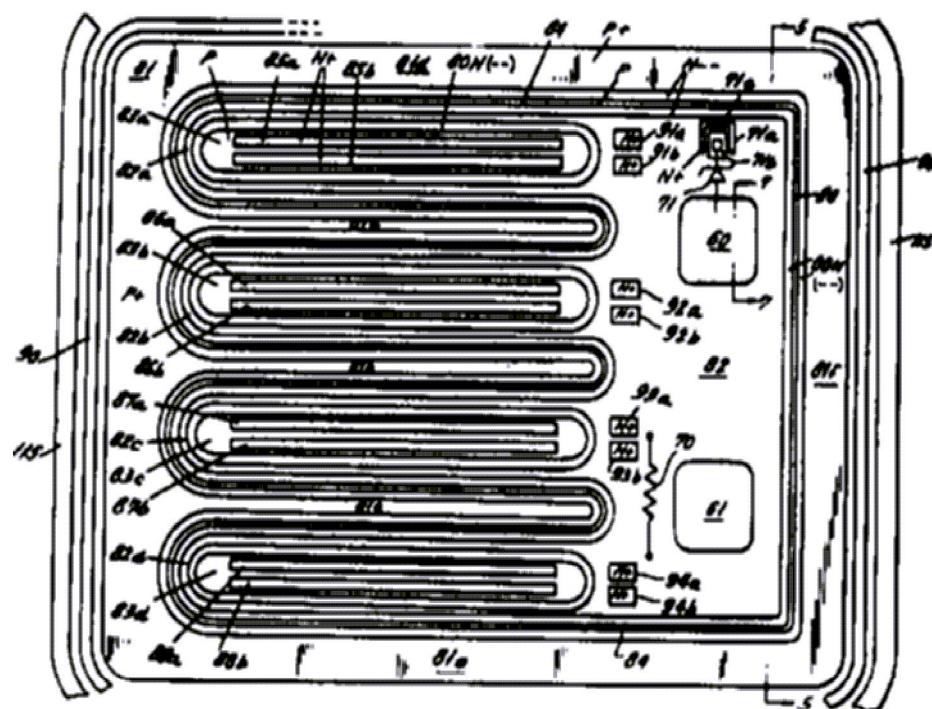
도면1



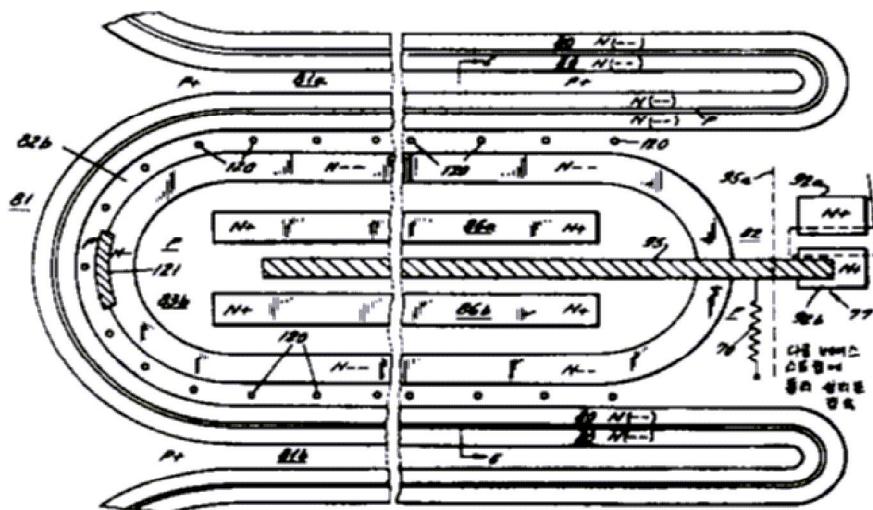
도면2



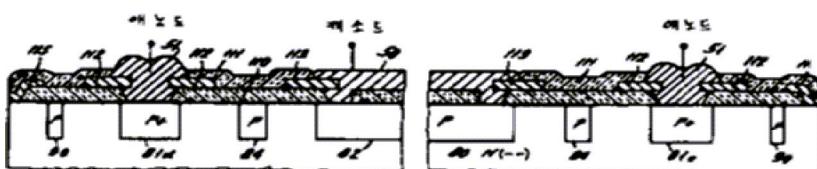
도면3



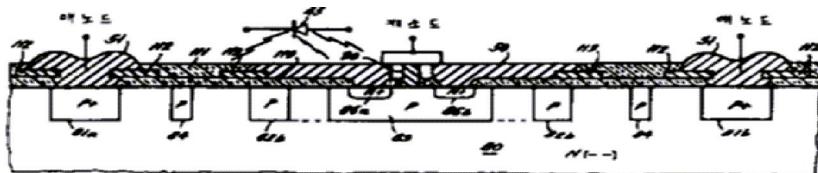
도면4



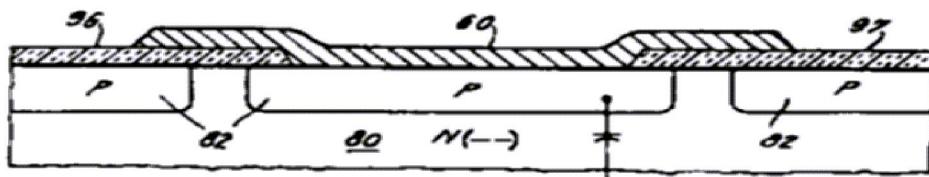
도면5



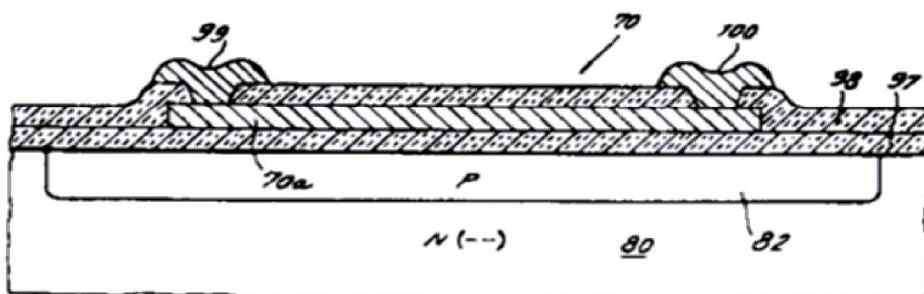
도면6



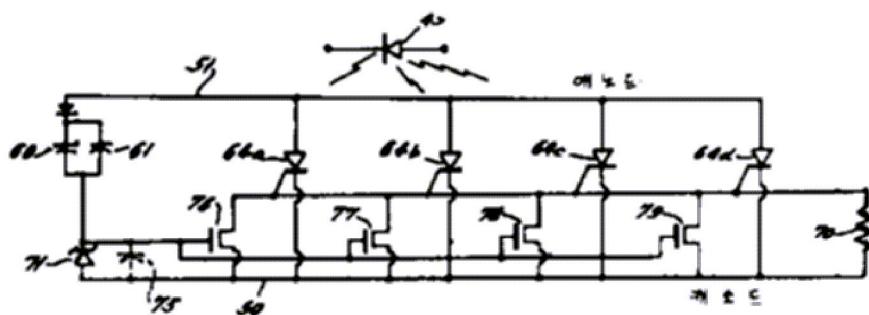
도면7



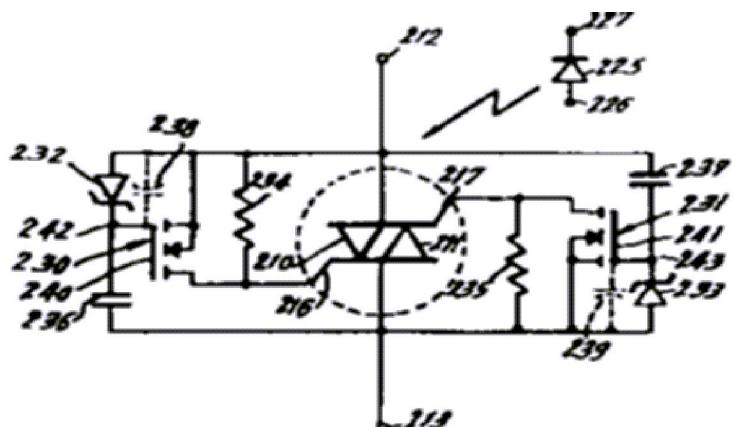
도면8



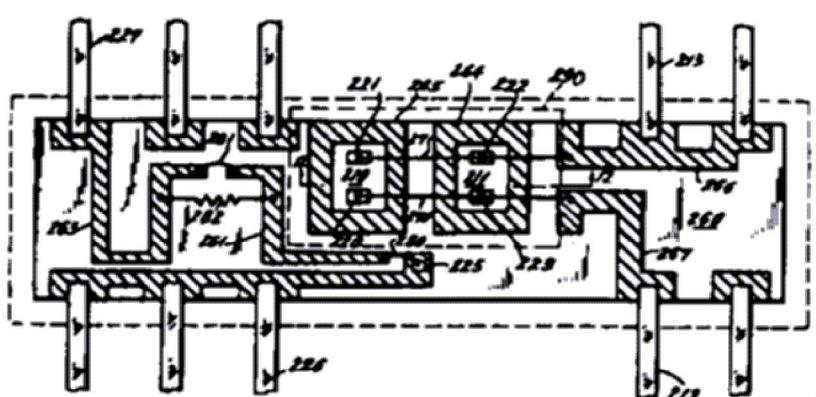
도면9



도면 10



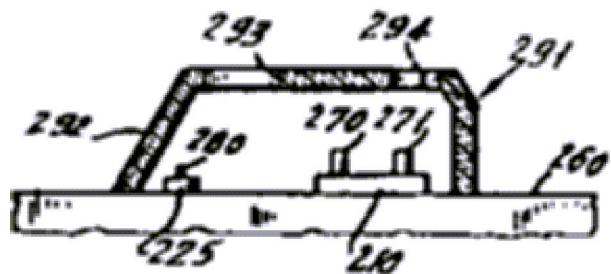
도면11



도면 12



도면 13



도면 14

