

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3662351号
(P3662351)

(45) 発行日 平成17年6月22日(2005.6.22)

(24) 登録日 平成17年4月1日(2005.4.1)

(51) Int. Cl.⁷

F I

HO 1 L 21/82	HO 1 L 21/82	F
HO 1 H 85/00	HO 1 H 85/00	
HO 1 L 21/822	HO 1 L 27/10	4 9 1
HO 1 L 21/8234	HO 1 L 27/04	H
HO 1 L 27/04	HO 1 L 27/08	1 O 2 F

請求項の数 6 (全 10 頁) 最終頁に続く

(21) 出願番号 特願平8-171145
 (22) 出願日 平成8年7月1日(1996.7.1)
 (65) 公開番号 特開平9-17878
 (43) 公開日 平成9年1月17日(1997.1.17)
 審査請求日 平成14年4月16日(2002.4.16)
 (31) 優先権主張番号 1995 P 18971
 (32) 優先日 平成7年6月30日(1995.6.30)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 大韓民国京畿道水原市靈通区梅灘洞 4 1 6
 (74) 代理人 100064908
 弁理士 志賀 正武
 (72) 発明者 崔 定▲ひゅく▼
 大韓民国ソウル特別市瑞草区蠶院洞蠶院現
 代アパート 1 O 1 棟 1 4 O 2 号
 (72) 発明者 李 定衡
 大韓民国京畿道果川市別陽洞住公アパート
 6 3 2 棟 4 O 1 号
 (72) 発明者 金 東浚
 大韓民国京畿道水原市八達区源泉洞源泉三
 星 1 次アパート 2 棟 1 4 1 O 号

最終頁に続く

(54) 【発明の名称】 半導体装置のヒューズ素子

(57) 【特許請求の範囲】

【請求項 1】

半導体基板に形成されるヒューズ素子であって、第 1 導電形のウェル内にチャネル領域を挟んで形成した第 2 導電形の第 1 不純物領域及び第 2 不純物領域からなる電界効果トランジスタと、前記ウェル及び前記第 1、第 2 不純物領域からなるバイポーラトランジスタと、前記第 1 不純物領域に電氣的に接続するヒューズ層と、を少なくとも備えることを特徴とするヒューズ素子。

【請求項 2】

半導体基板に形成されるヒューズ素子であって、第 1 導電形のウェル内にチャネル領域を挟んで形成した第 2 導電形の第 1 不純物領域及び第 2 不純物領域と、前記第 1 不純物領域内に形成した第 1 導電形の第 3 不純物領域と、前記チャネル領域上の電極層と、前記第 3 不純物領域に電氣的に接続されたヒューズ層と、を備えることを特徴とするヒューズ素子。

【請求項 3】

半導体装置用のヒューズ回路において、所定電圧の提供を受けるヒューズと、このヒューズにエミッタ端子を接続した第 1 バイポーラトランジスタと、この第 1 バイポーラトランジスタのコレクタ端子にベース端子を接続し、前記第 1 バイポーラトランジスタのベース端子にコレクタ端子を接続した第 2 バイポーラトランジスタと、前記第 1 バイポーラトランジスタのベース端子にドレイン端子を接続し、前記第 2 バイポーラトランジスタのエミッタ端子にソース端子を接続し接地した切断トランジスタと、を備えたヒューズ素子を

1以上有してなることを特徴とするヒューズ回路。

【請求項4】

ヒューズ素子に、第1バイポーラトランジスタのベース端子から接地へ接続した読取トランジスタを更に備える請求項3記載のヒューズ回路。

【請求項5】

前記ヒューズ層は、

切断部位のヒューズパターンと、

該ヒューズパターンの幅より広くされ、配線接続用のコンタクト領域を有するコンタクトパターンと、

から成り、前記ヒューズパターンと前記コンタクトパターンとが接する部分の切断角が $85^\circ \sim 95^\circ$ である請求項1または2記載のヒューズ素子。 10

【請求項6】

前記ヒューズは、

切断部位のヒューズパターンと、

該ヒューズパターンの幅より広くされ、配線接続用のコンタクト領域を有するコンタクトパターンと、

から成り、前記ヒューズパターンと前記コンタクトパターンとが接する部分の切断角が $85^\circ \sim 95^\circ$ である請求項3または4記載のヒューズ回路。 10

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、半導体装置のヒューズ素子に関し、特に、メモリで使用される電気溶断可能なヒューズ素子に関する。

【0002】

【従来の技術】

一般に半導体メモリ装置では、不良救済用の冗長技術が広く使用されている。この冗長に際してはヒューズ素子を用いたアドレスセット等が行われるが、その際のヒューズ切断では、ウェーハ状態等のヒューズ素子が露出している状態で適用可能なレーザービーム切断、溶断用電流を流して切断するパッケージ後でも可能な電気切断が代表的である。このうち電気切断法は、パッケージ後でも不良ビット救済ができ、システムユーザーの多様な要求 30
に
応
じ
る
た
め
の
プ
ロ
グ
ラ
ム
手
段
と
し
て
応
用
で
き
る
た
め
、
現
在
一
般
的
に
使
用
さ
れ
て
い
る
。
こ
の
よ
う
な
電
気
式
ヒ
ューズ(electrical fuse)は、切断に必要な電源を選択ヒューズに流すために、各ヒューズごとに独立した大容量スイッチ手段を必要とする。このスイッチ手段は、高電圧、大容量を有するように設計しなければならない。即ち、通常、ヒューズが数十～数百の抵抗を持つポリシリコンヒューズやポリサイドヒューズであれば、これを溶断するためには1300以上の高温が必要となり、数十～数百mAのピーク電流値が必要とされる(IEEE Trans. Electron Devices, Vol. ED-29, No. 4, pp 719~724, April 1982, "programming Mechanism of Polysilicon Resistor Fuses" 参照)。

【0003】

ヒューズ切断用のスイッチ手段としてはMOSトランジスタが使用され、MOSトランジスタではそのサイズ(チャンネル幅・長)により電流駆動能力が決定されるので、ヒューズに十分な切断電流を流すためにはトランジスタサイズをかなり大きくせざるを得ない。従って、ヒューズ素子は、集積性への影響やピーク電流による動作不安定化の点で制限的に使用されている。 40

【0004】

図1は、ヒューズ素子の従来例を示すもので、米国特許4,517,583号に開示されたものである。即ち、電源電圧 V_{cc} 又は電源電圧 V_{cc} を所定レベルへ昇圧した昇圧電圧 V_{pp} から出力端 V_{out} へ接続され、切断制御信号P又は読取制御信号Rにより制御される負荷用PMOSトランジスタ1と、出力端 V_{out} から接地電圧 V_{ss} へ並列接続されたn個のヒューズ素子5と、からヒューズ回路が構成されている。各ヒューズ素 50

子5は、出力端Voutに並列接続したヒューズFi ($i = 1 \sim n$)と、ヒューズFiとソースライン2との間に接続され、切断/読取制御電圧Giにより制御されるNMOSの選択トランジスタSiと、から構成されている。このn個のヒューズ素子5はすべて同じ構成である。ソースライン2は、接地電圧Vss (又は基板電圧)へつながれる。

【0005】

このようにヒューズ素子5は、1個のヒューズFiと1個の選択トランジスタSiとからなり、例えば、ヒューズF1の切断を行う場合は、昇圧電圧Vppレベルの切断電圧G1を選択トランジスタS1のゲート端子に印加することで負荷用PMOSTランジスタ1から昇圧電圧Vppによる切断電流をヒューズF1に流せば、この切断電流による温度上昇でヒューズF1が切断される。このとき、選択トランジスタS2～Snの各ゲート端子には0Vの切断電圧G2～Gnが印加され、ヒューズF2～Fnは非選択とされる。

10

【0006】

ヒューズ切断つまりプログラム完了後、負荷用PMOSTランジスタ1に読取電圧R及び選択トランジスタS1に読取電圧G1を提供することにより、選択ヒューズF1の状態に応じた出力端Voutの論理検出が行われ、ヒューズ状態が読取られる。この読取動作における読取電圧は例えば電源電圧Vccで、切断電圧より低く設定する必要がある。これは、読取動作で発生する読取電流が切断電流と同じレベルになると、ヒューズの誤切断やヒューズ特性の劣化が生じてしまうためである。しかしながら、選択トランジスタSiは切断電流を流すために元々多量の電流を流す大きさとされているため、読取動作における電流を適切には制御し難く、従って信頼性は確かなものではない。

20

【0007】

そこで図2に示すように、読取動作の適切な電流制御のために読取用のスイッチ手段を別途設けた回路が提案されている。即ち、電流を適切に制限し得る小サイズのトランジスタを、切断用のトランジスタの他に備えるようにしたものである。

【0008】

このヒューズ回路は、2つの負荷用PMOSTランジスタ1,3を昇圧電圧Vppと電源電圧Vccとに対しそれぞれ設けて切断制御信号Pと読取制御信号Rとで制御し、そして各ヒューズ素子5に、切断トランジスタSiと並列に接続した読取トランジスタRiを備えて読取制御電圧Girで制御している。読取トランジスタRiは切断トランジスタSiより小さくされ、切断動作では切断電圧Gipの提供で切断トランジスタSiを使用する一方、読取動作では読取電圧Girの提供で読取トランジスタR1を使用する。この構成によれば、切断動作とは別途の負荷素子3とサイズを小さくした読取トランジスタRiにより読取電流が効果的に制限されるので、信頼性が高い。

30

【0009】

しかしながら、サイズの大きい切断トランジスタSiと読取トランジスタRiとを併用するためにレイアウト面積の増加は避けられず、また、切断時のピーク電流抑制の点で改善の余地がある。

【0010】

【発明が解決しようとする課題】

上記のような従来技術に鑑みて本発明では、切断用スイッチ手段を小さくした半導体装置用のヒューズ素子を提供する。また、切断動作におけるピーク電流を抑制可能な半導体装置用の電気式ヒューズを提供する。そして、このようなヒューズ素子を利用した信頼性の高いヒューズ回路を提供する。

40

【0011】

【課題を解決するための手段】

この目的のために本発明は、半導体基板に形成されるヒューズ素子として、第1導電形のウェル内にチャネル領域を挟んで形成した第2導電形の第1不純物領域及び第2不純物領域からなる電界効果トランジスタと、前記ウェル及び前記第1、第2不純物領域からなるバイポーラトランジスタと、前記第1不純物領域に電気的に接続するヒューズ層と、を少なくとも備えることを特徴としたヒューズ素子を提供する。或いは、半導体基板に形成さ

50

れるヒューズ素子として、第1導電形のウェル内にチャネル領域を挟んで形成した第2導電形の第1不純物領域及び第2不純物領域と、前記第1不純物領域内に形成した第1導電形の第3不純物領域と、前記チャネル領域上の電極層と、前記第3不純物領域に電氣的に接続されたヒューズ層と、を備えることを特徴としたヒューズ素子を提供する。

【0012】

そして本発明によれば、半導体装置用のヒューズ回路において、所定電圧の提供を受けるヒューズと、このヒューズにエミッタ端子を接続した第1バイポーラトランジスタと、この第1バイポーラトランジスタのコレクタ端子にベース端子を接続し、前記第1バイポーラトランジスタのベース端子にコレクタ端子を接続した第2バイポーラトランジスタと、前記第1バイポーラトランジスタのベース端子にドレイン端子を接続し、前記第2バイポーラトランジスタのエミッタ端子にソース端子を接続し接地した切断トランジスタと、を備えたヒューズ素子を1以上有してなることを特徴としたヒューズ回路を提供する。この場合、ヒューズ素子に、第1バイポーラトランジスタのベース端子から接地へ接続した読取トランジスタを更に備えるのが好ましい。

10

【0013】

また更に本発明によれば、切断部位のヒューズパターンと、該ヒューズパターンの幅より広くされ、配線接続用のコンタクト領域を有するコンタクトパターンと、からなる半導体装置用の電気式ヒューズにおいて、前記ヒューズパターンと前記コンタクトパターンとが接する部分の切断角を $85^{\circ} \sim 95^{\circ}$ にしたことを特徴とする電気式ヒューズが提供される。

20

【0014】

このような本発明によるヒューズ素子の作用効果等については、次に述べる実施形態に交えて説明する。

【0015】

【発明の実施の形態】

以下、本発明の実施形態につき添付図面を参照して詳細に説明する。尚、図中の共通部分には同じ符号を付して説明する。

【0016】

図3に示す本実施形態のヒューズ回路では、負荷素子のPMOSトランジスタ1が電源電圧 V_{cc} 又は昇圧電圧 V_{pp} から出力端 V_{out} へつながれ、切断制御信号P又は読取制御信号Rにより制御されている。そして、出力端 V_{out} (負荷用PMOSトランジスタ1のドレイン端子)と接地電圧 V_{ss} へ接地されるソースライン7との間に、並列接続したn個のヒューズ素子6が設けられる。昇圧電圧 V_{pp} は、メモリの電源電圧 V_{cc} をチャージポンプ等を使用して所定レベルへ昇圧して得るものである。

30

【0017】

ヒューズ素子6はそれぞれ、1個のヒューズ F_i ($i = 1 \sim n$)、1個のPNP形バイポーラトランジスタ Q_{i1} 、NPN形バイポーラトランジスタ Q_{i2} 、切断トランジスタ S_i 、及び読取トランジスタ R_i からなる同構成である。ヒューズ F_i が出力端 V_{out} に接続され、そしてヒューズ F_i にPNP形バイポーラトランジスタ Q_{i1} のエミッタ端子が接続されている。このPNP形バイポーラトランジスタ Q_{i1} のコレクタ端子はNPN形バイポーラトランジスタ Q_{i2} のベース端子に接続され、またNPN形バイポーラトランジスタ Q_{i2} のコレクタ端子はPNP形バイポーラトランジスタ Q_{i1} のベース端子に接続される。ゲート端子に切断電圧 G_{ip} を受けて制御される切断トランジスタ S_i は、ドレイン端子がPNP形バイポーラトランジスタ Q_{i1} のベース端子に接続されると共にソース端子がNPN形バイポーラトランジスタ Q_{i2} のエミッタ端子と接続されて接地電圧 V_{ss} へつながれている。ゲート端子に読取電圧 G_{ir} を受けて制御される読取トランジスタ R_i は、ドレイン端子がPNP形バイポーラトランジスタ Q_{i1} のベース端子に接続されると共にソース端子がソースライン7に接続されている。尚、読取トランジスタ R_i は、ヒューズ F_i にドレイン端子を接続するように形成してもよい。

40

【0018】

50

PNP形バイポーラトランジスタ Q_{i1} 及びNPN形バイポーラトランジスタ Q_{i2} は、MOS形の切断トランジスタ S_i の形成領域内に存在する。切断トランジスタ S_i は、従来に比べ小さいものでよい。

【0019】

図4に示す要部断面図は、図3に示したヒューズ素子6を半導体基板に集積したときの断面構造の一例である。即ち同図には、読取トランジスタ R_i を除いた構成、ヒューズ F_i 、PNPバイポーラトランジスタ Q_{i1} 、NPNバイポーラトランジスタ Q_{i2} 、及び切断トランジスタ S_i の断面図を示している。

【0020】

P形ウェル12がP形半導体基板10のN形ウェル11内に形成され、このP形ウェル12内に、 N^- 形拡散領域13及び N^+ 形拡散領域14がチャンネル領域だけ離して形成されている。そして P^+ 形拡散領域15が N^- 形拡散領域13内に形成され、 N^-/P^+ のPN接合をなしている。 N^- 形拡散領域13と N^+ 形拡散領域14との間の基板領域が切断トランジスタ S_i のチャンネル領域として作用し、このチャンネル領域上にポリシリコンの電極層16が形成されて切断トランジスタ S_i のゲート端子となっている。このポリシリコンゲート層16は絶縁層17(ゲート絶縁膜)により基板から絶縁されている。従って、 N^- 形拡散領域13及び N^+ 形拡散領域14が切断トランジスタ S_i のドレイン端子及びソース端子となり、この切断用スイッチ手段はnチャンネルMOSトランジスタである。 N^+ 形拡散領域14は第3金属層21を通じて接地電圧 V_{ss} へつながれる。

【0021】

また一方、 N^- 形拡散領域13をベース端子、 P^+ 形拡散領域15をエミッタ端子、P形ウェル12をコレクタ端子としてPNP形バイポーラトランジスタ Q_{i1} が形成されており、また、 N^- 形拡散領域13をコレクタ端子、P形ウェル12をベース端子、 N^+ 形拡散領域14をエミッタ端子としてNPN形バイポーラトランジスタ Q_{i2} が形成されている。

【0022】

ヒューズ F_i となるポリシリコンのヒューズ層18は、半導体基板10上に形成した絶縁層17で囲っており、コンタクトホールにより接続する第1金属層19を通じて一端が出力端 V_{out} につながれ、コンタクトホールにより接続する第2金属層20を通じて他端が P^+ 形拡散領域15につながる。

【0023】

N^- 形拡散領域13は、80[k e V]の加速電圧で、 5×10^{13} [ions/cm²]の不純物濃度を有するように燐等の不純物を注入・拡散させて形成し、また、 P^+ 形拡散領域15は、40[k e V]の加速電圧で、 2×10^{15} [ions/cm²]の不純物濃度を有するようにホウ素(boron)等の不純物を拡散させて形成する。

【0024】

図3、図4に示す実施形態で、ヒューズ F_i を切断する場合のプログラム動作を説明する。所定の切断電圧 G_{ip} が切断トランジスタ S_i のゲート端子16に印加されることで切断トランジスタ S_i が導通し、これにより、負荷用PMOSトランジスタ1を介し供給される電流が、ヒューズ F_i 、PNP形バイポーラトランジスタ Q_{i1} 、及び切断トランジスタ S_i を通じて接地電圧 V_{ss} へ流れる。このとき発生する電流は、切断トランジスタ S_i の電流駆動能力に従って決定されるPNP形バイポーラトランジスタ Q_{i1} のベース電流として作用する。

【0025】

PNP形バイポーラトランジスタ Q_{i1} のベース電流を I_{b1} 、コレクタ電流を I_{c1} とすると、電流増幅率 h_{fe} は I_{c1}/I_{b1} なので $I_{c1} = h_{fe} \times I_{b1}$ である。電流増幅率 h_{fe} を10に設計した場合、コレクタ端子(=P形ウェル12)を通じて接地電圧 V_{ss} へ流れる電流は、NMOSである切断トランジスタ S_i のドレイン端子(= N^- 形拡散領域13)を通じてP形ウェル(ポケットPウェル)12へ流れる電流の10倍となる。従って、切断トランジスタ S_i のサイズを小さくしてもヒューズ切断に十分な切断

10

20

30

40

50

電流を流すことができる。

【0026】

次に、P形ウェル12を流れるPNP形バイポーラトランジスタ Q_{i1} のコレクタ電流 I_{c1} は、NPN形バイポーラトランジスタ Q_{i2} のベース電流 I_{b2} になる。コレクタ電流 I_{c1} がP形ウェル12を通じて流れるときは、バルク領域としてのP形ウェル12内での抵抗 R_b により I_{c1}/R_b だけの電圧降下が起こるが、このバルク電圧が、P形ウェル12及び N^+ 形拡散領域14により形成される P^-/N^+ 接合領域のビルトイン(built-in)電圧、例えば0.6V以上になると、 P^-/N^+ 接合領域に順方向バイアスがかかる。すると、NPN形バイポーラトランジスタ Q_{i2} のエミッタ端子つまり切断トランジスタ S_i のソース端子を通じて接地電圧 V_{ss} へ電流が流れる。この過程でNPN形バイポーラトランジスタ Q_{i2} の増幅作用も働き、更に多くの電流を接地電圧 V_{ss} へ流すことになる。即ち、順方向バイアスされた P^-/N^+ 接合領域により N^+ 形拡散領域14から多量の電子がP形ウェル12へ注入され、この注入された多量の電子は、切断トランジスタ S_i のドレイン端子における衝突電離により更に多い電流をP形ウェル12へ流入させるフィードバック作用を発揮する。このような電流増幅のフィードバック作用が、ヒューズ F_1 の切断まで継続することになる。

10

【0027】

この電流増幅フィードバック作用を安定させるためには、PNP形バイポーラトランジスタ Q_{i1} の電流増幅率ではなくNPN形バイポーラトランジスタ Q_{i2} が低電圧で動作するように設計することが重要である。即ち、ヒューズ切断動作においてP形ウェル12へ流入する電流量(少なくとも切断トランジスタ S_i のドレイン電流の h_{fe} 倍になる電流量)に無関係に接地電圧 V_{ss} へ十分な電流を流せることで切断トランジスタ S_i のサイズを小さくでき、また、PNP形バイポーラトランジスタ Q_{i1} の電流増幅率 h_{fe} は、 P^+ 形拡散領域15及び N^- 形拡散領域13の蝕刻損傷や熱処理状態等により決定されるベース幅に従って変動し得るからである。NPN形バイポーラトランジスタ Q_{i2} の導通電圧を低めるためには、図4に示すように、NPN形バイポーラトランジスタ Q_{i2} のベース領域として働くP形ウェル12の部分をP形半導体基板10及びN形ウェル11から離隔させてP形ウェル12の抵抗 R_b を大きくすればよい。

20

【0028】

以上の結果、切断トランジスタ S_i のドレイン端子を通過する電流量の10倍の電流がP形ウェル12へ流れ、この電流は、NPN形バイポーラトランジスタ Q_{i2} による電流増幅フィードバック作用により更に十分な量とされて接地電圧 V_{ss} へ流れるようになるので、切断トランジスタ S_i のサイズはバイポーラトランジスタの電流増幅率 h_{fe} 以下にまで小さくすることができる。また、各バイポーラトランジスタは縦形素子なので、レイアウト面積に影響することはないので、非常に集積性に優れている。

30

【0029】

尚、切断電圧 G_{ip} を十分に高くとれる場合は、PNP形バイポーラトランジスタ Q_{i1} を形成する必要はなく、 N^- 形拡散領域13とP形ウェル12との間の漏れ電流によりNPN形バイポーラトランジスタ Q_{i2} が導通する構成でも可能である。この特性は、MOSトランジスタのスナップバック現象を利用したものである。

40

【0030】

図3の回路における読取動作は、図2の場合と同じである。

【0031】

一方、ヒューズ F_i の放熱面積に比べて切断トランジスタ S_i のドレイン接合面積を大きくしておくと、ヒューズ F_i の切断前にドレイン接合が壊れる現象を防止できる。またヒューズ F_i における温度が上昇すると、その熱はポリシリコンヒューズ層18を取り囲んでいる絶縁層17へ発散する。従って、この発散面積を小さくすることにより、切断トランジスタ S_i の信頼性を高められ、更に、ヒューズ切断に際してのピーク電流を減少させられる。

【0032】

50

図5 Aに従来のヒューズF_iの平面形状、図5 Bに本実施形態におけるヒューズF_iの平面形状を示し、比較説明する。

【0033】

図5 Bに示すように、ヒューズF_iの切断位置aにおける急激な抵抗変化により温度が急激に上昇するようにするためには、この切断位置aにおけるポリシリコンパターンを矩形に形成し、金属層19, 20のそれぞれに接続されるコンタクト領域25, 27を形成する2つのコンタクトパターン26, 28とヒューズパターンbとが接する切断位置aにおける切断角cを85°~95°に設定する。これに対し、図5 Aの従来の場合は、ヒューズF_iの切断位置aにおけるポリシリコンパターンが傾斜しており切断角cが大きいので、発散面積が図5 Bの場合よりも広くなり、温度上昇が緩慢になる。

10

【0034】

上記実施形態では、読出、切断の両トランジスタとしてNMOSトランジスタを使用しているが、PMOSトランジスタを使用してもよいのは勿論である(この場合の基板、ウェル、拡散領域等の導電形は反対になる)。

【図面の簡単な説明】

【図1】従来におけるヒューズ素子の一例を示す回路図。

【図2】従来におけるヒューズ素子の他の例を示す回路図。

【図3】本発明によるヒューズ素子の構成を示す回路図。

【図4】図3のヒューズ素子の要部断面構造を示す断面図。

【図5】従来のヒューズと本発明のヒューズとの平面形状を比較して示す平面図。

20

【符号の説明】

6 ヒューズ素子

10 P形半導体基板

11 N形ウェル

12 P形ウェル(PNP形バイポーラトランジスタのコレクタ端子、NPN形バイポーラトランジスタのベース端子)

13 N⁻形拡散領域(PNP形バイポーラトランジスタのベース端子、NPN形バイポーラトランジスタのコレクタ端子)

14 N⁺形拡散領域(NPN形バイポーラトランジスタのエミッタ端子)

15 P⁺形拡散領域(PNP形バイポーラトランジスタのエミッタ端子)

30

16 ポリシリコンゲート層(切断トランジスタのゲート端子)

17 絶縁層

18 ポリシリコンヒューズ層(ヒューズ)

19, 20, 21 金属層

25, 27 コンタクト領域

26, 28 コンタクトパターン

F_i(F₁~F_n) ヒューズ

S_i(S₁~S_n) 切断トランジスタ

R_i(R₁~R_n) 読取トランジスタ

Q_{i1}(Q₁₁~Q_{n1}) PNP形バイポーラトランジスタ

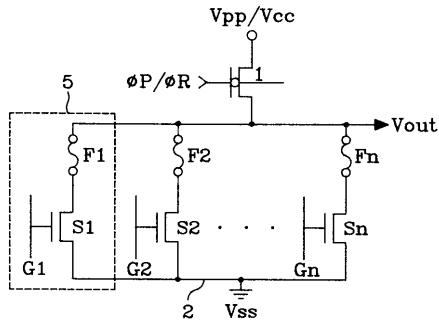
40

Q_{i2}(Q₁₂~Q_{n2}) NPN形バイポーラトランジスタ

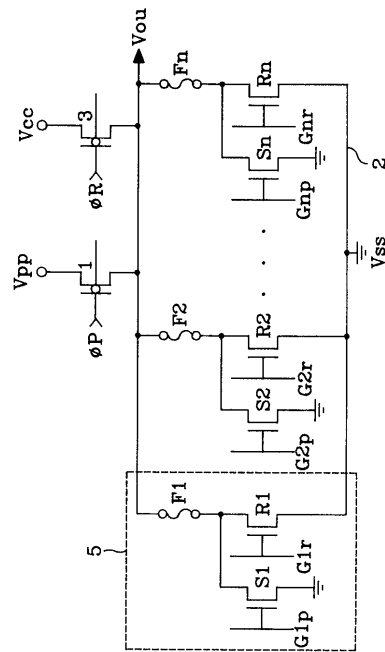
G_{ip}(G_{1p}~G_{np}) 切断電圧

G_{ir}(G_{1r}~G_{nr}) 読取電圧

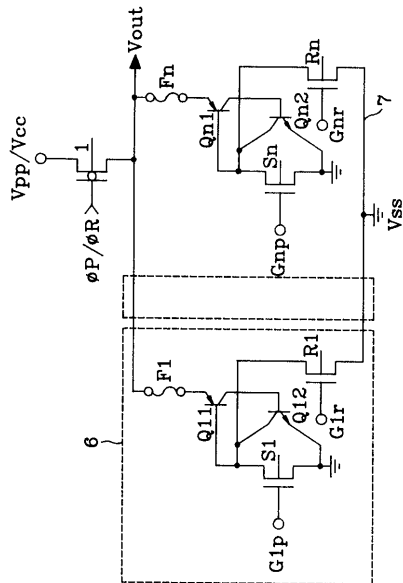
【 図 1 】



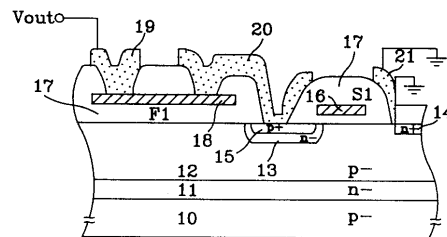
【 図 2 】



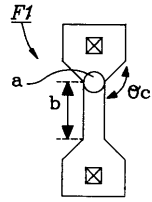
【 図 3 】



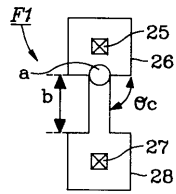
【 図 4 】



【 図 5 】



A



B

フロントページの続き

(51)Int.Cl.⁷ F I

H 0 1 L 27/088

H 0 1 L 27/10

審査官 大嶋 洋一

(56)参考文献 特開平05 - 166934 (JP, A)

特開平07 - 122646 (JP, A)

特開昭63 - 181351 (JP, A)

特開昭58 - 017663 (JP, A)

特開平06 - 302699 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/82

H01L 21/822

H01L 21/8234

H01L 27/04

H01L 27/088

H01L 27/10

H01H 85/00