202410471

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202410471 A

(43)公開日： 中華民國 113 (2024) 年 03 月 01 日

(21)申請案號：112119939 (22)申請日： 中華民國 112 (2023) 年 05 月 29 日

(51)Int. Cl.： *H01L29/78 (2006.01)* *H01L29/04 (2006.01)*
H01L21/336 (2006.01)

(30)優先權：2022/07/13 美國 17/812,300

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：李 霞 LI, XIA (US)；楊 賓 YANG, BIN (US)

(74)代理人：林怡芳

申請實體審查：無 申請專利範圍項數：20 項 圖式數：14 共 55 頁

(54)名稱

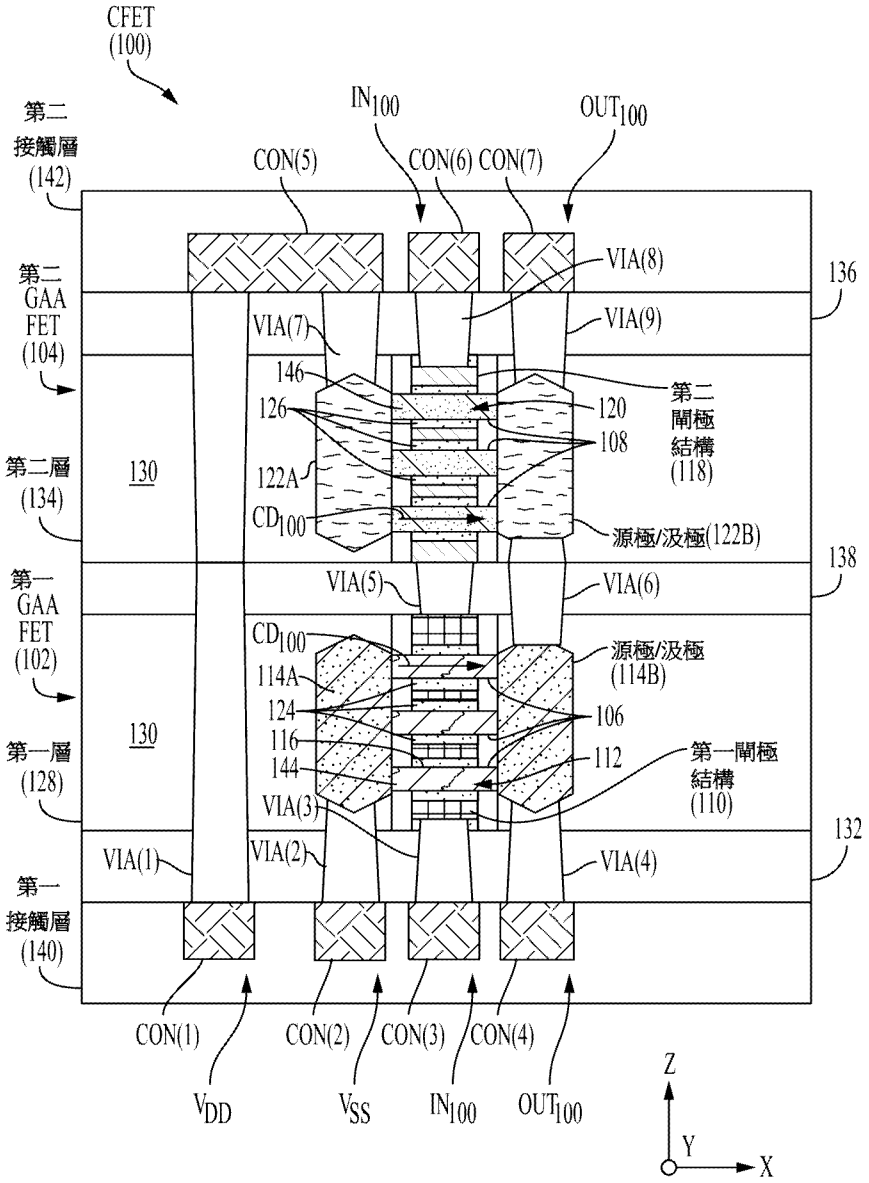
堆疊互補場效應電晶體（ＣＦＥＴ）及其製造方法

(57)摘要

一種堆疊全環繞閘極(gate-all-around, GAA)互補場效應電晶體(complementary field-effect transistor, CFET)，包括第一類型的第一 GAA FET 和第二類型的第二 GAA FET。第一 GAA FET 和第二 GAA FET 中的每一個都包括至少一個具有通道區域和第一表面的三維(3D)半導體板。第一閘極結構包圍第一 GAA FET 中的通道區域，第二閘極結構包圍第二 GAA FET 中的通道區域。第一閘極結構在與第一表面正交的方向上與第二閘極結構相對堆疊。在一些示例中，第一 GAA FET 中的 3D 半導體板的第一晶體結構具有第一取向，並且第二 GAA FET 中的 3D 半導體板的第二晶體結構具有不同的取向以提高載流子遷移率。

A stacked gate-all-around (GAA) complementary field-effect transistor (CFET) includes a first GAA FET of a first type and a second GAA FET of a second type. Each of the first GAA FET and the second GAA FET includes at least one three-dimensional (3D) semiconductor slab with a channel region and a first surface. A first gate structure surrounds the channel region in the first GAA FET, and a second gate structure surrounds the channel region in the second GAA FET. The first gate structure is stacked opposite the second gate structure in a direction orthogonal to the first surface. In some examples, a first crystal structure of the 3D semiconductor slab in the first GAA FET has a first orientation, and a second crystal structure of the 3D semiconductor slab in the second GAA FET has a different orientation for improved carrier mobility.

指定代表圖：



【圖1】

符號簡單說明：

100:互補場效應電晶體

102:第一全環繞閘極場效應電晶體

140:第一接觸層

CON(1)、CON(2)、CON(3)、CON(4):接觸

IN_{100}:二進位輸入

OUT_{100}:二進位輸出

V_{SS}:參考電壓

V_{DD}:電源電壓

132:第一基礎層

VIA(1)、VIA(2)、VIA(3)、VIA(4):過孔

128:第一層

106:3D 半導體板

110:第一柵極閘極結構

112:第一通道區域

114A、114B:源極/汲極

116:表面

124:絕緣體層

130:填充材料

144:晶體結構

CD_{100}:通道方向

138:第三層

VIA(5)、VIA(6):過孔

104:第二全環繞閘極場效應電晶體

134:第二層

108:3D 半導體板

118:第二閘極結構

120:第二通道區域

122A、122B:源極/汲極

126:絕緣體層

146:晶體結構

136:第二基礎層

VIA(7)、VIA(8)、VIA(9):過孔

142:第二接觸層

CON(5)、CON(6)、CON(7):接觸

【發明摘要】

【中文發明名稱】堆疊互補場效應電晶體(CFET)及其製造方法

【英文發明名稱】STACKED COMPLEMENTARY FIELD EFFECT TRANSISTOR (CFET) AND METHOD OF MANUFACTURE

【中文】

一種堆疊全環繞閘極(gate-all-around, GAA)互補場效應電晶體(complementary field-effect transistor, CFET)，包括第一類型的第一GAA FET和第二類型的第二GAA FET。第一GAA FET和第二GAA FET中的每一個都包括至少一個具有通道區域和第一表面的三維(3D)半導體板。第一閘極結構包圍第一GAA FET中的通道區域，第二閘極結構包圍第二GAA FET中的通道區域。第一閘極結構在與第一表面正交的方向上與第二閘極結構相對堆疊。在一些示例中，第一GAA FET中的3D半導體板的第一晶體結構具有第一取向，並且第二GAA FET中的3D半導體板的第二晶體結構具有不同的取向以提高載流子遷移率。

【英文】

A stacked gate-all-around (GAA) complementary field-effect transistor (CFET) includes a first GAA FET of a first type and a second GAA FET of a second type. Each of the first GAA FET and the second GAA FET includes at least one three-dimensional (3D) semiconductor slab with a channel region and a first surface. A first gate structure surrounds the channel region in the first GAA FET, and a second gate structure surrounds the channel region in the second GAA FET. The first gate structure is stacked opposite the second gate structure in a direction orthogonal to the first

surface. In some examples, a first crystal structure of the 3D semiconductor slab in the first GAA FET has a first orientation, and a second crystal structure of the 3D semiconductor slab in the second GAA FET has a different orientation for improved carrier mobility.

【指定代表圖】圖1

【代表圖之符號簡單說明】

100: 互補場效應電晶體
102:第一全環繞閘極場效應電晶體
140: 第一接觸層
CON(1)、CON(2)、CON(3)、CON(4): 接觸
IN_{100}: 二進位輸入
OUT_{100}: 二進位輸出
V_{SS}: 參考電壓
V_{DD}: 電源電壓
132: 第一基礎層
VIA(1)、VIA(2)、VIA(3)、VIA(4): 過孔
128: 第一層
106:3D半導體板
110: 第一柵極閘極結構
112: 第一通道區域
114A、114B: 源極/汲極
116: 表面
124: 絕緣體層
130: 填充材料
144: 晶體結構
CD_{100}: 通道方向
138: 第三層
VIA(5)、VIA(6): 過孔
104: 第二全環繞閘極場效應電晶體
134: 第二層
108: 3D半導體板
118: 第二閘極結構
120: 第二通道區域

122A、122B: 源極/汲極
126: 絕緣體層
146: 晶體結構
136: 第二基礎層
VIA(7)、VIA(8)、VIA(9): 過孔
142: 第二接觸層
CON(5)、CON(6)、CON(7): 接觸

【特徵化學式】

無。

【發明說明書】

【中文發明名稱】堆疊互補場效應電晶體(CFET)及其製造方法

【英文發明名稱】STACKED COMPLEMENTARY FIELD EFFECT TRANSISTOR (CFET) AND METHOD OF MANUFACTURE

【技術領域】

【0001】本揭露的技術一般涉及互補金屬-氧化物半導體(complementary metal-oxide semiconductor, CMOS)場效應電晶體(field-effect transistor, FET)(CMOS FET, CFET)，特別是涉及堆疊場效應電晶體。

【先前技術】

【0002】積體電路(Integrated circuit, IC)負責在電子設備中執行各種具有高水準性能的功能。不斷有市場壓力要求最小化電子設備的尺寸，這為減小積體電路的尺寸提供了動力。與僅採用N型(MOS)(N-type MOS, NMOS)或P型MOS (P-type MOS, PMOS)技術的電路相比，互補金屬-氧化物半導體(CMOS)技術通常用於積體電路，因為它具有節省功率，提高的性能和更好的抗噪性。然而，每個CMOS電晶體都包括PMOS電晶體(諸如P型場效應電晶體(FET)(P-type FET, PFET))和NMOS電晶體(例如NFET)。無論CFET的PFET和NFET是垂直堆疊、鰭式還是全環繞閘極(gate-all-around, GAA)FET，電路中的每個CFET都包括至少一個PFET和至少一個NFET所佔據的區域。由於IC中可能有數百萬個電路實體，因此電路的面積可以顯著影響IC的面積。此外，NFET的載子遷移率明顯高於PFET的載子遷移率，因此PFET通常被放大以補償這種差異，以提供更平衡的性能，

這進一步增加了CMOS電晶體電路單元面積。因此，人們希望CMOS設備在保持平衡性能的同時減少電路單元面積。

【發明內容】

【0003】詳細描述中揭露的態樣包括堆疊互補場效應電晶體(FET)(CFET)。還揭露了製造堆疊CFET的相關方法。一種堆疊全環繞閘極(GAA)CFET包括第一類型的第一GAA FET和第二類型的第二GAA FET。第一GAA FET和第二GAA FET中的每一個都包括至少一個具有通道區域和第一表面的三維(3D)半導體板。第一閘極結構環繞第一GAA FET中的通道區域，並且第二閘極結構環繞第二GAA FET中的通道區域。第一閘極結構在與第一表面正交的方向上與第二閘極結構相對堆疊。在一些示例中，堆疊GAA CFET是混合CFET，其中第一GAA FET中的3D半導體板的第一晶體結構具有第一取向，並且第二GAA FET中的3D半導體板的第二晶體結構具有與第一取向不同的第二取向，以提高載子遷移率。

【0004】在示例性態樣，揭露了一種堆疊CFET。該堆疊CFET包括第一類型的第一GAA FET。第一GAA FET包括第一通道區域，該第一通道區域包括第一晶體結構，該第一晶體結構包括第一取向。第一GAA FET包括圍繞第一通道區域的第一閘極結構。堆疊CFET包括第二類型的第二GAA FET，第二GAA FET包括第二通道區域，該第二通道區域包括第二晶體結構，該第二晶體結構包括不同於第一取向的第二取向。第二GAA FET包括圍繞第二通道區域的第二閘極結構。

【0005】在另一個示例性態樣，揭露了一種製造堆疊CFET的方法。該方法包括形成第一類型的第一GAA FET，該第一GAA FET包括第一通道區域。該方法包括形成圍繞第一通道區域的第一閘極結構。該方法包括形成第二類型的第

二GAA FET，該第二GAA FET包括第二通道區域。該方法包括形成圍繞第二通道區域的第二閘極結構。第一通道區域包括第一晶體結構，該第一晶體結構包括第一取向，並且第二通道區域包括第二晶體結構，該第二晶體結構包括與第一取向不同的第二取向。

【圖式簡單說明】

【0006】圖1是堆疊全環繞閘極(GAA)互補場效應電晶體(FET)(CFET)的橫截面側視圖的圖示，包括與第二類型的第二GAA FET相對堆疊的第一類型的第一GAA FET；

【0007】圖2是在第一絕緣體上形成的第一GAA FET和在第二絕緣體上形成的第二GAA FET的圖示，因此第一GAA FET和第二GAA FET的三維(3D)半導體板的晶體結構可以以不同的取向形成；

【0008】圖3是製造圖1中堆疊GAA CFET的方法流程圖；

【0009】圖4A-4F是在圖1中製造堆疊GAA CFET的方法中製造階段的橫截面側視圖的圖示；

【0010】圖5A-5F是圖4A-4F所示的堆疊GAA CFET的對應製造階段的方法流程圖；

【0011】圖6-8是在絕緣體上形成的堆疊GAA CFET的其他示例的橫截面側視圖的圖示；

【0012】圖9是在第一半導體基板上形成的第一GAA FET和在第二半導體基板上形成的第二GAA FET的圖示，以使第一GAA FET和第二GAA FET的通道區域的晶體結構的取向可以不同；

【0013】圖10-12是在半導體基板上形成的堆疊GAA CFET的示例的橫截面側視圖的圖示；

【0014】圖13是示例性無線通訊設備的方塊圖，該無線通訊設備可包括圖1的堆疊GAA CFET；以及

【0015】圖14是示例性基於處理器的系統的方塊圖，該系統可包括圖1的堆疊GAA CFET。

【實施方式】

【0016】現在參照圖式，描述本揭露的幾個示例性態樣。“示例性”一詞在本文中用於表示“用作示例、實例或說明”。本文描述為“示例性”的任何態樣不一定被解釋為優於或有利於其他態樣。

【0017】在詳細描述中揭露的態樣包括堆疊互補場效應電晶體(FET)(CFET)。還揭露了製造堆疊CFET的相關方法。一種堆疊全環繞閘極(GAA) CFET包括第一類型的第一GAA FET和第二類型的第二GAA FET。第一GAA FET和第二GAA FET中的每一個都包括至少一個具有通道區域和第一表面的三維(3D)半導體板。第一閘極結構環繞在第一GAA FET中的3D半導體板的通道區域，並且第二閘極結構環繞在第二GAA CFET中的3D半導體板的通道區域。第一閘極結構在與表面正交的第三個方向上與第二閘極結構相對堆疊。在一些示例中，堆疊GAA CFET是一種混合CFET，其中第一GAA FET中的3D半導體板的第一晶體結構具有第一取向，並且第二GAA FET中的3D半導體板的第二晶體結構具有與第一取向不同的第二取向，以提高載子遷移率。

【0018】圖1是堆疊GAA CFET電路100(“CFET 100”)的橫截面側視圖的圖示，包括與第二類型的第二GAA FET 104相對堆疊的第一類型的第一GAA FET

102。一態樣，CFET 100是互補金屬-氧化物半導體(CMOS)反向器的示例，該反向器佔據第一GAA FET 102的基板面積，與基板上彼此相鄰設置的常規CMOS反向器相比提供了面積減少。另一態樣，CFET 100是混合CFET，其中第一GAA FET 102的3D半導體板106與第二GAA FET 104的3D半導體板108具有不同的表面取向，以提高性能，如下文進一步解釋的。GAA CFET 100可以是單元電路，具有根據設計人員可以放置在模具佈局中的單元設計的佈局。

【0019】與只有一種FET的電路相比，CMOS電路提供更高的性能、更低的功耗，以及更好的雜訊容忍能力，但可能包括兩倍的電晶體。將第一GAA FET 102和第二GAA FET 104相對彼此進行堆疊，與僅具有一種類型的FET的電路相比，可以顯著減少(例如，最多減少50%)CMOS電路的面積。在本示例中，第一GAA FET 102是提供良好的參考電壓源(例如，接地或V_{SS})的第一類型，第二GAA FET 104是提供良好的供電電壓源(例如，1.8伏或V_{DD})的第二類型。

【0020】術語“第一類型”和“第二類型”是指N型和P型中的一種，也可稱為N通道和P通道。在N型設備中，半導體源極和汲極摻雜五價摻雜劑，在通道區域中的閘極上施加電壓，產生N通道，N通道中電子是主要載子。在P型或P通道設備中，半導體源極和汲極摻雜三價摻雜劑，施加的閘極電壓在通道區域中產生P通道，其中電洞是主要載子。P型設備中的3D半導體板106、108可包括矽(Si)、矽鍺(SiGe)、鍺(Ge)、砷化鎵(GaAs)或其化合物。N型設備中的3D半導體板106、108可包括Si、GaAs鎵或其化合物。

【0021】第一GAA FET 102包括三個3D半導體板106，但可以具有更少或更多個3D半導體板。第一閘極結構110圍繞通道區域112中的3D半導體板106(例如，在所有側面上)。第一GAA FET 102還包括耦合到3D半導體板106的相對兩端的

磊晶源極/汲極114A和114B。第二GAA FET 104包括三個3D半導體板108，但可以具有更少或更多個3D半導體板。3D半導體板106包括沿X軸方向和Y軸方向延伸的表面116。第二閘極結構118圍繞通道區域120中的3D半導體板108。第一閘極結構110沿z軸方向與第二閘極結構118相對堆疊。第二GAA FET 104還包括磊晶區域122A和122B，本文也將其稱為磊晶源極/汲極122A和122B，其耦合到3D半導體板108的相對端。第一閘極結構110通過絕緣體層124與3D半導體板106絕緣，並且第二閘極結構118通過絕緣體層126與3D半導體板108絕緣。

【0022】第一GAA FET 102設置在第一層128中，第一層128包括層填充材料130，該層填充材料130是絕緣體或介電材料。第一層128與第一基礎層132相鄰設置，第一基礎層132也是電絕緣體和/或介電材料。第二GAA FET 104設置在還可以包括填充材料130的第二層134中。第二層134與第二基礎層136相鄰設置。第一基礎層132和第二基礎層136可以是絕緣層，絕緣層可以包括氧化物材料。在第一層128和第二層134之間，CFET 100包括第三層138。在一些示例中，如下文所描述的，第三層138是接合層，用於將第二層134接合到第一層128。在其他示例中，第三層138可以是在形成第二層134之前在第一層128上形成的基礎層。

【0023】CFET 100還包括第一接觸層140和第二接觸層142，其包括接觸CON(1)-CON(7)，其通過過孔VIA(1)-VIA(9)電耦合到第一GAA FET 102和第二GAA FET 104中的一個或兩個。接觸CON(1)-CON(7)可將第一GAA FET 102耦合到第二GAA FET 104，並提供到外部電路的連接。接觸CON(1)-CON(7)和過孔VIA(1)-VIA(9)的數目可能會根據CFET 100的配置而變化。

【0024】第一閘極結構110和第二閘極結構118彼此電耦合。這種電耦合可以是內部的，通過從第一閘極結構110延伸穿過第三層138至第二閘極結構118的

過孔VIA(5)。在其他示例中，第一閘極結構110和第二閘極結構118可以以另一種方式在內部或外部相互電耦合，而不是通過過孔VIA(5)。由於第一閘極結構110與第二閘極結構118電耦合，二進位輸入IN_{100}可由接觸CON(3)或CON(6)中的任何一個提供給CFET 100。在第一GAA FET 102是N型FET，並且第二GAA FET 104是P型FET的示例中，源極/汲極114A通過過孔VIA(2)耦合到參考電壓V_{SS}，並且接觸CON(2)和源極/汲極122A通過過孔VIA(7)和VIA(1)以及接觸CON(5)和CON(1)耦合到電源電壓V_{DD}。具有二進位狀態的二進位輸出OUT_{100}與二進位輸入IN_{100}相反，穿過源極/汲極114B或122B之一提供給接觸CON(4)和CON(7)，接觸CON(4)和CON(7)通過過孔VIA(4)、VIA(6)和VIA(8)耦合。穿過3D半導體板106的通道方向CD_{100}和穿過3D半導體板108的通道方向CD_{100}是在圖1中的X軸方向(例如，從左到右)。在這種配置中，CFET 100可以通過第一接觸層140中的接觸CON(1)-CON(4)耦合到外部電路，但是在備選的接觸佈置中，CFET 100可以通過第二接觸層142耦合到外部電路。

【0025】正如下面參考圖2-圖6H進一步解釋的那樣，第一GAA FET 102和第二GAA FET 104可以作為絕緣體上矽(silicon-on-insulator, SOI)設備或塊體半導體設備分別製造。在分別製備後，第一GAA FET 102和第二GAA FET 104可以通過採用層轉移和堆疊處理相互接合以形成CFET 100。備選地，第二GAA FET 104可以在第一GAA FET 102上單獨製造。

【0026】由於第一GAA FET 102和第二GAA FET 104是分別製造的，如下文所詳細揭露的，因此第一GAA FET 102的3D半導體板106與第二GAA FET 104的3D半導體板108是分別製造的。因此，可以形成3D半導體板106的晶體結構144，其取向與3D半導體板108的晶體結構146不同。特別是，在第一GAA FET 102是

N型FET的示例中，晶體結構144可能具有(100)表面取向，並且<110>的通道方向D_{100}提供了高電子遷移率。例如，第二GAA FET 104是P型FET，其中晶體結構146具有(110)表面取向和在<110>的通道方向D_{100}上的電洞遷移率，其性能優於晶體結構與N型FET具有相同表面取向的P型FET。在常規結構中，在同一基板上形成的P型場效應電晶體和N型場效應電晶體具有共同的取向(例如(100))，這阻礙了P型場效應電晶體的性能。單獨形成具有表面取向(110)的晶體結構146，將P型第二GAA FET 104的性能提高高達15%。此外，在形成N型FET(例如，第一GAA FET 102)之後或分別地形成P型FET(例如，第二GAA FET 104)，P型FET不需要經受在製造N型場效應電晶體中使用的高溫處理(例如，退火)，這可能導致P型場效應電晶體退化。

【0027】圖2是在第一絕緣層204上形成的第一GAA FET 202和在第二絕緣層208上形成的第二GAA FET 206的圖示。第一GAA FET 202和第二GAA FET 206可以是圖1中的第一GAA FET 102和第二GAA FET 104。在圖2的示例中，第一GAA FET202是N型FET，包括3D半導體板210和第一閘極結構212。在基板上形成第一絕緣層204之後，可以在第一絕緣層204上形成第一GAA FET 202(未示出)。第一絕緣層204可以由氧化物形成，諸如二氧化矽(SiO2)或另一種適當的絕緣體材料，並且基板可以是半導體基板(如矽)。隨後可將基板從第一絕緣層204移除。在本示例中，第二GAA FET 206是P型FET，包括3D半導體板218和第二閘極結構220。

【0028】圖2中的第一GAA FET 202和第二GAA FET 206在3D半導體板210和218兩端形成磊晶區域(磊晶源極/汲極)之前的透視圖中顯示，以更清楚地呈現

圖1中的橫截面視圖的特徵。在這裡可以看到，第一閘極結構212形成在第一絕緣層204上，並且第二閘極結構220形成在第二絕緣層208上。

【0029】如上所述，第一GAA FET 102在包括填充材料130的第一層128中形成，但是為了簡化圖2中的圖示，圖2中不包括這種填充材料。在堆疊處理中，第二GAA FET 206可以反轉以便在第一GAA FET 202上面對面堆疊。可以包括與圖1中的第三層138相對應的接合層(未示出)，以將第一GAA FET 202接合到第二GAA FET 206。在備選的示例中，第二GAA FET 206可以如所示的堆疊，以便與第一GAA FET 202進行面對背的接合。

【0030】圖3是製造圖1中堆疊GAA CFET 100的方法300的流程圖。該方法包括形成第一類型的第一GAA FET 102(方塊302)，其包括形成第一通道區域112，第一通道區域112包括第一晶體結構，第一晶體結構包括第一取向(方塊304)。形成第一GAA FET 102的方法包括形成圍繞第一通道區域112的第一閘極結構110(方塊306)。該方法包括形成第二GAA FET 104(308)，其包括形成第二通道區域120，第二通道區域120包括第二晶體結構，第二晶體結構包括不同於第一取向的第二取向(方塊310)。形成第二GAA FET的方法包括形成圍繞第二通道區域120的第二閘極結構118(方塊312)。

【0031】圖4A-4F是製造圖1中CFET 100的階段400A(1)-400F的橫截面側視圖的示意圖，並且圖5A-5F是與圖4A-4F中CFET 100的製造階段相對應的方法500的流程圖。圖4A包括圖1中第一GAA FET 102的製造階段400A(1)。該方法包括在底部基板402上形成第一基礎層132(方塊502)，並在第一基礎層132上形成第一類型的第一GAA FET 102，第一GAA FET 102包括3D半導體板106、源極/汲極114A、114B以及第一閘極結構110(方塊504)。在本示例中，第一GAA FET 102是在底部

基板402上形成的絕緣體上矽(SOI)電晶體。底部基板402是絕緣層，絕緣層可以是氧化層(例如，SiO2)。在形成第一GAA FET 102之前，可以在諸如半導體基板的支撐基板(未示出)上形成底部基板402，並且之後移除半導體基板。備選地，在一些示例中，第一GAA FET 102可以是塊體矽電晶體，其中底部基板402是半導體(例如，矽)基板，並且第一GAA FET 102形成在STI層上。無論是SOI還是塊體，在第一層128中形成第一GAA FET 102，包括填充材料130，諸如層間介電質(inter-layer dielectric, ILD)。在底部基板402上形成第一GAA FET 102後，該方法包括拋光第一層128並在第一層128上形成第三層138(方塊506)。拋光可以是化學拋光、機械拋光(chemical, mechanical polish, CMP)或其他已知方法。本示例中的第三層138是黏合層，用於將第一層128黏合到第二層134。第三層138可以包括接合氧化物諸如SiO2。該方法還包括形成穿過第三層(138)的過孔VIA(5)、VIA(6)(方塊508)。

【0032】圖4A還包括第二GAA FET 104的製造階段400A(2)。本示例中的第二GAA FET 104也是SOI，其頂部基板406是絕緣體層，或者可以替代地是塊體電晶體，在這種情況下，頂部基板406是半導體基板。方法500還包括在頂部基板406上形成第二基礎層136(方塊510)。該方法包括在第二基礎層136上形成包括第二GAA FET 104的第二層134，第二GAA FET 104還包括3D半導體板108、源極/汲極122A、122B和第二閘極結構118(方塊512)。該方法包括拋光(例如，通過CMP)第二層134(方塊514)並在第二層134中形成過孔VIA(6)(方塊516)。

【0033】圖4B包括方法500中CFET 100的製造階段400B，包括用與第一閘極結構110相對的第二閘極結構118將第二層134接合到第三層138並退火(方塊518)。在這方面，術語“相對”指示第一閘極結構110和第二閘極結構118在第三層

138的相對兩側直接相對，方向與第三層138正交。可在接合過程中採用退火處理，以確保第三層138與第二層134的氧化物之間的接合。

【0034】圖4C包括製造CFET 100的階段400C。圖5C中的方法包括從第二GAA FET 104去除頂部基板406(方塊520)。去除頂部基板406可包括化學和/或機械地從第二基礎層136中去除頂部基板406。圖4D包括製造CFET 100的階段400D。根據階段400D，方法500包括在第二層134中形成過孔(VIA(1)、VIA(7)-VIA(9))(方塊522)以及形成第二接觸層142，包括在第二基礎層136上的接觸CON(5)-CON(7)(方塊524)。形成過孔VIA(1)、VIA(7)-VIA(9)包括穿過第二GAA FET 104的第二基礎層136形成過孔(例如，蝕刻和填充導電金屬)。形成第二接觸層142可包括首先在第二基礎層136上形成接觸CON(5)-CON(7)，並在第二基礎層136上和在接觸CON(5)-CON(7)上設置介電質。備選地，可以在第二基礎層136中形成接觸CON(5)-CON(7)。

【0035】圖4E包括製造CFET 100的階段400E。圖5E中的方法包括將CFET 100反相並從第一GAA FET 102移除底部基板402(方塊526)。移除底部基板402可包括化學和/或機械地從第一基礎層132移除底部基板402。圖4F包括CFET 100製造中的階段400F，圖5F中的方法包括在第一GAA FET 102中形成過孔VIA(1)-VIA(4)(方塊528)，並添加第一接觸層140，包括接觸CON(1)-CON(4)(方塊530)。圖4F中的CFET 100可以從第一接觸層140或第二接觸層142耦合到外部電路，其可以包括減薄第一接觸層和第二接觸層(140、142)之一上的介電質，以暴露接觸(CON(1)-CON(4))或(CON(1)和CON(5)-CON(7))。

【0036】在用上文描述的方法製造的CFET 100中，第一類型的第一GAA FET 102可以是N型或P型電晶體，並且可以形成SOI或塊體電晶體。在上述製造

方法中，分別製造第一GAA FET 102和第二GAA FET 104，並且，因此可以形成具有不同表面取向的晶體結構144、146的3D半導體板106和108，以提高載子遷移性能。在這方面，提高的性能可以包括提高的P型FET的性能，而不會對N型FET的性能產生負面影響，從而獲得更平衡的性能。P型FET性能的相對提高可以避免需要增大P型FET的尺寸以實現更平衡的性能。以這種方式，CFET 100的大小就可以減小。

【0037】圖6-8是具有SOI電晶體的堆疊GAA CFET電路的其他示例的橫截面側視圖的圖示。

【0038】圖6是具有第一GAA FET 602的CFET 600的橫截面側視圖的圖示，第一GAA FET 602第一類型的SOI電晶體，相對第二GAA FET 604面對面堆疊，第二GAA FET 604是第二類型的第二SOI電晶體。第一GAA FET 602包括具有通道方向D_{606}的3D半導體板606，該通道方向D_{606}在磊晶源極/汲極(磊晶生長材料區域)608A和608B之間的X軸方向上延伸。3D半導體板606的通道區域610被第一閘極結構612包圍。第二GAA FET 604包括3D半導體板614，其通道方向D_{606}在磊晶源極/汲極616A和616B之間延伸。3D半導體板614的通道區域618被第二閘極結構620所包圍。在第一層622中形成第一GAA FET 602。在第二層624中形成第二GAA FET 604。在第一層622和第二層624之間的第三層626可與第一層622和第二層624直接接觸。在這方面，第三層626可以是接合層，將第一層622接合到第二層624。CFET 600還包括位於第一層622上的底層基礎層628和位於第二層624上的頂層基礎層630。CFET 600還包括分別形成於底層基礎層628和頂層基礎層630上的接觸層632和接觸層634。

【0039】在上文所描述的態樣，第一GAA FET 602對應於圖1中的第一GAA FET 102，並且第二GAA FET 604對應於第二GAA FET 104。然而，在過孔VIA(1)-VIA(8)和接觸CON(1)-CON(7)方面，CFET 600與圖1中的CFET 100有所不同。應當注意，第一閘極結構612和第二閘極結構620之間的電耦合未在圖6中示出，但可以在CFET 600的不同截面(未示出)中或在CFET 600的外部提供。

【0040】圖7是在第一層704中具有第一GAA FET 702和在第二層708中具有第二GAA FET 706的CFET 700的橫截面視圖。CFET 700包括位於第一層704和第二層708之間的第三層710。第一GAA FET 702和第二GAA FET 706形成為SOI電晶體。一般來說，CFET 700對應於圖1中的CFET 100。然而，在CFET 700中，第二GAA FET 706相對第一GAA FET 702面對背堆疊。即，CFET 700中的第三層710是絕緣層，在其上以SOI製程形成第二GAA FET 706。在絕緣層712上形成第一層704。在第三層710上形成第二層708，並且第三層710與第一層704接合。在第二層708上形成基礎層714和接觸層716，並且在絕緣層712上形成接觸層718。過孔VIA(1)-VIA(9)和接觸CON(1)-CON(7)對應於圖1中相同的標記特徵。

【0041】圖8是CFET 800的截面圖，其包括形成在第一絕緣層804上的第一GAA FET 802和形成在第二絕緣層808上的第二GAA FET 806。CFET 800對應於圖6中的CFET 600，除了第二GAA FET 806與第二絕緣層808面對背堆疊，接合到包括第一GAA FET 802的第一層810之外，這與CFET 700的情況一樣

【0042】圖9是位於第一半導體基板904上的第一GAA FET 902的圖示，以及位於第二半導體基板908上的第二GAA FET 906的圖示。由於第一GAA FET 902和第二GAA FET 906是在不同的半導體基板上形成的，因此第一GAA FET 902中的一個或多個3D半導體板912的晶體結構910的取向可以不同於第二GAA

FET 906的一個或多個3D半導體板916的晶體結構914的取向。作為示例，第一GAA FET 902可以是P型FET，其中至少一個3D半導體板912具有(110)表面取向，並且第二GAA FET 906可以是N型FET，其中至少一個3D半導體板916具有(100)表面取向。應當理解，晶體結構910和914的其他表面取向是可能的，因為它們是在不同的半導體基板904和908上分別形成的。3D半導體板912和916可以都具有<100>的通道方向D_{900}，對應於圖9中的X軸方向。第一GAA FET 902和第二GAA FET 906形成為塊體電晶體，並在3D半導體板912和916的兩端沒有磊晶源極/汲極的透視視圖中顯示，以提供更清晰的某些特徵視圖。在這裡，可以看到在與第一半導體基板904電隔離的STI層920上形成第一閘極結構918。在第二半導體基板908上的STI層924上形成第二閘極結構922。

【0043】第一GAA FET 902包括位於3D半導體板912和第一半導體基板904之間的井926。當第一GAA FET 902不活動時，提供井926以減少或避免穿過第一半導體基板904的通道方向D_{900}中的漏電流路徑。減少漏電流可以提高第一GAA FET 902的性能並降低其功耗。

【0044】在其中第一GAA FET 902是P型FET的示例中，井926可以是摻雜高濃度N型摻雜劑的N+井。在其中第一GAA FET 902是N型FET的示例中，井926可以是摻雜高濃度P型摻雜劑的P+井。在這方面，第二GAA FET 906還在3D半導體板916和第二半導體基板908之間具有井928。與井926和井928相對應的井在圖10-12中可能不可見，因為在所圖示的截面的位置穿過這些井形成了過孔。

【0045】圖10-12是在半導體基板上形成的堆疊GAA CFET電路示例的橫截面側視圖的圖示。為避免冗餘，圖10-12中對應於前面呈現特徵的特徵可以不標注和單獨描述。圖10是CFET 1000的橫截面側視圖。CFET 1000包括第一GAA FET

1002和第二GAA FET 1004，以面對面的配置堆疊。CFET 1000對應於圖1中的第一GAA FET 102和第二GAA FET 104，除了第一GAA FET 1002和第二GAA FET 1004分別是在第一半導體基板和第二半導體基板1006和1008上形成的塊體型電晶體，而不是在第一絕緣層和第二絕緣層204和208上形成的電晶體。

【0046】第一GAA FET 1002包括可由第一半導體基板1006形成的3D半導體板1010。第二GAA FET 1004包括可由第二半導體基板1008形成的3D半導體板1012。第一GAA FET 1002包括在第一層1014中，第二GAA FET 1004包括在第二層1016中。CFET 1000包括第三層1018，其可以是包括氧化物或其它接合材料1020的接合層。CFET 1000包括第一半導體基板1006和與第一層1014相鄰的STI層1022。CFET 1000還包括包括接觸1026的第一接觸層1024。由於第一半導體基板1006的導電性，在每個過孔1030和第一半導體基板1006之間提供絕緣壁1028。CFET 1000還包括在第二層1016和第二半導體基板1008之間的STI層1032。在第二半導體基板1008上形成第二接觸層1034，包括接觸1036。

【0047】圖11是CFET 1100的橫截面圖，其中第一GAA FET 1102和第二GAA FET 1104以面對面的配置相互堆疊，對應於圖6中的CFET 600，除了CFET 1100是塊體型設備而不是SOI設備。CFET 1100和CFET 600之間的區別包括具有第一半導體基板1106和STI層1108，其中CFET 600包括底層基礎層628，並且具有第二半導體基板1110和STI層1112代替圖6中的頂層基礎層630。

【0048】圖12是CFET 1200的橫截面視圖的圖示，其中第一GAA FET 1202和第二GAA FET 1204面對背堆疊，對應於圖8中的CFET 800。然而，CFET 1200是塊體型電晶體，這導致CFET 1200與CFET 800之間存在差異，包括CFET 1200具有第一半導體基板1206和STI層1208，其中CFET 800包括第一絕緣層804，

CFET 1200包括第二半導體基板1210和STI層1212，以代替圖8中的第二絕緣層808。

【0049】需要注意的是，由於圖10-12中每個CFET 1000-1200都是根據上文描述的方法形成的，其中第一GAA FET的3D半導體板和第二GAA FET的3D半導體板可以形成不同的晶體結構取向，以提高P型設備的性能，而不降低N型設備的性能。在這種情況下，術語“3D半導體板”是指具有晶體結構的半導體材料的薄層。

【0050】根據本文所揭露的態樣，堆疊GAA CFET可以提供在或整合到任何基於處理器的設備中。例如，但不限於，包括機上盒、娛樂單元、導航設備、通訊設備、固定位置資料單元、移動位置資料單元、全球定位系統(global positioning system, GPS)設備、行動電話、蜂巢式電話、智慧手機、會話發起協定(session initiation protocol, SIP)電話、平板電腦、平板手機、伺服器、電腦、可攜式電腦、行動計算裝置、可穿戴計算設備(例如智慧手錶、健康或健身追蹤器、眼鏡等)、桌上型電腦、個人數位助理(personal digital assistant, PDA)、監視器、電腦監視器、電視、調諧器、收音機、衛星收音機、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊光碟(digital video disc, DVD)播放機、可攜式數位視訊播放機、機動車、車輛部件、航空電子系統、無人機和多旋翼飛機。

【0051】圖13圖示了示例性無線通訊設備1300，其包括由一個或多個積體電路(IC)1302形成的射頻(radio-frequency, RF)組件，其可包括示例性堆疊GAA CFET，其中第一GAA FET和第二GAA FET的閘極結構彼此相對堆疊，如圖1、6-8和10-12所圖示的，並根據本文揭露的任何態樣。作為示例，無線通訊設備1300

可以包括或提供在任何上述引用的設備中。如圖8所示，無線通訊設備1300包括收發器1304和資料處理器1306。資料處理器1306可包括用於儲存資料和程式碼的記憶體。收發器1304包括支援雙向通訊的發射器1308和接收器1310。通常，無線通訊設備1300可包括用於任意數量的通訊系統和頻帶的任意數量的發射器1308和/或接收器1310。收發器1304的全部或部分可以在一個或多個類比IC、RFIC、混合訊號IC等上實施。

【0052】發射器1308或接收器1310可採用超外差架構或直接轉換架構來實施。在超外差架構中，訊號在RF和基帶之間分多級進行頻率轉換，例如，在一級中從RF到中頻(intermediate frequency, IF)，然後在另一級中從IF到基帶。在直接轉換架構中，訊號在RF和基帶之間在一級內進行頻率轉換。超外差和直接轉換架構可以使用不同的電路塊和/或有不同的要求。在圖13中的無線通訊設備1300中，發射器1308和接收器1310採用直接轉換架構實施。

【0053】在傳輸路徑中，資料處理器1306對要傳輸的資料進行處理，並向發射器1308提供I和Q類比輸出訊號。在示例性無線通訊設備1300中，資料處理器1306包括數位類比轉換器(digital-to-analog converter, DAC)1312(1)、1312(2)，用於將資料處理器1306生成的數位訊號轉換為I和Q類比輸出訊號，例如I和Q輸出電流，以供進一步處理。

【0054】在發射器1308內，低通濾波器1314(1)、1314(2)分別對I和Q類比輸出訊號進行濾波，以去除由先前數位類比轉換引起的不需要的訊號。放大器(Amplifier, AMP)1316(1)、1316(2)分別放大來自低通濾波器1314(1)、1314(2)的訊號，並提供I和Q基帶訊號。上轉換器1318將I和Q基帶訊號與來自TX LO訊號產生器1322的I和Q發射(transmit, TX)本地振盪器(local oscillator, LO)訊號通過混頻器

1320(1)、1320(2)進行上轉換，以提供上轉換訊號1324。濾波器1326對上轉換訊號1324進行濾波，以去除由頻率上轉換引起的不需要的訊號以及接收頻帶中的雜訊。功率放大器(power amplifier, PA)1328對來自濾波器1326的上轉換訊號1324進行放大以獲得所需的輸出功率位準並提供發射RF訊號。發射RF訊號通過雙工器或開關1330路由並經由天線1332傳輸。

【0055】在接收路徑中，天線1332接收基站發射的訊號並提供接收到的RF訊號，該訊號通過雙工器或開關1330路由並提供給低雜訊放大器(low noise amplifier, LNA)1334。雙工器或開關830被設計為使用特定的接收(receive, RX)到TX雙工器頻率分離操作，以使RX訊號與TX訊號隔離。接收到的RF訊號由LNA 1334放大，並由濾波器1336濾波，以獲得所需的RF輸入訊號。下變頻混頻器1338(1)、1338(2)將濾波器1336的輸出與來自RX LO訊號產生器1340的I和Q RX LO訊號(即LO_I和LO_Q)混合以生成I和Q基帶訊號。I和Q基帶訊號由AMP1342(1)、1342(2)放大，並再由低通濾波器1344(1)、1344(2)濾波，以獲得I和Q類比輸入訊號，I和Q類比輸入訊號提供給資料處理器1306。在本示例中，資料處理器1306包括類比數位轉換器(analog-to-digital converter, ADC) 1346(1)、1346(2)，用於將類比輸入訊號轉換為數位訊號，由資料處理器1306進行進一步處理。

【0056】在圖13的無線通訊設備1300中，TX LO訊號產生器1322生成用於頻率上變頻的I和Q TX LO訊號，而RX LO訊號產生器1340生成用於頻率下變頻的I和Q RX LO訊號。每個LO訊號都是具有特定基頻的週期訊號。TX鎖相迴路(phase-locked loop, PLL)電路1348接收來自資料處理器1306的定時資訊，並生成用於調整來自TX LO訊號產生器1322的TX LO訊號的頻率和/或相位的控制訊

號。類似地，RX PLL電路1350接收來自資料處理器1306的定時資訊，並產生用於調整來自RX LO訊號產生器1340的RX LO訊號的頻率和/或相位的控制訊號。

【0057】無線通訊設備1300可以包括示例性堆疊GAA CFET電路，其中第一GAA FET和第二GAA FET的閘極結構彼此相對堆疊，如圖1、6-8和10-12所示，並且根據本文揭露的任何態樣，可以在任何基於處理器的設備中提供或整合到該器件中。示例，但不限於，包括機上盒、娛樂單元、導航設備、通訊設備、固定位置資料單元、移動位置資料單元、全球定位系統(GPS)設備、行動電話、蜂巢式電話、智慧手機、會話發起協定(SIP)電話、平板電腦、平板手機、伺服器、電腦、可攜式電腦、行動計算裝置、可穿戴計算設備(例如智慧手錶、健康或健身追蹤器、眼鏡等)、桌上型電腦、個人數位助理(PDA)、監視器、電腦監視器、電視、調諧器、收音機、衛星收音機、音樂播放機、數位音樂播放機、可攜式音樂播放機、數位視訊播放機、視訊播放機、數位視訊光碟(DVD)播放機、可攜式數位視訊播放機、機動車、車輛部件、航空電子系統、無人機和多旋翼飛機。

【0058】圖14圖示了基於處理器的系統1400的示例，其包括包括示例性堆疊GAA FET電路的電路，其中第一GAA FET和第二GAA FET的閘極結構彼此相對堆疊，如圖1、6-8和10-12所圖示，並根據本文揭露的任何態樣。在本示例中，基於處理器的系統1400包括一個或多個中央處理器單元(central processor unit, CPU)1402，它也可以被稱為CPU或處理器核心，每個核心包括一個或多個處理器1404。CPU 1402可以具有與處理器1404耦合的快取記憶體1406，以便快速存取臨時儲存的資料。CPU1402與系統匯流排1408耦合，並可以將包括在基於處理器的系統1400中的主設備和從設備相互耦合。眾所周知，CPU 1402通過在系統匯流排1408上交換位址、控制和資料資訊與這些其他設備通訊。例如，CPU 1402

可以將匯流排事務請求傳達到記憶體控制器1410，作為從設備的示例。雖然在圖14中沒有說明，但是可以提供多個系統匯流排1408；其中每條系統匯流排1408構成了不同的結構。

【0059】其他主設備和從設備可以連接到系統匯流排1408上。如圖14所圖示的，作為示例，這些設備可以包括記憶體系統1412，記憶體系統1412包括記憶體控制器1410和一個或多個記憶體陣列1414、一個或多個輸入裝置1416、一個或多個輸出設備1418、一個或多個網路周邊設備1420和一個或多個顯示控制器1422。輸入裝置1416可以包括任何類型的輸入裝置，包括但不限於輸入按鍵、開關、語音處理器等。輸出設備1418可以包括任何類型的輸出設備，包括但不限於音訊、視訊、其他視覺指示器等。網路周邊設備1420可以是被配置為允許與網路1424交換資料的任何設備。網路1424可以是任何類型的網路，包括但不限於有線或無線網路、專用或公共網路、區域網(local area network, LAN)、無線區域網(wireless local area network, WLAN)、廣域網路(wide area network, WAN)、BLUETOOTH™網路和Internet。網路周邊設備1420可被配置為支援所需的任何類型的通訊協定。

【0060】CPU 1402還可以配置為通過系統匯流排1408存取顯示控制器1422，以控制發送到一個或多個顯示器1426的資訊。顯示控制器1422經由一個或多個視訊處理器1428將資訊發送給要顯示的顯示器1426，視訊處理器1428將要顯示的資訊處理成適合於顯示器1426的格式。顯示器1426可包括任何類型的顯示器，包括但不限於陰極射線管(cathode ray tube, CRT)、液晶顯示器(liquid crystal display, LCD)、電漿顯示器或發光二極體(light-emitting diode, LED)顯示器等。

【0061】所屬技術領域具有通常知識者將進一步理解，與本文揭露的態樣有關的描述的各種說明性邏輯方塊、模組、電路和演算法可以實施為電子硬體、儲存在記憶體或另一電腦可讀媒體中並由處理器或其他處理設備執行的指令，或兩者的組合。作為示例，本文所描述的主設備和從設備可用於任何電路、硬體元件、IC或IC晶片中。本文揭露的記憶體可以是任何類型和大小的記憶體，並且可以配置為儲存所需的任何類型的資訊。為了清楚地說明這種互換性，各種說明性元件、方塊、模組、電路和步驟在上文一般按照其功能進行了描述。如何實施這些功能取決於特定的應用、設計選擇和/或對整個系統施加的設計約束。技術人員可以針對每個特定的應用以不同的方式實施所描述的功能，但是這樣的實施決定不應該被解釋為導致偏離本揭露的範圍。

【0062】與本文揭露的態樣相關的描述的各種說明性邏輯方塊、模組和電路可以用處理器、數位訊號處理器(Digital Signal Processor, DSP)、特殊應用積體電路(Application Specific Integrated Circuit, ASIC)、現場可程式化設計閘陣列(Field Programmable Gate Array, FPGA)或其他可程式化設計邏輯裝置，離散閘或電晶體邏輯、離散硬體元件或其任何組合來實施或執行，這些組合設計用於執行本文描述的功能。處理器可以是微處理器，但在可選的方案中，處理器可以是任何常規處理器、控制器、微控制器或狀態機。處理器也可以實施為計算設備的組合(例如，DSP和微處理器的組合、多個微處理器、一個或多個微處理器與DSP核心結合，或任何其他此類配置)。

【0063】本文揭露的態樣可以體現在硬體和儲存在硬體中的指令中，並且可以駐留在例如隨機存取記憶體(Random Access Memory, RAM)、快閃記憶體、唯讀記憶體(Read-Only Memory, ROM)、電可程式化設計ROM (Electrically

Programmable ROM, EPROM)、電可抹除可程式化設計ROM (Electrically Erasable Programmable ROM, EEPROM)、暫存器、硬碟、抽取式磁碟、CD-ROM或本領域已知的任何其他形式的電腦可讀媒體中。示例性儲存媒體與處理器耦合，以使處理器可以從儲存媒體中讀取資訊並向儲存媒體寫入資訊。在可選的方案中，儲存媒體可以是處理器的組成部分。處理器和儲存媒體可以駐留在ASIC中。ASIC可以駐留在遠端網站中。備選地，處理器和儲存媒體可以作為離散元件駐留在遠端站、基站或伺服器中。

【0064】還應注意，本文描述在任何示例性態樣中描述的操作步驟以提供示例和討論。所描述的操作可以以除所圖示的順序之外的許多不同的循序執行。此外，在單個操作步驟中描述的操作實際上可以在幾個不同的步驟中執行。另外，可以組合示例性態樣中討論的一個或多個操作步驟。應當理解，在流程圖中所圖示的操作步驟可以受到許多不同的修改，這對於所屬技術領域具有通常知識者來說將是顯而易見的。所屬技術領域具有通常知識者還將理解，資訊和訊號可以使用各種科技和技術來表示。例如，可以在貫穿上文的描述中引用的資料、指令、命令、資訊、訊號、位元、符號和碼片可以用電壓、電流、電磁波、磁場或粒子、光場或粒子，或它們的任何組合來表示。

【0065】提供本揭露的上述描述是為了使所屬技術領域具有通常知識者能夠製作或使用本揭露。對於所屬技術領域具有通常知識者來說，對本揭露的各種修改將是顯而易見的，並且本文定義的一般原理可以應用於其他變型。因此，本揭露不旨在局限於本文所描述的示例和設計，而是被賦予與本文所揭露的原理和新特徵相一致的最廣泛的範圍。

【0066】實施示例在下列編號的條款中描述：

1. 一種堆疊互補場效應電晶體(CFET)，包括：

第一類型的第一全環繞閘極(GAA)FET，所述第一GAA FET包括：

第一通道區域，包括第一晶體結構，所述第一晶體結構包括第一取向；以及

圍繞所述第一通道區域的第一閘極結構；以及

第二類型的第二GAA FET，所述第二GAA FET包括：

第二通道區域，包括第二晶體結構，所述第二晶體結構包括不同於第一取向的第二取向；以及

圍繞所述第二通道區域的第二閘極結構。

2. 條款 1 所述的堆疊 CFET，其中：

所述第一晶體結構的所述第一取向為(100)；以及

所述第二晶體結構的所述第二取向為(110)。

3. 條款 1 或條款 2 所述的堆疊 CFET，其中：

所述第一類型的所述第一GAA FET是N型FET；以及

所述第二類型的所述第二GAA FET是P型FET。

4. 條款 1 至 3 中任一項所述的堆疊 CFET，還包括：

第一層，包括所述第一GAA FET；

第二層，包括所述第二GAA FET；以及

第三層，在所述第二層與所述第一層之間。

5. 條款 4 所述的堆疊 CFET，其中所述第三層包括將所述第一層與所述第二層接合的接合層。

6. 條款 5 所述的堆疊 CFET，其中所述接合層包括氧化層。

7. 條款 4 至 6 中任一項所述的堆疊 CFET，其中所述第三層包括半導體基板。

8. 條款 4 至 7 中任一項所述的堆疊 CFET，還包括從所述第一閘極結構延伸穿過所述第三層至所述第二閘極結構的的過孔。

9. 條款 4 至 8 中任一項所述的堆疊 CFET，還包括：

第一介電層，在所述第一層上，所述第一介電層包括與所述第一GAA FET耦合的第一接觸；以及

第二介電層，在所述第二層上，所述第二介電層包括與所述第二GAA FET耦合的第二接觸。

10. 條款 9 所述的堆疊 CFET，還包括：

過孔，從所述第一接觸延伸穿過所述第一層、所述第三層和所述第二層至所述第二接觸。

11. 條款 9 或 10 所述的堆疊 CFET，還包括在所述第一層與所述第一介電層之間的第一半導體基板。

12. 條款 11 所述的堆疊 CFET，還包括在所述第二層和所述第二介電層之間的第二半導體基板。

13. 條款 1 至 12 中任一項所述的堆疊 CFET，其中耦合到所述第一 GAA FET 的所述第一通道區域的第一磊晶區域被耦合到與所述第二 GAA FET 的所述第二通道區域耦合的第二磊晶區域。

14. 條款 1 至 13 中任一項所述的堆疊 CFET，被整合在積體電路(IC)中。

15. 將條款 1 至 14 中任一項所述的堆疊 CFET 整合到從以下元件中選擇的設備中：機上盒；娛樂單元；導航設備；通訊設備；固定位置資料單元；移動位置資料單元；全球定位系統(GPS)設備；行動電話；手機；智能手機；會話發起協定(SIP)電話；平板電腦；平板手機；伺服器；電腦；可攜式電腦；行動計算裝置；可穿戴計算設備；桌上型電腦；個人數位助理(PDA)；監控器；電腦顯示器；電視；調諧器；無線電；衛星廣播；音樂播放機；數位音樂播放機；可攜式音樂播放機；數位視訊播放機；視訊播放機；數位視訊光碟(DVD)播放機；可攜式數位視訊播放機；機動車；車輛部件；航空電子系統；無人機；以

及多旋翼直升機。

16.一種製造堆疊互補場效應電晶體(CFET)的方法，所述方法包括：

形成第一類型的第一全環繞閘極(GAA)FET，所述第一GAA FET包括：

第一通道區域，包括第一晶體結構，所述第一晶體結構包括第一取向；以及

圍繞所述第一通道區域的第一閘極結構；

形成第二類型的第二GAA FET，所述第二GAA FET包括：

第二通道區域，包括第二晶體結構，所述第二晶體結構包括不同於所述第一取向的第二取向；以及

圍繞所述第二通道區域的第二閘極結構。

17. 條款 16 所述的方法，其中：

形成所述第一GAA FET還包括：在第一基板上的第一氧化層上的第一層中形成所述第一GAA FET；以及

形成所述第二GAA FET還包括：在第二基板上的第二氧化層上的第二層中形成所述第二GAA FET。

18. 條款 16 或 17 所述的方法，其中：

所述第一取向是(100)取向；以及

所述第二取向是(110)取向。

19. 條款 17 或 18 所述的方法，還包括：

在所述第一層和所述第二層之一上形成接合層；以及

將所述第二層堆疊在所述第一層上。

20. 條款 19 所述的方法，還包括：

形成延伸穿過所述接合層的過孔，將所述第一閘極結構耦合到所述第二閘極結構。

【符號說明】

100: 互補場效應電晶體
102:第一全環繞閘極場效應電晶體
140: 第一接觸層
CON(1)、CON(2)、CON(3)、CON(4): 接觸
IN_{100}: 二進位輸入
OUT_{100}: 二進位輸出
V_{SS}: 參考電壓
V_{DD}: 電源電壓
132: 第一基礎層
VIA(1)、VIA(2)、VIA(3)、VIA(4): 過孔
128: 第一層
106:3D半導體板
110: 第一柵極閘極結構
112: 第一通道區域
114A、114B: 源極/汲極
116: 表面
124: 絕緣體層
130: 填充材料
144: 晶體結構
CD_{100}: 通道方向
138: 第三層
VIA(5)、VIA(6): 過孔
104: 第二全環繞閘極場效應電晶體
134: 第二層
108: 3D半導體板
118: 第二閘極結構
120: 第二通道區域
122A、122B: 源極/汲極
126: 絕緣體層
146: 晶體結構
136: 第二基礎層
VIA(7)、VIA(8)、VIA(9): 過孔

142: 第二接觸層
CON(5)、CON(6)、CON(7): 接觸
202: 第一全環繞閘極場效應電晶體
204: 第一絕緣層
210: 3D半導體板
212: 第一閘極結構
206: 第二全環繞閘極場效應電晶體
208: 第二絕緣層
218: 3D半導體板
220: 第二閘極結構
300、500: 方法
302、304、306、308、310、312、502、504、506、508、510、512、514、516、518、520、522、524、526、528、530: 方塊
400A(1)、400A(2): 階段
402: 底部基板
406: 頂部基板
600: 互補場效應電晶體
602: 第一全環繞閘極場效應電晶體
632: 接觸層
628: 底層基礎層
622: 第一層
606: 3D半導體板
608A、608B: 源極/汲極
610: 通道區域
612: 第一閘極結構
D_{606}: 通道方向
626: 第三層
604: 第二全環繞閘極場效應電晶體
624: 第二層
614: 3D半導體板
616A、616B: 源極/汲極
618: 通道區域
620: 第二閘極結構
630: 頂層基礎層
634: 接觸層
700: 互補場效應電晶體
702: 第一全環繞閘極場效應電晶體
718: 接觸層
712: 絕緣層

704: 第一層
710: 第三層
706: 第二全環繞閘極場效應電晶體
708: 第二層
716: 接觸層
800: 互補場效應電晶體
802: 第一全環繞閘極場效應電晶體
810: 第一層
804: 第一絕緣層
808: 第二絕緣層
806: 第二全環繞閘極場效應電晶體
902: 第一全環繞閘極場效應電晶體
904: 第一半導體基板
920: STI層
926: 井
910: 晶體結構
912: 3D半導體板
D_{900}: 通道方向
918: 第一閘極結構
906: 第二全環繞閘極場效應電晶體
908: 第二半導體基板
924: STI層
928: 井
914: 晶體結構
916: 3D半導體板
922: 第二閘極結構
1000: 互補場效應電晶體
1002: 第一全環繞閘極場效應電晶體
1024: 第一接觸層
1026: 接觸
1030: 過孔
1006: 第一半導體基板
1028: 絕緣壁
1022:STI層
1014: 第一層
1010: 3D半導體板
1018: 第三層
1020: 接合材料
1004: 第二全環繞閘極場效應電晶體

1016: 第二層
1012: 3D半導體板
1032: STI層
1008: 第二半導體基板
1034: 第二接觸層
1036: 接觸
1100: 互補場效應電晶體
1102: 第一全環繞閘極場效應電晶體
1106: 第一半導體基板
1108: STI層
1104: 第二全環繞閘極場效應電晶體
1112: STI層
1110: 第二半導體基板
1200: 互補場效應電晶體
1202: 第一全環繞閘極場效應電晶體
1206: 第一半導體基板
1208: STI層
1204: 第二全環繞閘極場效應電晶體
1210: 第二半導體基板
1212: STI層
1300: 無線通訊設備
1302: 積體電路
1304: 收發器
1308: 發射器
1314(1)、1314(2): 低通濾波器
1316(1)、1316(2): 放大器
1318: 上轉換器
1320(1)、1320(2): 混頻器
1322: TX LO訊號產生器
1348: TX鎖相迴路
1324: 上轉換訊號
1326: 濾波器
1328: 功率放大器
1330: 雙工器或開關
1332: 天線
1310: 接收器
1334: 低雜訊放大器
1336: 濾波器
1338(1)、1338(2): 下變頻混頻器

1340: RX LO訊號產生器
1342(1)、1342(2): 放大器
1344(1)、1344(2): 低通濾波器
1350: RX PLL電路
1306: 資料處理器
1312(1)、1312(2): 數位類比轉換器
1346(1)、1346(2): 類比數位轉換器
1400: 基於處理器的系統
1402: 中央處理器單元
1404: 處理器
1406: 快取記憶體
1408: 系統匯流排
1412: 記憶體系統
1410: 記憶體控制器
1414: 記憶體陣列
1416: 輸入裝置
1418: 輸出設備
1420: 網路周邊設備
1422: 顯示控制器
1424: 網路
1426: 顯示器
1428: 視訊處理器

【發明申請專利範圍】

【請求項1】一種堆疊互補場效應電晶體(complementary field-effect transistor, CFET)，包括：

第一類型的第一全環繞閘極(gate-all-around, GAA)FET，所述第一 GAA FET 包括：

第一通道區域，包括第一晶體結構，所述第一晶體結構包括第一取向；以及

圍繞所述第一通道區域的第一閘極結構；以及

第二類型的第二 GAA FET，所述第二 GAA FET 包括：

第二通道區域，包括第二晶體結構，所述第二晶體結構包括不同於第一取向的第二取向；以及

圍繞所述第二通道區域的第二閘極結構。

【請求項2】如請求項 1 所述的堆疊 CFET，其中：

所述第一晶體結構的所述第一取向為(100)；以及

所述第二晶體結構的所述第二取向為(110)。

【請求項3】如請求項 1 所述的堆疊 CFET，其中：

所述第一類型的所述第一 GAA FET 是 N 型 FET；以及

所述第二類型的所述第二 GAA FET 是 P 型 FET。

【請求項4】如請求項 1 所述的堆疊 CFET，進一步包括：

第一層，包括所述第一 GAA FET；

第二層，包括所述第二 GAA FET；以及

第三層，在所述第二層與所述第一層之間。

【請求項5】如請求項 4 所述的堆疊 CFET，其中所述第三層包括將所述第一層接合至所述第二層的接合層。

【請求項6】如請求項 5 所述的堆疊 CFET，其中所述接合層包括氧化層。

【請求項7】如請求項 4 所述的堆疊 CFET，其中所述第三層包括半導體基板。

【請求項8】如請求項 4 所述的堆疊 CFET，進一步包括從所述第一閘極結構延伸穿過所述第三層至所述第二閘極結構的過孔。

【請求項9】如請求項 4 所述的堆疊 CFET，進一步包括：

第一介電層，在所述第一層上，所述第一介電層包括與所述第一 GAA FET 耦合的第一接觸；以及

第二介電層，在所述第二層上，所述第二介電層包括與所述第二 GAA FET 耦合的第二接觸。

【請求項10】如請求項 9 所述的堆疊 CFET，進一步包括：

過孔，從所述第一接觸延伸穿過所述第一層、所述第三層和所述第二層至所述第二接觸。

【請求項11】如請求項 9 所述的堆疊 CFET，進一步包括在所述第一層與所述第一介電層之間的第一半導體基板。

【請求項12】如請求項 11 所述的堆疊 CFET，進一步包括在所述第二層和所述第二介電層之間的第二半導體基板。

【請求項13】如請求項 1 所述的堆疊 CFET，其中耦合到所述第一 GAA FET 的所述第一通道區域的第一磊晶區域被耦合到與所述第二 GAA FET 的所述第二通道區域耦合的第二磊晶區域。

【請求項14】如請求項 1 所述的堆疊 CFET，被整合在積體電路(integrated circuit, IC)中。

【請求項15】如請求項 1 所述的堆疊 CFET，整合到選自以下元件組成之群組的設備中：機上盒；娛樂單元；導航設備；通訊設備；固定位置資料單元；移動位置資料單元；全球定位系統(global positioning system, GPS)設備；行動電話；手機；智能手機；會話發起協定(session initiation protocol, SIP)電話；平板電腦；平板手機；伺服器；電腦；可攜式電腦；行動計算裝置；可穿戴計算設備；桌上型電腦；個人數位助理(personal digital assistant, PDA)；監控器；電腦顯示器；電視；調諧器；無線電；衛星廣播；音樂播放機；數位音樂播放機；可攜式音樂播放機；數位視訊播放機；視訊播放機；數位視訊光碟(digital video disc, DVD)播放機；可攜式數位視訊播放機；機動車；車輛部件；航空電子系統；無人機；以及多旋翼直升機。

【請求項16】一種製造堆疊互補場效應電晶體(CFET)的方法，所述方法包括：

形成第一類型的第一全環繞閘極(GAA)FET，所述第一 GAA FET 包括：

第一通道區域，包括第一晶體結構，所述第一晶體結構包括第一取向；以及

圍繞所述第一通道區域的第一閘極結構；

形成第二類型的第二 GAA FET，所述第二 GAA FET 包括：

第二通道區域，包括第二晶體結構，所述第二晶體結構包括不同於所述第一取向的第二取向；以及

圍繞所述第二通道區域的第二閘極結構。

【請求項17】如請求項 16 所述的方法，其中：

形成所述第一 GAA FET 進一步包括：在第一基板上的第一氧化層上的第一層中形成所述第一 GAA FET；以及

形成所述第二 GAA FET 進一步包括：在第二基板上的第二氧化層上的第二層中形成所述第二 GAA FET。

【請求項18】如請求項 16 所述的方法，其中：

所述第一取向是(100)取向；以及

所述第二取向是(110)取向。

【請求項19】如請求項 17 所述的方法，進一步包括：

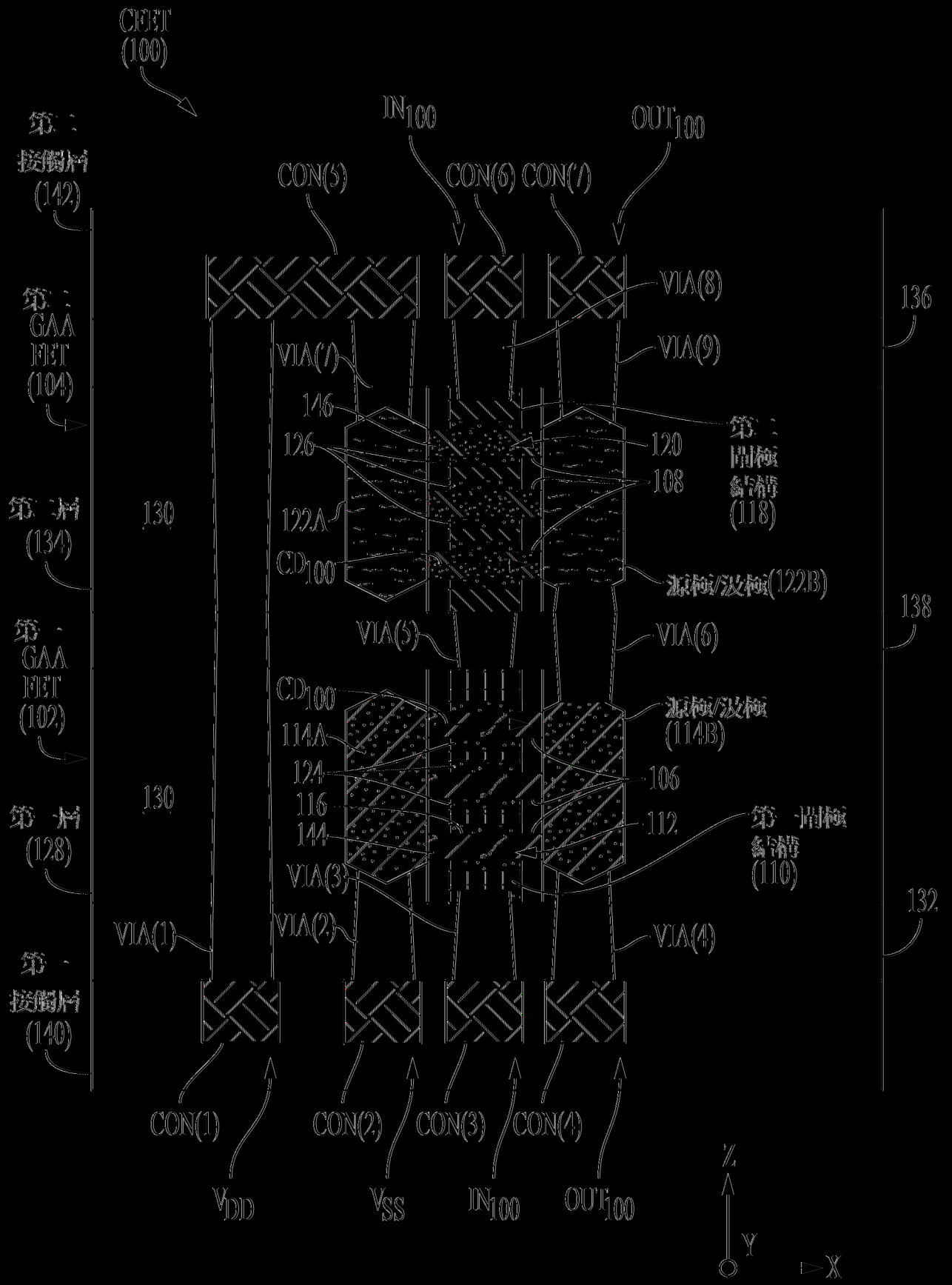
在所述第一層和所述第二層之一上形成接合層；以及

將所述第二層堆疊在所述第一層上。

【請求項20】如請求項 19 所述的方法，進一步包括：

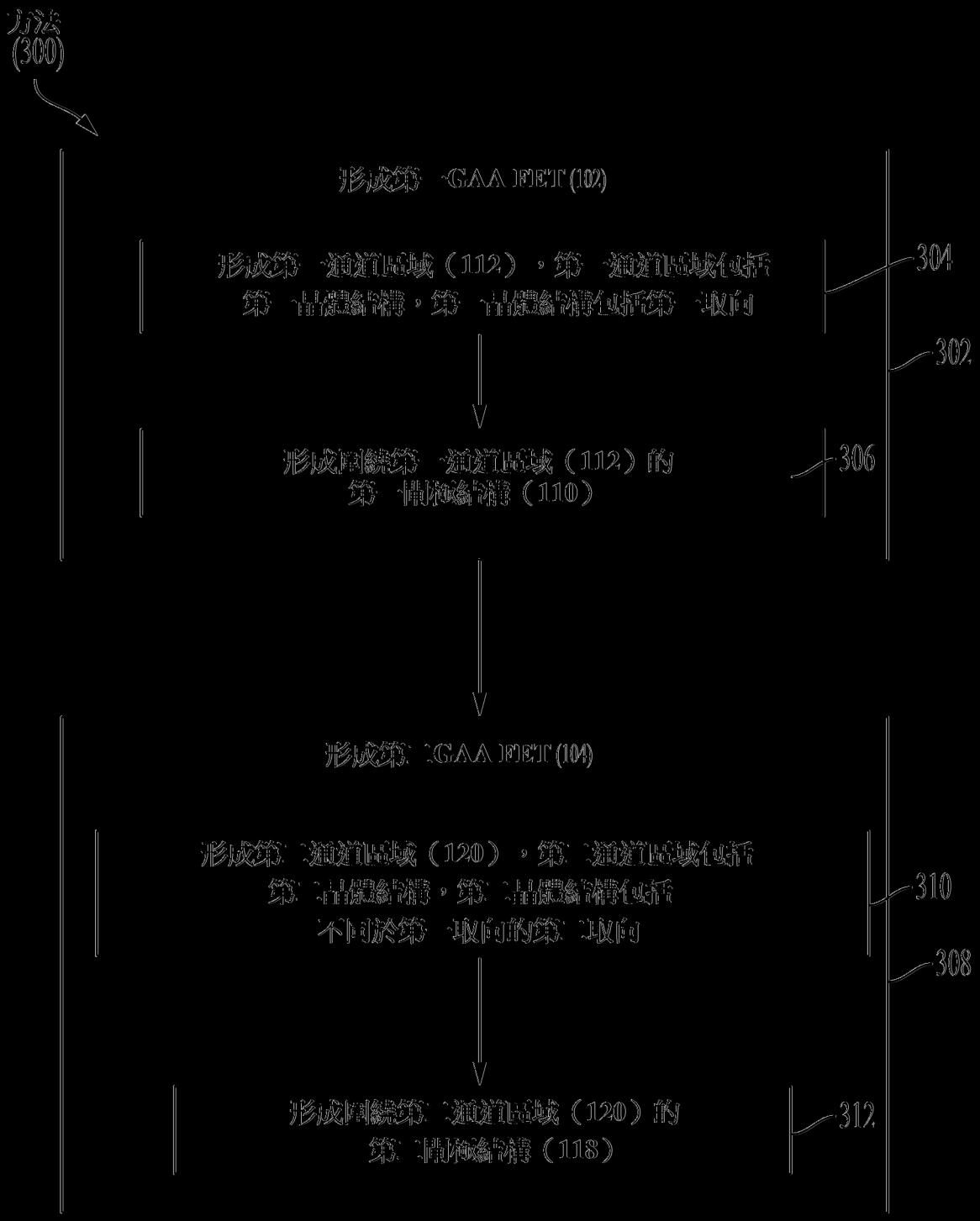
形成延伸穿過所述接合層的過孔，將所述第一閘極結構耦合到所述第二閘極結構。

【發明圖式】

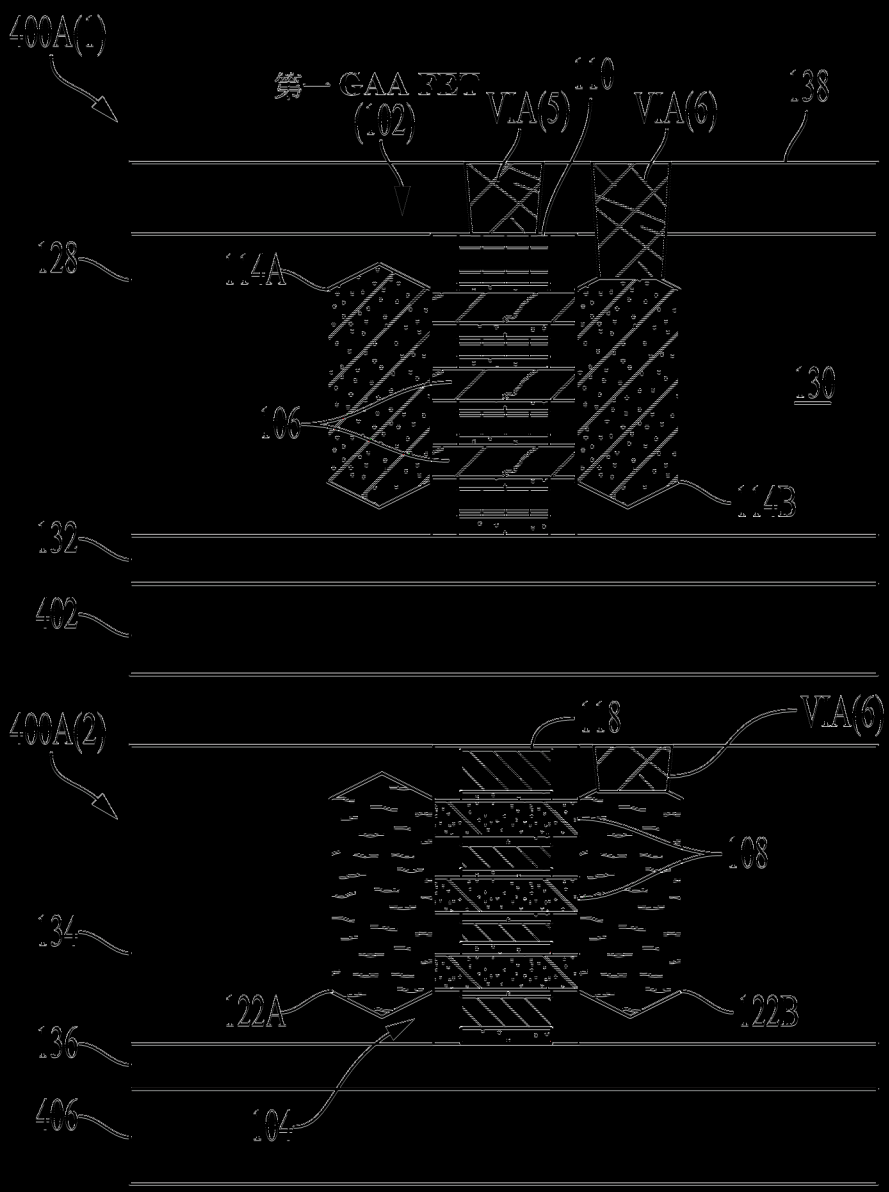

CEET
(100)
第二接觸層
(142)
第二GAA FET
(104)
第二層
(134)
第一GAA FET
(102)
第一層
(128)
第一接觸層
(140)
IN100
OUT100
CON(5)
CON(6)
CON(7)
VIA(8)
VIA(9)
VIA(7)
146
126
120
108
第二閘極結構
(118)
122A
CD100
源極/汲極(122B)
VIA(5)
VIA(6)
CD100
114A
124
116
144
106
112
源極/汲極
(114B)
第一閘極結構
(110)
VIA(3)
VIA(2)
VIA(1)
VIA(4)
130
130
136
138
132
CON(1)
CON(2)
CON(3)
CON(4)
VDD
VSS
IN100
OUT100
Z
Y
X

【圖1】

第一導電層(CAA)(22)
第一絕緣層(24)
第二導電層(26)
第二絕緣層(28)


方法
(300)
形成第一GAA FET (102)
形成第一通道區域（112），第一通道區域包括第一晶體結構，第一晶體結構包括第一取向
304
302
形成圍繞第一通道區域（112）的第一閘極結構（110）
306
形成第二GAA FET (104)
形成第二通道區域（120），第二通道區域包括第二晶體結構，第二晶體結構包括不同於第一取向的第二取向
310
308
形成圍繞第二通道區域（120）的第二閘極結構（118）
312

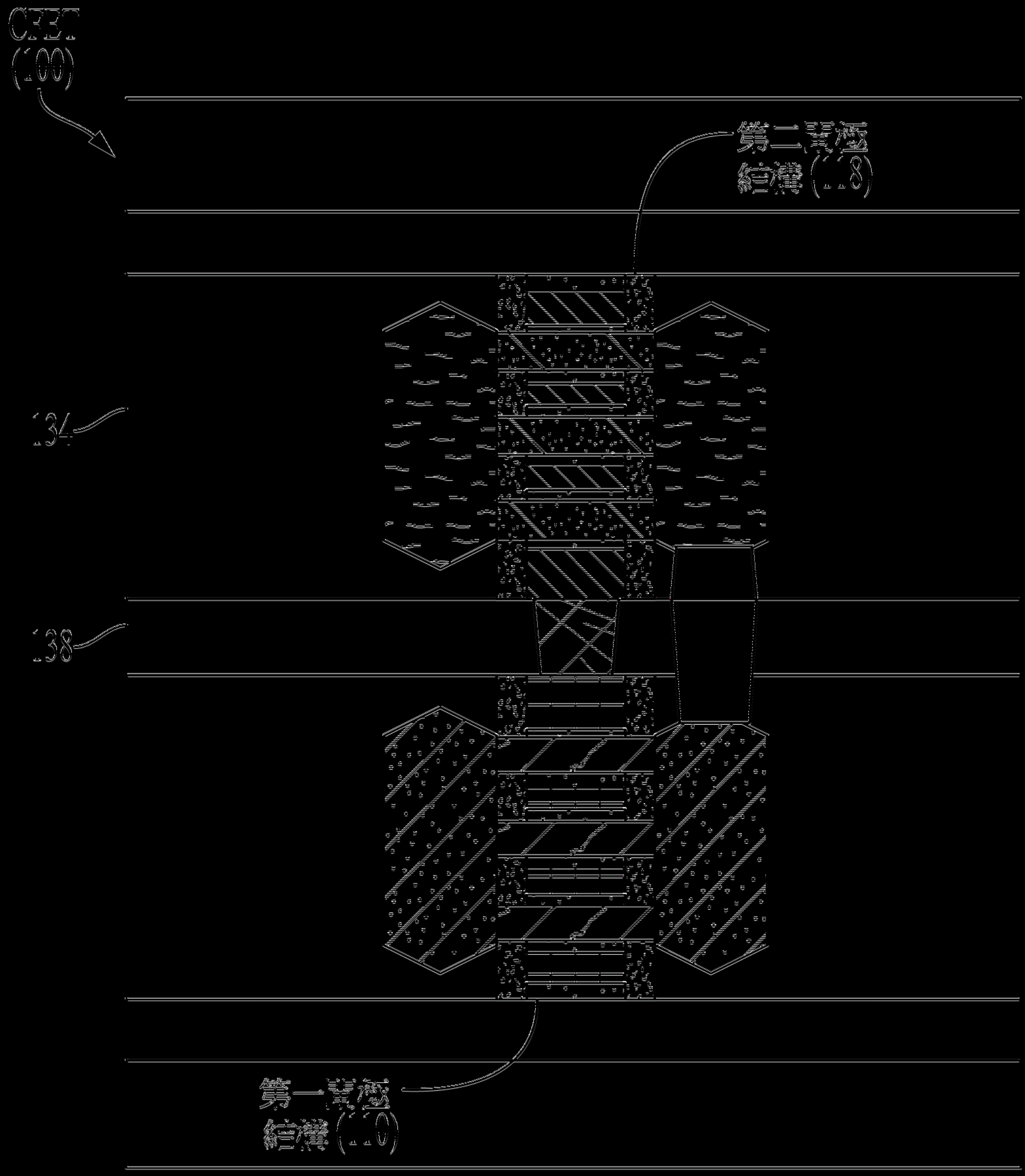
（圖3）


400A(1)
第一 GAA FET (102)
VIA(5)
110
VIA(6)
138
128
114A
130
106
114B
132
402
400A(2)
118
VIA(6)
108
134
122A
122B
136
406
104

【圖4A】


500
在底部基板（402）上形成基礎層（132） 502
在基礎層（132）上形成第一類型的第一GAA FET（102），第一GAA FET包括3D半導體板（106）、源極/汲極（114A、114B）以及第一頂部絕緣（110） 504
蝕刻第一層（128）並在第一層（128）上形成第三層（138） 506
形成穿過第三層（138）的通孔（VIA（5）、VIA（6）） 508
在頂部基板（406）上形成基礎層（136） 510
在頂部基板（406）上形成第二類型GAA FET（104），第二類型GAA FET包括3D半導體板（108）、源極/汲極（122A、122B）和第二頂部絕緣（118） 512
蝕刻第二層（134） 514
在第二層（134）中形成通孔（VIA（6）） 516

【圖5A】



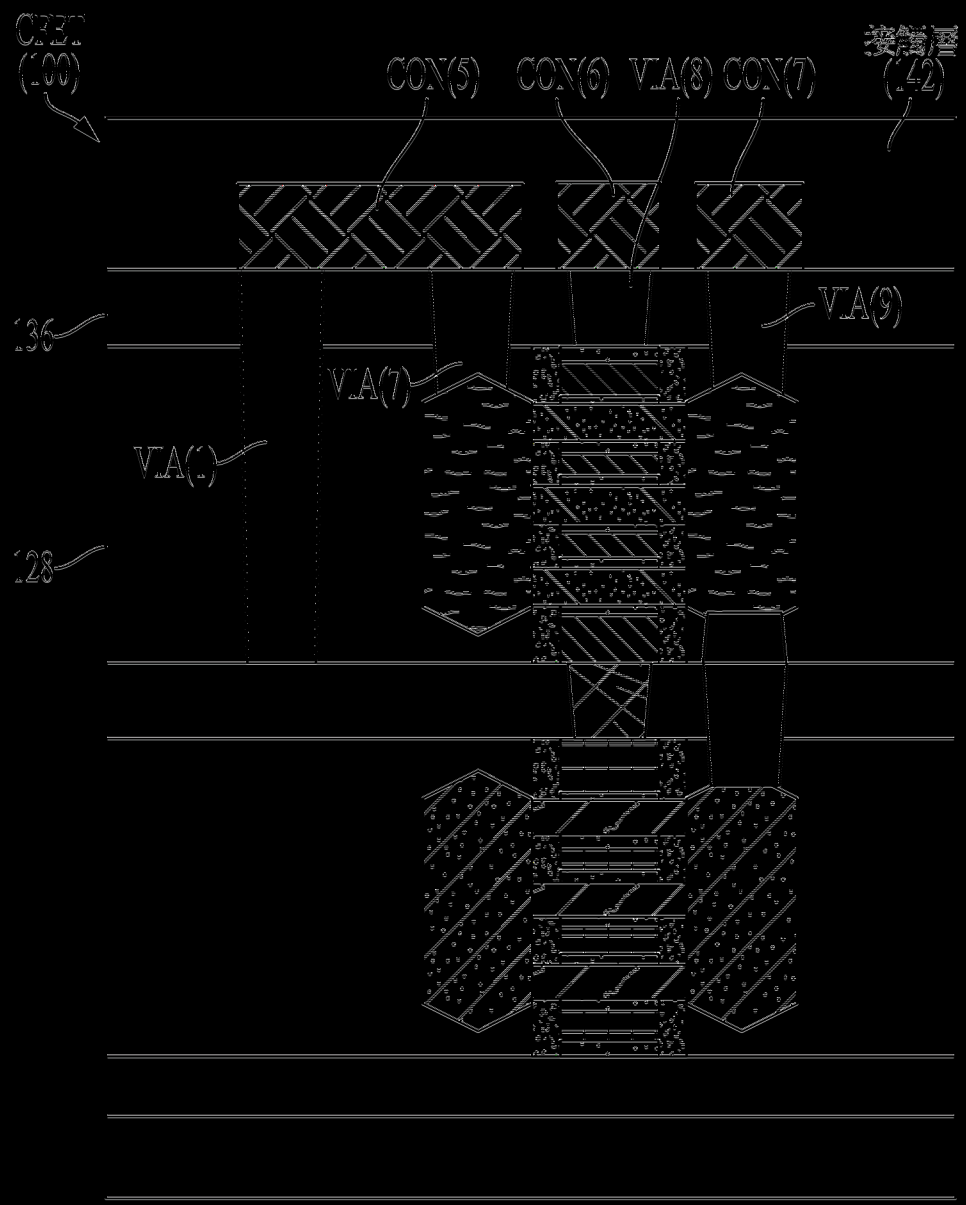
【圖43】

用與第一電晶體結構（110）相對的第二電晶體結構（118）將第二層（134）接合到第三層（138）並退火 518

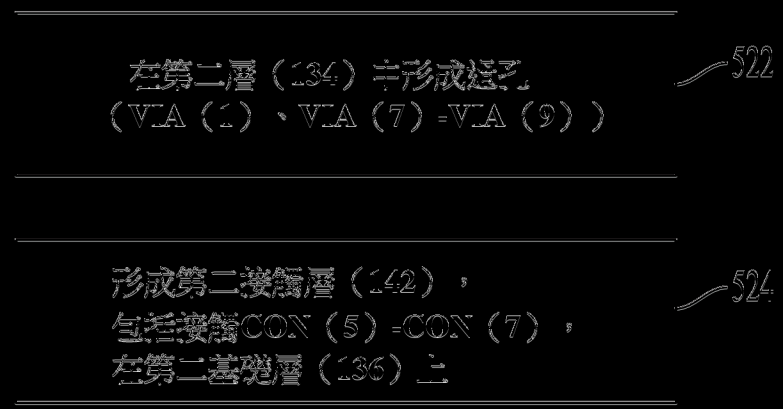
【圖53】

52
第一氣體流道（507）
507

54
53
507


CFET
(100)
CON(5)
CON(6)
VIA(8)
CON(7)
接觸層
(142)
VIA(9)
136
VIA(7)
VIA(1)
128

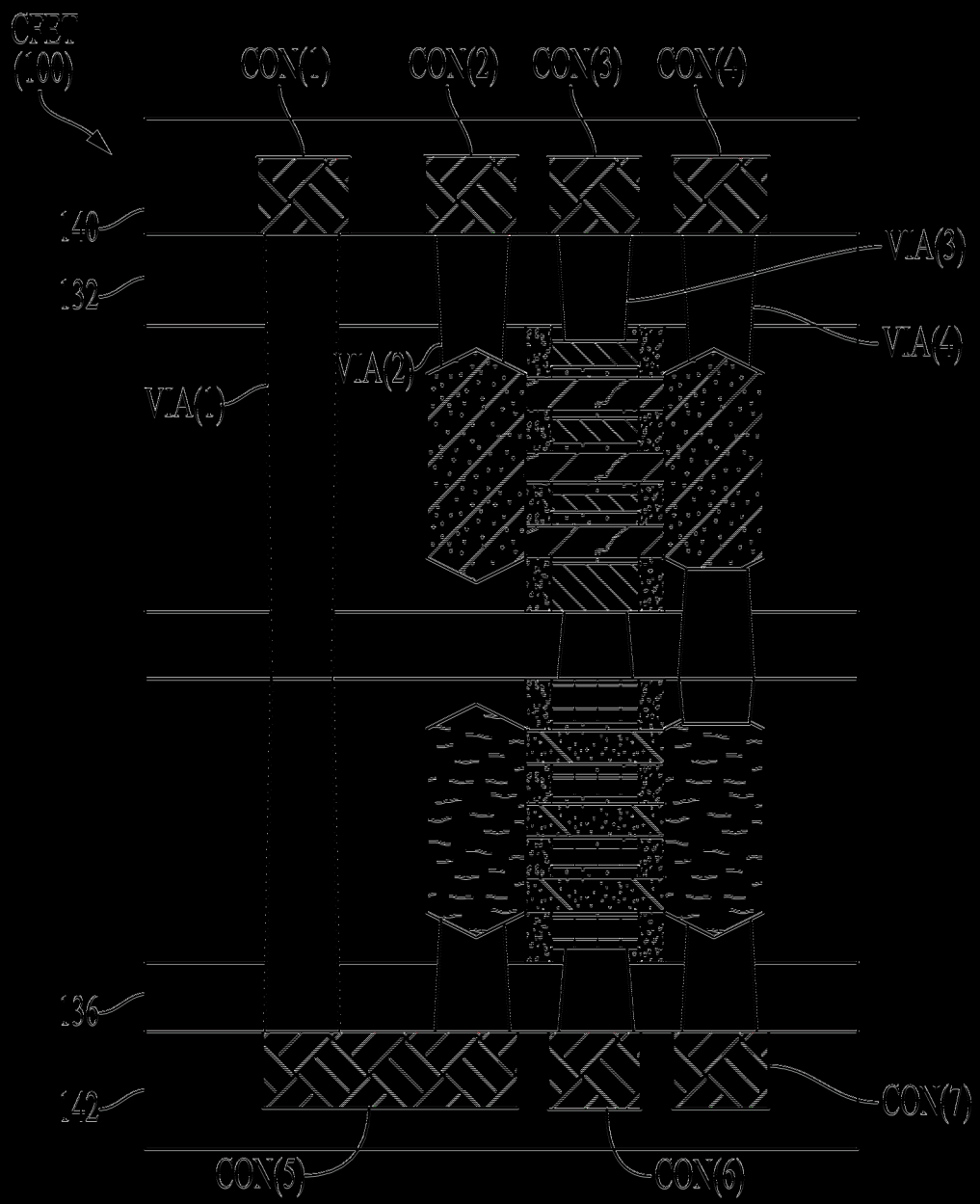
【圖4D】


522
在第二層（134）中形成過孔
（VIA（1）、VIA（7）-VIA（9））
524
形成第二接觸層（142），
包括接觸CON（5）-CON（7），
在第二基礎層（136）上

【圖5D】

基板 (100)
第一GAA FET (102)
第二GAA FET (103)
閘極 (153)
閘極 (153)
第一GAA FET (102)
基板 (100)
225

圖 5


CFET
(100)
CON(1)
CON(2)
CON(3)
CON(4)
140
132
VIA(3)
VIA(4)
VIA(2)
VIA(1)
136
142
CON(7)
CON(5)
CON(6)

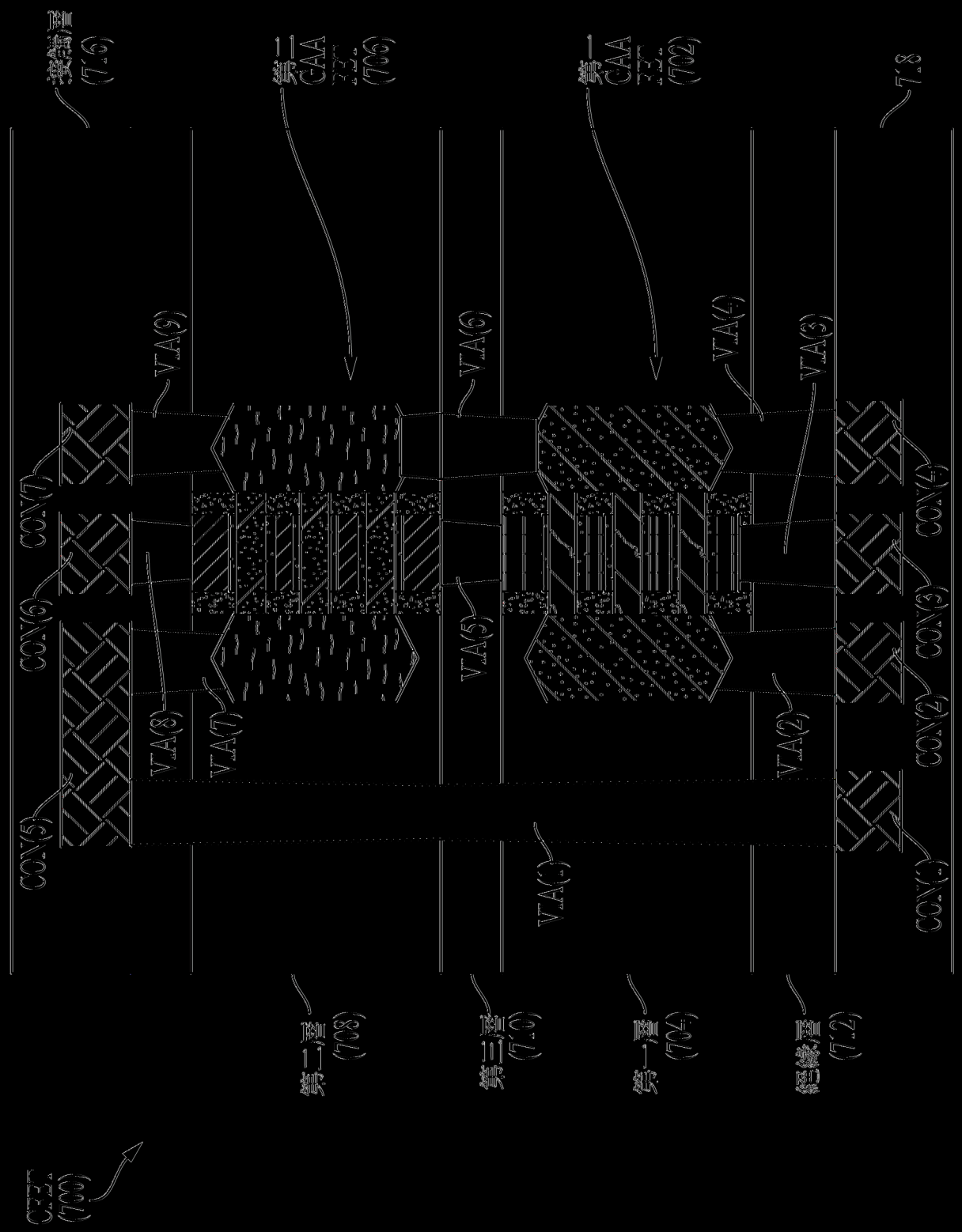
【圖4F】


528
在第一GAA FET（102）中
形成通孔（VIA（1）-VIA（4））
530
添加第一接觸層（140），
包括接觸CON（1）-CON（4）

【圖5F】

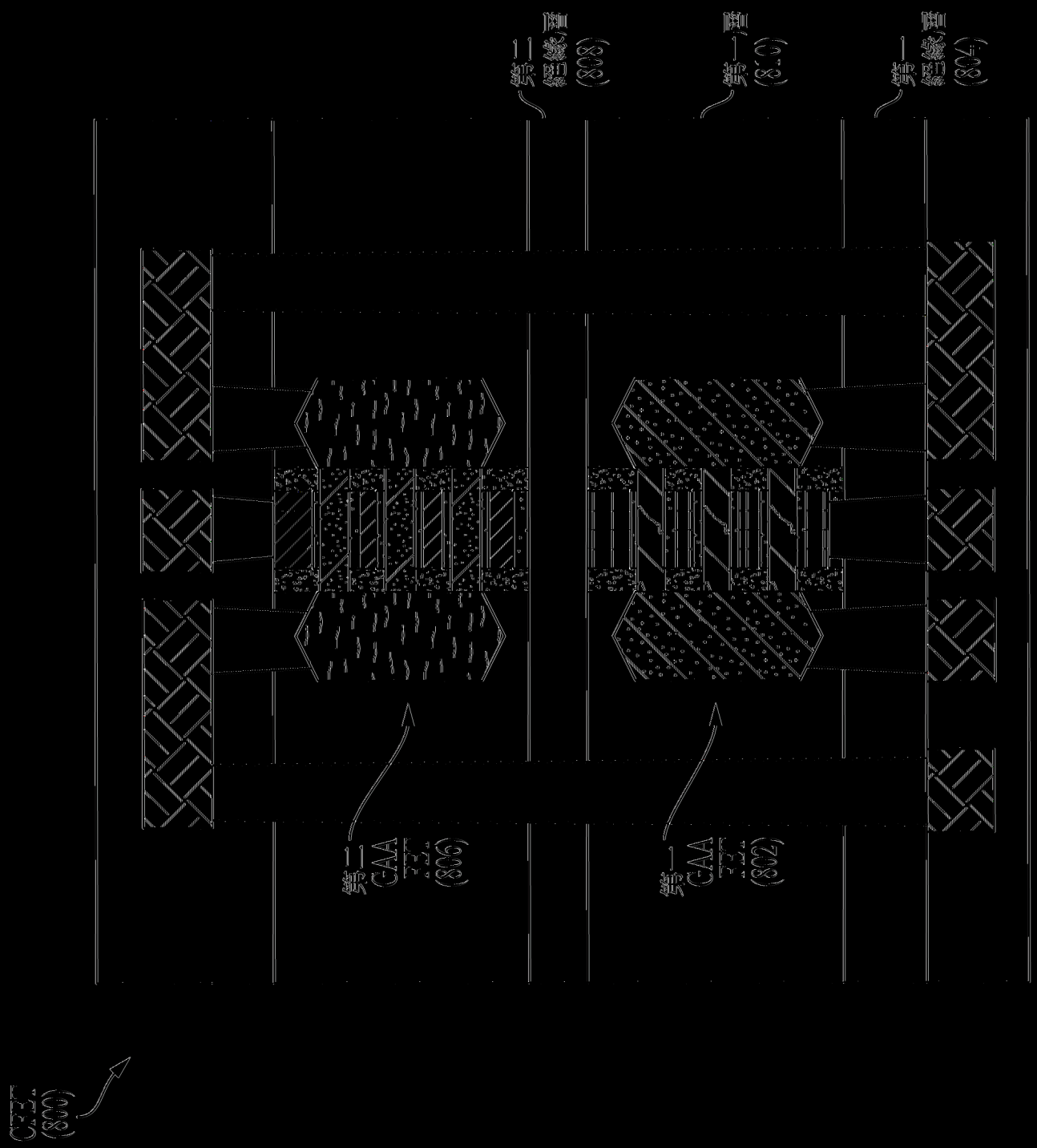
CONT(5)
CONT(6)
CONT(7)
CONT(8)
VA(7)
VA(6)
VA(5)
VA(8)
VA(3)
VA(2)
VA(1)
VA(4)
CONT(1)
CONT(2)
CONT(3)
CONT(4)
606
608A
608B
610
612
614
616A
616B
618
620
第1 GAA FET (602)
第2 GAA FET (604)
第1線 (622)
第2線 (624)
第3線 (626)
第4線 (628)
隔離線 (630)
隔離線 (632)
隔離線 (634)
CELL (600)

圖 6



接觸層 (716)
第二GAA FET (706)
第一GAA FET (702)
718
VA(9)
VA(6)
VA(4)
VA(3)
CON(7)
CON(6)
CON(5)
CON(4)
CON(3)
CON(2)
CON(1)
VA(8)
VA(7)
VA(5)
VA(2)
VA(1)
第二層 (708)
第三層 (710)
第一層 (704)
絕緣層 (712)
CFET (700)

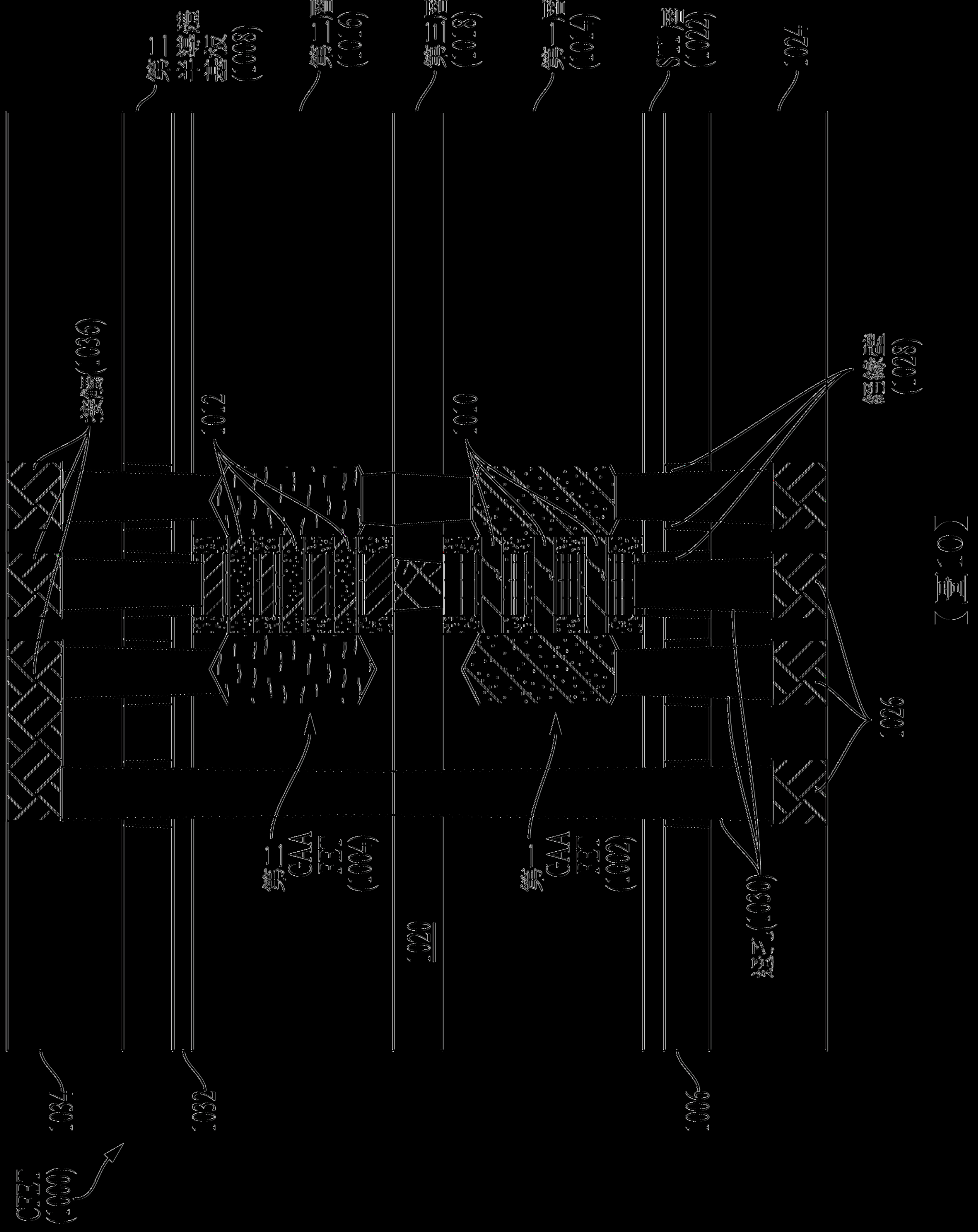
【圖7】


第二絕緣層(808)
第一層(810)
第一絕緣層(804)
第二GAA FET(806)
第一GAA FET(802)
CFET(800)

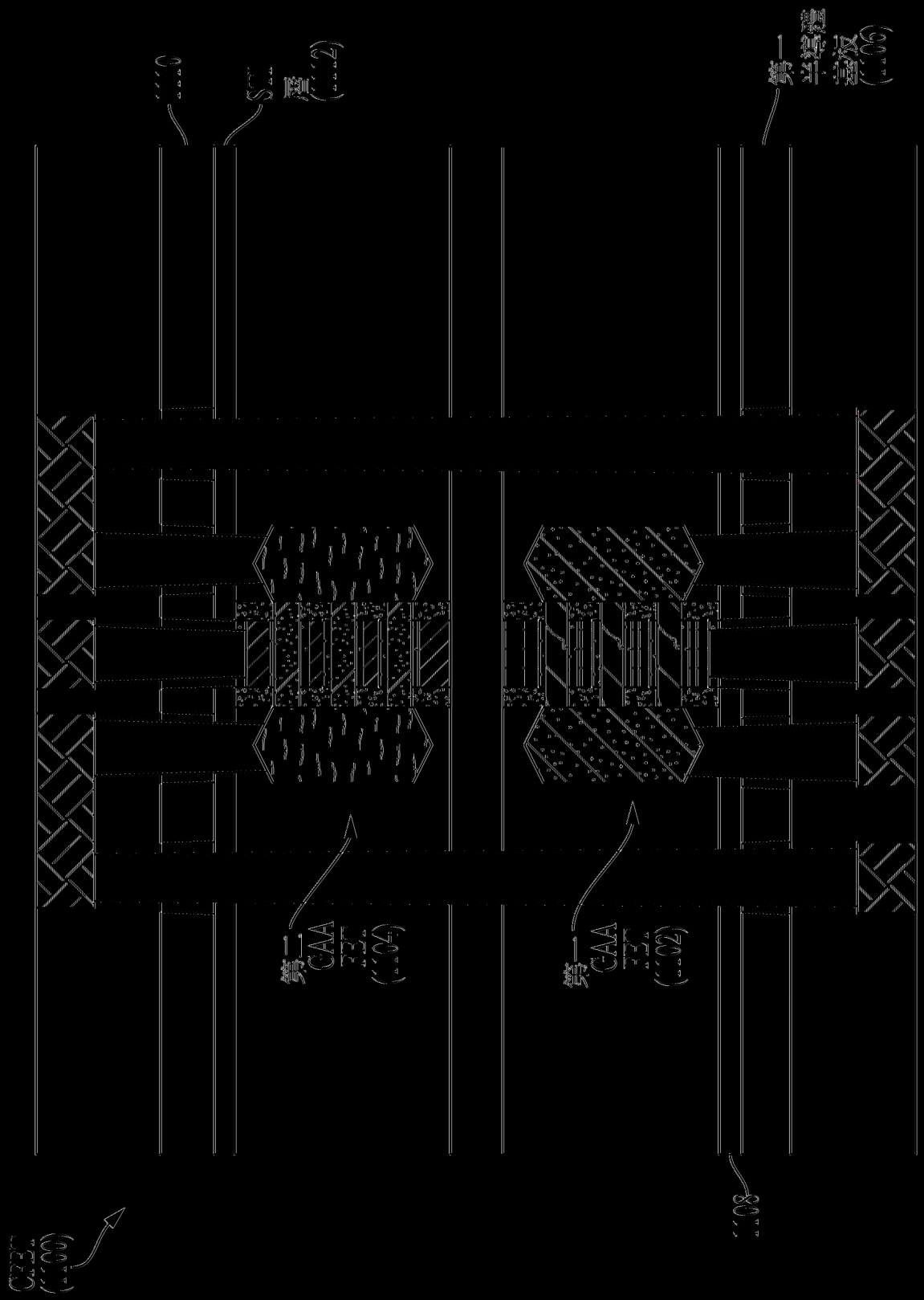
【圖8】

11第一閘極(92)
11第一源極(94)
11第一汲極(96)
11第一CAP層(98)
11第二閘極(92)
11第二源極(94)
11第二汲極(96)
11第二CAP層(98)
基板(90)
SiN層(99)
3mm
3mm

圖(6)


1024
STI層(1022)
第一層(1014)
第三層(1018)
第二層(1016)
1010
1012
(1028)
(1030)
1026
第一GAA FET(1002)
第二GAA FET(1004)
1020
(1036)
1034
1032
1006
CFET(1000)

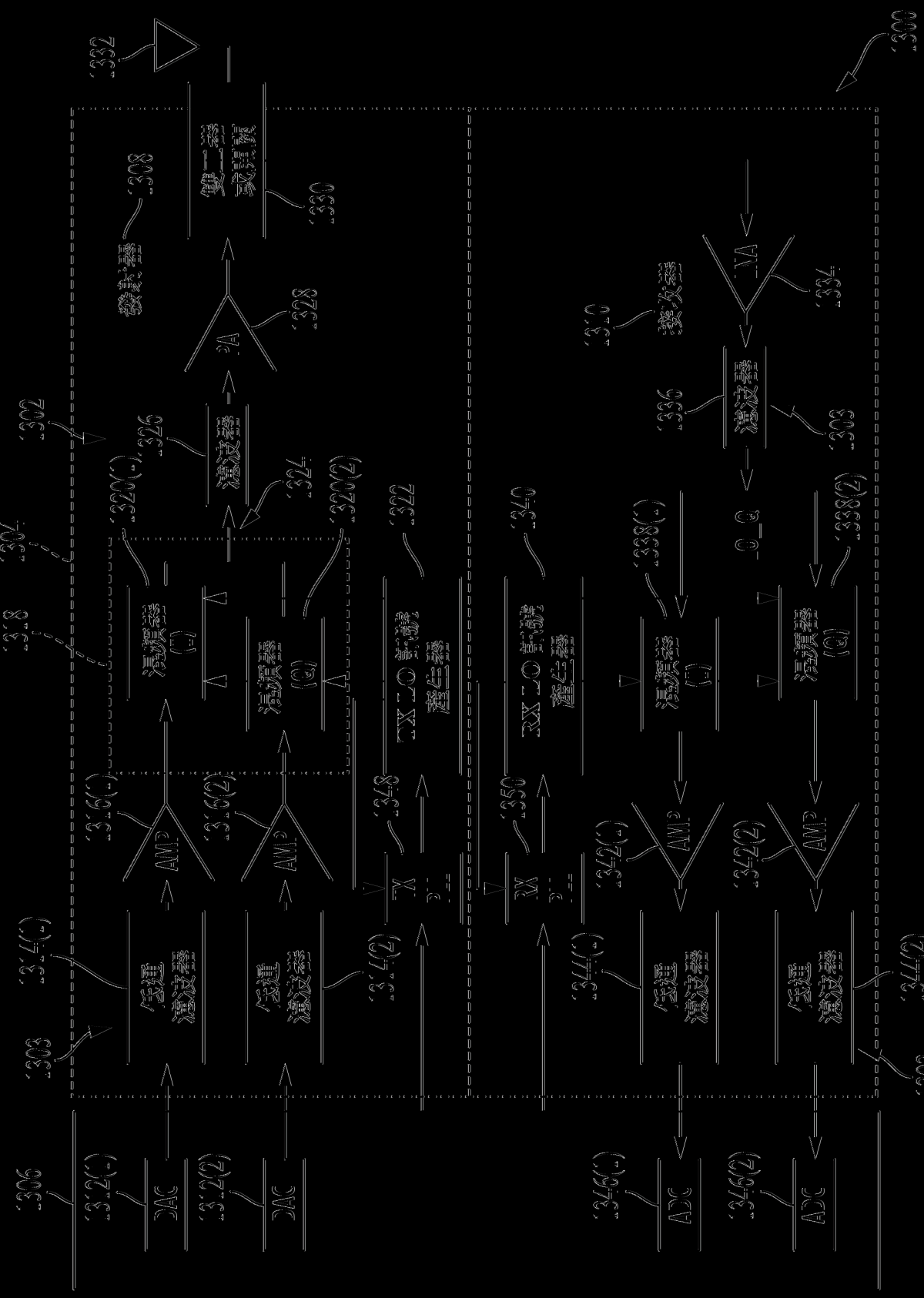
【圖10】


1110
STI
層
(1112)
第一
半導體
層板
(1106)
第二
GAA
FET
(1104)
第一
GAA
FET
(1102)
1108
CFET
(1100)

【圖11】

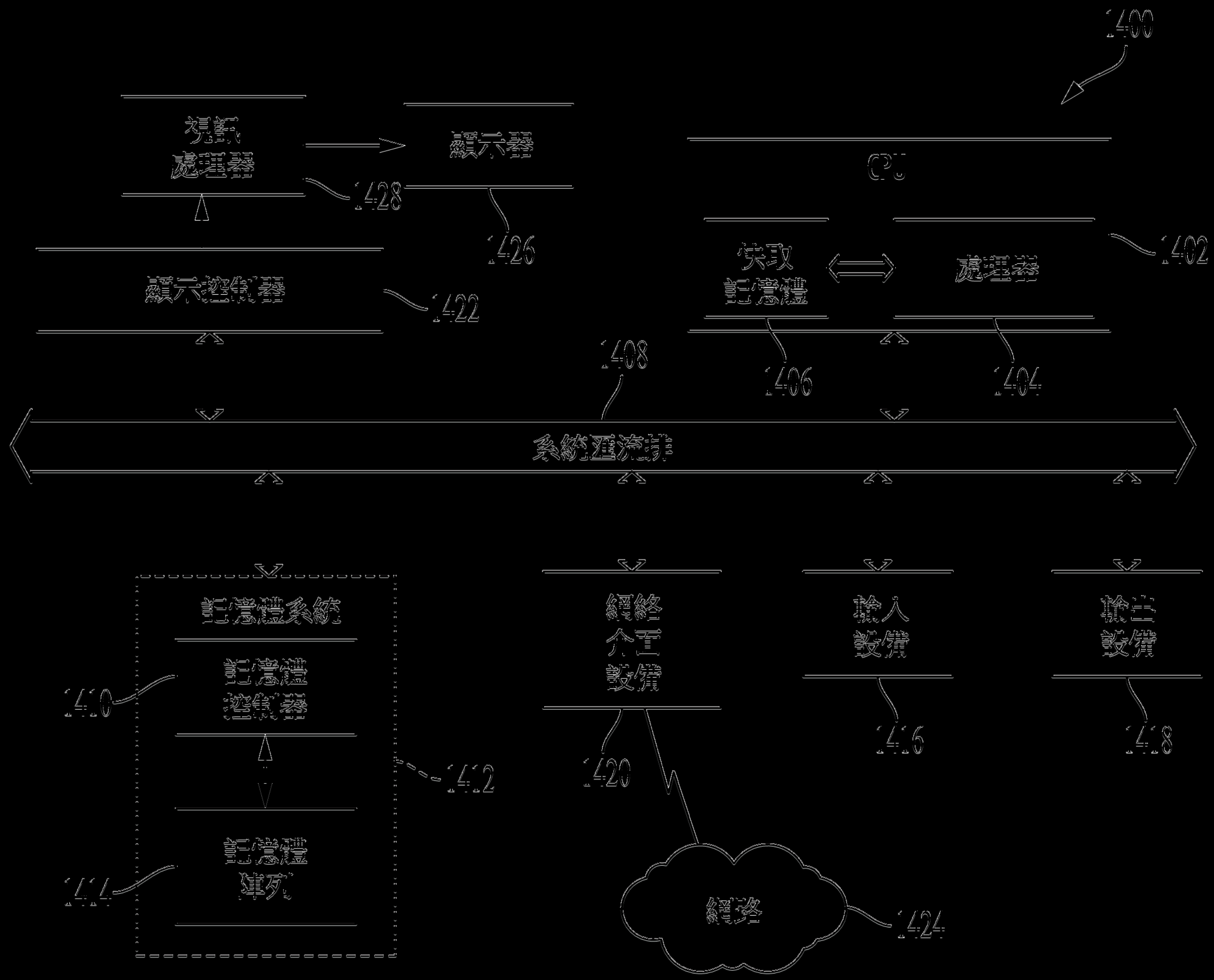
第一GAA電晶體(200)
第二GAA電晶體(202)
第一閘極結構(208)
第一閘極間隔物(209)
第一源極/汲極磊晶結構(220)
第二源極/汲極磊晶結構(222)
第一閘極結構(208)
第一閘極間隔物(209)

圖 2-7



DAC
DAC
ADC
ADC
AMP
AMP
AMP
AMP
TX
RX
TX LO 軌跡產生器
RX LO 軌跡產生器
濾波器
濾波器
濾波器
濾波器
濾波器
濾波器
濾波器
濾波器
發射器
雙二器或開關

【圖13】


1400
CPU
快取
記憶體
處理器
1402
1406
1404
視訊
處理器
1428
顯示器
1426
顯示控制器
1422
1408
系統匯流排
記憶體系統
記憶體
控制器
1410
記憶體
陣列
1414
1412
網絡
介面
設備
1420
輸入
設備
1416
輸出
設備
1418
網絡
1424

【圖14】