

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03808564. X

[51] Int. Cl.

H01L 21/50 (2006.01)

H01L 23/10 (2006.01)

B81B 7/00 (2006.01)

[45] 授权公告日 2008 年 1 月 2 日

[11] 授权公告号 CN 100359653C

[22] 申请日 2003.4.15 [21] 申请号 03808564. X
[30] 优先权

[32] 2002. 4. 15 [33] DE [31] 20205830.1

[32] 2002. 5. 23 [33] DE [31] 10222958.9

[32] 2002. 5. 23 [33] DE [31] 10222964.3

[32] 2002. 5. 23 [33] DE [31] 10222609.1

[32] 2002.11.13 [33] DE [31] 10252787.3

[32] 2003. 1. 16 [33] DE [31] 10301559.0

[86] 国际申请 PCT/EP2003/003907 2003.4.15

[87] 国际公布 WO2003/088347 德 2003.10.23

[85] 进入国家阶段日期 2004.10.15

[73] 专利权人 肖特股份公司

地址 德国美因茨

[72] 发明人 迪尔特瑞奇·芒德 卓根·雷布

[56] 参考文献

US5895233A 1999.4.20

EP0280905A2 1988.9.7

JP58-172679A 1983.10.11

. WOO. BEOM CHOI ET AL. VACUUM MICROELECTRONICS CONFERENCE, 1996., Vol. IVMC' 96 9TH No. 7. 12. 1996

审查员 赵百令

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 秦晨

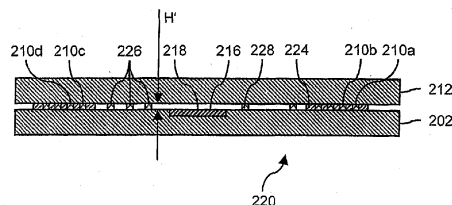
权利要求书 5 页 说明书 17 页 附图 12 页

[54] 发明名称

用于连结基片的处理和复合元件

[57] 摘要

本发明涉及用于连结具有电、半导体、机械和/或光学部件的基片的处理和一种复合元件。本处理适合于基本上不考虑材料的基片连结，特别地也适合于敏感基片，其具有较高的化学和物理稳定性，并/或能制造密封空腔。根据本发明，通过蒸镀在两个基片的其中一个上施加凸起的框以使用作连结元件，该框特别地由可键合玻璃形成。



1. 一种用于连结至少两个基片的处理，所述基片具有电、半导体、机械和光学部件中的至少一个，包括如下步骤：

提供第一基片，

在第一基片的第一表面上形成呈框形式的连结部件，使用二元系材料、玻璃或者玻璃质材料作为框的材料，且二元系材料、玻璃或者玻璃质材料通过以超过 100nm/min 的沉淀速度进行蒸镀而施加，

提供第二基片，和

通过连结元件连结第一与第二基片。

2. 根据权利要求 1 的处理，其中连结元件沉积在第一基片的第一表面上，并在沉积的同时与第一基片相连结。

3. 根据权利要求 1 或 2 的处理，其中连结元件通过蒸镀施加到第一基片的第一表面上。

4. 根据权利要求 1 的处理，其中所述框通过蒸镀而被施加，作为连结元件。

5. 根据权利要求 1 的处理，其中在第一基片第一表面上的连结元件内部形成了一个或多个支持元件。

6. 根据权利要求 1 的处理，其中多个嵌套的框通过蒸镀被施加，作为连结元件。

7. 根据权利要求 1 的处理，其中形成连结元件的步骤包括通过蒸镀沉积二元系材料。

8. 根据权利要求 1 的处理，其中玻璃层通过蒸镀施加，并通过掩模加以构建从而形成连结元件。

9. 根据权利要求 1 的处理，其中连结元件通过 lift-off 技术加以构建。

10. 根据权利要求 1 的处理，其中连结元件和第二基片被粘合地连结、焊接或者键合。

11. 根据权利要求 1 的处理，其中连结元件和第二基片通过阳极

键合、熔化键合、溶胶-凝胶键合或者低温键合加以连结。

12. 根据权利要求 1 的处理, 其中第一和第二基片分别包括第一和第二晶片,

在第一晶片的第一表面上形成多个横向相邻的连结元件, 并且
在第一和第二晶片被连结形成晶片组件之后, 晶片组件被切片成
单个的芯片。

13. 根据权利要求 1 的处理, 其中在第一和第二基片之间和框的
内部形成空腔。

14. 根据权利要求 1 的处理, 其中在第一基片的第一表面上布置
互连, 且通过以互连被至少部分覆盖的方式进行蒸镀向第一表面施加
连结元件。

15. 根据权利要求 1 的处理, 其中互连横向或者垂直地延伸通过
连结元件。

16. 根据权利要求 1 的处理, 其中连结元件在第一基片的第一表
面上形成之后进行平面化。

17. 根据权利要求 1 的处理, 其中在第一基片的第一或第二表面
上形成对准元件, 该第二表面位于第一表面的相对侧。

18. 根据权利要求 1 的处理, 其中多个基片被连结形成堆叠。

19. 一种复合元件, 具有电、电子、半导体、机械和光学部件中的
至少一个, 且用根据权利要求 1 的处理制造, 包括

第一基片,

连结元件, 其位于第一基片的第一表面上, 连结元件是用二元系
材料、玻璃或者玻璃质材料制成的框, 且连结元件通过以超过
100nm/min 的沉淀速度进行蒸镀而施加到第一基片的第一表面上,

第二基片,

该第一和第二基片通过连结元件相互连结。

20. 根据权利要求 19 的复合元件, 其中连结元件沉积在第一基
片的第一表面上, 并与第一基片相连结。

21. 根据权利要求 19 或 20 的复合元件, 其中在连结元件内的第

一基片的第一表面上布置一个或多个支持元件。

22. 根据权利要求 19 的复合元件，其包括多个嵌套的框作为连结元件。

23. 根据权利要求 19 的复合元件，其中连结元件包括结构化的玻璃层。

24. 根据权利要求 19 的复合元件，其中连结元件是结构化的，且该结构化是通过 lift-off 技术形成的结构化。

25. 根据权利要求 19 的复合元件，其中连结元件和第二基片彼此被粘合地连结、焊接或者键合。

26. 根据权利要求 19 的复合元件，其中连结元件和第二基片被连结，且该连结是通过阳极键合、熔化键合、溶胶-凝胶键合或者低温键合形成的结合。

27. 根据权利要求 19 的复合元件，其中第一和第二基片分别包括第一和第二晶片，

在第一晶片的第一表面上布置有多个横向相邻的连结元件，且连结元件连结于第二基片的表面。

28. 根据权利要求 19 的复合元件，其中在第一和第二基片之间和框内部形成了空腔。

29. 根据权利要求 28 的复合元件，其中空腔是密封的。

30. 根据权利要求 19 的复合元件，其中在第一基片的第一表面上布置互连，且互连至少部分地被连结元件覆盖。

31. 根据权利要求 19 的复合元件，其中互连横向或者垂直地延伸通过连结元件。

32. 根据权利要求 19 的复合元件，其中连结元件的至少一个表面被平面化。

33. 根据权利要求 19 的复合元件，其中在第一基片的第一或第二表面上布置对准元件，该第二表面位于第一表面的相对侧。

34. 一种用于制造根据权利要求 19 的复合元件的中间产品，具有电、电子、半导体、机械和光学部件中的至少一个，包括

第一基片，

连结元件，其位于第一基片的第一表面上，该连结元件是用二元系材料、玻璃或者玻璃质材料形成的框，且连结元件通过以超过 100nm/min 的沉淀速度进行蒸镀而施加到第一基片的第一表面，且

该连结元件以如下方式设计，即第一基片能够通过连结元件连结于第二基片。

35. 一种堆叠复合元件，包括多个根据权利要求 19 的复合元件，这些复合元件彼此互相连结。

36. 一种框形式的结构的使用，该框结构由二元系材料、玻璃或玻璃质材料形成，用于连结两个基片，其根据权利要求 1 的处理通过蒸镀施加，用作两个基片之间的隔离物或者作为对准元件。

37. 一种用于根据权利要求 1 来连结具有电或者光学部件的基片的处理，其中

提供第一和第二基片，

在第一步中，向第一基片的至少一个表面施加框，使用玻璃作为框的材料，且玻璃通过以超过 100nm/min 的沉淀速度进行蒸镀而施加，和

在随后的第二步中，第二基片的表面被连结或者键合于框，在第一和第二基片之间以及框的内部形成空腔。

38. 一种复合元件，其在基片上具有电或者光学部件，其如权利要求 19 所述的那样，包括

第一和第二基片，

至少一个被施加到第一基片表面上的框，该框包括通过以超过 100nm/min 的沉淀速度进行蒸镀而施加的结构化玻璃层，和

连结区域，其中框的表面被连结或者键合到第二基片的表面，空腔，其在框内的第一和第二基片之间形成。

39. 一种用于连结至少两个基片的处理，所述基片具有电、半导体、机械和光学部件中的至少一个，包括如下步骤：

提供第一基片，

在第一基片的第一表面上，通过以超过 100nm/min 的沉淀速度来蒸镀玻璃层而形成连结元件，

提供第二基片，和

通过连结元件连结第一与第二基片，

多个嵌套的框被形成作为连结元件。

40. 一种复合元件，具有电气、电子、半导体、机械和光学部件中的至少一个，所述复合元件是根据权利要求 39 的处理制造的，包括第一基片，

连结元件，其通过以超过 100nm/min 的沉淀速度来蒸镀玻璃层而形成于第一基片的第一表面上，

第二基片，

该第一和第二基片通过连结元件连结，以及
被提供作为连结元件的多个嵌套的框。

用于连结基片的处理和复合元件

技术领域

本发明涉及用于连结一般基片的处理并特别涉及用于连结具有电、半导体、机械和/或光学部件的基片的处理，和一种复合元件。

背景技术

连结技术在技术领域中具有广泛的应用。作为实例，这一方面的参考例如形成电子部件的外壳(housing)，通过它将电子电路包封起来。

例如，在已知的处理中，半导体芯片上的或者仍然连结于半导体晶片的部件或者集成电路安装有外壳并具有电连结触点。如果在仍然与晶片相连时，安装芯片或者集成电路并且使芯片的接触区域与导向到外部的外壳触点相连，这种安装方法通常被称作晶片级封装处理。它还已知用于包封单个芯片或单元片(die)，其称作单单元片封装。

这些处理使用例如环氧树脂粘着性地键合部件。然而，粘着性连结的缺点是化学稳定性低、光学性能差和部件有被粘着剂污染的危险。而且，粘着部位要进行时效处理，会伴随产生连结质量的降低。

人们主要已知的连结技术或者处理还包括所谓的键合。一种特殊类型的键合被称为阳极键合，其中在热的作用下向界面施加电压，驱动电荷载流子扩散。

尽管键合技术与环氧树脂连结相比有很多的优点，但是它们的应用很受限制，使得它们不灵活。

作为实例，阳极键合的不利限制是材料数目非常有限，因为材料中必须具有电荷载流子。例如，阳极键合典型地需要含有碱金属的材料。因此，阳极键合不能适用于广泛的应用。对于其它键合处理也有同样的实际情况。

而且，键合处理不涉及任何堆建(build-up)，因此迄今为止它们

仅适合于平面平行连结(plane-parallel connection)。这也大大地限制了它们的应用范围。

文献 EP 0 280 905 说明了用于制造压力传感器的处理,在压力传感器中,在硅晶片上形成了硼硅酸盐玻璃层。玻璃层被描述作为覆盖相应传感器芯片和导电层的母体。然而,硼硅酸盐玻璃层通过溅射在硅传感器晶片的表面上形成。通过溅射形成相对较大的层厚度相当困难而昂贵。尽管所提及的层厚度为 5 μm ,但是在使用溅射处理时,晶片会典型地伴随产生大量的热量,这会产生进一步的困难。

文献 US 5,825,233 说明了用于红外芯片的微包封,其中焊接剂层的施加是通过真空沉积和 lift-off 技术或者腐蚀或者通过掩模。然而,焊接剂会带来污染的危险。

文献“低温低电压下使用蒸镀玻璃的阳极键合技术”(Anodic Bonding Technique under Low-temperature and Low-voltage using Evaporated Glass)(作者为 Woo-Beom Choi,第9届国际真空微电子会议,圣彼得堡,1996)说明了一种处理,其中通过电子束蒸发向硅晶片施加玻璃层。然而,该处理的应用有限。

无论如何,还是非常需要通用而改良的连结处理。

发明内容

因此,本发明的目的是提供一种连结技术,其使用廉价而通用,特别是能够快速而有效地发挥作用。

本发明进一步的目的是提供一种连结技术,其基本上不受待连结的部件或者基片所用材料类型的限制,且特别地还适合于敏感基片。

本发明的另一个目的是提供一种连结技术,其连结具有很高的化学和/或物理稳定性,从而确保持久密封的连结。

本发明的再一个目的是提供一种连结技术,其允许产生空腔或空穴。

本发明的再一个目的是提供一种连结技术,其不仅适合于电力和电子部件还适合于光学、电光学、电子机械和/或光机电系统。

本发明的目的能够通过附加权利要求的主旨以非常简单的方法实现。本发明的有利改进点在从属权利要求中加以限定。

本发明提出了一种用于连结至少两个基片的处理，特别地这些基片具有电、半导体、机械和/或光学部件。

基片优选地用如下的一种或多种材料制成，包括玻璃、陶瓷、或者半导体材料，特别是硅、III-V 如 GaAs 或者 $\text{GaAl}_x\text{As}_{1-x}$ (VCSELs)、II-VI InP (LEDs) 以及其它有机或无机材料，例如金属，如科瓦铁镍钴合金。

特别地，在提供了第一基片之后，通过在第一基片的第一表面上构建产生连结元件或者将其添加到第一基片的第一表面。第二基片可以类似地构建或者选择地被解构(unstructured)。

然后，在提供了第二基片之后，通过连结元件将第一和第二基片连结起来。特别地，第二基片的表面与连结元件的表面相连，连结可以是暂时的，例如在进一步的处理步骤期间提供保护，也可以持久的。

这样，便能够用单元片技术或者作为晶片级封装的一部分以非常简单的方式形成复合元件，例如密封或者包封的(housed)芯片或单元片。

在晶片级封装的实例中，第一和第二基片分别由第一和第二晶片形成。通过蒸镀(evaporation coating)在围绕每个半导体区域或后续芯片的第一基片的第一表面上设置框，从而产生大量横向相邻和/或横向相间的框。在两个晶片被连结形成晶片组件之后，随后特别地通过锯切在框之间进行切片从而形成单个芯片。因此有利地是，在单个工作步骤中同时包封了大量的芯片。

该包封特别适合于电子部件，尤其是半导体、光学和/或微机械系统。

其可能应用的范围非常广泛，例如，根据本发明的处理特别适合于包封微机电系统(MEMS)、微光学系统(MOMS)、微光机电系统(MOEMS)或者待连结的位于两基片之一上的传统半导体区域或者元件。在该应用中，连结元件形成微机械部件的选择性暂时停止(optionally temporary stop)，例如微开关，或者微透镜。

连结元件优选地是框或者键合框，其沉积在两基片之一的第一表面上，并且在沉积期间持久而牢固地连结于第一基片。该框的层厚度高出基片的第一表面从而提供了合适的键合表面。

特别当框通过多级构建处理(multi-stage structuring process)加以提供时，框为一个或者多个进一步的基片提供了全部或者至少部分的键合表面。

已经证明，特别有利的是，框用二元系(binary system)材料，特别是玻璃，或者用玻璃质材料在第一表面上沉积或者蒸镀形成。所用的玻璃特别的是硅酸盐或者硼硅酸盐玻璃，例如 SCHOTT Glas 制造的蒸镀玻璃 8329 和/或 G018-189。这种蒸镀或者沉积处理的一个优点是，绝缘玻璃层的应用从室温升至大约 150℃，从而甚至在金属基片的实例中，基片表面也不可能出现损坏或者氧化。关于这些内容可以参考专利申请：

DE 202 05 830.1，于 2002 年 4 月 15 日提出申请；

DE 102 22 964.3, 于 2002 年 5 月 23 日提出申请;

DE 102 22 609.1, 于 2002 年 5 月 23 日提出申请;

DE 102 22 958.9, 于 2002 年 5 月 23 日提出申请;

DE 102 52 787.3, 于 2002 年 11 月 13 日提出申请;

DE 103 01 559.0, 于 2003 年 1 月 16 日提出申请, 它们的申请人相同, 因此本文特别引用其公开内容作为参考。

因此, 所用的连结元件或者框优选地是结构化(structured)的玻璃层, 其通过例如蒸镀施加并通过掩模加以构建。已经证明, 光刻处理适合于该构建, 光刻处理使用例如光刻胶, 被特称为 lift-off (抬离) 技术, 且为本领域技术人员所熟知。

然而, 也可能使用掩模, 其在蒸镀期间被例如粘着连结于基片或者被布置在靶与基片之间。

根据本发明的连结元件, 特别是通过蒸镀施加作为框的玻璃层, 具有大量的优点。

首先, 玻璃对于溶剂、酸和碱具有特别优良的稳定性、密封性和化学稳定性。这些性质与硼硅酸盐玻璃的性质一致。

连结元件的横向位置非常精确, 尤其是在使用光刻构建方法的时候。

通过蒸镀施加的连结元件能够具有非常精确的横向尺寸和高度。在本发明人能够确认的范围之内, 这甚至基本上不受所用构建方法的影响。

而且, 连结元件或框能够作为组件的一部分以低成本例如以晶片级或者成批地加以制造。

而且, 该处理非常清洁, 因此特别适合于例如 MEMS, 其中框甚至可以通过蒸镀直接沉积在由 MEMS 或者其它部件构成的基片上。

框的制造, 或者玻璃层的构建优选地在低温下进行, 从而能够保留例如抗蚀剂掩模, 并还可以用溶剂, 如丙酮, 加以除去。因此, 该处理也适合于对温度敏感的基片, 例如塑料基片或有机基片。

而且, 制造连结元件或者构建玻璃层不使用强腐蚀性气体和/或

液体，结果也可使用敏感的基片。

特别地，下列技术适合于连结两个基片或者将第二基片连结于框或者键合框：粘着连结、焊接和/或键合。

下文清晰地阐明了本发明的超凡优点。该连结技术的应用范围极其广泛，而且即使当一个基片或者两个基片的材料本身不适合阳极键合时，例如无碱金属的玻璃，如 SCHOTT Glas 制造的 AF45、AF37 或者 AF32，也可能通过连结元件对基片进行阳极键合。如果适当的话，在两个基片的每一个上都施加或者蒸镀一个连结元件。

用阳极可键合材料制成的框，特别是用碱金属玻璃制成的框，可用于阳极键合。该框可以用键合层通过例如被称作直接键合于玻璃基片上的方法与玻璃基片相连。

作为阳极键合的替代，其他合适的处理包括熔化键合、溶胶-凝胶键合和/或低温键合。本领域技术人员完全熟悉这些处理。然而，本发明的一个进一步优点与此有关，因为蒸镀材料或者键合框的材料能够与期望的处理相匹配，而与基片材料无关。因此，用几乎任何期望材料制成的基片都能够通过连结元件用几乎任何键合处理加以结合，结果开启了全新的具有巨大潜力的应用领域。

作为选择或者扩充，框的表面被金属化，然后被合金焊接或者软焊接。如果适当的话，对键合表面进行活化。

作为实例，用作第一和/或第二基片材料的晶片或者芯片用半导体材料例如硅、有机材料、玻璃特别是硅酸盐或者硼硅酸盐玻璃如 Borofloat 33、陶瓷或者金属制造。

特别地，框是连续的，例如用直的或者弯曲的金属网条（web）形成的多边形、圆形或者任何其他期望的形状，且第二基片以密封的方式牢固而持久地与框相连。这在框内部形成了密封或者包封区域，使第一和第二基片彼此隔离，特别是在框内形成了空穴或者空腔。因此，在第一基片的表面上，至少框内的区域保持没有框材料。然而，选择地，也可能在金属网条施加具有中断的开口框，以除去空腔。

特别地，框的厚度与特殊的应用相匹配，在两个基片之间形成空

腔。已证明适合于上述应用的蒸镀厚度范围为 $100\mu\text{m}$ - $1\mu\text{m}$ ，优选地为 $10\mu\text{m}$ - $2\mu\text{m}$ 或 $4\mu\text{m}$ 。原理上，有可能获得 1mm - $0.1\mu\text{m}$ 或 10nm 的厚度，且 $<10\mu\text{m}$ 或者 $<3\mu\text{m}$ 的厚度是特别优选的，尽管还可能获得 $<0.5\mu\text{m}$ 的厚度。

键合表面的宽度可以有很大变化，基本上只受能够获得的用于构建处理的掩模高宽比的限制。宽框可以具有宽度达数毫米的金属网条或者甚至可以占据基片的整个表面。

框具有的结构或者金属网条的宽度优选地 $\leq 10\text{mm}$ ，特别地 $\leq 1\text{mm}$ 或者 $\leq 100\mu\text{m}$ ，特别优选地为 $1\mu\text{m}$ - $500\mu\text{m}$ 。在极窄的框中，可能获得 $<100\text{nm}$ 或者甚至只有数十纳米的金属网条宽度。与例如简单的丝网印刷不同，不受材料晶粒尺寸所施加的限制。

根据本发明，lift-off 技术还能够用简单的方法为微结构/纳米结构产生好的高宽比，例如 $3\mu\text{m}/2\mu\text{m}=3:2$ 。结果，有可能获得 >1 或者 >1.5 的高宽比。

因此，利用根据本发明的处理，可能有利于制造非常窄但非常厚或者高的框，从而在被组合的基片之间产生足够的距离，同时能节省横向空间。

此外，本发明人确定出，窄框能够特别良好地加以键合并并且具有优良的密封。另一方面，据发现，适当地控制气氛，甚至金属网条宽度为 $5\mu\text{m}$ 或 $10\mu\text{m}$ - $1000\mu\text{m}$ 的窄框或玻璃框也能够对密封罩的气体、湿气和侵蚀性介质的形成有效扩散屏障。

作为实例，在空腔内布置和包封或者密封 MEMS、MOMS、MOEMS 和/或硅芯片或晶片的半导体区域。

此外，有可能在框内设置一个或者多个支持元件，例如支持点或者区域，它们布置在框内第一基片的第一表面上，这优选地与框的制造在相同的处理步骤中实现。支持元件和/或框具有连续的框形状，例如圆形、多边形或者椭圆形，但也可以是框形状的一部分，例如直线、弯角、圆形部分、点，并且基本上起隔离物的作用。

优选地用键合框的上平面作为键合表面，也就是基本上平行于基

片表面延伸的蒸镀玻璃表面。在这种情况下，所施加的框具有限定第一基片与一个或多个第二基片之间预定距离的功能。

作为选择，在使用部分框(partial frame)相对于第一基片安装第二基片期间，有可能形成精确的预定倾角。例如对于光学帽(optical cap)，倾斜的设计是有利的，其被称作“单 VCSEL 封装”，以便利用监视二极管(monitor diode)激光的部分反射。因此，在连结状态下，第一和第二基片特别地相互平行或者彼此相对倾斜。

此外，作为选择，还可能用框的侧壁作为键合表面。而且，非平面表面也有可能用玻璃加以镀覆。

根据本发明特别优选的改进，多个框彼此相互嵌套。这成倍地提高了密封和可靠性。

此外，在框的内部或者嵌套框之间可以引入用于连结目的的粘合剂。选择地，在连结第一和第二基片之前，将预定的流体，也就是预定的非空气气体、液体和/或微粒引入到嵌套框之间的空腔或者空间内。流体能够流过该空间或者通道，并且可以包括冷却液、传感液(sensing liquid)、滤色器和/或一种或多种反应气体。

在保证其上面的两个基片和/或部件在被包封状态下彼此不相接触的前提下，框优选地具有最小的厚度。

根据本发明特别优选的实施例，在其中一个基片，例如在第一基片上布置互连，例如用于接触连结半导体元件的互连。

优选地，通过蒸镀在互连上沉积呈框形状的玻璃层，从而互连至少在部分区域上能够密封地通过框或者被框包封。互连位于金属网条一端或两端上的部分优选地保持洁净，从而允许随后的接触连结。在每种情况下，框的一个金属网条或边缘优选地横贯该互连。因此在将框与第二基片连结起来之后，互连通过框从外部以密封的方式进入到空腔内。互连不仅可以相对于第一基片横向引出，而且可以垂直引出，并且可以以这种方式延伸通过连结元件，从而形成横向或者垂直通过密封的电连结。

如果适当的话(if appropriate)，在第一基片的第一表面上制造出

框之后，或者更特别地通过蒸镀施加框之后，通过化学机械抛光或者其他合适的处理特别粗糙地对框进行平面化。这有利地补偿了由于互连的厚度导致的不均匀，从而形成均匀的键合。

而且，使第二表面位于第一表面的相对侧，能够在第一基片的第一表面或第二表面上制造对准元件或器材(aid)。这种呈例如框、点或线形式的对准器材有利于透镜系统或者其他光学或机械部件的对准。

此外，优选地在第一基片的第二表面上，也就是其背表面上，制造另一个连结元件，以便连结多个基片形成堆叠。这也优选地在切片之前执行，从而进一步提高产量。

在下文中，将根据示例性实施例并参考附图更详细地解释本发明，其中相同和类似的元件用相同的指代符号表示，且各种示例性实施例的特征能够彼此组合。

附图说明

附图中：

图 1a-e 显示了根据本发明的第一例证性实施例制造基片组件的各个处理阶段的粗略剖面图，

图 2 显示了根据本发明第二例证性实施例的基片上嵌套键合框的平面图，

图 3 显示了沿图 2 中 A-A 线的粗略剖面图，

图 4 显示了图 3 中 C 区的放大剪选部分，

图 5 显示了根据本发明第三例证性实施例的基片上嵌套键合框的粗略平面图，

图 6 显示了沿图 5 中 D-D 线的粗略剖面图，

图 7 显示了根据本发明第四例证性实施例的具有大量键合框的晶片的粗略平面图，

图 8a 显示了图 7 中 E 区的放大剪选部分，

图 8b 显示的与图 8a 相同，但具有通过蒸镀施加的玻璃层，

图 8c 显示的与图 8a 相同，但随后进行 lift-off 步骤，

图 9 显示了根据本发明第四例证性实施例的键合之后的剪选部分的粗略剖面图，

图 10 显示了根据本发明的第五例证性实施例具有通过蒸镀加以覆盖的互连的晶片剪选部分的粗略平面图，

图 11 显示了图 10 中 G 区沿 H-H 线的剖面图的放大图，

图 12a 显示了图 10 中 G 区沿 K-K 线的剖面图的放大图，

图 12b 显示的与图 12a 相同，但显示的是经过平面化步骤之后，

图 13 显示了键合框形状的八个实例，

图 14 显示了 TOF-SIMS 测量的结果，

图 15 显示了结构化玻璃层的光学显微图象，

图 16 显示了本发明第六例证性实施例的光学显微图象，

图 17 显示了本发明第七例证性实施例的光学显微图象，和

图 18 粗略地描述了具有用于渗透性试验(leaktightness test)的有孔掩模的晶片。

具体实施方式

图 1a 显示了用金属制成的基片 2。选择地，基片 2 还可以是硅、陶瓷或者玻璃基片。光刻胶 4 用本领域技术人员已知的处理施加到基片 2 上，并通过光刻形成图案。在这种情况下，抗蚀剂层代表牢固粘着于基片的掩模。选择地，还可能使用非牢固粘着的遮罩掩模(shadow mask)或者覆盖掩模。

然后，参考图 1b，通过蒸镀向基片 2 和光刻胶 4 施加由蒸镀玻璃 8329 构成的连续玻璃层 6。

现在参考图 1c，用丙酮除去光刻胶 4 和位于它上面的玻璃层 6 的部分 8。部分 10 仍保持与金属基片 2 牢固连结。该处理被称作 lift-off 处理，且为本领域技术人员所熟知。

现在参考图 1d，基片 2 被保留下来，并具有处于键合框 10 形式的结构化(structured)的玻璃层。

如图 1e 所示, 用硅制成的覆盖基片 12 被阳极键合在键合框 10 上从而形成复合元件 20, 该键合位置用 14 表示。由于键合框 10 的厚度或高度 H , 形成了高度为 H' 的空腔 16, 其高度不会显著大于 H , 从而上基片 12 上的半导体部件 18 与金属基片 2 具有一定的距离。

再次参考图 1b, 玻璃层 6 通过电子束蒸发加以施加。尽管该处理已经为人所知有好几年了, 但是迄今为止, 它主要用于塑料或玻璃眼镜的机械和光学表面处理, 只涉及大面积层(areal layer)的应用。

蒸镀玻璃(脱气的 Duran) 8329 可以实现高达 $4\mu\text{m}/\text{min}$ 的蒸镀速度, 特别地为 $>10\text{nm}/\text{min}$ 或者 $>100\text{nm}/\text{min}$ 。大约 $500\text{nm}/\text{min}$ 的速度是特别优选的。这超过例如溅射速度数倍, 使得该处理对于根据本发明的应用具有巨大的优点。这是因为由一元系统, 例如 SiO_2 , 构成的溅射层只能够以每分钟几个纳米的溅射速度加以施加。

给连续玻璃层 6 设定如下的参数以便将其施加到金属基片 2 上:

蒸镀期间的 BIAS 温度: 100°C

蒸镀期间的压力: 10^{-4}mbar 。

而且, 所使用的金属基片 2 的表面粗糙度 $<50\mu\text{m}$, 所选用的蒸镀玻璃的热膨胀系数(CTE)的中等 dila-thermal 方式与金属基片 2 和/或上基片 12 相匹配。玻璃 8329 的 CTE 为 $3.3\text{ppm}/\text{K}$, 几乎与硅的 CTE 对应。

通过使用强烈的测试, 发明人发现, 由 SCHOTT Glas 制造的玻璃 8329 或 G018-189 特别适合于通过热或电子束蒸发镀覆金属。这些蒸镀玻璃对溶剂、湿气 (85° , 85% , 1000h) 和温度 ($T < T_g$) 具有优良的稳定性。而且, 玻璃即使在低温下 ($<100^\circ\text{C}$) 也具有非常好的热机械性能, 因此适合于用作超导电子部件。另一方面, 玻璃还能够高温下 ($>300^\circ\text{C}$) 使用, 因此还可以特别地用于功率电子装置(power electronics), 例如功率 CMOS 部件。

图 2 和 3 显示了由四个键合框 110a-110d 构成的布置, 它们彼此嵌套, 并在基片 102 上划分出电子部件 118 的界限。

现在参考图 4, 向框 110a-110d 的区域内施加环氧树脂粘合剂

124, 使框的表面覆盖粘合剂, 且框之间的空间也填满粘合剂。这提高了连结强度。而且, 框能够更顺利地容纳粘合剂, 并简化了粘合剂连结处理。

如果适当的话, 粘合剂在真空下施加, 以便改良粘合剂中空间收缩(suck)的方式。此外, 使用多个框作为裂纹终止以增加复合元件的机械载荷承受能力, 并增加可靠性。在这种情况下, 多个框, 其每一个都具有较小的金属网条宽度 b , 比具有相同总金属网条宽度 B 的单个实心框更加轻而稳定。

现在参考图 5, 在键合框 210a-210d 内部布置点支持元件 226 和支持框 228, 用于支持上基片 212 并确保空腔的高度 H' 处于部件 218 的范围内。

支持元件 226 和支持框 228 不与上基片 212 连结, 而是后者仅仅松散地放置在它们上面。

现在参考图 7 和 8a-8c, 下文解释微光机电系统(MOEMS)的例证性实施例。结构化的玻璃基片 302 被用作上基片用来包封图象传感器, 作为晶片级封装处理的一部分。在包封中需要空腔作为“隔离物”和“密封元件”。空腔允许微光学系统, 例如微透镜和/或微反射镜, 发挥作用。

由于玻璃基片 302 的光学功能, 传统的处理不适合于该应用, 或者不能够提供廉价的解决方法。尽管材料去除处理, 例如腐蚀、研磨、超声波机械加工、喷砂处理或者挤压在原理上能够制造空腔, 但是这些处理会对基片 302 的高品质光学内表面产生不良影响。因此, 根据本发明, 键合结构通过堆建(build up)提供。

图 9 图解了具有多个矩形窗口部分 303 的硅玻璃基片 302, 每个窗口部分 303 都完全被光刻胶 304 覆盖。基片 302 的热机械性能与第二基片 312 相匹配, 第二基片 312 是硅晶片并具有 CMOS 图象传感器(见图 9)。基片 302 用蒸镀玻璃 8329 形成图案, 借此设置大量高度为 $5\mu\text{m}$ 的框, 基片 302 是经过抛光的 Borofloat 33 晶片(CTE: 3.3ppm/K), 其直径为 150mm , 厚度为 $500\mu\text{m}$ 。

图 7 和 8a 中的光刻胶 304 已经被结构化, 并且在每个窗口部分 303 的周围都具有矩形凹陷 305。抗蚀剂涂层包括, 例如, 厚度为 $10\mu\text{m}$ 的 AZ, 光刻胶在所谓的掩模对准器中加以曝光和显影, 然后通过所谓的“软固化”(softcure)加以固化。这允许在例如丙酮中进行后续的 lift-off 处理。

图 8b 显示了晶片表面, 其在随后的处理步骤中被蒸镀了一个玻璃层。用光刻胶构建的负片图象被蒸镀上一层厚度为 $5\mu\text{m}$ 的玻璃层, 该玻璃层用 8329 以大约每分钟 $1\mu\text{m}$ 的沉积速度形成。空腔的后续表面或者窗口部分 303 用光刻胶掩模加以保护, 从而这些区域内的蒸镀玻璃不会与基片 302 接触, 而是沉积在光刻胶掩模上。在未被覆盖的区域 305 内, 玻璃 8329 直接沉积在基片 302 上。

然后, 通过 lift-off 技术除去位于抗蚀剂掩模上的沉积玻璃层区域。出于这个目的, 在丙酮中溶解光刻胶。区域 305 中没有光掩模 (photomask) 的沉积玻璃保留在基片 302 上, 并形成处于键合框 310 矩阵形式的期望结构。

图 8c 显示了 lift-off 处理步骤之后的晶片剪选部分。

现在参考图 9, 结构化的 Borofloat 33 晶片 302 随后被阳极键合到第二基片 312 上, 第二基片 312 包括多个图象传感器 318。因此其结果是大量的光电子复合元件 320 在晶片水平包封。

最后, 通过沿着锯切路径 326 切片将单个的复合元件 320 分离开。这种单个的复合元件 320 在半导体基片 312 上具有呈图象传感器 318 形式的光电子复合部件, 其在图 9 中有部分的图解。

在半导体基片上, 或者位于图象传感器 318 上面的晶片 312 上以及密封空腔 318 的内部布置呈透镜 322 形式的凸起的被动光学部件。而且, 在空腔 316 内布置两个可移动的微反射镜 324。

透明的 Borofloat 33 基片 302 通过键合位置 314 阳极键合在键合框 310 上, 键合框的高度 H 为 $5\mu\text{m}$, 大于光学部件 322 和 324 的高度。结果形成了密封的、至少部分透明的外壳, 其空腔高度与图象传感器 318、微透镜 322 和微反射镜 324 一样, 大约为 $5\mu\text{m}$ 。

由于根据本发明的处理，空腔 316 区域内的基片玻璃 302 的光学功能基本上保持不受破坏。

根据本发明制造的框具有进一步的优点，即切片所需的锯切路径保持清晰。

进一步，如下的改变是可能的：

如果基片 302 将会与另一个玻璃基片相联结，例如对于合金焊接或者阳极键合，则键合层在 lift-off 处理步骤之前提供。出于这个目的，通过物理气相沉积（PVD）或者化学气相沉积（CVD）沉积金属层作为键合层，或者通过 CVD 沉积多晶硅键合层。这样，在 lift-off 处理期间，键合层与框 310 在同一步骤中构建。

特别是在密封键合的实例中，阳极键合能够在可控的、具有预定气体成分和预定压力的气氛下执行，从而使空腔 316 具有可控的和预定的气氛。

此外，在空腔 316 中能够包封气体、生物和/或传感液体、和/或微粒。

图 10 图解了具有多个半导体区域 418 的硅晶片 402 的剪选部分。半导体区域 418 通过互连 430 彼此接触联结。通过根据本发明的相应于图 1a-1d 所示步骤的处理，键合框 410 的每一个都通过蒸镀施加在属于半导体区域的铝互连上。选择地，互连可以由金、钨或者钛钨形成。金属网条 411-414 形成矩形键合框 410，横贯地布置在互连 430 上。

这样，特别是对于通过蒸镀施加的键合框或玻璃框 410，有可能覆盖不能被阳极键合的结构，例如基片 402 上的互连 430。结果形成了密封的覆盖，特别是具有能够通过互连 430 的密封路径。在联结到上基片并沿着锯切线 426 切片之后，形成了大量具有外部接触的密封芯片。

图 11 显示了图 10 中 G 区沿 H-H 线的剖面的放大剪选部分。

图 12a 显示了图 10 中 G 区在联结到上基片之前沿 K-K 线的剖面的放大剪选部分。在该实例中，互连 430 具有 2 μ m 的相对大的厚度或

高度，且横贯简图的平面。在蒸镀期间，互连 430 的厚度导致键合框 410 的上表面 415 不平整。

现在参考图 12b，为了补偿相对延长的形貌和形成合适的平面键合框上表面 415，后者通过 CMP 处理加以平面化。此外，还可能同时进行显著减薄，例如从 $5\mu\text{m}$ 减薄到 $4\mu\text{m}$ 。相应的处理过程也能够应用于任何其他非平面基片。而且，可以想象，键合框可以被切割超出互连 430 的表面 431，从而使互连 430 能够从上面接触连结（未显示）。

如果互连的厚度更小，典型地为 400nm ，则如果适当的话，有可能不需要平面化步骤。

如果使用可阳极键合的玻璃，例如 8329，进行覆盖，则框能够反过来被阳极键合到上基片。

下文给出了从各种试验中获得的结果，这些试验是都在由玻璃 8329 通过蒸镀沉积形成的玻璃层上进行的。

图 14 显示了 TOF-SIMS 测量的结果，其中计数率被标识为溅射时间的函数。该测量表征了玻璃框元素浓度的概况。确定出玻璃框的厚度恒定度小于层厚度的 1%。

图 15 图解了光刻胶构建的玻璃结构，其由玻璃 8329 形成，是在 lift-off 步骤之后通过蒸镀沉积的。

图 16 显示了复合元件 520，其具有 Borofloat 33 基片 502 和互连 530 以及在它们上面蒸镀的玻璃框 510，其与第五例证性实施例相似。

互连 530 的厚度为 200nm ，玻璃框 510 的厚度为 $4\mu\text{m}$ 。在第六例证性实施例中，上基片不经过平面化步骤便被阳极键合。

显然，键合连结仅存在于区域 540 和 542 中，而在与互连 530 相邻的区域 544 和 546 中不可能产生键合连结。缺乏键合确实会增加由于互连导致的玻璃框 510 的表面或上表面不平整。

图 17 显示了复合元件 620，其与复合元件 520 的结构类似。在复合元件 620 中，玻璃框 610 在阳极键合之前被平面化。玻璃框 610 通过蒸镀施加，厚度为 $4\mu\text{m}$ ，然后抛光到厚度为大约 $2\mu\text{m}$ 。互连 630 的厚度则为 200nm 。

显然，玻璃框 610 的整个表面都被键合，结果形成了密封的空腔 616。玻璃框 610 具有 $300\mu\text{m}$ 的金属网条宽度和 $3\text{mm}\times 3\text{mm}$ 的尺寸。

进而，在玻璃层 8329 上进行渗透性试验（leaktightness test），如下：

向硅晶片施加腐蚀终止掩模。如图 18 所示，晶片 97 被分割成 9 个有孔区 98（ $1\text{cm}\times 1\text{cm}$ ）。在该区域内，孔间的单个间隔行与行之间均不同，如下：

第一行：孔间隔 1mm

第二行：孔间隔 0.5mm

第三行：孔间隔 0.2mm

所有的方孔 99 都具有 $15\mu\text{m}$ 的边缘长度。

在晶片的被解构背面上镀覆了 $8\mu\text{m}$ （样品 A）或者 $18\mu\text{m}$ （样品 B）的玻璃 8329 层之后，对晶片上有孔区域内的玻璃进行干腐蚀。腐蚀的效果能够容易地在透光显微镜下进行观察。

有可能获得至少 $<10^{-7}\text{mbar/sec}$ 的渗透速度。对于本例证性实施例，氦渗透测量显示，通过玻璃层的渗透速度 $<10^{-8}\text{mbar/sec}$ ，因此空腔是密闭的。

在测量各个测量区域期间，虽然晶片有相当的膨胀(bulging)，但是玻璃层区域仍具有高强度还是出人意料。甚至在 200°C 的条件之后，玻璃的结构也没有变化。

而且，根据 DIN/ISO 对玻璃框进行了耐受性和稳定性测量。结果如表 1 所示。

样品名称: 8329			
<u>水 DIN ISO</u> <u>719</u> 类	HCl 消耗 [ml/g]	Na ₂ O 当量 [μg/g]	备注
HGB 1	0.011	3	无
<u>酸 DIN</u> <u>12116</u> 类	材料清除 [mg/dm ²]	总表面积 [cm ²]	备注/可见变化
1 W 为材料	0.4	2 x 40	无变化
<u>碱 DIN ISO</u> <u>695</u> 类	材料清除 [mg/dm ²]	总表面积 [cm ²]	备注/可见变化
A2 为材料	122	2 x 14	无变化

本领域技术人员应当清楚, 上述的实施例只作为实例, 且本发明并不受这些实施例的限制, 而是可以有各种改变而不背离本发明的范围。

图 1a

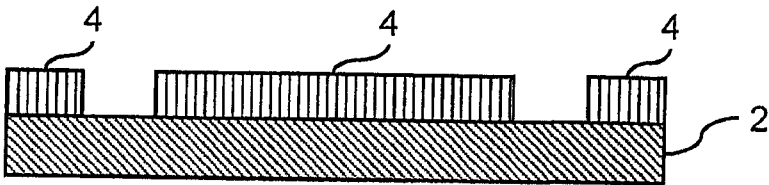


图 1b

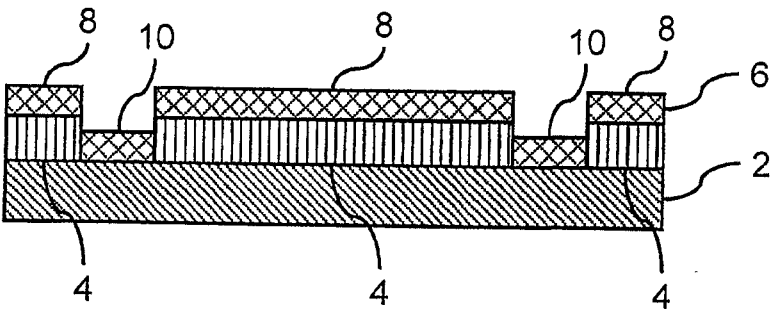


图 1c

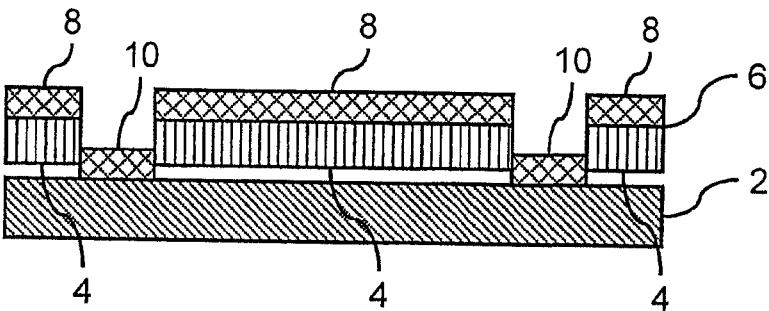


图 1d

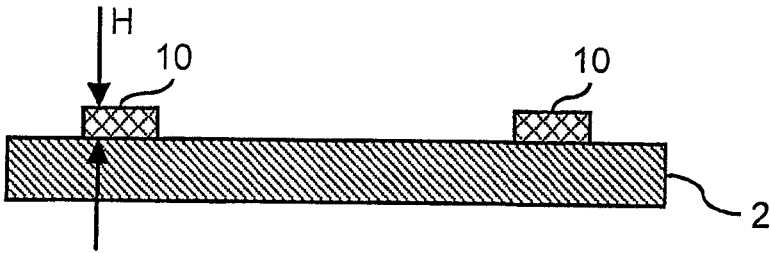


图 1e

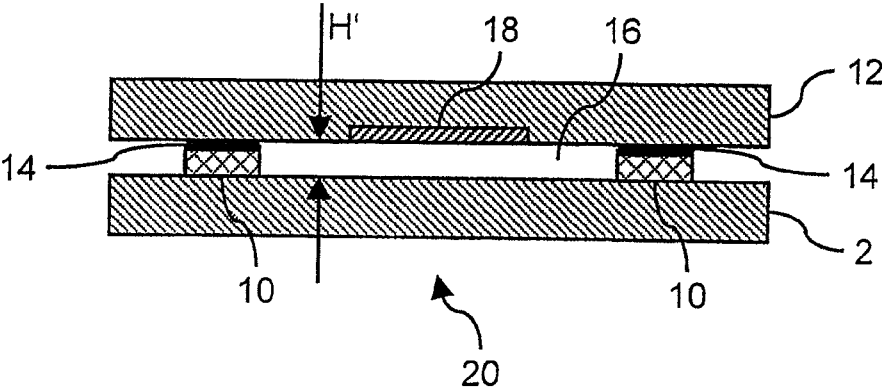


图 2

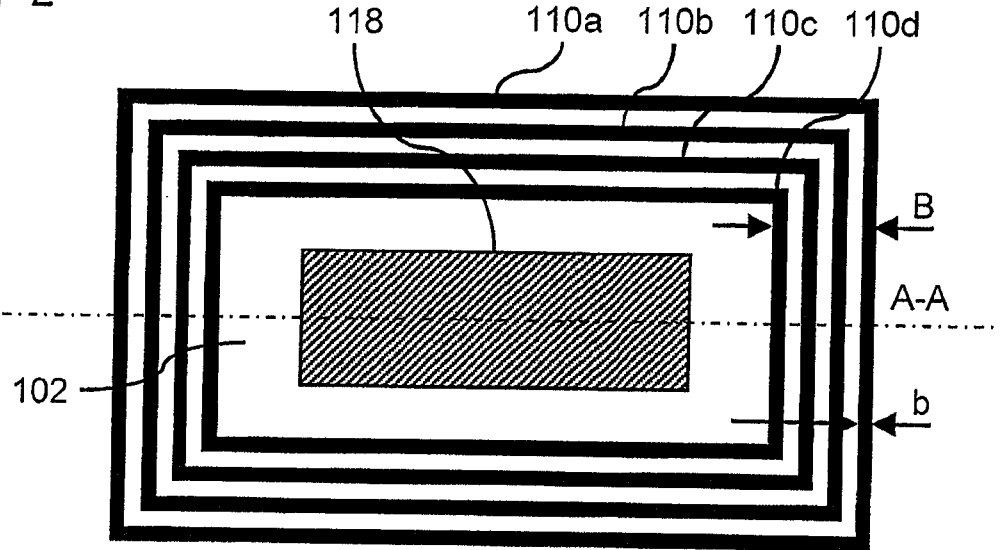


图 3

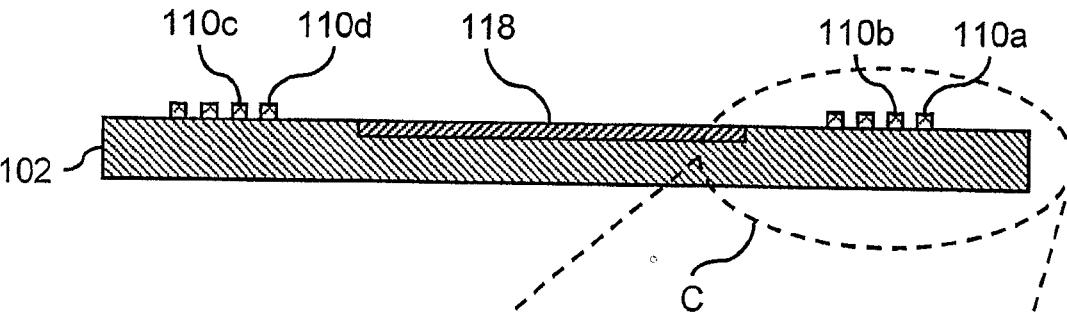


图 4

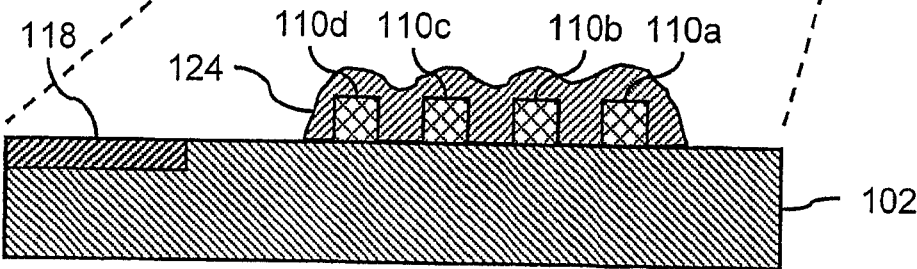


图 5

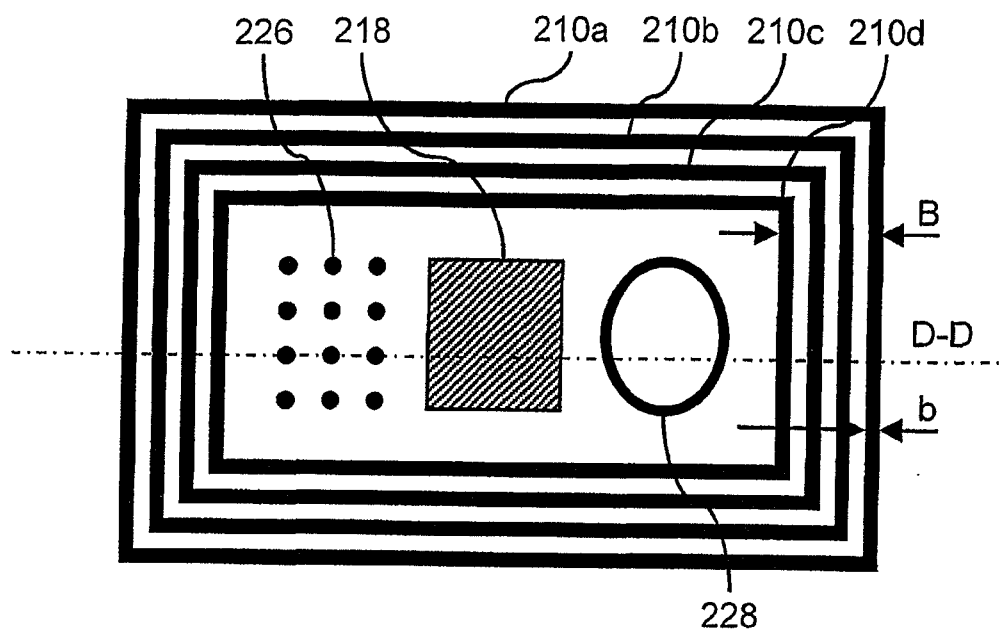


图 6

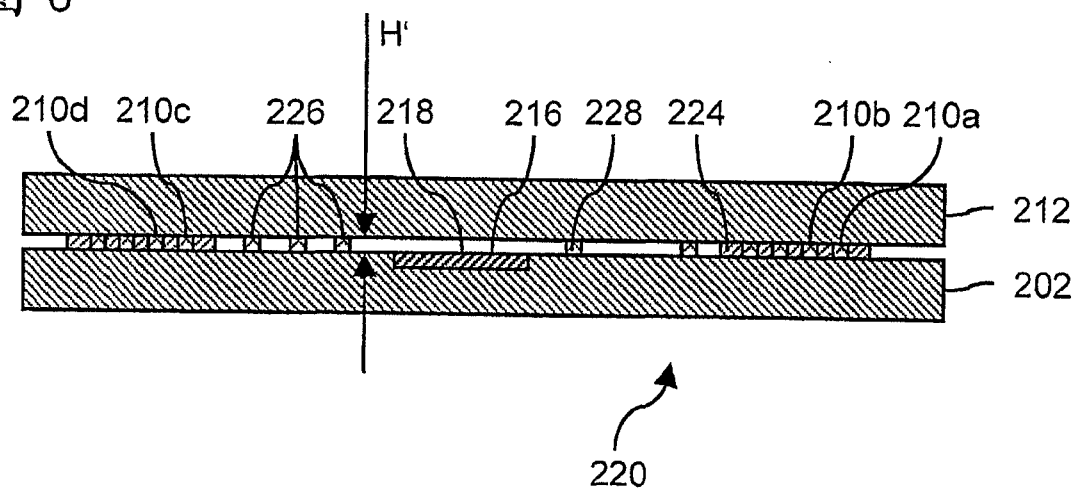


图 7

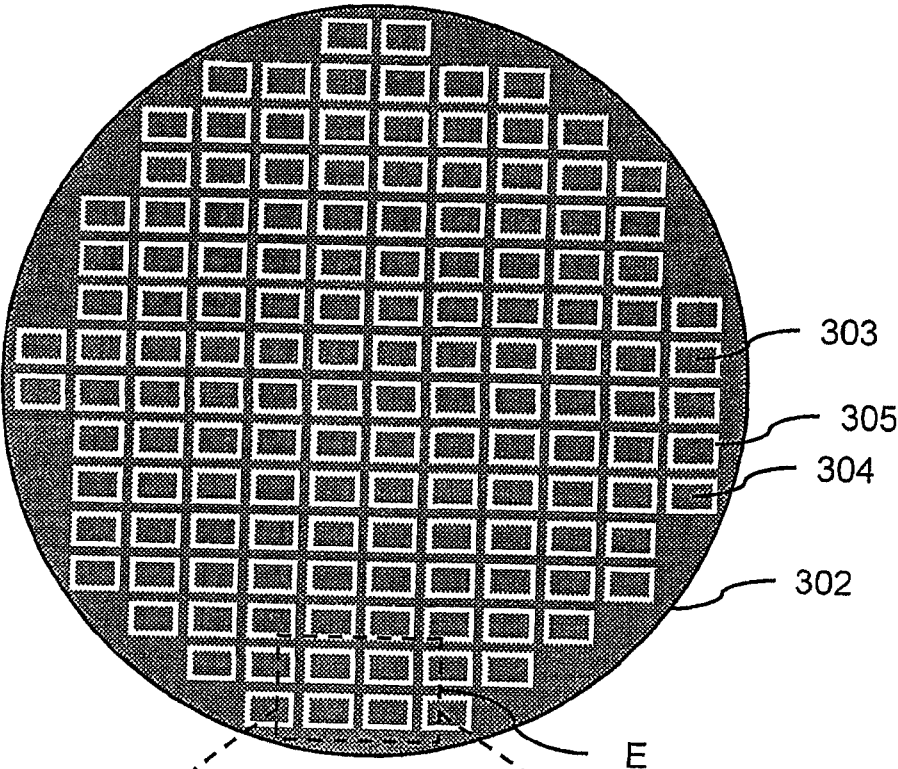


图 8a

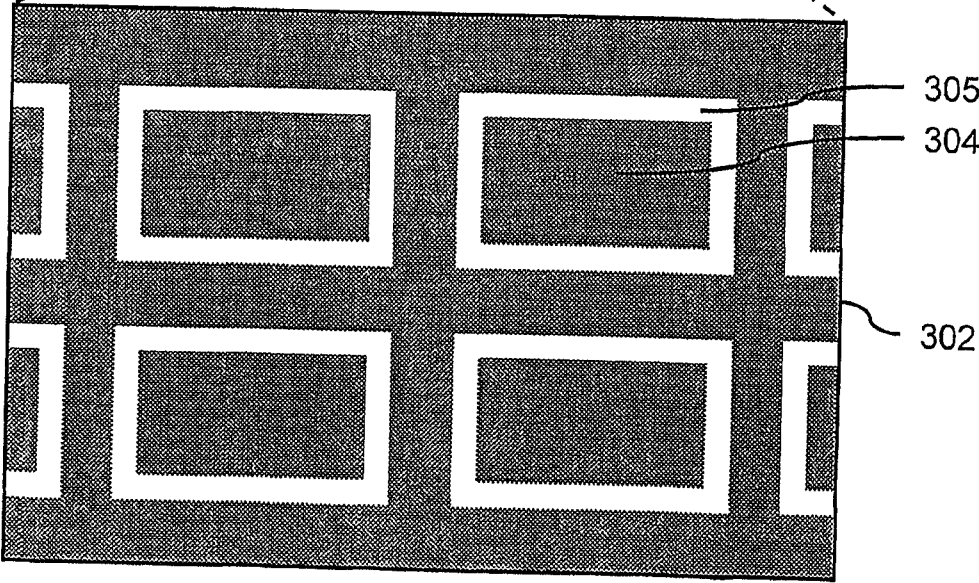


图 8b

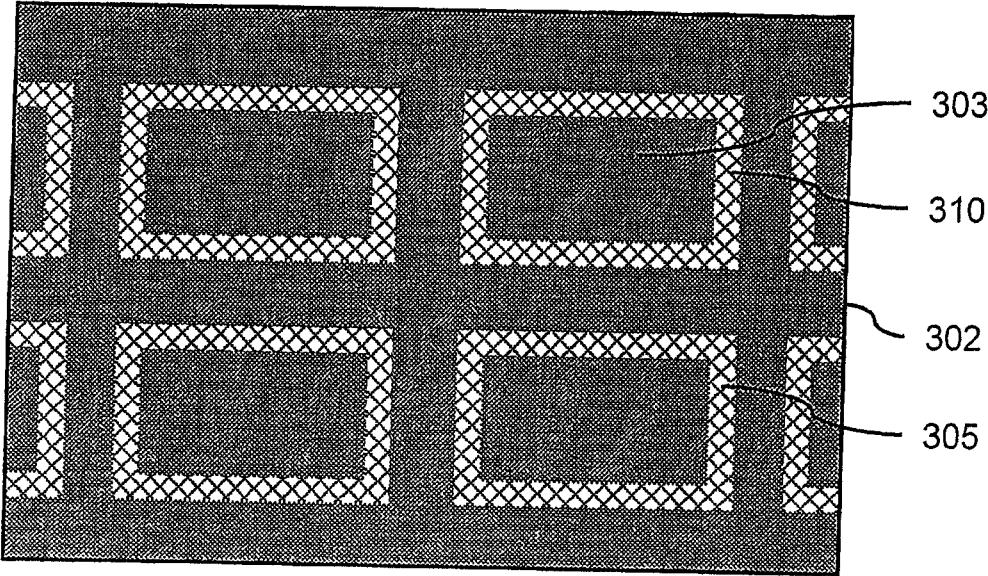


图 8c

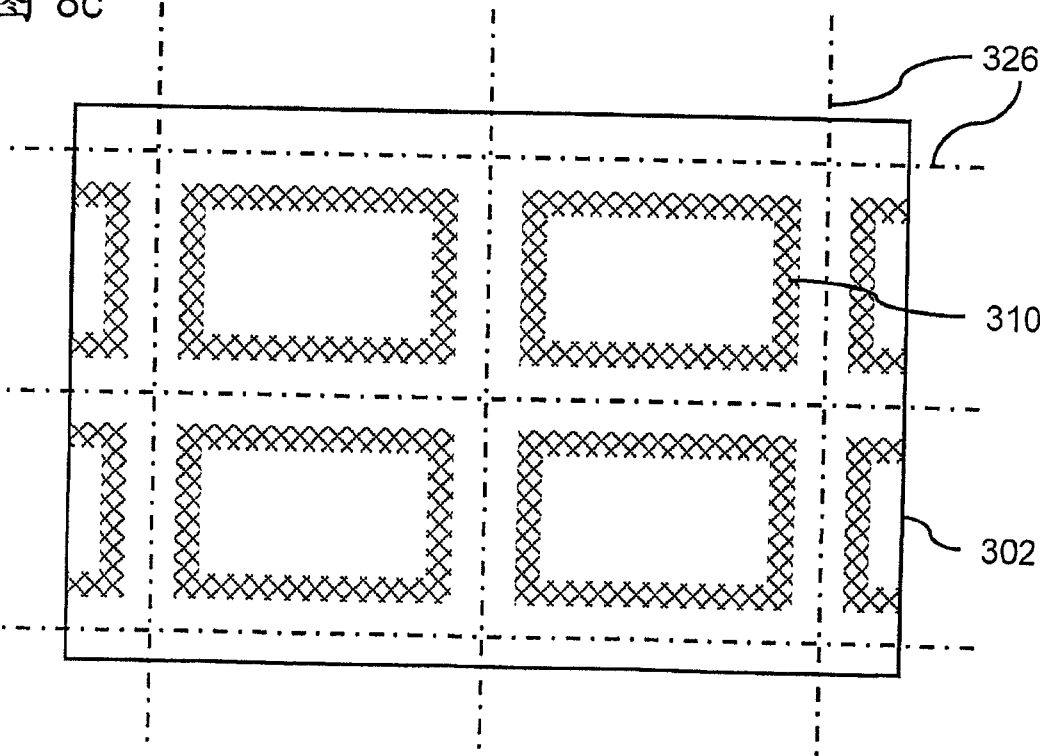


图 9

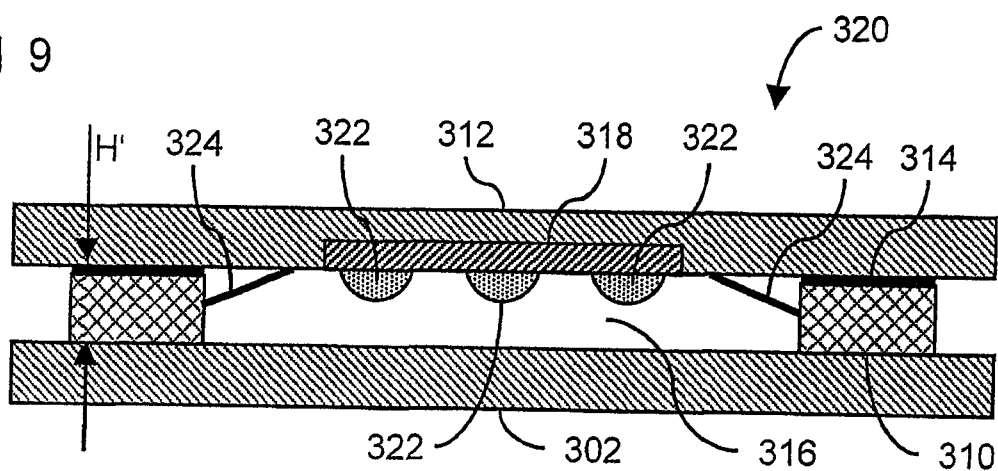


图 10

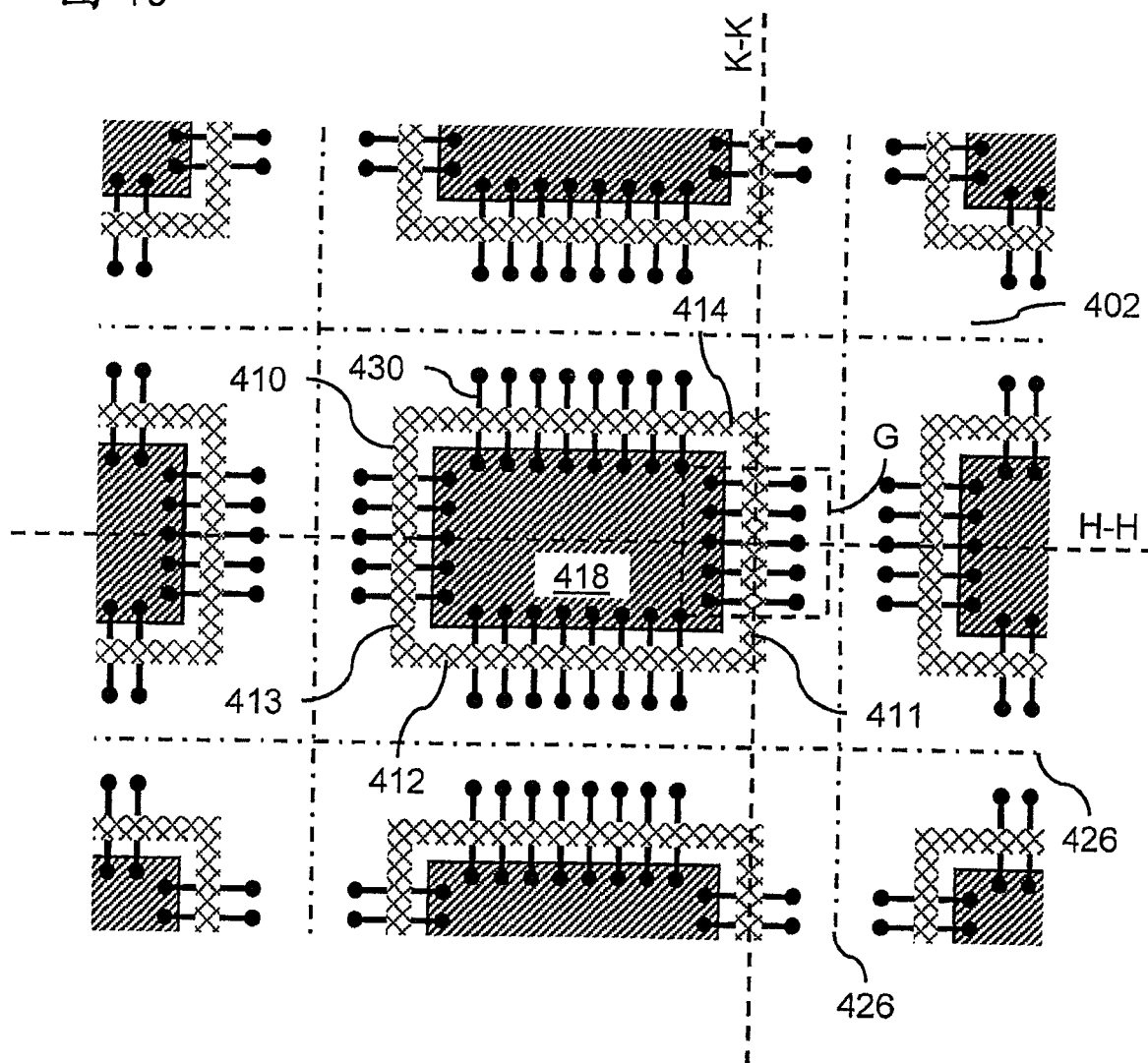


图 11

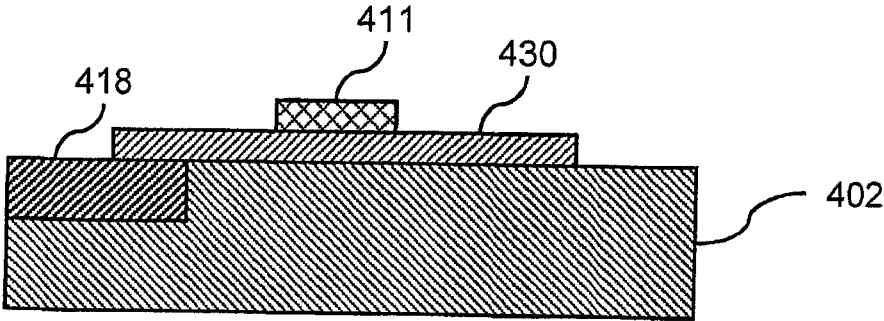


图 12a

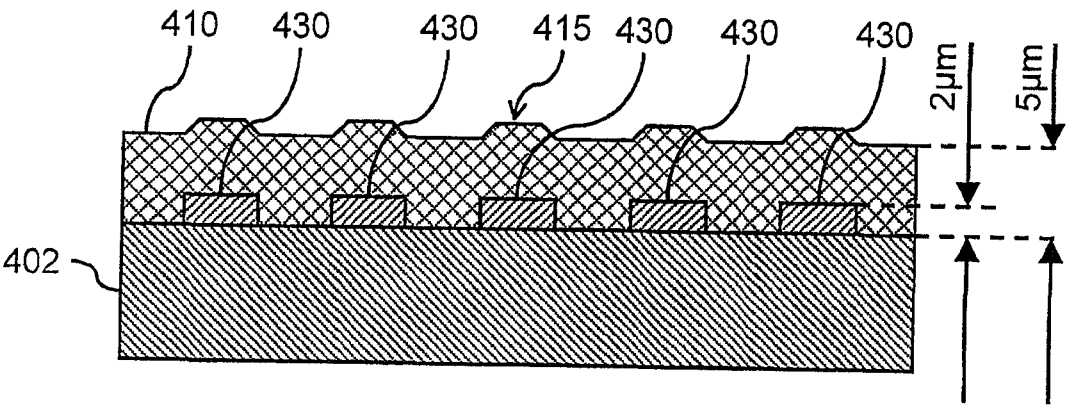


图 12b

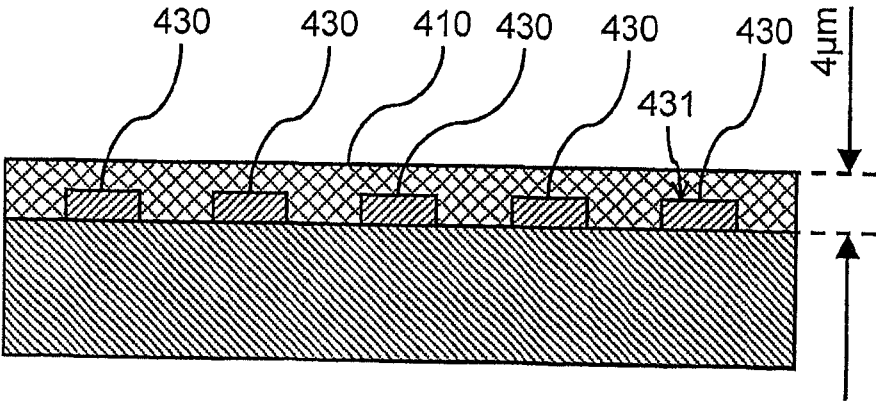


图 13

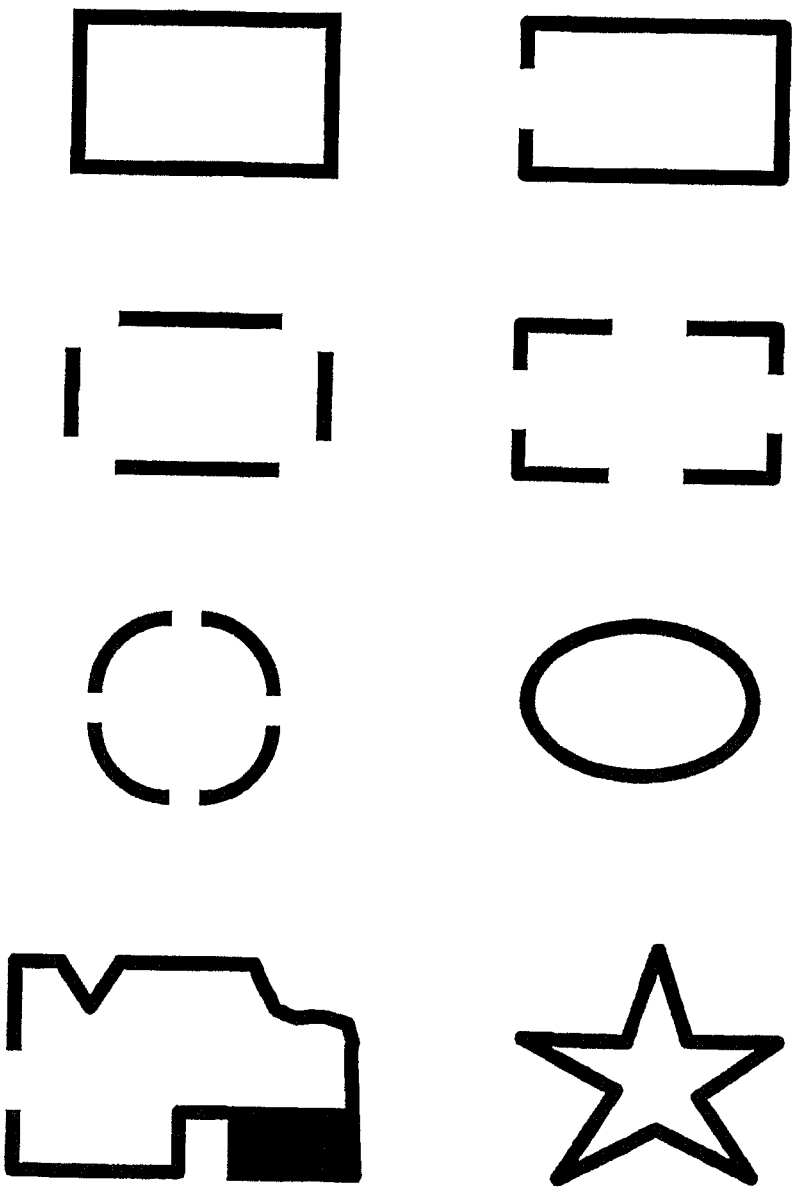


图 14

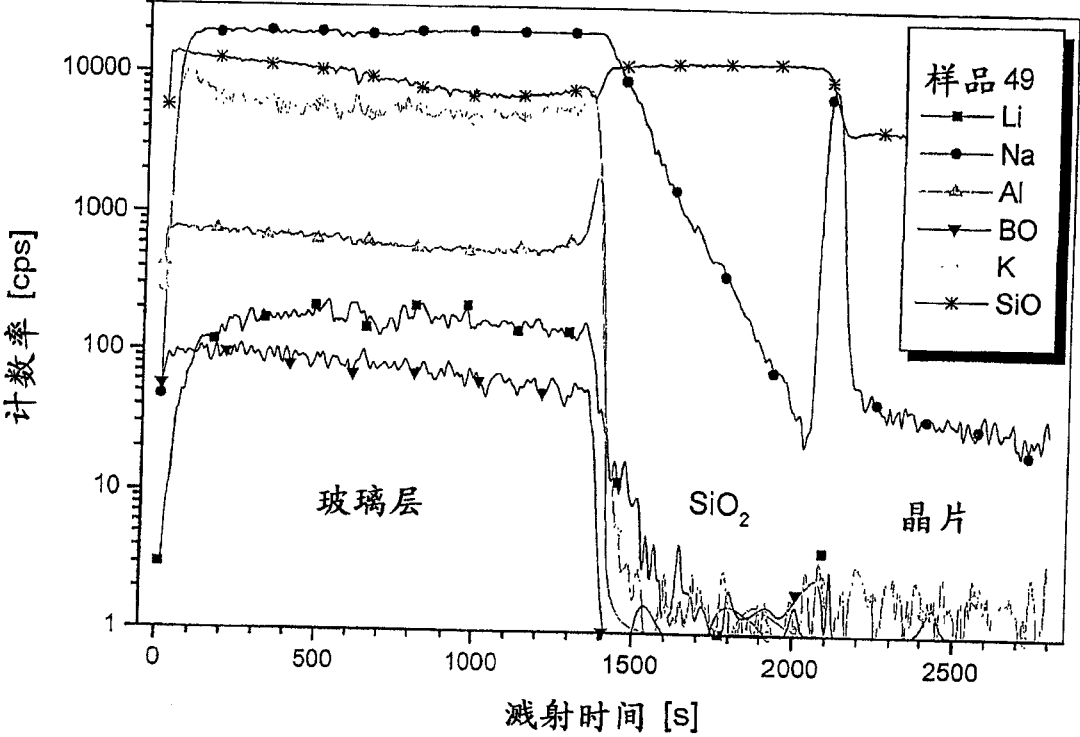
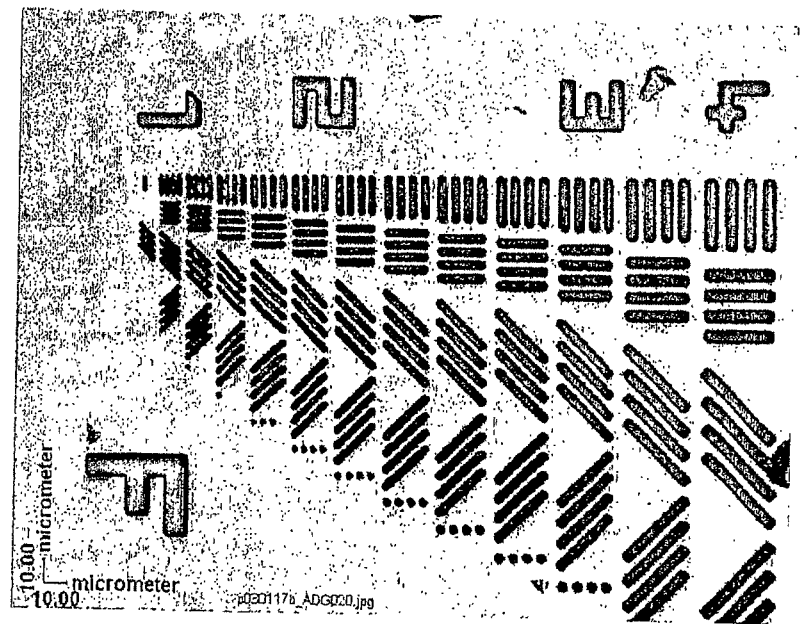


图 15



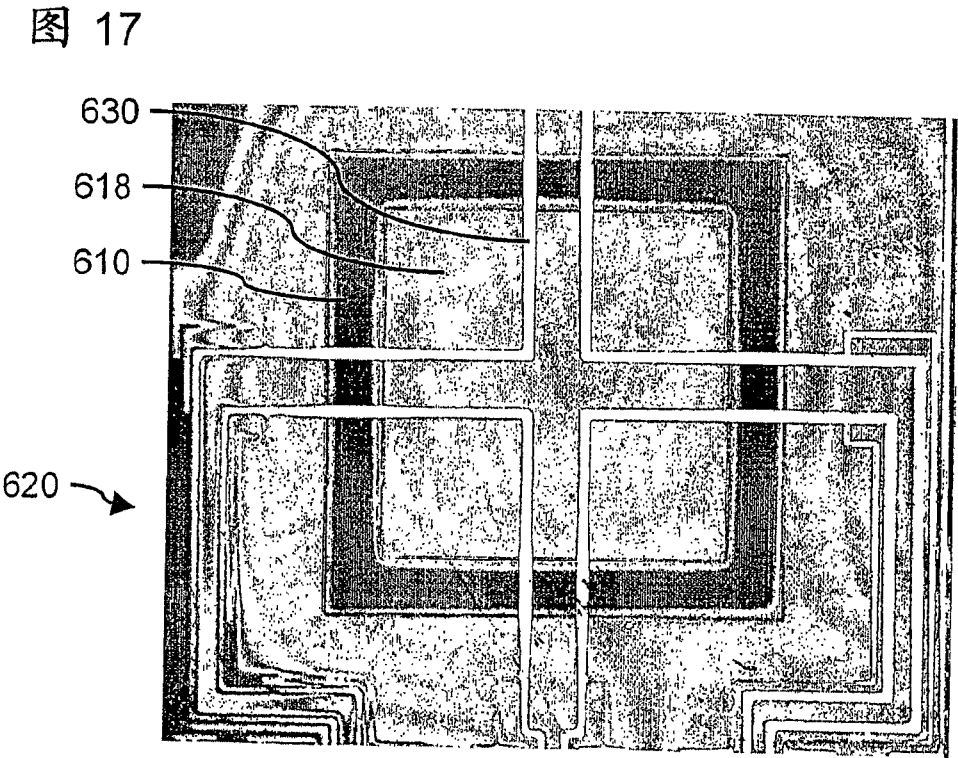
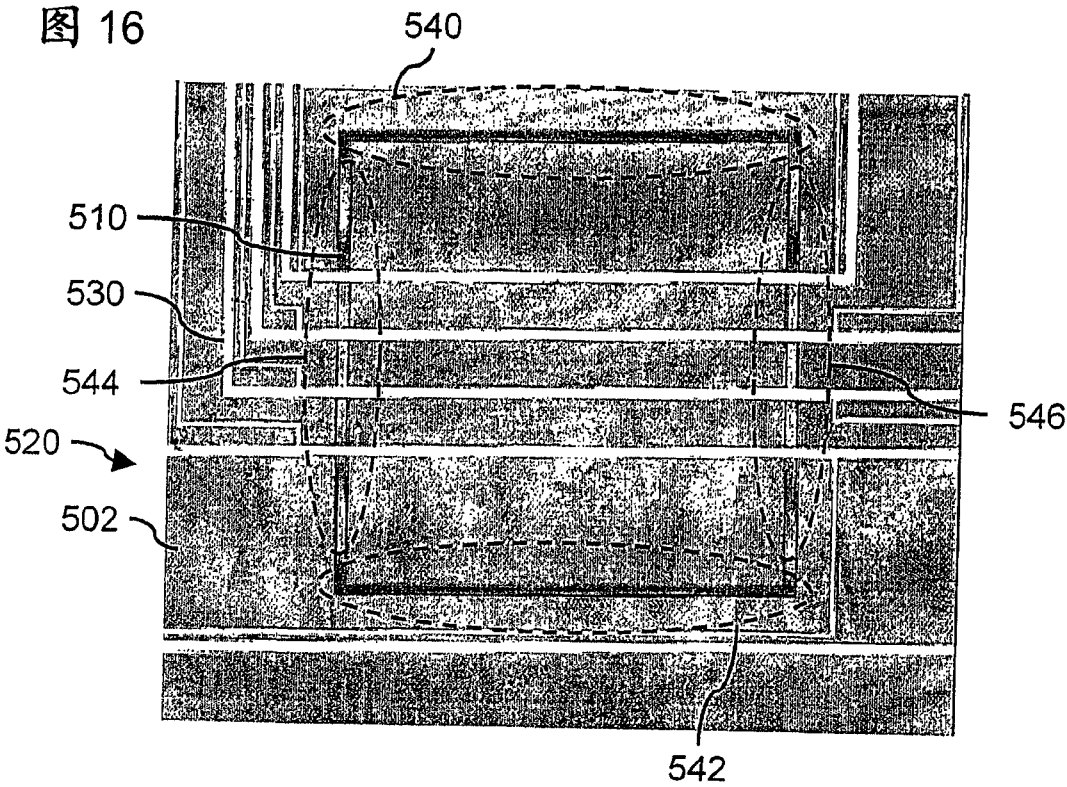


图 18

