

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/12

(45) 공고일자 2001년01월15일
(11) 등록번호 10-0274494
(24) 등록일자 2000년09월14일

(21) 출원번호	10-1997-0701673	(65) 공개번호	특 1997-0706616
(22) 출원일자	1997년03월14일	(43) 공개일자	1997년11월03일
번역문제출일자	1997년03월14일		
(86) 국제출원번호	PCT/JP 96/02220	(87) 국제공개번호	WO 97/22142
(86) 국제출원일자	1996년08월07일	(87) 국제공개일자	1997년06월19일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 국내특허 : 중국 일본 대한민국 싱가포르 미국		

(30) 우선권주장 PCT/JP95/02568 1995년12월14일 일본(JP)

(73) 특허권자 세이코 앱슨 가부시키가이샤 야스카와 히데아키

일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 미야사카 미츠토시

일본 나가노켄 스와시 오와 3 죠메 3반 5고 세코에푸손 가부시키가이샤 내

(74) 대리인 이병호

심사관 : 임동우

(54) 박막 반도체 장치, 박막 반도체 장치의 제조방법, 액정표시장치, 액정표시장치의 제조방법, 전자기기, 전자기기의 제조방법 및 박막퇴적방법

요약

영가인 글라스 기판의 사용이 가능한 저온 프로세스를 사용하여 고성능인 박막 반도체 장치를 제조하기 위해서, 원료가스인 실란과 희석가스의 아르곤을 사용한 PECVD 법으로 결정성이 높은 훈정질 반도체막을 성막한 후, 레이저 조사 등으로 결정성을 높여 박막 반도체 장치를 제조하고, 그것을 사용하여 액정표시장치라든지 전자기기를 제조한다.

본 발명을 액티브 매트릭스 액정표시장치의 제조에 적용한 경우에는 대형이고 고품질인 액정표시장치를 용이하게 또한 안정적으로 제조할 수 있다. 또한, 다른 전자회로의 제조에 적용한 경우에도 고품질인 전자회로를 용이하게 또한 안정적으로 제조할 수 있다.

대표도

도1

명세서

기술분야

본 발명은 액티브 매트릭스형 액정표시장치 등에 적용되는 박막 반도체 장치 및 그 제조방법에 관한 것이다. 또한 본 발명은 이들을 적용한 액정표시장치 및 액정표시장치의 제조방법, 전자기기, 전자기기의 제조방법에 관한 것이다. 또한 본 발명은 플라즈마 화학기상퇴적법(PECVD 법)에 따르는 박막퇴적방법에 관한 것이다.

배경기술

최근에는, LCD(액정표시장치)의 대화면화, 고해상도화에 따라, 그 구동방식은 단순 매트릭스 방식으로부터 액티브 매트릭스 방식으로 이행되어, 대용량의 정보를 표시할 수 있도록 이루어져 가고 있다. 액티브 매트릭스 방식은 수십만을 초과하는 화소를 가지는 액정표시장치가 가능한 것으로, 각 화소마다 스위칭 트랜지스터를 형성하는 것이다. 각종 액정표시장치의 기판으로는 투과형 표시장치를 가능하게 하도록 용융석영판이라든지 글라스 등의 투명절연기판이 사용되고 있다.

TFT(박막트랜지스터)의 능동층으로는 통상 비정질 실리콘이라든지 다결정 실리콘 등의 반도체막이 사용되지만, 구동회로까지 일체화하여 박막 트랜지스터로 형성하고자 하는 경우에는 동작속도가 빠른 다결정 실리콘이 유리하다. 다결정 실리콘막을 능동층으로 하는 경우는 용융석영판을 기판으로서 사용하고, 통상은 공정최고온도가 1000°C를 초과하는 고온 프로세스라고 불리는 제조방법으로 TFT가 제조되고 있다. 이 경우 다결정 실리콘막의 이동도는 $10\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 로부터 $100\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 정도의 값이 된다. 한편 비정질 실리콘막을 능동층으로 하는 경우에는 공정최고온도가 400°C 정도로 낮기 때문에, 통상의 글라스 기판이

사용되고 있다. 비정질 실리콘막의 이동도는 $0.1\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 로부터 $1\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 정도의 값을 가진다.

그런데 LCD의 표시화면의 확대화라든지 저가격화를 진행시키는 경우에는 절연기판으로서 염가인 글라스를 사용하는 것이 필요 불가결하다. 그러나, 상술한 바와 같이 비정질 실리콘막은 전기특성이 다결정 실리콘막에 비하여 현저히 뒤떨어져 동작속도가 느린 등의 문제점을 가지고 있다. 또한, 고온 프로세스의 다결정 실리콘(TFT)은 용융석영판을 사용하고 있기 때문에, LCD의 대형화라든지 저가격화가 곤란하다는 문제점을 가지고 있다. 따라서 통상의 글라스 기판 상에 다결정 실리콘막등의 반도체막을 능동층으로 하는 박막 반도체 장치를 작성하는 기술이 현재 강하게 요구되고 있는 것이다. 그러므로 대량 생산성을 갖는 대형의 통상 글라스 기판을 사용하는 때에는, 기판의 변형을 피하기 위하여 공정 최고 온도를 약 400°C 정도 이하로 해야하는 커다란 제약이 있다. 즉 이러한 제약 하에서 액정표시장치를 동작할 수 있는 박막 트랜지스터와, 구동회로를 고속동작시킬 수 있는 박막 트랜지스터의 능동층(能動層)을 형성하는 기술이 요망되고 있다. 이들은 현재 저온 프로세스 Poly-Si TFT라고 불리며, 개발이 진행되고 있다.

종래의 저온 프로세스 poly-Si TFT에 상당하는 제1의 종래 기술은 SID(Society for Information Display)'93 디아제스트 P.387(1993)에 나타나고 있다. 이것에 의하면, 우선 LPCVD 법으로 원료기체로서 SiH_4 (모노실란)을 사용하고, 퇴적온도 550°C 에서 50nm의 a-Si(비정질 실리콘)막을 퇴적하고, 이 a-Si 막에 레이저 조사를 시행하고, a-Si 막을 Poly-Si 막으로 개질한다. poly-Si 막의 패터닝 후, 게이트 절연막으로 SiO_2 막을 ECR-PECVD 법으로 기판온도를 100°C 로 하여 퇴적한다.

게이트 절연막 상에 Ta(탄탈륨)로 게이트 전극을 형성한 후, 게이트 전극을 마스크로 도너 또는 억셉터 불순물을 실리콘막에 이온주입하여 트랜지스터의 소스·드레인을 자기 정합적(self-align)으로 형성한다. 이 때 이온주입은 이온·도핑법이라고 불리는 질량 비분리형의 주입장치를 사용하며, 수소희석된 포스핀(PH_3)이라든지 디보란(B_2H_6)을 원료기체로 사용하고 있다. 주입이온의 활성화는 300°C 에서 된다. 그 후 총간 절연막을 퇴적하여, 인듐주석산화물(ITO)이라든지 알루미늄(Al)으로 전극이라든지 배선을 형성하여, 박막 반도체 장치를 완성한다. 따라서 이 종래기술에서는 공정최고온도는 LPCVD 법으로 a-Si 막(이하, 이것을 LPCVD a-Si라고 약기한다.)을 퇴적하는 550°C 이다.

저온프로세스 poly-Si TFT에 상당하는 제 2 종래기술은 예를 들면 일본 특허공개 평 6-163401로 대표된다. 이 종래기술의 특징은 앞의 제 1 의 종래기술이 LPCVD a-Si를 사용하고 있는데 대하여, a-Si 막을 플라즈마 CVD 법(PECVD 법)으로써 퇴적한 후, 이를바 수소불가 어닐링이라고 불리는 300°C 에서 450 $^\circ\text{C}$ 정도의 온도로 퇴적막을 열처리하고, 그 후 레이저 조사를 행하여 poly-Si 막을 형성하는 점에 있다. 실제 동일공보 제[0033]단에는 다음과 같이 기재되어 있다. 「글라스 기판(코닝 7059) 1 상에 플라즈마 CVD 법에 의해 200nm 두께의 산화실리콘의 패시베이션막(2) 및 100nm 두께의 비정질 실리콘 박막(3)을 기판온도 200°C 로 형성하였다. 300°C 에서 30분간 열처리한 후, 13W의 아르곤 이온 레이저광을 약 $50\mu\text{m}$ 직경으로 집광하고, 약 11m/초의 속도로 주사조사하여(빔스폿직경 $\times 220000/\text{초}$ 의 주사속도), 비정질 실리콘박막(3)의 다결정화를 행하였다.」 본 예에서 나타내는 대로 PECVD법으로 성막된 a-Si 막(이후 이것을 PECVD a-Si라고 약기한다.)을 결정화시키기 위해서는 결정화 공정 전에 열처리를 행하는 일이 필수였다. 열처리를 행하지 않거나, 혹은 그 온도가 낮은 상태로 PECVD a-Si 막에 레이저 조사를 행하면, 조사 레이저 에너지 강도가 약한 때에는 결정화가 완전히 진행하지 않고, 반대로 강하면 Si 막에 손상이 와서, 결국 PECVD a-Si 막은 완전히 결정화하지 않은 자체로 되어 버린다. 이 모양을 출원인이 행한 실험결과를 제1도에 나타내어 설명한다. 시료는 글라스 기판(니ਊ덴키가라스 가부시키가이사, OA-2) 상에 평행평판형 PECVD 장치에서 a-Si 막을 2500\AA 의 막두께로 퇴적한 것이다. 성막조건은 모노실란(SiH_4) 유량이 225

SCCM, 수소(H_2)유량이 1300 SCCM, RF 출력이 150W, 압력 1.3torr, 전극면적 1656cm^2 (따라서 인가전력밀도는 0.091W/cm^2), 전극간 거리 24.4mm, 기판온도 300°C 이고, 이 때의 PECVD a-Si 막의 성막속도는 $547\text{\AA}/\text{min}$ 였다. 이 막은 종래기술에 따른 전형적인 PECVD a-Si 막으로 막 중에는 수소를 약 10.3 원자% 포함하며, Si원자의 밀도는 $4.38 \times 10^{22}\text{cm}^{-3}$ 이었다. 또한 이 a-Si 막의 적외 흡수 스펙트럼(IR)을 제5도에 나타내고, 라먼분광 측정결과를 제6도에 나타낸다. 제5도의 적외 흡수 스펙트럼에서는 2000cm^{-1} 부근에 Si-H의 신축모드가 관측된다. 한편 제6도의 라먼분광법에서는 480cm^{-1} 부근에 비정질 실리콘으로부터의 광학적 횡파성분이 인정되고, 양자의 결과는 a-Si 막이 수소를 실리콘과 결합한 상태로 포함하는 비정질막을 가지는 것을 나타내고 있다. 이 PECVD a-Si 막을 소정의 온도의 질소(N_2) 분위기 중에서 한시간의 열처리를 행한 후, 레이저조사를 행한 결과가 제1도에 나타나고 있다. 제1도의 가로축은 열처리온도를 나타내고, 세로축은 레이저조사 에너지를 나타내고 있다. 가로축의 A. D.란 As-Deposited의 약어로, 퇴적후의 막, 즉 아무것도 열처리를 행하지 않은 PECVD a-Si 막을 의미하고 있다. 제1도의 A는 비정질 상태를 나타내고, C는 결정화된 상태이고, D는 막이 손상을 입고 있는 것을 의미한다. 예를 들면 가로축이 A. D.이고 세로축이 $150\text{mJ} \cdot \text{cm}^{-2}$ 인 곳의 A는 아무 것도 열처리를 행하지 않은 PECVD a-Si 막에 $150\text{mJ} \cdot \text{cm}^{-2}$ 의 에너지밀도로 레이저 조사를 행한 곳이고, 레이저 조사 후의 막은 여전히 비정질로 있는 것을 의미하고 있다. 이 도면에서 나타내는 것 같이 종래의 PECVD a-Si 막에서는 As-Deposited 상태에서 에너지 강도가 약하면($160\text{mJ} \cdot \text{cm}^{-2}$ 정도 이하에서는) 완전하게 결정화가 진행하지 않고, 높으면($160\text{mJ} \cdot \text{cm}^{-2}$ 정도 이상에서는) 막에 손상을 입어 반도체로서 완전히 기능하지 못하게 되어 버린다. PECVD a-Si 막에 열처리를 행하면, 결정화하는 영역(제1도의 C에서 나타내고 있는 영역)은 처리온도의 상승에 따라 넓게된다. 예를 들면 처리온도가 300°C 의 막에서는 결정화하는 레이저 에너지강도는 $180\text{mJ} \cdot \text{cm}^{-2}$ 의 한 점만이지만, 처리온도를 390°C 로 올리면 결정화 에너지강도가 $190\text{mJ} \cdot \text{cm}^{-2}$ 로부터 $310\text{mJ} \cdot \text{cm}^{-2}$ 의 넓은 범위에서 결정화한다. 제1도에서는 Si 막의 상태를 이해하기 쉽게 하기 위하여 단순히 비정질(A), 결정화(C), 손상(D)의 세 개의 영역으로 분류하고 있지만, 결정화하는 에너지 영역(C)중에도 결정화가 잘 진행한 영역과, 비교적 비정질에 가까운 결정화 영역과, 손상이 생긴 결정화 영역으로 더욱 자세하게 분류된다.

제1도에서는 결정화가 잘 진행한 영역의 C는 둥그렇게 둘러싸여 있다. 이러한 영역의 결정화막은 파장분산형 분광 엘립소메트리(ellipsometry)라든지 라먼분광법으로 측정한 결정화율도 70% 이상이 되어, 비교

적 높은 결정화율을 나타낸다. 결국 레이저 조사법으로 PECVD a-Si 막을 결정화하기 위해서는, 성막된 막을 400°C 정도 이상 온도로 열처리하는 일이 필수의 조건이 되고 있다. 레이저 조사시의 레이저 · 쇼트마다의 에너지강도의 격차와, 결정화된 막 품질이 높은 레벨로 균일하기 위해서는 열처리온도는 사실상 450°C 정도 이상으로 된다. 저온 프로세스 poly-Si TFT에 상당하는 제 2 의 종래기술에서는, 이 같은 방법으로 얻어진 다결정 실리콘막을 사용하여 이후 제 1 의 종래기술과 같은 제조방법으로 poly-Si TFT를 형성한다. 따라서 제 2 의 종래기술에서의 공정최고온도는 PECVD a-Si를 결정화 공정전에 열처리하는 때의 온도로 보통 450°C 정도이다.

저온 프로세스 poly-Si TFT에 상당하는 제 3 의 종래기술은 예를 들면 일본 특허공개 평 5-275336으로 대표된다. 이 종래기술은 PECVD a-Si 막을 레이저 결정화시킬 때, 레이저의 조사 에너지강도를 순차 늘리는 것으로 손상이 없게 결정화시키는 것이다. 동 공보의 청구항 1에는 「수소화 비정질 반도체박막을 레이저 광의 조사에 의해 다결정화하여 제조하는 방법에 있어서, 레이저광의 조사에너지가 순차 크게 하여 수소화 비정질 반도체박막 중의 수소를 단계적으로 방출시키는 것을 특징으로 하는 다결정 반도체박막의 제조 방법.」이라고 기재되어 있고, 또한 동 공보제 [0022] 단락으로부터 제[0026] 단락에 걸쳐서 이하와 같이 기술되어 있다.

[0022] 레이저광을 a-Si:H 막에 조사하는 방법에 관하여는, 레이저광의 출력에너지를, a-Si:H 막이 다결정화하기에 필요한 에너지 이하의 에너지로 시작은 작게 해두고, 일정한 에너지로 예를 들면 160mJ(다만 빔 사이즈가 0.9cm × 0.9cm, 전체 광학계의 투과율이 70%이니까 막표면의 에너지밀도는 138mJ/cm²이다)로 복수회 주사 조사하는 것과 동시에, 질량분석계로 수소의 양을 감시하여, 수소의 차이가 1회 전의 주사시에 있어서의 양과 너무 변하지 않게 한 다음, 출력에너지를 예를 들면 200mJ(에너지밀도는 173mJ/cm²이다.)로 조금 크게 하여 그 에너지로 복수회 주사 조사하여 마찬가지로 수소의 양을 감시하고, 또한 에너지를 예를 들면 240mJ(에너지밀도는 207mJ/cm²이다.)로 보다 크게 하여 같은 공정을 행하고, 순차 에너지를 크게 하여 이같은 공정을 반복하고, 이것에 의해 a-Si:H 막 중의 수소를 서서히 방출시키고, 그 후 레이저광을 다결정화하는 것에 충분한 에너지로 a-Si:H막에 조사하여 해당 a-Si:H 막을 다결정화 실리콘막으로 바꾼다. 또한 상기의 경우 레이저광의 출력에너지를 바꾸지 않고서 빔을 좁혀 레이저광의 조사 에너지(피처리면의 단위면적당 에너지)를 바꾸더라도 좋다.

[0023] 제3도는 이 같은 레이저 어닐링의 모양을 모식적으로 나타내는 모식도이고, 81은 글라스 기판(다만 TFT의 일부가 막에 부착되어 있다), 82는 화소부에서의 TFT를 형성하기 위한 a-Si:H막, 83은 드라이버부를 형성하기 위한 a-Si:H 막이다.

[0024] 이와 같은 실시예에 의하면, 우선 레이저광에 의해 작은 에너지를 a-Si:H 막에 조사하는 것에 의해 그 에너지에 적당한 수소가 방출되고, 동일 에너지의 레이저광에 의해 복수회 주사조사하는 것에 의해, 해당 에너지에 적당한 수소가 주사회수에 따라서 단계적으로 줄어들게 되어 있고, 이윽고 대개 방출되어 버린다. 그리고 레이저광의 에너지를 전회의 조사에너지보다도 조금 높게 하여 같은 공정을 행하는 것에 의해 더욱 높은 에너지에 적당한 수소가 주사조사의 회수에 따라서 단계적으로 발생하는 것과 동시에 줄어들어 가며, 이리하여 레이저광의 조사에너지를 크게 하여가는 것에 의해, 작은 에너지에 대응한 수소로부터 큰 에너지에 대응한 수소로 순차 방출되어간다.

[0025] 따라서 a-Si:H 막 중의 수소가 단계적으로 방출되고, 더욱이 그 수소의 양을 감시하면서 높은 에너지의 조사로 이동하여 가기 때문에, 실질적으로 막을 손상시키는 일이 없고, 함유수소의 대부분을 방출하여 a-Si:H 막을 다결정화하기 때문에 큰 에너지를 가한 때에 이미 막 중의 수소의 함유량은 적기 때문에, 이들 수소가 단숨에 방출되더라도 막을 손상시키는 일이 없다. 이것에 대하여, a-Si:H막을 다결정화하는데 충분한 에너지를 가지는 a-Si:H 막에 조사하면, 한번에 함유수소를 방출하여 폭발하기 때문에, 이들이 단숨에 분출되는 것에 의해 막이 손상되어 버린다.

[0026] 이상 공정에서 레이저광의 조사에너지를 크게 하더라도 수소 발생량이 미리 정해진 양 이외에는 별 써 발생하지 않은 단계에 이르러, 처음에 상기 a-Si:H막을 다결정화하는데 필요한 에너지를 가지는 레이저광의 조사를 행하는 공정을 실시한다.」

이렇게 하여 다결정 실리콘막을 얻은 후, 이후 제 1 종래기술과 같은 제조방법으로써 poly-Si TFT를 형성한다.

또한 종래 매엽식(枚葉式) PECVD 법으로써 박막을 퇴적하는 때에는 반응실과는 달리 예비가열실을 설치하고, 이 예비가열실에서 기판가열을 행한 후에 반송실의 로봇이나 기판을 반응실에 반송하고, 기판을 반응실에 설치후 또한 수분의 기판 가열을 행하고 나서 박막을 퇴적하고 있었다.

그러나, 상술한 각 종래기술에 따르는 저온 프로세스 poly-Si TFT에는 다음과 같은 문제가 내재하고 있고, 이들이 대량생산화의 저해요인으로 되어있다.

제 1 의 종래기술이 가진 문제.

과제 1-1). 공정온도가 550°C로 높기 때문에, 염가인 글라스를 사용할 수 없고, 제품가격의 양등을 초래한다. 덧붙여 글라스 자체의 중량에 의한 비뚤어짐이 대형화와 동시에 커져, 액정표시장치(LCD)를 대형화 할 수 없다.

과제 1-2). 현재 LCD 용의 글라스기판은 360mm × 460mm의 사이즈로부터 550mm × 650mm의 사이즈로 대형화하려고 하지만, 이 대형화에 대응할 수 있는 LPCVD 장치가 존재하지 않는다.

제 2 의 종래기술이 내포하는 문제.

과제 2-1). LPCVD a-Si에 비하여 기판전체에 걸친 균일한 레이저조사를 행하는 적정조사조건이 엄격하고, 상술한 바와 같이 그 적응범위는 열처리온도가 낮을수록 좁게된다. 그 때문에, 열처리온도를 450°C 정도로부터 500°C 정도로 높게 하지 않을 수 없다. 그것에 따라 염가인 글라스를 사용할 수 없게 되고, 제품가격의 양등을 초래한다. 덧붙여 글라스 자체의 중량에 의한 비뚤어짐이 대형화와 동시에 커지고, 액정표시장치(LCD)를 대형화할 수 없다. 반대로 열처리온도가 450°C 정도 이하로 낮은 경우, 레이저조사에 의한

결정화의 정도가 로트마다 균일하거나, 불균일하게 변동하여, 안정적인 생산을 할 수 없고, 또한 그 결정화도도 낮아 양질의 결정성 반도체막이 얻어지지 않는다.

과제 2-2). 열처리온도의 고저에 불구하고 열처리가 필수이다. 따라서 PECVD 장치의 이외에 열처리로 가 필요하게 된다. 통상 열처리로에 진공장치를 부가하면 LPCVD 장치가 되기 때문에, 열처리로의 가격은 LPCVD 장치의 가격과 같은 정도이다. 이러한 이유에 따라 제 2의 종래기술은 제 1의 종래기술보다도 고가로 되어 버린다. 또한 공정이 길게 되는 만큼 제품수율도 저하한다. 덧붙여 과제 1-2)와 같이 글라스 기판의 대형화에 대응할 수 있는 열처리로가 혼존하지 않는다.

제 3의 종래기술이 내포하는 문제.

과제 3-1), 상술한 인용례에서 나타내는 것같이 수소뿜기를 위하여 135mJ/cm^2 로 복수회 주사조사하고, 다음에 173mJ/cm^2 로 복수회 주사조사하고, 또한 207mJ/cm^2 으로 복수회 주사조사하여, 순차에너지를 크게 하여 같은 공정을 반복한다. 그리고 험유수소의 대부분을 방출한 후에 a-Si 막을 결정화시킨다. 이렇게 해서 PECVD a-Si 막을 결정화시키기까지 적어도 십수회 이상 레이저조사를 반복하지 않으면 안된다. 이 때문에 생산성이 현저히 저하하고, 제품가격의 양등을 초래하게 된다. 또한 동일장소를 수회이상 레이저조사하는 경우, 기판주변의 분위기를 주의 깊게 제어하지 않으면 안된다. 대기 분위기 하에서 레이저조사를 하면 공기중의 산소가 레이저조사마다 반도체막 중에 들어간다. 수소뿜기인 경우는 수소가 빠진 후의 부대결합쌍(댕글링 본드)에 산소가 포획되고, 결정화인 경우에는 Si 원자의 이동시에 산소가 막 중에 도입된다. 레이저조사 회수가 수회이면, 공기 중에서의 산소의 도입도 근소하게 되어 문제는 없지만, 십수회나 반복으로 레이저조사하는 경우에는 산소의 막중으로의 도입에 충분한 주의를 하지 않으면 안된다(말할 것도 없이 Si, Ge, GaAs 등 통상의 반도체물질은 반도체막 중에 산소가 훈입하면 반도체 특성은 저하한다.) 따라서 제 3의 종래기술에서는 레이저조사를 진공 중 혹은 비산화성 분위기 하에서 행하지 않으면 산소훈입이 없는 반도체막은 얻어지지 않는다. 이것은 생산성의 또 다른 저하와 제품가격의 또 다른 상승을 일으키는 것을 의미하고 있다.

과제 3-2) 과제 3-1에서 서술한 것같이 본 종래기술에서는 에너지강도가 작은 상태로 레이저조사한 후에 순차 에너지강도를 올리고 있다. 이 같은 레이저조사에 의한 결정화의 방법에서는 결정립은 크지 않고, 비교적 작은 입경의 결정립으로 다결정 반도체막이 구성되게 된다. 따라서 양질의 반도체막은 가령 산소 훈입이 없더라도 얻어지지 않고, 때문에 그것을 사용한 박막 반도체 장치의 특성도 우수하지 않게 된다.

그리하여 본 발명은 상술한 바와 같은 여러가지 과제의 해결을 목표로 하며, 그 제 1 목적은 양호한 박막 반도체 장치를 현실적인 간편한 수단으로, 통상의 대형 글라스 기판을 사용할 수 있는 제조장치와 공정온도로 안정적으로 제조하는 방법을 제공하는 것에 있다.

한편 비정질 실리콘막을 박막 반도체 장치의 능동층에 사용한 때(이후 이것을 a-Si TFT라고 약기한다.), 그 이동도는 $0.1\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 정도이고, 예를 들면 $768(\text{행}) \times 1024(\text{열}) \times 3(\text{색}) = 2359296(\text{화소})$ 라는 고정밀 컬러 LCD의 스위칭 소자에는 응답속도가 너무 늦어 사용할 수 없다는 문제가 생기고 있다. 즉 종래 사용되고 있는 a-Si TFT와 동등의 제조공정에서 이동도가 $1\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 이상으로 되는 박막 반도체 장치와 그 제조방법이 강하게 요구되고 있다.

그리하여 본 발명의 별도의 목적은 상술한 과제의 해결을 목표로 하며, 그 제 2 목적은 a-Si TFT와 동등인 제조공정에서 이동도가 $1\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 이상이 되는 박막 반도체 장치와 그 제조방법을 제공하는 것에 있다.

또한 종래의 매업식 PECVD 장치에 따르는 박막퇴적방법에서는 예비가열실의 존재가 불가결하기 때문에, PECVD 장치가 대형화하여 그 가격도 양등한다는 문제가 생기고 있다. 또한 반송실의 로봇의 온도는 실온 정도이고, 예비가열온도가 300°C 정도 이상이기 때문에, 기판의 예비가열실에서 반응실에의 반송중에 기판 온도가 저하하여 버리고, 결국 반응실에 기판 설치후 여전히 장시간의 예비가열기간이 필요하게 되어, 저생산성의 한가지 원인이 되고 있다.

그리하여 본 발명의 별도의 목적은 상술한 과제의 해결을 목표로 하고, 그 제 3의 목적은 매업식 PECVD 장치에 따르는 박막퇴적에 있어서도 간편하고 또한 높은 생산성을 가지는 박막퇴적방법을 제공하는 것에 있다.

발명의 상세한 설명

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하여 플라즈마 화학기상퇴적법(PECVD 법)으로 해당 반도체막을 막두께가 40 nm 정도로부터 300 nm 정도로 이루어지도록 퇴적하는 공정을 포함하는 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH_4 , Si_2H_6 , Si_3H_8)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 해당 원료기체의 농도가 6.25%정도 이하로 플라즈마 화학기상퇴적법(PECVD 법)으로 해당 반도체막을 퇴적하는 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH_4 , Si_2H_6 , Si_3H_8)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체

막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 반도체막 퇴적 중의 반응실 내의 압력이 1.0Torr 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 해당 반도체막을 퇴적하는 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 반도체막 퇴적 중의 반응실 내의 전극간 거리가 17.8 mm 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 해당 반도체막을 퇴적하는 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15nm/s정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH_4 , Si_2H_6 , Si_3H_8)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 해당 원료기체의 농도가 6.25% 정도 이하로 플라즈마 화학기상퇴적법(PECVD 법)으로 해당 반도체막을 퇴적하는 공정을 포함하며, 이 때 해당 반도체막 퇴적 중의 반응실 내의 압력이 1.0 Torr 정도 이상인 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15nm/s정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 해당 원료기체의 농도가 6.25%정도 이하로 플라즈마 화학기상퇴적법(PECVD 법)으로 해당 반도체막을 퇴적하는 공정을 포함하며, 해당 반도체막 퇴적 중의 반응실 내의 전극간 거리가 17.8mm 정도 이상인 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH_4 , Si_2H_6 , Si_3H_8)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 반도체막 퇴적 중의 반응실 내의 압력이 1.0Torr 정도 이상이고, 또한 전극간 거리가 17.8 mm정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 해당 반도체막을 퇴적하는 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하며, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 해당 원료기체의 농도가 6.25% 정도 이하이고, 또한 해당 반도체막 퇴적 중의 반응실 내의 압력이 1.0 Torr 정도 이상이고, 또한 전극간 거리가 17.8 mm 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 해당 반도체막을 퇴적하는 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하여 플라즈마화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH_4 , Si_2H_6 , Si_3H_8)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 상기 원료기체의 농도가 6.25% 정도 이하에서 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제1 공정과, 해당 반도체막의 결정성을 높이는 제2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 상기 반도체막 퇴적 중의 반응실 내의 압력이 1.0 Torr 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH_4 , Si_2H_6 , Si_3H_8)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해

당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 상기 반도체막 퇴적 중의 반응실 내의 전극간 거리가 17.8 mm 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 상기 원료기체의 농도가 6.25% 정도 이하이고, 또한 상기 반도체막 퇴적 중의 반응실 내의 압력이 1.0 Torr 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 상기 원료기체의 농도가 6.25% 정도 이하이고, 또한 상기 반도체막 퇴적 중의 전극간 거리가 17.8 mm 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 상기 원료기체의 농도가 6.25% 정도 이하이고, 또한 상기 반도체막 퇴적 중의 압력이 1.0 Torr 정도 이상이고, 또한 전극간 거리가 17.8 mm 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고, 상기 원료기체의 농도가 6.25% 정도 이하이고, 또한 상기 반도체막 퇴적 중의 반응실 내의 압력이 1.0 Torr 정도 이상이고, 또한 전극간 거리가 17.8 mm 정도 이상으로 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막의 퇴적속도가 0.15 nm/s 정도 이상인 것을 특징으로 한다. 또한 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하고 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막에 광학에너지 또는 전자파 에너지 조사를 행하는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 실리콘막을 형성하고, 해당 실리콘막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치에 있어서, 해당 실리콘막은 적외흡수분광법으로써 측정하였을 때, 적어도 2102cm⁻¹ 부근(2098cm⁻¹ 정도로부터 2106cm⁻¹ 정도의 사이)의 흡수피크와 2084cm⁻¹ 부근(2080cm⁻¹ 정도로부터 2088cm⁻¹ 정도의 사이)의 흡수피크의 2 개가 존재하고 있고, 해당 2102cm⁻¹ 부근의 흡수피크강도가 2000cm⁻¹ 부근(1980cm⁻¹ 정도로부터 2020cm⁻¹ 정도의 사이)의 흡수피크 강도보다도 강한 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 실리콘막을 형성하고, 해당 실리콘막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 적외흡수분광법으로써 측정하였을 때, 적어도 2102cm⁻¹ 부근(2098cm⁻¹ 정도로부터 2106cm⁻¹ 정도의 사이)의 흡수피크와 2084cm⁻¹ 부근(2080cm⁻¹ 정도로부터 2088cm⁻¹ 정도의 사이)의 흡수피크의 2 개가 존재하고 있고, 해당 2102cm⁻¹ 부근의 흡수피크강도가 2000cm⁻¹ 부근(1980cm⁻¹ 정도로부터 2020cm⁻¹ 정도의 사이)의 흡수피크 강도보다도 강한 실리콘막을 플라즈마 화학기상퇴적법(PECVD 법)으로 퇴적하는 공정을 포함하는 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 실리콘막을 형성하고, 해당 실리콘막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 적외흡수분광법으로써 측정하였을 때, 적어도 2102cm⁻¹ 부근(2098cm⁻¹ 정도로부터 2106cm⁻¹ 정도의 사이)의 흡수피크와 2084cm⁻¹ 부근(2080cm⁻¹ 정도로부터 2088cm⁻¹ 정도의 사이)의 흡수피크의 2 개가 존재하고 있고, 해당

2102cm^{-1} 부근의 흡수피크강도가 2000cm^{-1} 부근(1980cm^{-1} 정도로부터 2020cm^{-1} 정도의 사이)의 흡수피크강도 보다도 강한 실리콘막을 형성하는 제 1 공정과, 해당 실리콘막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 제 1 공정을 플라즈마 화학기상퇴적법(PECVD 법)으로 행하는 것도 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 실리콘막을 형성하고, 해당 실리콘막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 적외흡수분광법으로써 측정하였을 때, 적어도 2102cm^{-1} 부근(2098cm^{-1} 정도로부터 2106cm^{-1} 정도의 사이)의 흡수피크와 2084cm^{-1} 부근(2080cm^{-1} 정도로부터 2088cm^{-1} 정도의 사이)의 흡수피크의 2 개가 존재하고 있고, 해당 2102cm^{-1} 부근의 흡수피크강도가 2000cm^{-1} 부근(1980cm^{-1} 정도로부터 2020cm^{-1} 정도의 사이)의 흡수피크강도 보다도 강한 실리콘막을 형성하는 제 1 공정과, 해당 실리콘막의 광학에너지 또는 전자파에너지 조사를 행하는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 제 1 공정을 플라즈마 화학기상퇴적법(PECVD 법)으로 행하는 것도 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 있어서, 해당 반도체막은 비정질 성분과 결정질 성분의 양자를 포함하며, 해당 비정질 성분은 기동상 구조를 이루고 있는 것을 특징으로 한다. 이 때 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 비정질 성분과 결정질 성분의 양자를 포함하며, 해당 비정질 성분이 기동상 구조를 이루고 있는 반도체막을 퇴적하는 제 1 공정과, 해당 기동상 구조 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 비정질 성분과 결정질 성분의 양자를 포함하며, 해당 비정질 성분이 기동상 구조를 이루고 있는 반도체막을 퇴적하는 제 1 공정과, 해당 기동상 구조 반도체막에 광학에너지 또는 전자파에너지를 조사하는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 비정질 성분과 결정질 성분의 2 개를 포함하고 있고 해당 비정질 성분이 기동상 구조를 이루고 있는 반도체막을 퇴적하는 제 1 공정과, 해당 기동상 구조 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 비정질 성분과 결정질 성분의 2 개를 포함하며 해당 비정질 성분이 기동상 구조를 이루고 있는 반도체막을 퇴적하는 제 1 공정과, 해당 기동상 구조 반도체막에 광학에너지 또는 전자파에너지를 조사하는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 훈정(混晶) 상태에 있는 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 해당 반도체막을 성막할 때에 성막실 내에는 아르곤(Ar)이 존재하는 것을 특징으로 한다. 이 때 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 훈정 상태에 있는 반도체막을 퇴적하는 제 1 공정과, 해당 훈정 상태에 있는 반도체막을 퇴적하는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 훈정 상태에 있는 반도체막을 아르곤(Ar) 존재 분위기 하에서 퇴적하는 제 1 공정과, 해당 훈정 상태에 있는 반도체막을 결정화시키는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 제 2 공정에 있어서의 결정화가 단시간 용융상태를 거치고 있는 것도 특징으로 한다. 또한 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 훈정 상태에 있는 반도체막을 아르곤(Ar) 존재 분위기 하에서 퇴적하는 제 1 공정과, 해당 훈정 상태에 있는 반도체막에 광학에너지 또는 전자파에너지를 조사하는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 제 2 공정에 있어서 반도체막이 단시간 용융상태에 있는 것도 특징으로 한다. 또한 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 훈정 상태에 있는 반도체막을 퇴적하는 제 1 공정과, 해당 훈정 상태에 있는 반도체막을 결정화시키는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 제 2 공정에 있어서 반도체막이 단시간 용융상태에 있는 것도 특징으로 한다. 또한 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막을 형성하고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치의 제조방법에 있어서, 훈정 상태에 있는 반도체막을 플라즈마 화학기상퇴적법(PECVD 법)으로 희석기체로서 아르곤(Ar)을 사용하여 퇴적하는 제 1 공정과, 해당 훈정 상태에 있는 반도체막에 광학에너지 또는 전자파에너지 조사를 행하는 제 2 공정을 포함하는 것을 특징으로 한다. 이 때 상기 제 2 공정에 있어서 반도체막이 단시간 용융상태에 있는 것도 특징으로 한다. 또한 상기 반도체막은 실리콘막인 것을 특징으로 한다.

본 발명의 액정표시장치는 상술한 박막 반도체 장치를 구비하는 것을 특징으로 한다. 또한 본 발명의 전자기기는 이러한 액정표시장치를 구비하는 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막이 형성되어 있고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치가 설치된 한쪽의 기판과, 다른 한쪽의 기판과의 사이에 액정을 삽입 지지하는 액정표시장치의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하여 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다.

본 발명은 적어도 표면의 일부가 절연성 물질인 기판의 해당 절연성 물질 상에 반도체막이 형성되어 있고, 해당 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치가 설치된 한쪽의 기판과, 다른 한쪽의 기판의 사이에 액정을 삽입 지지하는 핵정표시장치를 가지는 전자기기의 제조방법에 있어서, 해당 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 또한 추가기체로서 아르곤(Ar)을 사용하여 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 해당 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 한다.

본 발명은 플라즈마 화학기상퇴적장치(PECVD 장치)로 기판 상에 박막을 퇴적하는 방법에 있어서, 반응실 내에 기판을 설치하는 제 1 공정과, 해당 기판 설치 후, 성막시에 당해 반응실에 도입하는 기체보다도 열전도도가 높은 기체를 당해 반응실에 도입하여 해당 기판의 제 1 예비가열을 행하는 제 2 공정과, 플라즈마를 일으키는 것을 제외하고 성막의 여러 가지 조건을 성막과정과 동일하게 하여 해당 기판의 제 2 예비가열을 행하는 제 3 공정과, 그 후 박막의 성막을 시도하는 제 4 공정을 포함하는 것을 특징으로 한다.

본 발명은 플라즈마 화학기상퇴적장치(PECVD 장치)로 기판 상에 박막을 퇴적하는 방법에 있어서, 반응실 내에 기판을 설치하는 제 1 공정과, 해당 기판 설치 후, 당해 반응실을 성막시보다도 높은 압력으로 유지하여 해당 기판의 제 1 예비가열을 행하는 제 2 공정과, 플라즈마를 일으키는 것을 제외하고 성막의 여러 가지 조건을 성막과정과 동일하게 하여 해당 기판의 제 2 예비가열을 행하는 제 3 공정과, 그 후 박막의 성막을 시도하는 제 4 공정을 포함하는 것을 특징으로 한다.

본 발명은 플라즈마 화학기상퇴적장치(PECVD 장치)로 기판 상에 박막을 퇴적하는 방법에 있어서, 반응실 내에 기판을 설치하는 제 1 공정과, 해당 기판 설치 후, 성막시에 당해 반응실에 도입하는 기체보다도 열전도도가 높은 기체를 성막시보다도 높은 압력으로 당해 반응실에 도입하여 해당 기판의 제 1 예비가열을 행하는 제 2 공정과, 플라즈마를 일으키는 것을 제외하고 성막의 여러 가지 조건을 성막과정과 동일하게 해당 기판의 제 2 예비가열을 행하는 제 3 공정과, 그 후 박막의 성막을 시도하는 제 4 공정을 포함하는 것을 특징으로 한다.

이하 도면을 참조하면서 본 발명의 기초원리 및 실시의 형태를 상세히 설명한다. 제3(a)도 내지 제3(d)도는 MIS 형 전계효과 트랜지스터를 형성하는 박막 반도체장치의 제조공정을 단면으로 나타낸 개략도이다. 이 도면을 사용하여 본원발명에 관계되는 TFT의 제조방법의 개략을 서술한 후에 각 공정의 상세한 내용을 설명한다.

(1, 본원발명의 박막 반도체 장치의 제조방법의 개략)

본 발명에서는 기판(101)의 일례로서 범용 무알칼리 글라스를 사용한다. 우선 기판(101)상에 APCVD(상용화학기상퇴적법)이라든지 PECVD 법 혹은 스팍터법 등으로 절연성 물질인 기초보호막(102)을 형성한다. 다음에 후에 박막 반도체 장치의 능동층이 되는 진성 실리콘막 등의 반도체막을 퇴적한다. 반도체막은 PECVD 법이라든지 APCVD 법등의 화학기상퇴적법(CVD 법), 혹은 스팍터법이라든지 증착법 등의 물리기상퇴적법(PVD 법)에 의해 형성된다. 이렇게 해서 얻어진 반도체막은 그 다음 as-deposited 막으로 TFT의 채널부 등의 능동층으로서 사용하는 것도 가능하고, 혹은 또한 이것들의 반도체막에 레이저광 등의 광학에너지 또는 전자파에너지를 단시간 조사하여 결정화를 진행시키더라도 좋다. 최초에 퇴적한 반도체막이 비정질이거나, 비정질과 미결정이 혼재하는 혼정질이면, 이 공정은 결정화라고 불린다. 한편, 최초에 퇴적한 반도체막이 다결정질이면, 이 공정은 재결정화라고 불린다. 본 명세서에서는 특별히 한정하지 않은 한 양자를 합해 단지 결정화 혹은 결정성을 높이는 공정이라고 칭한다. 레이저광 등의 에너지강도가 높으면, 결정화의 때에 반도체막은 한번 용융하여 냉각고화과정을 거쳐서 결정화한다. 이것을 본원에서는 용융결정화법이라고 칭한다. 이것에 대하여 반도체막의 결정화를 용융하지 않고서 고체상으로써 진행시키는 방법을 고상성장법(SPC 법)이라고 칭한다. 고상성장법은 550°C 정도로부터 650°C 정도의 온도로 수시간으로부터 수십시간에 걸쳐 결정화를 진행시키는 Furnace-SPC 법(열처리법)과, 1 초 미만으로부터 1 분 정도의 단시간에 700°C에서 1000°C의 고온에서 결정화를 진행시키는 RTA 법(급속열처리법), 및 레이저광 등의 에너지강도가 낮은 때에 생기는 VST-SPC 법(극단시간 고상성장법)의 삼자로 주로 분류된다. 본원 발명은 이를 어느 쪽의 결정화방법도 적용 가능하지만, 대형 기판을 높은 생산성으로 제조한다는 관점에서 보면 용융결정화법이라든지 RTA법, VST-SPC 법으로 나누는 것이 적합하다. 이것들의 결정화방법에서는 조사시간이 대단히 단시간이고 또한 조사영역도 기판전체에 대하여 국소적이기 때문에, 반도체막의 결정화에 있어서 기판 전체가 동시에 고온으로 가열되는 일은 없고, 그러므로 기판의 열에 따르는 변형이라든지 균열등도 생기지 않는 까닭이다. 그 후 이 반도체막을 패터닝하고, 후에 트랜지스터의 능동층이 되는 반도체막(103)을 형성한다(제3(a)도).

반도체막 형성 후, CVD 법이라든지 PVD 법 등으로 게이트 절연막(104)을 형성한다.(제3(b)도) 절연막 형성에 대하여 여러 가지의 제조방법이 생각되지만, 절연막 형성온도는 350°C 정도 이하가 바람직하다. 이

것은 MOS 계면이라든지 게이트 절연막의 열에 의한 열화를 방지하기 위하여 중요하다. 같은 방법은 이하의 모든 공정에 대하여도 적용된다. 게이트 절연막 형성후의 모든 공정온도는 350°C 정도 이하로 내리지 않으면 안된다. 이렇게 하는 것에 의해 고성능인 박막 반도체 장치를 용이하게, 또한 안정적으로 제조할 수 있기 때문이다. 그런데 일반적으로 CVD 법이라든지 PVD 법으로 형성된 산화막은 반도체막을 1000°C 정도 이상 온도로 열산화하여 형성한 산화막과 비교하면 막 품질이 떨어진다. 예를들면 적외흡수분광법으로 산화규소막을 분석하면 O-Si-O의 스트레칭모드에 근거하는 주흡수피크가 1080cm⁻¹ 부근에 출현한다. 막품질이 우수한 열산화막에서는 이 주흡수피크가 1086±10cm⁻¹ 부근에 반값폭이 80±10cm⁻¹ 정도로 그 흡수계수가 33400±4000cm⁻¹ 정도로 출현한다. 이것에 대하여 CVD 법이라든지 PVD 법으로 형성된 산화막에서는 주흡수피크는 1070±10cm⁻¹ 부근에 반값폭이 108±10cm⁻¹ 정도로 그 흡수계수가 24000±3000cm⁻¹ 정도로 출현한다. CVD 법이라든지 PVD 법으로 형성된 품질이 떨어지는 산화막은, 그 때문에 막퇴적 후에 막질 개선처리를 행하는 것이 요망된다. 이것은 구체적으로는 200°C 정도로부터 400°C 정도의 온도로, 산소를 분압으로 0.1 기압정도로부터 3 기압정도 포함하며, 또한 산화막 품질개선반응의 촉매로서의 수증기를 노점으로 20°C 정도로부터 100°C 정도 포함한 산화성 분위기 중에서 10 분 정도로부터 5 시간 정도의 시간에 걸쳐서 산화막을 열처리하게 된다. 예를들면 모노실란(SiH₄)과 아산화질소(N₂O)를 원료로서 PECVD 법으로 성막한 산화막은 as-deposited 상태에서는 주흡수피크가 1068cm⁻¹ 부근에 반값폭이 110cm⁻¹ 정도로 그 흡수계수가 23600cm⁻¹ 정도로서 출현한다. 이 산화막을 350°C 정도의 온도로 산소를 분압으로 0.2 기압 정도로 수증기를 노점으로 80°C 정도 포함한 분위기 하에서 약 3 시간의 열처리를 행하면, 앞의 주흡수피크는 1077cm⁻¹ 부근에 반값폭이 95cm⁻¹ 정도로 흡수계수가 27500cm⁻¹ 정도인 것으로 개선된다. 이것은 열산화막보다는 막품질에서 약간 뒤떨어지지만, 350°C 정도의 저온공정에서 형성된 산화막에서는 양질인 것이라고 말할 수 있다. 이와 같이 저온 프로세스로 산화막을 형성하는 경우, 산화막 퇴적후의 산화성 분위기 하에서의 열처리는 양호한 반도체장치 제조상에서 더없이 유효하다. 또한 박막 반도체 장치의 반도체층이 기초보호막 등의 산화막상에 형성되는 경우에는 이 산화막에 대하여도 수증기 등을 함유하는 산화성 분위기 하에서의 열처리를 행하는 것이 바람직하다.

계속해서 게이트전극(105)이 되는 박막을 PVD 법 혹은 CVD 법 등으로 퇴적한다. 통상은 게이트전극과 게이트배선은 동일재료로써 동일공정에서 만들어지기 때문에, 이 재질은 전기저항이 낮고, 350°C 정도의 열공정에 대하여 안정한 것이 요망된다. 게이트전극이 되는 박막을 퇴적후 패터닝을 행하고, 잇따라 반도체막에 불순물이온주입(106)을 행하여 소스·드레인영역(107) 및 채널영역(108)을 형성한다. (제3(c)도) 이때 게이트전극이 이온주입의 마스크로 되고, 그러므로 채널은 게이트전극 하에만 형성되는 자기정합구조로 이루어진다. 불순물 이온주입은 질량비분리형 이온주입장치를 사용하여 주입불순물원소의 수소화물과 수소를 주입하는 이온·도핑법과, 질량분리형 이온주입장치를 사용하여 원하는 불순물원소만을 주입하는 이온주입법의 2 종류가 적용될 수 있다. 이온·도핑법의 원료가스로서는 수소 중에 희석된 농도 0.1% 정도로부터 10% 정도의 포스핀(PH₃)이라든지 디보란(B₂H₆) 등의 주입불순물원소의 수소화물을 사용한다. 이온주입법에서는 원하는 불순물원소만을 주입한 후에 잇따라 수소이온(프로톤이라든지 수소분자이온)을 주입한다. 상술한 바와 같이 MOS 계면이라든지 게이트절연막을 안정하게 유지하기 위하여는, 이온·도핑법으로서 이온주입법이 가능하고 이온주입시의 기판온도는 350°C 이하가 아니면 안된다. 한편 주입불순물의 활성화를 350°C 이하의 저온으로 항상 안정적으로 행하기에는(본원에서는 이것을 저온활성화라고 칭한다), 이온주입시의 기판온도는 200°C 이상인 것이 바람직하다. 트랜지스터의 문턱전압을 조정하기 위하여 채널·도프를 행하거나, 혹은 LDD 구조를 작성하는 것같이 저농도로 주입된 불순물이온을 저온으로 확실하게 활성화하기 위해서는, 이온주입시의 기판온도는 250°C 이상인 것이 필요하게 된다. 이와 같이 기판온도가 높은 상태로 이온주입을 행하면, 반도체막의 이온주입에 따른 결정파괴의 때에 재결정화도 동시에 생기고, 결과로서 이온주입부의 비정질화를 막는 일이 가능하기 때문이다. 즉 이온주입된 영역은 주입후도 여전히 결정질로서 남고, 그 후의 활성화온도가 350°C 정도 이하로 저온이라도 주입이온의 활성화가 가능하게 이루어지는 이유이다. CMOS TFT를 작성하는 때는 폴리아이미드 수지 등의 적당한 마스크재를 사용하여 NMOS 또는 PMOS의 한쪽을 교대로 마스크로 덮고, 상술한 방법으로 각각의 이온주입을 행한다.

다음에 층간 절연막(109)을 CVD 법 혹은 PVD 법으로 형성한다. 이온주입과 층간 절연막 형성후, 350°C 정도 이하가 적당한 열환경하에서 수십분에서 수시간의 열처리를 행하여 주입이온의 활성화 및 층간 절연막의 담금질을 행한다. 이 열처리는 먼저 게이트 절연막 퇴적 후에 행한 수증기함유 산화성 분위기 하에서의 열처리와 같은 조건으로 행하는 것도 가능하다. 단지 열처리온도는 주입이온을 확실하게 활성화하기 위하여 250°C 정도 이상이 바람직하다. 또한 층간절연막을 효율적으로 담금질하기 위해서는 300°C 정도 이상의 온도가 바람직하다. 통상 게이트 절연막과 층간 절연막에서는 그 막품질이 다르다. 그 때문에 층간 절연막 형성후 2 개의 절연막에 컨택트홀을 열 때, 절연막의 애칭속도가 다른 것이 보통이다. 이러한 조건 하에서는 컨택트홀의 형상이 하방일수록 넓은 역태이퍼형상으로 이루어지거나 혹은 차양이 발생하고, 그 후 전극을 형성한 때에 전기적인 통전이 잘 도입되지 않는 소위 접촉불량의 원인으로 된다. 층간절연막을 효율적으로 담금질하면 이러한 접촉불량의 발생을 최소한으로 줄일 수 있다. 층간절연막 형성 후 소스·드레인 상에 컨택트홀을 열고, 소스·드레인 인출전극(110)과 배선을 PVD 법이라든지 CVD 법등으로 형성하여 박막 반도체 장치를 완성한다. (제3(d)도)

또한 본 장에서는 게이트전극이 반도체막에 대하여 상측에 있는 형의 박막 반도체 장치를 예로서 설명하여 왔지만, 본원발명은 게이트전극이 반도체막에 대하여 하측에 있는 형의 박막 반도체 장치에도 적용 가능하다.

(2. 본원발명의 박막 반도체 장치의 제조방법에 관한 공정마다의 상세한 설명)

(2-1. 본 발명이 적용되는 기판과 기초보호막)

우선 본 발명이 적용되는 기판과 기초보호막에 대하여 설명한다. 본 발명이 적용될 수 있는 기판으로는 금속 등의 전도성물질, 실리콘·카바이트(SiC)라든지 알루미나(Al₂O₃), 질화알루미늄(AlN)등의 세라믹 재료, 용융석영이라든지 글라스 등의 투명절연성물질, 실리콘 웨이퍼 등의 반도체기판 및 그것들을 가공한

LSI, 사파이어(삼방정계 Al₂O₃ 결정) 등의 결정성 절연물질 등이 사용된다. 염가인 범용 글라스 기판에서는 코닝제펜 가부시키가이샤 제 #7059글라스라든지 #1737글라스, 혹은 니혼덴키가라스 가부시키가이샤 제 0A-2글라스, 주식회사NH 테크노글라스제 NA35 글라스 등이 사용될 수 있다. 반도체막은 기판의 종류에 구애되지 않고, 적어도 기판의 표면의 일부가 절연성 물질로 구성되고, 그 절연성 물질 상에 퇴적된다. 이 절연성 물질을 본원에서는 기초보호막이라고 칭한다. 예를들면 기판으로서 용융석영기판을 사용한 때는 기판자신이 절연성 물질이기 때문에, 용융석영기판 상에 직접 반도체막을 퇴적해도 된다. 혹은 산화규소막(SiO_x: 0 < x ≤ 2)이라든지 질화규소막(Si₃N_x: 0 < x ≤ 4)등의 절연성 물질을 용융석영기판상에 기초보호막으로서 형성한 후에 반도체막을 퇴적해도 된다. 기판으로서 통상 글라스를 사용하는 경우, 반도체막을 직접 절연성물질인 통상 글라스 상에 퇴적해도 되지만, 글라스 중에 포함되고 있는 나트륨(Na)등의 가동이온이 반도체막중에 훈입하지 않도록 산화규소막이라든지 질화규소막 등의 절연성물질로 글라스 기판 상에 기초보호막을 형성한 후에 반도체막을 퇴적하는 것이 바람직하다. 이렇게 하는 것으로 밖막 반도체 장치는 장시간에 걸친 사용이라든지 고전압하에서의 사용에 대하여 동작특성이 변화하는 일없이, 안정성이 증가하는 이유이다. 본원에서는 이 안정성을 트랜지스터의 신뢰성이라고 부른다. 사파이어 등의 결정성 절연물을 기판으로서 사용하는 경우를 제외하고 반도체막은 기초보호막 상에 퇴적되는 것이 바람직하다. 각종 세라믹기판을 기판으로서 사용하는 경우, 세라믹 중에 첨가되고 있는 소결조재원료가 반도체부에 확산훈입하는 것을 방지하는 역할을 기초보호막이 행하고 있다. 또한 금속재료를 기판으로서 사용하는 때에는 절연성을 확보하기 위하여 기초보호막은 필요불가결하다. 또한 반도체기판이라든지 LSI 소자로서는 트랜지스터간이라든지 배선간의 층간절연막 등이 기초보호막의 역할을 하고 있다. 기판의 크기라든지 형상에는 그것이 제조공정중의 열환경에 대하여 신축이라든지 휨 등의 변형이 생기지 않는 한 완전히 어느 제한도 가해지지 않는다. 즉 직경 3 인치(76.2mm) 정도의 원판으로부터 560mm × 720mm 정도 이상 장방형기판에 이르는 까지 임의이다.

기초보호막은 우선 기판을 순수한 물로써 세정한 후, 기판 상에 APCVD 법이라든지 LPCVD 법, PECVD 법등의 CVD법, 혹은 스퍼터법 등의 PVD 법으로 산화규소막 이라든지 산화알루미늄막, 산화탄탈막 등의 산화막, 혹은 질화규소막 등의 질화막이 형성된다. APCVD 법에서는 기판온도 50°C에서 450°C 정도로 모노실란(SiH₄)이라든지 산소를 원료로 하면 산화규소막을 퇴적할 수 있다. PECVD 법이라든지 스퍼터법으로서는 기판온도를 실온으로부터 400°C 정도의 사이에서 이들 기초보호막이 형성된다. 기초보호막의 두께는 기판으로부터의 불순물이온의 확산훈입을 방지하는데 충분한 두께가 필요하고, 그 값은 최소로 100nm 정도이다. 로트간이라든지 기판간의 겹차를 고려하면 200nm 정도이상이 바람직하고, 300nm이면 보호막으로서의 기능을 충분히 다할 수 있다. 기초보호막이 IC 소자간이나 이들을 연결하는 배선 등의 층간절연막을 겹하는 때에는 통상 400nm에서 600nm 정도의 막 두께로 이루어진다.

(2-2, 본 발명의 반도체막과 이를 성막하기 위한 원료물질)

본 발명에서는 반도체막을 어떠한 기판의 위에 퇴적한다. 이것은 이하 모든 발명에 공통하고 있다. 본 발명이 적용되는 반도체막의 종류로서는 실리콘(Si)이라든지 게르마늄(Ge) 등의 단체의 반도체막의 이외에 실리콘·게르마늄(SixGe_{1-x}: 0 < x < 1)이 라든지 실리콘·카바이트(SixCl_{1-x}: 0 < x < 1)라든지 게르마늄·카바이트(GexCl_{1-x}: 0 < x < 1) 등의 4족원소 복합체의 반도체막이라든지 갈륨·비소(GaAs), 인듐·안티몬(InSb) 등의 3족원소와 5족원소의 복합체 화합물을 반도체막, 또는 카드뮴·셀렌(CdSe) 등의 2족원소와 6족원소의 복합체 화합물을 반도체막도 가능하다. 혹은, 실리콘·게르마늄·갈륨·비소(SixGe_yGa_xAs_z: x+y+z=1)라는 또 다른 복합화합물을 반도체막이라든지 이것들의 반도체막에 인(P), 비소(As), 안티몬(Sb)등의 도너 원소를 첨가한 N형 반도체막, 혹은 봉소(B), 알루미늄(Al), 갈륨(Ga), 인듐(In)등의 억셉터 원소를 첨가한 P형 반도체막에도 본 발명은 적용 가능하다.

본 발명에서는 반도체막을 CVD 법으로 퇴적하는 경우, 퇴적되는 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 반도체막을 퇴적한다. 예를 들면 반도체막이 실리콘(Si)인 경우, 원료기체로서는 모노실란(SiH₄), 디실란(Si₂H₆), 트리실란(Si₃H₈), 디클로로실란(SiH₂Cl₂) 등의 실란을 사용한다. 본 명세서에서는 디실란이라든지 트리실란을 고차실란(Si_nH_{2n+2}: n은 2 이상의 정수)이라고 칭한다. 게르마늄(Ge)이 반도체막인 경우는 게르만(GeH₄) 등을 사용하고, 탄소(C)라든지 갈륨(Ga), 비소(As)를 반도체로 하는 때에는 메탄(CH₄)이라든지, 트리메틸갈륨((CH₃)₃Ga), 알신(AsH₃)등을 사용한다. 또한 인(P)이라든지 보론(B)을 반도체막에 첨가하는 때에는 포스핀(PH₃)이라든지 디보란(B₂H₆) 등도 동시에 사용된다. 원료기체로는 상술한 각종 반도체막을 구성하는 원소를 함유하는 화학물질이 사용되지만, 반드시 원료기체의 일부가 반도체막 중에 잔류하기 때문에, 구성원소의 수소화물이 보다 바람직하다. 예를 들면 디크로로실란(SiH₂Cl₂)으로부터 성막되는 실리콘막에는 양의 대소는 어쨌든 반드시 염소(Cl)가 잔류하고, 이 실리콘막을 밖막 반도체 장치의 능동층에 사용한 경우 잔류염소가 트랜지스터 특성의 약화요인이 된다. 따라서 디클로로실란보다는 구성원소의 수소화물인 모노실란(SiH₄)의 쪽이 바람직하다. 원료기체 및 필요에 따라서 첨가되는 추가기체의 순도는 높으면 높을수록 바람직하지만, 고순도기체를 얻는 기술적인 곤란함의 증대와, 가격상승을 고려하면, 순도는 99.9999% 이상이 바람직하다. 통상 반도체막 성막장치는 배경진공도가 10⁻⁶ torr 정도이고, 성막압력이 0.1torr에서 수 torr이다. 그 때문에 배경진공으로부터 성막과정에의 불순물훈입의 비율은 10⁻⁵으로부터 10⁻⁶ 정도가 된다. 성막에 사용하는 원료기체라든지 추가기체의 순도는 그것들의 기체를 이용하는 성막장치의 배경진공도에 대한 성막압력의 비와 동등하면 충분하다. 따라서 본 발명의 경우 성막장치에 훈리는 기체의 순도는 99.999% 이상(불순물의 비율이 1 × 10⁻⁵ 이하)이 바람직하고, 99.9999%(불순물의 비율이 1 × 10⁻⁶ 이하)이면 원료로서의 사용에 완전히 지장은 없고, 배경진공도와 성막 압력의 비의 십배의 순도(이 예에서는 순도가 99.9999%이고, 불순물의 비율이 1 × 10⁻⁷ 이하)가 되면 기체로부터의 불순물 훈입은 완전히 고려할 필요가 없이 이상적이다.

(2-3, 본 발명에서 사용한 PECVD 장치)

우선 제2도를 사용하여 본 발명에 사용한 플라즈마 화학기상퇴적장치(PECVD 장치)의 개략구성을

설명한다. PECVD 장치는 매엽식 용량결합형으로 플라즈마는 공업용주파수(13.56 MHz)의 고주파전원을 사용하여 평행평판 전극간에 발생시킨다.

제2도의 상부도는 반응실 부근을 상부에서 본 개략도로, 도면중의 A-A'의 단면도가 제2도의 하부도이다. 반응실(201)은 반응용기(202)에 따라 외기로부터 격리단절되고, 성막중에 보통 0.1torr에서 10torr 정도의 감압상태로 된다. 반응용기(202) 내에는 하부 평판전극(203)과 상부 평판전극(204)이 상호 평행하게 설치되어 있고, 이들 2매의 전극이 평행평판 전극을 형성한다. 이 평행평판 전극간이 반응실(201)이 된다. 본원발명에서는 470mm×560mm의 평행평판 전극을 사용하고, 전극간 거리를 18.0mm에서 37.0mm로 가변으로 하였기 때문에 반응실(201)의 용적은 전극간 거리에 대응하여 4738cm³로부터 9738cm³가 된다. 평행평판 전극간 거리는 하부 평판전극(203)의 위치를 오르내리게 함에 따라, 10.0mm에서 40.0mm의 사이에서 자유롭게 설정할 수 있다. 또한 소정의 전극간 거리로 설정한 경우, 470mm×560mm의 평판전극면 내에서의 전극간 거리의 편차는 불과 0.5mm이다. 따라서 전극간에 생기는 전계강도의 편차는 평판전극면 내에서 2% 정도 이하가 되어 더없이 균질한 플라즈마가 반응실(201)에 발생한다. 하부 평판전극(203)상에는 박막을 퇴적하여야 할 기판(205)이 놓이고, 기판 테두리 주변부 2mm가 샐도·프레임(206)에 따라 놀려붙여져 있다. 제2도의 상부도에서는 PECVD 장치의 개략을 이해하기 쉽게 하기 위하여 샐도·프레임(206)을 생략하고 있다. 하부 평판전극(203) 내부에는 히터(207)가 설치되어 있고, 하부 평판전극의 온도를 250°C에서 400°C의 사이에서 임의로 조정할 수 있다. 주변 2mm을 제외한 하부 평판전극(203)내의 온도분포는 설정온도에 대하여 ±5°C 이내이고, 실질적으로 기판(205)의 크기 360mm×465mm에서도 기판 내 온도편차를 ±2°C 이내로 유지하는 것이 가능하다. 샐도·프레임(206)은 예를 들면 기판(205)으로서 범용 글라스 기판(예를들면 코닝제펜 가부시키가이샤 제 #7059라든지 니혼덴키가라스 가부시키가이샤 제 OA-2, NH 테크노글라스 가부시키가이샤 제 NA35 등)을 사용한 때에 기판이 히터(207)로부터의 열에 따라 오목형으로 변형하는 것을 방지함과 동시에, 기판의 에지부 및 이면에 불필요한 박막이 성막되지 않도록 기판을 누르고 있다. 원료기체와 추가기체로 이루어지는 반응ガ스는 배관(208)을 통해서 상부 평판전극(204)내에 도입되고, 또한 상부 평판전극 내에 설치된 가스확산판(209)의 사이를 빠져나가 상부 평판전극 전면에서 대략 균일한 압력으로 반응실(201)로 흘러나온다. 성막 중이면 반응ガ스의 일부는 상부 평판전극으로부터 나온곳에서 전리하고, 평행 평판전극간에 플라즈마를 발생시킨다. 반응ガ스의 일부 내지 전부는 성막에 관여하고, 성막에 관여하지 않는 잔류 반응ガ스 및 성막의 화학반응의 결과로서 생긴 생성ガ스는 배기ガ스로 이루어져 반응용기(202) 주변상부에 설치된 배기구멍(210)을 통해 배기된다. 배기구멍(210)의 컨덕턴스는 평행평판 전극간의 컨덕턴스와 비교하여 충분히 크고, 그 값은 평행평판 전극간의 컨덕턴스의 100배 이상이 바람직하다. 또한 평행평판 전극간의 컨덕턴스는 가스확산판(209)의 컨덕턴스보다도 충분히 크고, 역시 그 값은 가스확산판의 컨덕턴스의 100배 이상이 바람직하다. 이러한 구성에 따라 470mm×560mm의 대형 상부 평판전극 전면에서 대략 균일한 압력으로 반응ガas가 반응실에 도입되고, 동시에 배기ガs가 반응실에서 모든 방향으로 균등한 유량으로 배기되기 때문이다. 각종 반응ガs의 유량은 배관(208)에 도입되기 전에 매스·플로·컨트롤러에 따라 소정의 값으로 조정된다. 또한 반응실(201) 내의 압력은 배기구멍 출구에 설치된 컨덕턴스 밸브(211)에 따라 원하는 값으로 조정된다. 컨덕턴스 밸브(211)의 배기기축에는 터보분자펌프 등의 진공배기장치가 설치되고 있다. 본원발명에서는 오일·프리의 드라이·펌프가 진공배기장치의 일부로서 사용되고, 반응실 등의 반응용기 내의 배경진공도를 10⁻⁵ torr대로 하고 있다. 제2도에는 화살표로 가스의 흐름의 개략을 나타내고 있다. 반응용기(202) 및 하부 평판전극(203)은 접지전위이고, 이들과 상부 평판전극(204)은 절연링(212)에 의해 전기적으로 절연상태가 유지된다. 플라즈마 발생시에는 고주파 발진원(213)으로부터 출력된, 예를 들면 13.56MHz의 고주파가 임피던스·매칭회로(214)를 통해 상부 평판전극(204)에 인가된다.

본 발명에 사용한 PECVD 장치는 상술한 바와 같이 더없이 정교한 전극간 제어와 균질한 가스류를 실현함에 의해 360mm×465mm의 대형기판에 사용 가능한 박막형성장치가 되었다. 그러나 이것들의 기초개념만 따르면, 또 다른 기판의 대형화에는 오히려 용이하게 대응할 수 있고, 실제 550mm×650mm보다 대형인 기판에 대응할 수 있는 장치도 실현 가능하다. 또한 본원발명에서는 가장 범용성이 높은 주파수 13.56MHz의 고주파를 사용하고 있지만, 이밖에 이 고주파의 정수배의 고주파를 이용해도 된다. 예를 들면 2 배의 27.12MHz라든지 3 배의 40.68MHz, 4 배의 54.24MHz 등도 유효하다. 또는 100MHz 내지 1 GHz 정도의 VHF파를 이용해도 된다. 주파수가 10 MHz정도의 rf파로부터 수백 MHz 정도의 VHF 파이면 평행 평판 전극간에 플라즈마를 발생시키는 일이 가능하다. 따라서 본원발명에 사용한 PECVD 장치의 고주파 발진원(213)과 임피던스·매칭회로(214)를 교환하는 것에 의해 용이하게 원하는 주파수의 고주파를 사용하여 플라즈마를 발생할 수 있다. 일반적으로 고주파 플라즈마로는 주파수를 올리면 플라즈마 중의 전자온도가 올라가 래디컬의 발생이 용이하게 되기 때문에, 후술하는 본 발명의 박막형성방법에 대하여는 특히 효과적이다.

(2-4, 본 발명의 반도체막과 그 PECVD 법에서의 퇴적)

본 발명에 따르는 박막 반도체 장치의 반도체막과 그것을 PECVD 법으로 형성하는 방법을 설명한다. 기판 표면의 적어도 일부에 산화규소막 등의 절연성 물질인 기초보호막을 설치한 후에, 이 기초보호막 상에 반도체막을 형성하고, 최종적으로는 이 반도체막을 트랜지스터의 능동층으로 하고 있는 박막 반도체 장치를 제조한다.

기판은 하부 평판전극(203)의 온도가 380°C로 유지되어 있는 PECVD 장치 내에 설치된다. 플라즈마를 일으키는 것을 제외하고 PECVD 장치를 성막과정과 동일하게 한다. 예를들면 모노실란을 50 SCCM, 아르곤을 3000 SCCM 흘리고, 반응실내의 압력을 1.5 Torr로 유지한다. 평행 평판전극간 거리는 24.4 mm이다. 설치 기판이 이러한 계와 평형상태가 된 후의 기판 표면온도는 349°C이다. PECVD 장치 내에 기판을 설치하고 나서 평형상태에 도달하기까지의 시간을 평형시간이라고 명명하면, 실온으로 유지되고 있는 기판인 경우, 평형시간은 5 분 내지 6 분이 최단이라도 필요하게 된다. 이 평형시간은 기판의 두께, 열용량, 열전도도, 설치전의 기판온도 및 반응실에 도입되어 있는 기체종류라든지 그 유량, 압력 등에 따라 물론 다르다. 기판의 두께가 본원발명에서 사용한 1.1mm에서 예를들면 0.7mm로 얇게 되면 평형시간도 두께에 거의 비례하여 3 분 내지 4 분으로 단축된다. 기판을 반응실내에 설치하기 전에 예비가열해 두면 역시 평형시간을 단축할 수 있다. 특히 평형상태에 있어서의 기판 표면온도보다 10°C 정도 높은 온도로 예비가열을 해두면, 평형시간을 1 분 정도로 하는 일도 가능하다. 평형시간의 단축은 말할 것도 없이 저리량의 향상과 제품가격의 저하를 의미한다. 또한 반응실의 압력이 낮으면 평형상태에서의 기판 표면온도는 저하하는

것이 일반적이다. 따라서 기판설치 후 최초에 수십초로부터 수분간, 성막시에 반응실에 도입하는 기체보다도 열전도도가 높은 기체(수소라든지 헬륨 등)를 반응실에 도입하거나, 혹은 반응실을 성막시보다도 높은 압력으로 유지하거나, 또는 이들 2 개를 조합하여 성막시에 반응실에 도입하는 기체보다도 열전도도가 높은 기체를 성막시보다도 높은 압력으로 반응실에 도입하는 것으로 기판의 제 1 예비가열을 행한 후, 또한 그 후 수십초로부터 수분간에 걸쳐 플라즈마를 일으키는 것을 제외하고 상술의 여러가지 조건(도입기체 종류, 기체유량, 반응실내 압력, 평행 평판전극간 거리, 하부 평판전극 온도)을 성막과정과 동일하게 제 2 예비가열을 행하고 나서 성막을 시도하더라도 좋다. 반응실 내가 제 1 예비가열 분위기로부터 제 2 예비가열 분위기로 완전히 치환되기까지 충분한 시간을 소비한 후 제 2 예비가열을 행하는 것이 바람직하다. 제 2 예비가열 기간중의 시각 $t(\text{min})$ 에 있어서의 제 1 예비가열 분위기의 잔류기체 성분비(x)는 가장 배기가 느린 완전혼합계를 생각하더라도, 반응실부피를 $V(\text{cc})$, 성막시의 압력을 $P(\text{Torr})$, 성막시의 가스 유량을 $Q(\text{sccm})$ 로 나타내면,

$$t = -\frac{(P/760)}{V/Q} \cdot \ln(x)$$

로 기술된다. $x=10^{-6}$ 을 완전치환이라 정의하면, 이 식은

$$t = (P/760) \cdot (V/Q) \times 13.82$$

로 된다. 따라서 제 2 예비가열 기간을 이 식에서 계산되는 시간 $t(\text{min})$ 보다도 길게 취하면 반응실 내는 제 2 예비가열 분위기로 완전히 치환된다. 이렇게 하는 것으로 제 1 예비가열시에 도입한 기체가 반도체 막 퇴적시에 잔류하는 일없이, 반도체막 퇴적 중에는 항상 동일한 분위기가 유지되도록 이루어진다. 또한 제 2 예비가열에 따라 성막 중의 기판온도가 일정하게 유지되도록 이루어진다. 결국 제 2 예비가열에 따라 분위기와 온도가 안정화되고, 이렇게 하여 막두께 방향으로 균일한 막이 퇴적되기에 이르고, 더욱이 평형시간이 더욱 단축이 가능하게 된다.

이렇게 해서 평형상태에 도달한 후, 상부 평판전극(204)에 고주파를 인가하여 플라즈마를 발생시키고, 반도체막의 성막을 행한다. 고주파출력은 예를들면 600W이다. 실리콘막 부피조건의 일례는 이하와 같게 된다.

실란유량: $\text{SiH}_4=50 \text{ SCCM}$

아르곤유량: $\text{Ar}=3000 \text{ SCCM}$ (원료농도 1.64%)

고주파출력: $\text{RF}=600\text{W}(0.228\text{W}/\text{cm}^2)$

압력: $P=1.5 \text{ Torr}$

전극간 거리: $S=24.4 \text{ mm}$

하부 평판전극 온도: $T_{\text{sus}}=380^\circ\text{C}$

기판 표면온도: $T_{\text{sub}}=349^\circ\text{C}$

이러한 조건하에서 반도체막의 퇴적속도는 0.327nm/s 로 되고, 열탈리 가스 스펙트로스코피(TDS)로써 측정한 실리콘막 중의 수소농도는 9.10 원자%이다. 또한 투과형 전자현미경 관찰에 의하면 이 실리콘막은 비정질 성분과 결정질 성분의 2 개를 포함하며, 주로 비정질 성분이 기둥상 구조를 이루고 있다. 결정 성분은 기둥상의 비정질 성분 중에 섬 형상으로 존재하고 있다. 한편 제7도에 이 실리콘막의 라먼분광측정결과를 나타낸다. 제6도의 종래기술의 실리콘막에는 관측되지 않은 520cm^{-1} 부근에 피크가 보인다. 이것은 실리콘막 중에 함유되는 결정성분으로부터의 라먼 · 시프트이다. 즉 본원발명에서 얻어진 실리콘막은 비정질과 결정질이 혼재하는 혼정질이기 때문이다. 제4도에는 이 실리콘막의 적외흡수분광법으로 측정한 스펙트럼을 나타낸다. 종래의 a-Si 막(제5도)과 비교하면 2102cm^{-1} 부근(흡수피크 위치가 2098cm^{-1} 정도로부터 2106cm^{-1} 정도의 사이에 나타나는 것)의 흡수피크와 2084cm^{-1} 부근(흡수피크위치가 2080cm^{-1} 정도로부터 2088cm^{-1} 정도의 사이에 나타나는 것)의 흡수피크의 2 개가 명료하게 분리하여 존재하고 있고, 그 중 2102cm^{-1} 부근의 흡수피크강도가 2000cm^{-1} 부근(흡수피크위치가 1980cm^{-1} 정도로부터 2020cm^{-1} 정도의 사이에 나타나는 것)의 흡수피크강도보다도 강한 것을 알았다. 2000cm^{-1} 부근의 흡수피크는 a-Si에 결합한 수소($\text{Si}-\text{H}$)의 스트레칭 · 모드이다. 종래 2090cm^{-1} 부근에(SiH_2) 또는 $(\text{SiH}_2)_n$ 의 형태로 결합한 수소의 스트레칭 · 모드가 나타나고 있다(문헌 M. H. Brodsky, M. Cardona and J. J. Cuomo: Phys. Rev. B16(1977)3556 이라든지 G. Lucovsky, R. J. Nemanich and J. C. Knights: Phys. Rev. B19(1979)2064). 그러나 본 계(系)인 경우 2000cm^{-1} 부근의 피크보다도 2102cm^{-2} 부근이라든지 2084cm^{-1} 부근의 피크의 쪽이 훨씬 강한 것이나, 반도체막 중에 결정성분이 많은 것, 성막조건을 바꿔 결정성분의 비율을 많게하면 2000cm^{-1} 부근의 흡수가 약하게 됨과 동시에 2102cm^{-2} 부근이나 2084cm^{-1} 부근의 흡수가 강하게 되는 것, TDS 에서 반도체 시료온도를 올리면서 방출 수소량을 측정한 곳, 통상의 2000cm^{-1} 부근에 피크가 있는 시료로부터의 수소의 이탈방출은 시료온도가 300°C 정도의 때에 최대로 이루어지는데 대하여, 본계의 시료에서의 그것은 370°C 정도로 높은 것 등으로부터, 2102cm^{-2} 부근이나 2084cm^{-1} 부근에 나타나는 두개의 흡수피크는 본 계에 고유한 것으로, 비정질 성분과 결정 성분이 혼재하는 막 중의 결정 성분에 결합한 수소의 진동에 따르는 것이라고 생각된다. 또한 희석기체에 수소를 사용하여 PECVD에서 성막한 종래의 미결정 실리콘(수소계 마이크로 크리스탈 실리콘)에서는 2102cm^{-2} 부근과 2084cm^{-1} 부근에 명료하게 분리한 두개의 흡수피크가 나타나지 않기 때문에 이 두개의 흡수피크는 아르곤계에서 특징적이라고 할 수 있다. 환연하면 적외흡수스펙트럼의 2102cm^{-2} 부근의 피크와 2084cm^{-1} 부근의 피크는 아르곤을 희석기체로서 사용하여 혼정질막을 성막하였을 때에 가장 출현하기 쉽기 때문이다. 결국 반도체막의 구성원소인 실리콘을 함유하는 화학물질인

실란을 원료기체로 하고, 또한 추가기체로서 아르곤을 사용하여 PECVD 법으로써 퇴적된 실리콘막은 주로 비정질 성분이 기동상 구조를 취하는 혼정질이다. 또한 이 반도체막중에는 보통 1 %로부터 10 %정도의 수소가 비정질 실리콘이라든지 결정질 실리콘과 결합하여 함유되어 있고, 그것들의 IR 피크는 2102cm^{-1} 부근이나 2084cm^{-1} 부근에서 관측되는 막이다. 또한 본 계에서 얻어진 반도체막은 그 성막시에 플루오르화 실란(SiF_4)등의 할로겐화물을 사용하고 있지 않기 때문에, 반도체막 중에서의 할로겐 원소 등의 훈입이 전혀 없고, 순도가 더없이 높은 막으로 이루어지고 있다. 이하 간단히 이 반도체막을 (Ar 계) 혼정질막이라 약칭한다.

이렇게 해서 얻어진 본 발명의 (Ar 계) 혼정질 반도체막은 특별한 결정화 공정을 행하게 하더라도, 그대로 as-deposited 막으로 박막 반도체 장치의 능동층(즉 소스영역이라든지 드레인영역, 채널영역, 혹은 에미터영역이라든지 콜렉터영역, 베이스영역)으로서 이용할 수 있다. 본원 발명의 반도체막은 상술한 바와 같이 고순도로 비정질 중에 결정질을 대부분 포함하며, 게다가 보통 10% 정도 미만의 수소가 비정질이라든지 결정질 중의 결함이라든지 부대결합쌍을 종단(終端)하고 있기 때문에, 이 반도체막을 사용하여 박막 반도체 장치를 형성한 경우에는 이동도가 $2\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 정도 이상 양호한 전기특성을 나타내도록 된다. 또한 본원발명의 반도체막은 이 양호한 막품질을 반영하여, 먼저(1, 본원발명의 박막 반도체 장치의 제조 방법의 개략)에서 서술한 방법으로써 MOS 형 TFT를 형성할 수 있다. 즉 특별한 결정화 공정을 행하지 않아도 이온주입법과 그것에 잇따르는 350°C 정도의 저온활성화가 가능하게 되어 제 1 장의 제조방법이 사용될 수 있기 때문이다. 이 제조방법으로 측정되는 공정최고온도가 350°C 정도이기 때문에, 통상의 대형 글라스 등의 내열성이 낮은 기판 상에도 간단히 자기정합형 박막 반도체 장치를 형성할 수 있다. 본원발명의 박막 반도체 장치는 게이트전극과 소스영역, 또는 드레인영역의 결점이 작게 되고, 그것에 따라서 게이트 · 소스간이라든지 게이트 · 드레인간의 기생용량도 작게 되어 있다. 이것에 따라 본원발명의 박막 반도체 장치에서 회로를 구성하면 회로의 동작속도가 빠르게 되고, 혹은 또한 AMLCD의 스위칭소자에 사용하면 소자를 미세화하거나 유지용량을 감소시키는 일이 가능하고, 고화질로 고개구율의 표시가 가능한 액정표시장치가 완성되기 때문이다.

그런데 이와 같이 양질의 반도체막을 PECVD 법으로 퇴적하는 때의 중요한 파라미터는 추가기체 종류와 그 가스유량비(원료기체(모노실란 등)의 총기체(추가기체(아르곤 등)와 원료기체와의 합)에 대한 농도) 및 압력, 전극간 거리, 기판표면 온도의 5개이다. 다음에 이것에 관하여 상세히 서술한다.

본원발명의 특징의 하나는 범용성이 높은 PECVD 법으로써 퇴적직후의 막(As-deposited 막)을 비교적 결정성이 높은 혼정질로 하고 있는 점이다. 통상 PECVD 법으로 as-deposited 막을 결정성이 높은 혼정질로 하는 것은 매우 곤란하다. 이것은 기판온도가 400°C 정도 미만으로 낮기 때문에, 실란 등의 원료물질의 성장막 표면에서의 이동도가 감소하여, 원료물질의 비정질 상태에 대한 결정 상태에의 선택성이 없어지기 때문이다. 그 때문에 종래는 성막 중에 플루오르화 실란등을 도입하는 등의 처치를 행하고 있지만, 동시에 이것이 반도체막 순도를 내리는 간흉(姦凶)으로 되고 있다. 본원발명은 PECVD 법에 있어서의 이러한 결점을 아르곤(Ar) 등의 추가기체를 다량으로 도입하고, 또한 이들 추가기체에 따른 원료물질의 희석으로 해결하고 있다. As-deposited 상태로 결정성이 높은 혼정질막을 성막하기 위해서는 원료물질의 래디칼이라든지 이온을 만들지 않고서, 아르곤(Ar)의 래디칼이라든지 이온을 제조하고, 이들에 따라 에너지를 기판표면으로 운반할 필요가 있다. 원료물질의 래디칼이라든지 이온은 기상반응을 야기하거나, 혹은 원료물질이 기판표면에 도착한 순간에 반응하거나 하기 때문에, 선택성의 상실이 생겨 반도체막 표면에 있어서의 결정성장을 저해하여 버린다. 그 때문에 이러한 래디칼이라든지 이온의 플라즈마중에서의 생성은 극히 피하지 않으면 안된다. 원료물질은 비활성상태로 성장막 표면에까지 운반되고, 거기에 흡착한 후에 반응을 위한 에너지가 희석가스들에 따라 공급되면, as-deposited 상태로 결정성이 높은 혼정질막이 형성되기 때문이다. 이것으로부터 원료가스의 희석이 구해지고, 또한 원료물질의 기판표면에서의 반응을 촉진하는 기체를 희석물질로서 선택할 필요가 생긴다. 아르곤은 말할 것도 없이 원자단체로 이루어지고, 그 때문에 이온화퍼텐셜의 스펙트럼은 매우 단순하다. 아르곤의 1가 이온화퍼텐셜은 15.759 eV 이고 2가 이온화퍼텐셜은 27.629 eV , 3가 이온화퍼텐셜은 40.74 eV 이다. 따라서 아르곤 중에 소량의 원료물질을 희석하여 플라즈마를 일으킨 경우, 이온화하는 아르곤은 1가 이온과 2가 이온의 2 개가 지배적으로 되고, 이온화에너지가 비교적 낮은 것에 기인하여 효과적으로 아르곤의 래디칼이라든지 이온이 생성되기 때문이다. 이것에 대하여 종래 희석가스로서 넓게 사용되고 있는 수소에서는, 수소분자의 이온화퍼텐셜은 15eV 에서 18eV 의 사이에 십수개의 다른 이온화퍼텐셜이 존재한다. 그 때문에 아르곤이 하나 혹은 두개의 에너지가 갖추어진 플라즈마상태를 이루는데 대하여(빛으로 예를들면 레이저광), 수소 등의 분자ガ스는 다수의 에너지가 혼재하는 플라즈마상태(빛으로 예를들면 백색광)로 이루어진다. 백색광보다 레이저광의 쪽이 효과적으로 에너지를 수송하는 것같이, 이온화에너지가 낮은 아르곤으로 원료가스를 회석하면 한층 더 효과적으로 에너지를 수송하는 것같이, 이온화에너지가 낮은 아르곤으로 원료가스를 회석하면 한층 더 효과적으로 에너지가 기판표면으로 운반되기 때문이다. 반도체막 퇴적시의 희석물질은 아르곤 이외에, 물론 헬륨(He)이라든지 네온(He), 크립톤(Kr), 크세논(Xe) 등의 희가스(rare gas)족 원소라도 좋다. 이것들의 기체도 단순한 이온화퍼텐셜 스펙트럼을 가지고 있기 때문이다.

수소 등에 비교하여 희가스족 원소가 우수한 에너지 수송성을 가진 것에 추가하여, 아르곤은 예칭성을 더 불어 가지고 있다. 이 때문에 비정질 성분 중에서도 부대 결합쌍(댕글링 본드)을 2개 내지 3개 가지고 있는 불안정한 반도체원자는 아르곤에 의해 성막 중에 예칭되는 확률이 높게되고, 마찬가지로 결정 성분보다도 비정질 성분의 쪽이 예칭되는 확률이 높게된다. 이 결과 아르곤을 희석기체로 퇴적한 반도체막은 수소라든지 헬륨 등 다른 기체를 희석기체로서 사용한 반도체막보다도 부대 결합쌍의 수가 감소하고, 결정화율(결정성분의 전체에 대한 비율)도 보다 높게 이루어지는 경향이 있다. 또한 동일한 원리로 성막 중에 불안정한 원자는 아르곤에 따라 선택적으로 제거되기 때문에, 퇴적막은 비교적 안정한 원자군으로 구성되기에 이른다. 이것은 아르곤계 반도체막은 단시간에 큰 에너지공급을 받더라도 반도체막으로부터의 원자비산 등이 생기기 어려운 것을 의미한다. 바꾸어 말하면 Ar 계 반도체막은 수소계 등의 다른 반도체막과 비교하여 레이저조사라든지 급속열처리 등의 결정화에 있어서 손상이 생기기 어렵고, 결정화에 보다 알맞다고 할 수 있다. 또한 먼저 TDS 측정에 관하여 서술한 대로, 본원발명의 Ar 계 반도체막과 결합하고 있는 수소는 통상의 반도체막에 결합하고 있는 수소보다도 그 이탈에 요하는 활성화 에너지가 크고, 보다 높은 온도에서 탈리가 시작된다. 이것은 결정화에 처하여 Ar 계 반도체막이 단시간에 다양한 에너지공급을 받아도(반도체막의 온도상승 속도가 $10^\circ\text{C}/\text{초}$ 정도로부터 $1011^\circ\text{C}/\text{초}$ 정도) 수소의 방출은 비교적 천천

이 진행하고, 그러므로 결정화시의 막손상이 생기지 않는 것을 의미하고 있다. 이것에 대하여 수소라든지 헬륨이라는 가벼운 원소를 희석기체로서 사용한 경우, 퇴적막 중에는 실리콘원자가 가지는 4 개의 결합쌍 중 3 개가 부대 결합쌍으로 되고, 나머지의 1 개만으로 다른 실리콘원자와 결합하는 불안정원자가 다수 존재한다. 이러한 반도체막은 근소한 에너지공급이라도 불안정원자의 결합이 끊어지고, 반도체원자의 비산이라든지 그 거시적현상으로서 생기는 막의 손상이 용이하게 발생하기 때문이다. 또한 수소이탈의 활성화에너지가 낮기 때문에, 완만한 온도상승(예를들면 10°C/분정도)을 반도체막이 당하는 것만으로도 폭발적으로 수소가 방출되고, 이것에 따라 막의 박리라든지 손상이 생겨 결정화를 저해하기 때문이다. 결국 본원발명의 희석가스로서 가장 알맞는 것이 아르곤이고, 이어서 헬륨 등의 휘가스라는 결론이 지어진다.

가스유량비는 원료기체농도(원료기체/(원료기체+추가기체))가 6.25% 정도 이하가 필수조건이다. 기판표면 온도 이외의 다른 두개의 파라미터에도 필수조건이 존재하고 있고, 세 개의 파라미터가 동시에 필수조건을 만족한 때만, 본원발명의 (Ar 계) 혼정질막이 퇴적된다. 다른 두개의 파라미터가 필수조건지에 가까운 때(필수조건을 어긴 때)라도 확실하게 (Ar 계) 혼정질이 성막되는 것은 원료기체농도가 3.23% 정도 이하인 때문이다. 농도가 지나치게 너무 낮으면 퇴적속도가 느리게 되기 때문에, 배경진공도에 기인하는 산소라든지 물, 이산화탄소 등의 불순물기체의 영향을 무시할 수 없게 되고, 반도체막질은 약화한다. 농도가 보통 0.36 %정도 이상이면 이러한 불순물의 영향은 없어지고, 양질인 반도체막이 얻어진다. 압력의 필수조건은 1.0 Torr 정도 이상이다. 다른 두개의 파라미터가 필수조건지에 가까운 때(필수조건을 어긴 때)라도 확실하게 (Ar 계) 혼정질이 성막되는 것은 압력이 1.6Torr 정도 이상인 때이다. 압력이 지나치게 높게 되면 플라즈마가 안정하지 않고, 이상방전이 발생하게 된다. 본원발명의 가스유량비에 있어서 안정적으로 균일한 플라즈마를 일으키기 위해서는 압력은 2.7Torr 정도 이하가 바람직하다. 전극간 거리의 필수조건은 17.8mm 정도 이상이다. 다른 두개의 파라미터가 필수조건에 가까운 때(필수조건을 어긴 때)라도 확실하게 (Ar 계) 혼정질이 성막되는 것은 전극간 거리가 25.4mm 정도 이상인 때이다. 전극간 거리가 지나치게 넓어지더라도 역시 플라즈마는 불안정하게 되어 이상방전이 발생하게 된다. 본원발명에서 안정적으로 균일한 플라즈마가 일어나는 것은 전극간 거리가 45.7mm 정도 이하인 때이다. 기판표면온도에 대하여는 필수조건은 존재하지 않지만 200°C 정도 이상으로 비교적 용이하게 혼정질막이 얻어지고, 염가인 대형 글라스 기판을 문제없게 사용하는 입장에서는 400°C 정도 이하로 하는 것이 요망된다. (Ar 계) 혼정질막을 성막하기 위해서는 이와 같이 원료기체농도는 낮은 쪽이 바람직하고, 압력은 높은 쪽이 바람직하고, 또한 전극간 거리가 넓은 쪽이 바람직하다. 이와 같이 원료기체농도를 낮게 하거나, 혹은 압력을 높게 하거나, 또는 전극간 거리를 넓게 하면 as-deposited 막의 막질은 보다 결정화율이 높게 되고, 보다 수소함유량이 감소하여, 2102cm^{-1} 부근의 피크와 2084cm^{-1} 부근의 피크가 보다 강하게 되고, 후술하는 것같이 레이저조사라든지 급속열처리등으로 결정화가 보다 용이하게 행하여지도록 이루어지기 때문이다. 수소함유량에 관하여 예를들면 (2-3) 장에서 설명한 PECVD 장치를 사용하여, 모노실란 유량을 100sccm, 아르곤유량을 7000sccm, (모노실란농도 1.41%), rf 출력을 600W, (전력밀도 0.228W/cm²), 압력을 2.25Torr, 전극간 거리를 35.56mm, 하부평판 전극온도를 380°C, 퇴적속도 0.1703nm/s로 한 때에 TDS 측정으로 1.83 원자% 정도로 LPCVD 법으로 형성한 비정질 반도체막과 같이 감소할 수 있다.

먼저 설명한 대로 본 계에서는 기판표면에서의 성막반응을 촉진하는 에너지가 희석기체의 이온이라든지 래디칼에 따라 수송된다. 그런데 이를 이온이라든지 래디칼의 수명은 압력이라든지 전극간 거리에 대하여 지수함수적 감소를 나타낸다.

압력이 높거나, 혹은 거리가 길수록 이온이라든지 래디칼의 충돌확률이 증가하기 때문이다. 그 결과 성막 속도 DR(nm/s)는 다음과 같이 표현된다.

$$DR=d_0 \exp\{-(\alpha S + \beta P)\}$$

여기에서 d_0 는 프리익스포넨셜 팩터(nm/s)라고 불리고, 가스유량이라든지 장치형상, rf 전력밀도, 기판온도 등에 따라 정해지는 계수이다. 이 계수는 실란 등의 원료기체유량과 강한 양의 상관을 가지고 있다. 즉 원료기체유량이 커지면, d_0 는 그것에 따라서 커진다. S는 전극간 거리(mm)을 나타내고, p는 압력(Torr)이다. 덧붙여 말하면 (2-3) 장에서 설명한 PECVD 장치를 사용하고, 모노실란 유량을 100sccm, 아르곤유량을 7000sccm, rf 출력을 600W, 하부평판전극온도를 380°C로 한 때, d_0 와 α , β 의 값은 각각 다음과 같이 이루어진다.

$$d_0 = 8.70(\text{nm/s})$$

$$\alpha = 0.0522(\text{mm}^{-1})$$

$$\beta = 0.9258(\text{Torr}^{-1})$$

본원발명의 (Ar 계) 혼정질막은 PECVD 법으로 성막속도가 압력과 전극간 거리에 대하여 상술한 지수함수의 관계식을 만족하고 있는 때에 형성된다.

그런데 성막속도의 이러한 관계는 원료기체농도와 압력, 전극간 거리라는(Ar 계) 반도체막에 중요한 세 개의 파라미터를 바람직한 방향으로 가지고 가면 성막속도가 저하하는 것을 의미하고 있다. 예를 들면,

실란유량:SiH₄=25 SCCM

아르곤유량:Ar=7000 SCCM (원료농도 0.36%)

압력:P=2.7Torr

전극간 거리:S=45.7mm

고주파출력:RF=600W (0.228W/cm²)

하부평판 전극온도: $T_{sus}=380^{\circ}\text{C}$

기판표면온도: $T_{sub}=349^{\circ}\text{C}$

의 성막조건하에서 30 분간 퇴적을 시도하더라도, 퇴적막두께는 3nm 정도로 밖에 되지 않는다(퇴적속도: $DR=0.0017\text{nm/s}$). 후술하는 것같이 박막 반도체 장치에서는 반도체막두께는 통상 수십 nm 정도로부터 수백 nm 정도이므로 제조상의 시점으로부터는 이 성막속도는 너무 늦어 비실용적이라고 할 수 있다. 덧붙여 (2-2)에서 서술한 바와 같이 배경진공도에 대한 성막압력의 비라든지 기체중의 불순물의 비율이 10^{-5} 으로부터 10^{-6} 정도의 계에 있어서는 성막속도는 0.15nm/s 정도 이상이 요망된다. 이것은 이 정도의 배경진공도라든지 가스순도인 경우에 반도체막 중에 들어가는 산소라든지 물, 일산화탄소, 이산화탄소 등의 불순물기체의 악영향을 이 성막속도 이상으로 제거되도록 되는데 연유한다. 0.15nm/s 정도 미만의 성막속도로 막을 퇴적하면, 막은 밀도가 낮고 공극을 다량으로 포함한 저품질인 것으로 변하고, 또한 반도체막 순도도 뒤떨어져 버린다. 따라서 상술한 여러가지 조건을 만족하면서 동시에 퇴적속도도 0.15nm/s 정도 이상으로서 고순도 · 고품질(Ar 계) 혼정질막을 퇴적하는 것이 바람직하다. 왜냐하면 0.15nm/s의 값이 임계값으로 되어있는 것인가는 고정되지 않지만, 앞의 압력비라든지 불순물의 비율을 10^{-6} 로부터 10^{-7} 정도로 고진공화와 고순도화를 진행시키면, 이 성막속도의 하한을 0.015nm/s정도 이상으로 내리는 것이 가능하게 된다. 상술한 바와 같이 제조상의 실용성을 시점에 추가하면, 요망되는 성막속도의 하한은 0.3nm/s 정도이다. 상기의 각 조건 및 성막속도에 대한 제한을 동시에 만족하기 위해서는 반응실에 있어서의 배기속도를 크게하는 것으로 달성된다. 일반적으로 가스유량(Q)과 반응실내 압력(P) 및 반응실에 있어서의 배기속도(Sp)의 사이에는

$$P=Q/Sp \dots (1)$$

가 되는 관계가 인정된다. 상술의 예에서는 총가스유량(Q) = 7025SCCM에서 압력(P) = 2.7 Torr이므로, 반응실의 배기속도는 $Sp = Q/P = 2.60 \text{ SCCM/mTorr}$ 이다. (1SCCM/mTorr: 12.671/s) 이 배기속도(Sp)를 크게하면 압력(P)을 일정값으로 유지한 채로 가스유량(Q)을 크게하는 것이 가능하다. 성막속도는 원료기체유량과 강한 양의 상관이 있기 때문에, 가스유량(Q)에 따라 성막속도를 조정할 수 있는 이유이다. 예를들면 배기속도를 $Sp = 26.0\text{SCCM/mTorr}$ 로 하여 앞의 예의 10배로 하면, 실란유량을 $\text{SiH}_4 = 250\text{SCCM}$, 아르곤유량을 $\text{Ar} = 70000\text{SCCM}$ 으로 가스유량도 10배로 하는 것이 가능하고, 그 결과 원료농도라든지 압력등의 성막조건을 앞의 예와 동일하게 한채로, 성막속도를 약 10배(0.017nm/s)로 증대할 수 있기 때문이다. 반응실에 있어서의 배기속도(Sp)를 크게하면 배경진공도보다 고진공화하여, 불순물기체의 반도체막 중으로의 도입도 감소한다. 본예에서는 $Sp = 2.60\text{SCCM/mTorr}$ 이지만, 고순도로 결정성이 높고 밀도가 큰 (Ar 계) 혼정질막을 현실적인 성막속도(0.3nm/s 정도 이상)로 하기 위해서는, 반응실의 배기속도(Sp)는 10SCCM/mTorr 정도 이상인 것이 요망된다.

(2-5, TFT 형 박막 반도체 장치의 채널 막두께와 트랜지스터 특성)

여기에서 TFT 형 박막 반도체 장치에 있어서 채널이 형성되는 능동층 반도체막의 두께(이것을 본원에서는 채널 막두께라 약칭한다)와 트랜지스터 특성의 관련을 서술한다. 일반적으로 박막 반도체 장치에서는 채널이 되는 반도체막의 최적 막두께는 그 형성방법에 강하게 의존한다. 이것은 반도체막의 막질이 그 막두께에 따라서 크게 변화하기 때문이다. 예를들면 SOS(Silicon On Sapphire)라든지 SOI(Silicon On Insulator)와 같이 원칙적으로 반도체막질이 그 막두께에 의존하지 않은 계에 있으면, 반도체막이 얇을수록 트랜지스터의 특성은 좋게된다. (여기에서 이 원리를 동작이론에 근거하는 박막효과라고 부른다.) 이것은 얇은 반도체막으로서는 공핍층(空乏層)이 재빨리 전반도체막 두께로 넓어지고, 반도체막 표면에 반전층이 바로 형성되기 때문이다(임계전압(V_{th})이 작게된다). 한편 다결정막 등의 비단결정막을 채널에 사용하는 박막 반도체 장치에서는 반도체막질이 막두께에 따라 크게 다른 것이 보통이고, 그 때문에 상술한 기구는 보다 복잡하게 된다. 통상은 다결정막의 막질은 막이 얇게 될수록 악화한다. 구체적으로는 박막과 두꺼운막을 비교하면 박막의 쪽이 그것을 구성하는 결정립(그레인)의 사이즈가 작게되고, 또한 동시에 결정내의 결함이라든지 결정립계의 트랩수도 증대한다. 결정립의 사이즈가 작게되면, 그것을 사용한 박막 반도체 장치의 이동도는 작게 된다. 또한 결정내 결함이라든지 결정립계의 트랩수의 증대는 공핍층의 넓어짐을 느리게 하고, 실질적으로 임계전압(V_{th})을 크게 한다. (여기에서 이 원리를 박막열화라고 부른다.) 결국 앞의 동작이론에 근거하는 박막효과는 박막열화와 경쟁과정에 있는 깨닭이다. 박막화하더라도 정도가 크게 막질이 변화하지 않으면(박막열화가 작으면), 동작이론에 근거하는 박막효과가 있어 트랜지스터 특성은 박막일수록 좋게 된다. 반대로 박막화되어 현저히 막질이 악화하면(박막열화가 크면), 동작이론에 근거하는 박막 효과는 없어지고, 박막화에 따른 특성은 악화한다. 즉 막질의 막두께 의존성의 대소에 따라 박막화하였을 때의 트랜지스터 특성은 좋게도 되고 나쁘게도 된다. 이막질의 막두께 의존성은 그 막의 형성방법에 따라 다르고, 또한 그 막두께에 따라서도 다르다. 따라서 반도체막의 최적 막두께는 박막 반도체 장치의 제조방법에 따라 완전히 다르고, 각각의 제조방법에 따라서 그 최적치가 구해지지 않으면 안된다.

(2-6, As-deposited 혼정질 반도체막의 최적 막두께)

여기에서는 (2-4)장에서 서술한 (Ar 계) 혼정질 반도체막을 As-deposited 상태로 박막 반도체 장치의 능동층 반도체막으로 하는 경우의 최적 막두께에 관하여 논한다. 막두께가 0으로부터 40 nm 정도에서는 막질은 통상의 결정화막과 비교하면 매우 나쁘다. 작은 결정립이 비정질의 바다 중에 섬 형상으로 점재하는 같은 상태이고, 결정화도도 한층 낮고, 또한 결함도 매우 많다. 따라서 최소 막두께는 40 nm정도이다. 막두께가 60nm 정도 이상으로 이루어지면, 비정질 중에 결정성분이 발생하기 시작하여 그 비정질에 대한 비율은 막두께의 증가와 동시에 증대한다. 즉 결정성은 막이 두텁게 될수록 개선되어 간다. 300nm 정도 이상으로 하면 거의 동일한 결정상태로 막이 성장한다. 이러한 막질의 막두께에 대한 변화에 따라서 트랜지스터 특성의 막두께 의존성도 변화한다. 300nm 정도 이상에서는 막질은 거의 변화하지 않기 때문에(박막열화가 거의 없기 때문에), 동작이론에 근거하는 박막효과가 지배적으로 작용하고, 막은 얇을수록 트랜지스터 특성은 좋게 된다. 막두께가 300nm 정도로부터 200nm 정도까지는 박막열화가 작용하기 시작하지만, 여전히 동작이론에 근거하는 박막효과의 쪽이 지배적이고, 300nm 정도 이상에서는 완만하지만, 시장막(矢

張膜)이 얇을수록 트랜지스터 특성은 좋게 된다. 막두께가 200nm 정도로 부터 60nm 정도의 사이에서는 박막열화와 동작이론에 근거하는 박막이론이 길항하고 있고, 온상태의 트랜지스터 특성은 최대값을 취한다. 막두께가 60nm 정도 미만에서는 박막열화가 동작이론에 근거하는 박막효과를 이겨서, 막이 얇을수록 트랜지스터 특성은 나쁘게 된다. 즉 본원발명인 경우 트랜지스터 특성은 반도체막 두께가 60nm 정도로부터 200nm 정도의 사이에서 최량이 되고, 이상적으로는 80nm 정도로부터 150nm 정도의 사이이다. 여기까지 트랜지스터 특성이란 온상태의 특성을 서술하여 왔지만, 오프상태의 리크전류도 막두께에 따라 다르다. 박막 반도체 장치의 오프·리크의 원리는 잘 알려져 있지 않다. 본원발명에서는 원리는 불명확하지만, 막두께가 130nm 정도 이상에서는 막두께와 오프리크는 강한 양의 상관이 있고, 막이 두꺼울수록 오프리크도 크게 되고 있다. 막두께가 130nm 정도 이하에서는 상관은 약하게 되고, 오프리크는 막두께에 대하여 독립적으로 변한다. 즉, 막두께가 0으로 부터 130 nm의 사이에서는 오프리크 전류치는 최소치로 거의 일정하다. 그 때문에 온상태의 트랜지스터특성이 최량이 되고, 오프리크가 최소가 되는 막두께는 50nm 정도로부터 130nm 정도이고 이상적으로는 80nm 정도로부터 130nm 정도이다. 본 발명의 박막 반도체 장치를 LCD에 사용하는 경우, 광 리크전류의 영향을 고려할 필요성이 인정된다. 박막 반도체 장치는 일반적으로 빛조사에 따라 오프리크 전류가 증대한다. 이것을 광 리크전류라고 부르고, 광 리크전류가 충분히 작은 것이 양호한 박막 반도체 장치의 조건이다. 본원발명의 박막 반도체 장치에서는 광 리크전류는 막두께에 거의 비례한다. 안정적인 제조와 광 리크전류를 양립시키기 위해서는 반도체막 두께는 20 nm 정도로부터 100nm 정도가 바람직하다. 오프리크라든지 광리크, 또한 온전류를 동시에 고려하면, 모든 조건을 만족하는 계는 60nm 정도로부터 130nm 정도, 이상적으로는 80nm 정도로부터 100nm 정도가 된다. 또한, 본 발명과 같은 소스·드레인 영역의 주입이온의 활성화를 350°C 이하의 저온으로 행하는 것은 통상 상당히 곤란하다. 그러므로 활성화를 안정적으로 행하기 위해서는 반도체막 두께에 하한을 설정하지 않으면 않된다. 본원발명에서는 이 값은 70nm 정도가 된다. 또한, LDD 구조를 채용하는 경우에는 LDD 영역의 활성화가 곤란하기 때문에, 90nm 정도 이상이 요망된다.

(2-7, 본원발명의 반도체막의 결정화 및 용융결정화)

그런데 (2-4)에서 서술된 본원발명의 반도체막에 레이저조사 등의 결정화를 행하면 결정화 공정전에 열처리를 행하지 않아도 용융결정화법이라든지 SPC 법에 의한 결정화가 가능하다는 것이 판명되었다. 이 모양을 제8도를 이용하여 설명한다.

제8도는 (2-4)에서 상술한 (Ar 계) 훈정질 as-deposited 막의 레이저조사에 따르는 결정성의 변화를 나타내는 것이다. 즉, (Ar 계) 훈정질막은

실란유량:SiH₄=50 SCCM

아르곤유량:Ar=3000 SCCM(원료농도 1. 34%)

고주파출력:RF=600W(0.228W/cm²)

압력:P=1.5 Torr

전극간 거리:S=24.4mm

하부평판 전극온도:T_{sus}=380°C

기판표면온도:T_{sub}=349°C

의 조건에서 50nm의 막두께로 성막되고, 이 막에 하등 열처리를 행하는 일없이(as-depositd 막에서) 직접파장 308nm의 XeCl 엑시머 레이저광을 조사하고, 그 결정성의 변화를 조사한 것이다. 엑시머레이저광은 그 반값폭이 45ns 정도이고, 보통 1cm×1cm의 사각형상으로써 각 에너지로 한번만 조사를 행하였다. 제8도의 가로축은 각 조사에 있어서의 기판면상에서의 에너지밀도이고, 세로축은 이 같은 레이저조사 후의 반도체막의 결정화율을 보인다. 결정화율은 다파장분산형 엘립소메트리로 측정되었다. 또한 도면중의 검은 동그라미는 레이저조사의 결과 반도체막이 손상을 입은 것을 나타내고 있고, 제1도에서는 0에 상당한다. 엘립소메트리의 측정에서는 결정화율이 70% 정도를 넘으면 다결정상태라고 말할 수 있기 때문에, 레이저 에너지밀도가 100mJ·cm⁻² 정도로부터 15mJ·cm⁻² 정도의 사이에서 기려하게 결정화가 진행하는 것을 알았다. 제8도에서는 에너지밀도가 145mJ·cm⁻²의 때에 결정화율은 최대의 92%에 도달하고, 고품질의 결정성 반도체막이 얻어지고 있다. 이 예가 나타내는 것같이 본원발명의 (Ar 계) 훈정질 반도체막을 사용하면 종래 행하여지고 있는 수소嬖기의 열처리등을 완전히 행하지 않아도, 단순한 레이저조사로 용이하게 높은 결정화율을 가지는 고품질 다결정 반도체막을 제조할 수 있다.

이러한 제조법으로써 poly-Si 막을 얻으면 다음은 (1. 본원발명의 박막 반도체 장치의 제조방법의 개략)에서 서술한 제조방법에 따라서 저온프로세스로 poly-Si TFT를 제조할 수 있다. 용융결정화막이 가지는 높은 결정성을 반영하고 이동도가 100cm²·V⁻¹·S⁻¹ 정도의 고성능 박막 반도체 장치가 간단히 작성되기 때문이다.

그런데 (2-4) 장에서 서술한 본원발명의 반도체막은 라먼분광측정 등으로서는 간신히 결정구조의 존재가 인정되지만, 다결정이라고 하기 어렵다. 또한 밀도도 종래의 PECVD 법으로 성막된 비정질 실리콘과 같은 정도로 낮고, 수소원자도 많은 경우에는 실리콘원자의 20% 정도 포함되고 있다. 이 같은 막이 왜 기려하게 용융결정화되는 것인가 그 상세한 내용은 알고 있지 않지만, 아마도 미결정 영역보다도 비정질 영역의 쪽이 용이하게 용융하여, 용융 실리콘액 중에 뜨는 미결정이 실리콘 용액의 증발이라든지 비산을 억제하는 풀 같은 역할을 가지고 있고, 또한 냉각고화 과정에 있어서는 결정성장핵의 역할을 행하고 있는 것이 이유로 생각된다. 이 때문에(Ar 계) 훈정질 반도체막을 용융결정화 시키는 레이저 에너지밀도는 종래부터 50mJ·cm⁻² 정도 저하한다. 이는 동일한 레이저조사장치를 사용하여 동일레이저출력으로 반도체막의 용융결정화를 행하는 경우, 1 회의 레이저조사로 종래의 비정질막보다도 본원의 (Ar 계) 훈정질막의 쪽이 넓은 면적영역을 결정화시키는 것을 뜻한다. 즉 (Ar 계) 훈정질막의 쪽이 레이저조사장치에의 부담을 경

감하여, 생산성을 높이고 있는 것이다.

(2-4) 장에서 상술한 것같이 특별한 성막조건 하에서는 범용 PECVD 법이라도 As-deposited 상태로 결정성이 높은 훈정질막이 얻어진다. 그러나 이들은 결정화된 막일수록 막질이 우수한 것은 없다. 한편, 통상 PECVD 법으로 얻어진 막은 수소뿜기라든지 치밀화의 열처리를 행하지 않는 한, 결정화시키는 일이 곤란하였다. 그것에 대하여 결정성이 높은 (Ar 계) 훈정질 반도체막은 RTA 법이라든지 VST-SPC 법에 따르는 결정화, 혹은 레이저조사 등에 의한 용융결정화를 더욱 용이하게 행할 수 있다. 이것은 이미 As-deposited 상태로 대부분이 결정화하고 있고 잔류 비정질성분이 적기 때문에, 비교적 적은 에너지공급이라도 잔류 비정질의 결정화가 진행하기 때문이라고 생각된다. 또한, 높은 에너지로 용융결정화를 진행시키는 때에도 다결정성분이 반도체원자의 증발이라든지 비산을 방지하는 풀의 역할을 하기 때문에, 반도체막의 손상이라든지 면 거칠기, 소실 등이 생기는 일없이 결정화가 진행되기 때문이다. 결국, 본원발명의 훈정질 반도체막은 As-deposited 상태로 박막 반도체장치의 능동부로 하는 것보다는, 오히려 용융결정화를 이용하여 공정최고온도가 350°C 정도 이하가 되는 저온 poly-Si TFT를 제조하는 때의 최초의 반도체막에 적합하다고 할 수 있다. 즉 절연물질 상에 PECVD 법 등으로 본원발명의 결정성이 높은 훈정질반도체막을 형성하고, 다음에 이 막을 RTA 법이라든지 VST-SPC 법 등의 고상결정화법, 혹은 레이저조사 등의 용융결정화법 등으로 결정화시키고, 그 이후의 공정을 350°C 정도 이하로 진행시키는 것으로 고성능 박막 반도체 장치가 용이하게 제조된다.

본원 발명의 (Ar 계) 훈정질 반도체막은 PECVD 법으로 아르곤 등의 불활성기체와 모노실란 등의 반도체막의 구성원소를 함유하는 화학물질인 모노실란의 유량비를 15:1 정도 이하(모노실란 농도 6.25% 정도 이하)로 하면 얻어진다. 일반적으로 훈정질 실리콘막은 모노실란을 수소에 대해 3% 정도로 희석하면 역시 PECVD 법으로 성막된다. 그러나 출원인의 실험에 의하면, 수소-모노실란계의 훈정질막에서는 열처리없는 용융결정화는 곤란하다. 때로 열처리없이 결정화할 수 있는 경우도 있지만, 그것은 재현성이 더욱 낮고 또한 용융결정화가 잘 되는 레이저 에너지범위도 10mJ/cm² 정도 이하로 한정되어 있다. 또한 가령 결정화하더라도 미소한 실리콘 가루가 발생하여, 트랜지스터 특성의 편차를 크게하거나, 결함밀도를 증대시키거나 하여 전혀 실용적이지 않다. 미소 실리콘가루의 발생은 (2-4) 장에서 설명한 것 같이 희석기체인 수소의 비에칭성에 최종적으로는 기인한다. 이것에 대하여 아르곤-모노실란계의 훈정질 실리콘막은 반도체막의 막두께라든지 성막조건을 조정하는 것에 따라 레이저에너지가 50mJ/cm² 정도 이상의 정도로부터 350mJ/cm² 정도로의 넓은 에너지범위에 걸쳐서 기려하게 결정화시키는 것이 가능하다. (물론 (Ar 계) 훈정질막에서는 결정화 후에 미소가루는 발생하지 않는다.) 이 이유는 지금까지의 의론으로부터 이하와 같이 정리된다.

- (1) 훈정질이기 때문에 공급에너지가 낮더라도 결정화가 진행한다.
 - (2) 결정성분이 실리콘용액의 증발이라든지 비산을 억제하는 풀의 역할을 행하고 있다.
 - (3) Ar의 /*에칭성에 따라*/ as-deposited 막은 비산이라든지 미소가루발생
- 의 원인인 불안정원소의 함유량이 감소한다.
- (4) 훈정질막중의 수소함유량이 감소한다.

(5) Ar 계 훈정질막 중의 수소는 결합이 강한 것만이 남아 있다. 그 때문에 막 중의 수소는 비교적 고온인 때에만 서서히 방출된다. 따라서 반도체막에 소정의 에너지가 공급되더라도 수소계 실리콘막에서 생기는 폭발적인 수소방출은 없다.

수소계 훈정질 반도체막도 저온프로세스에서 결정성 박막 반도체 장치를 형성할 때의 최초의 반도체막으로서 적합하지 않은 것은 아니지만, 상술한 의론으로부터 (2-4)에서 상술한 본원발명의 (Ar 계) 훈정질 반도체막의 쪽이 더욱 적합하다고 결론지어진다.

다음에 본원발명의 반도체막에 어닐링처리를 행하여 결정화시키는 방법에 대하여 설명한다. 본원발명에서 의외로 유용한 어닐링처리는 레이저광이라든지 고에너지광을 조사하여 반도체막의 용융결정화라든지 VST-SPC를 행하는 방법이다. 여기에서는 우선 크세논·클로라이드(XeCl)의 액시마·레이저(파장 308nm)를 예로서 레이저조사방법을 서술한다. 레이저펄스의 강도반값폭(즉 어닐링처리시간)은 10ns정도로부터 500ns 정도의 단시간이다. 본예에 있어서는 레이저펄스의 강도반값폭은 45ns이다. 조사시간이 이와 같이 대단한 단시간이기 때문에, 훈정질 등의 반도체막의 결정화에 있어서 기판이 가열되는 일은 없고, 그러므로 기판의 변형 등도 생기지 않는다. 레이저조사는 기판을 실온(25°C) 정도로부터 400°C 정도의 사이로 하여, 공기중 내지는 배경진공도가 10⁻⁴Torr정도로부터 10⁻⁹Torr정도의 진공중, 혹은 수소라든지 미량의 모노실란 등을 함유하고 있는 환원성분위기, 헬륨이라든지 아르곤등의 불활성 분위기 하에서 행한다. 레이저조사의 일회의 조사면적은 5mm²정도로부터 20mm²정도의 정방형상이고 (예를들면 8mm²), 각 조사마다 조사영역을 1% 정도로부터 99% 정도 물려놓아 간다(예를들면 50%: 앞의 예에서는 4mm). 최초에 수평방향(Y 방향)으로 주사한 후, 다음에 수직방향(X 방향)으로 적당량 물려놓고, 다시 수평방향으로 소정량씩 물려놓아 주사하고, 이후 이 주사를 반복하여 기판 전면에 제 1 회째의 레이저조사를 행한다. 이 제 1 회째의 레이저조사 에너지밀도는 50mJ/cm² 정도로부터 300mJ/cm² 정도의 사이가 바람직하다. 제 1 회째의 레이저조사가 종료한 후, 필요에 따라서 제 2 회째의 레이저조사를 전면에 행한다. 제 2 회째의 레이저조사를 행하는 경우, 그 에너지밀도는 일회째보다 높은 값이 바람직하고, 100 mJ/cm² 정도로부터 1000 mJ/cm² 정도의 사이로 해도 된다. 주사방법은 제 1 회째의 레이저조사와 같고 정방형상의 조사영역을 Y 방향과 X 방향으로 적당량 물려놓아 주사한다. 또한 필요에 따라서 에너지밀도를 보다 높게 한 제 3 회째 혹은 제 4 회째의 레이저조사를 행하는 일도 가능하다. 이와 같이 고에너지로 수회의 레이저조사를 행한 후, 재차 단계적으로 에너지밀도를 내려 수회의 레이저조사를 행하면 결정립계가 대칭성을 가지는 대응입계로 되어, 트랜지스터의 임계전압의 저하라든지 이동도의 상승 등 결정성 반도체막 품질이 향상된다. 덧붙여 이러한 단계 레이저 조사법을 사용하면 레이저조사영역 단부에 생기는 격차를 완전히 소실시키는 것이 가능하게 된다. 단계 레이저조사의 각회째의 조사에 한정되지 않고 통상의 일단계조사라도, 레이저조사는 전

부 반도체막에 손상이 생기지 않은 에너지밀도로 행한다. 이외에도 조사영역형상을 폭 $100\mu\text{m}$ 정도 이상으로 길이가 수 10cm 정도의 라인상으로 하고, 이 라인상 레이저 광을 주사하여 결정화를 진행시키더라도 좋다. 상기의 경우 각 조사마다의 빙의 폭방향의 겹침은 빙폭의 5% 정도로부터 95%정도로 한다. 빙폭이 $100\mu\text{m}$ 에서 빙마다의 겹침량이 90%이면, 일회의 조사마다 빙은 $10\mu\text{m}$ 진행하기 때문에 동일점은 10회의 레이저조사를 받게된다. 통상 반도체막을 기판전체로 균일하게 결정화시키기 위해서는 적어도 5회 정도이상 레이저조사가 요구되기 때문에, 조사마다의 빙의 겹침량은 80% 정도 이상이 구해진다. 높은 결정성의 대결정막을 확실하게 얻기 위해서는 동일점이 10회 정도로부터 30회 정도의 조사가 행하여지도록 겹치는 양을 90%정도로부터 97%정도로 조정하는 것이 바람직하다. 여기까지 레이저광원으로 XeCl 액시머 · 레이저를 예로서 설명하여 왔지만, 반도체막의 동일지점에 있어서의 레이저조사시간이 5mm 정도 이내이고, 또한 기판의 일부분만을 조사하는 것이면, 연속발진 레이저를 포함시키고, 레이저발진원에는 연관하지 않는다. 예를들면 ArF 액시머 · 레이저라든지, XeF 액시머 · 레이저, KrF 액시머 · 레이저, YAC 레이저, 탄산가스레이저, Ar레이저, 색소레이저등의 각종레이저를 사용하여도 좋다.

다음에 고에너지광을 조사하여 결정화를 진행시키는 방법을 제13도를 참조하여 설명한다. 고에너지광은 레이저와 같이 위상이 정돈되는 빛에서는 없지만, 광학계(렌즈)로 집광하는 것으로 빛의 에너지밀도를 높게 한 것이다 있다. 고에너지광이 기판상에 퇴적된 반도체막을 연속적 또는 비연속적으로 반복주사하여 반도체막을 용융결정화 혹은 VST-SPC 결정화시킨다. 고에너지광 조사장치(50)는 아크램프라든지 텅스텐램프 등의 광원(51)과 그 주변에 설치된 반사판(52), 집광렌즈라든지 빛성형렌즈 및 빛주사계 등의 광학계(53) 등으로 구성된다. 광원(51)으로부터 발한 빛은 반사판(52)에 따라 일차성형되고, 에너지밀도가 높아진 일차수속광(55)으로 이루어진다. 이 일차수속광은 광학계(53)에 따라 더욱 고에너지밀도를 가지도록 성형되고, 또한 동시에 주사기능을 가지고 주사수령광(56)으로 되고, 기판(60)상에 퇴적되어 있는 반도체막(61)을 조사한다. 반도체막상의 동일점의 처리시간은 주사방향의 조사영역길이와 주사속도로 정해진다. 예를들면 조사영역이 길이(Y 방향길이)가 50mm이고 폭(X 방향길이)이 10ms의 장방형상을 하고 있고, 주사속도가 X 방향으로 500mm/s이면, 처리시간은 10ms로 이루어진다. 조사영역의 온도는 광원에 투입하는 전력과 빛의 성형형편 및 처리시간으로 정해진다. 반도체막의 재질이라든지 막두께에 따라서 이것들의 값은 적당히 조정된 뒤에 고에너지광조사가 이루어지기 때문이다. 생산성을 높이기 위하여는 처리면적이 100mm^2 정도 이상인 것이 요망되지만, 기판에의 열영향을 최소로 하기 위하여는 500mm^2 정도 이하가 구해진다. 또한 처리시간도 주로 열영향의 점에서 10ms 정도 미만이 요망된다. 이러한 결과, 반도체막(61)에서는 주사수속광(56)이 조사된 영역만이 부분적으로 결정화하고, 이것을 반복하여 반도체막의 원하는 영역을 주사하면 결정화가 완료된다.

다음에 급속열처리(RTA: rapid thermal anneal) 장치를 사용한 결정화방법을 설명한다. 제14(a)도는 본원발명에서 사용한 RTA 장치의 개략단면도이다. 이 장치에는 기판(11)의 반송방향(화살표X의 방향)의 상류측으로부터 하류측을 향하여, 길이가 35cm의 제 1 예비가열존(2), 길이가 35cm의 제 2 예비가열존(3), 길이가 25cm의 제 3 예비가열존(4), 어닐링존(5), 쿨링존(6)이 설치되어 있다. 제 1 내지 제 3 예비가열존(2 내지 4) 및 쿨링존(6)에는 기판반송면의 하측에 히터가 배치되어 있고, 기판을 원하는 온도로 가열한다. 어닐링존(5)은 반송되어오는 기판(11)에 에너지광을 조사하는 위한 아크램프(5A, 5B)와, 그 아크램프광을 수속시키는 반사판(5C, 5D)이 각각 상하로 배치되어 있다. 수속된 아크램프광은 가늘고 긴 허리띠형상을 한다(제14(b)도 참조). 기판(11)에 대한 에너지광의 조사영역은 기판의 반송방향에 대하여 대충 10mm의 폭을 가진다. 기판(11)이 일정속도로 반송되면, 그 반송속도에 따라서 RTA 처리시간이 정해진다. 예를들면 기판(11)을 15mm/초로 반송한 때에 1 RTA 처리시간은 0.6667 초가 된다. 본원에서는 RTA 처리시간이라든가 결정화 어닐링공정의 처리시간이라는 단어를 RTA 광(에너지광)이 조사되는 기간의 시간이라는 의미로 사용한다. RTA 어닐링온도는 제 1 내지 제 3 예비가열존의 설정온도와 아크램프(5A, 5B)의 출력 및 기판반송속도(즉 RTA 처리시간)으로 정해진다. 본원에서 RTA 처리온도 혹은 결정화 어닐링공정의 온도라고 한 때, 그것은 에너지광 조사영역(5E)의 긴쪽 방향에 있어서의 종단(5F)의 온도를 의미한다. 본원에서 사용한 RTA 장치에서는 이 온도를 적외선온도계로 측정하여, 열처리공정의 관리를 행한다. 이 온도는 RTA 처리중의 최고온도에도 상당한다. 실제기판(11)상의 임의의 한 점의 온도프로파일은 제14(a)도와 같은 변화를 나타낸다. 피처리기판이 제 1 내지 제 3 예비가열존(2 내지 4)을 통과한 후 어닐링존(5)으로 들어가면 급속히 기판온도는 상승하고, 어닐링존(5)의 출구부근에서 온도피크(P)에 도달한다. 이 최고온도가 본원에서의 RTA 처리온도이다. 그 후 기판이 쿨링존(6)에 들어가면 기판은 서서히 식어간다. 그런데 이러한 RTA 장치를 사용하면 결정화 어닐링공정 처리면적은 기판면적과 비교하여 충분히 작게 된다. 예를들면 기판으로서 $300\text{mm} \times 300\text{mm}$ 의 정방형을 상정하면 에너지광의 조사영역이 $10\text{mm} \times 300\text{mm} (=3000\text{mm}^2)$ 이기 때문에, 기판면적에 대한 열처리면적의 비는 3.3%가 된다. 또한 $550\text{mm} \times 650\text{mm}$ 기판으로서는 열처리영역이 $10\text{mm} \times 550\text{mm} (=5500\text{mm}^2)$ 이고, 그 비는 1.5% 정도가 된다. 이와 같이 RTA 법에 따르는 결정화라도 에너지 조사시간은 단시간이고, 기판전체에 대하여 국소적인 열처리로 이루어지기 때문에 기판의 열에 의한 변형이라든지 깨어짐은 생기지 않는다. 반도체막이 결정화하는 때에는 RTA 장치(제14(a)도)에서는 제 1 예비가열존(2)의 히터를 250°C 에서 550°C 의 사이의 적당한 온도로 설정하고, 이하 제 2 예비가열존(3)의 히터를 350°C 에서 650°C 의 사이의 적당한 온도, 제 3 예비가열존(4)의 히터를 450°C 에서 750°C 의 사이의 적당한 온도로 설정한다. 기판(11)의 반송속도는 2mm/초로부터 50mm/초의 사이에서 조정되고, 그것에 따라서 RTA 처리시간은 0.2초로부터 5초의 범위에서 변화한다. 또한 상측 아크램프(5A)와 하측 아크램프(5B)의 출력을 각각 3W에서 21W의 사이에서 독립적으로 조정한다. 이 결과 RTA 처리온도(적외선 온도계로 계측한 어닐링존(5)에 있어서의 기판온도(램프광조사영역(5E)의 종단(5F)에서의 온도))는 400°C 정도로부터 900°C 정도의 사이에 자유롭게 설정할 수 있다. 이렇게 하여 이를 적당한 처리조건에서 반도체막에 어닐링처리를 행하면 반도체막의 결정화는 완료한다. 또한, 광원으로서는 아크램프의 이외에 텅스텐램프 등의 램프광을 이용해도 된다. 본원발명의 (Ar 계) 훈정질막은 as-deposited 상태이고 이미 결정성분이 다량으로 존재하고, 더욱이 단시간에 다량의 에너지를 공급하더라도 막의 손상이라든지 박리, 비산이 생기지 않는다. 그 때문에 RTA 법이라도 용이하게 또한 안정적으로 결정화가 행하여지고, 또한 그 에너지공급량(RTA 처리온도와 처리시간의 곱에 비례한 양)도 비교적 적고, 기판의 변형이라든지 변형, 균열 등을 회피할 수 있다.

PECVD 법으로 준비된 종래의 a-Si 막에서는 Furnace-SPC 법이라도 수소의 급격한 방출을 피하기 위하여 결정화전에 승온속도를 $10^\circ\text{C}/\text{min}$ 정도 이하로 온도상승시킨 후에 450°C 정도의 열처리가 필요

불가결하다. 그래서, 본원발명의 반도체막에서는 용융결정화법으로만 되지 않고, Furnace-SPC 법이라든지 RTA법, VST-SPC 법 등의 모든 결정화에 있어서 결정화전의 열처리는 불필요하게 된다.

(2-8, (Ar 계) 훈정질-결정화막의 최적 막두께)

여기에서는 상술한 본원발명의 저온 프로세스 박막 반도체 장치 중, 반도체막이 (Ar 계) 훈정질막으로 성막된 후에 결정화되어 형성된 poly-Si TFT의 최적 반도체막 두께를 취하여 설명한다. PECVD 법등으로 훈정질막을 성막한 때에 막이 막으로서 이어지는 것은 막두께가 10nm 정도 이상으로 된 때이다. 그러나 PECVD 법으로 얻어지는 반도체막의 밀도는 벌크 막밀도의 85% 정도로부터 95% 정도이다. 그 때문에 PECVD 법에 따르는 10nm의 반도체막을 결정화시키면, 그 막두께는 결정화후에는 9nm 정도로 감소한다. 따라서 (Ar 계) 훈정질-결정화막의 최저막두께는 9nm정도이다. 결정화 후의 막두께가 18nm 정도 이상으로 되면 용융결정화막의 트랜지스터 특성이 좋게되기 시작한다. 즉, (Ar 계) 훈정질-용융결정화막에 있어서는 18nm 정도 이하는 박막열화가 우성이고, 18nm 정도 이상으로부터 박막열화는 작게되고, 동작이론에 근거하는 박막효과가 길항하게 되는 것이다. 이것이 계속되는 것은 막두께가 18nm 정도 이상으로부터 90nm 정도의 사이이고, 그동안의 막두께로 트랜지스터 특성은 최량이 된다. 막두께가 90nm 정도보다도 두꺼우면 동작이론에 근거하는 박막효과가 능가하고, 트랜지스터 특성은 막두께의 증대에 따라 서서히 악화하여 간다. 반도체막 두께가 30nm 정도 이상이면, 미세가공을 요하는 고집적 박막 반도체 장치의 안정적인 생산이 가능하게 된다. 즉 RIE에서 콘택트 불량률을 생기게 하는 일없이 안정적으로 콘택트홀을 여는 것이 가능하게 된다. 퇴적 직후의 막두께가 50nm 정도 이상(결정화후에 45nm 정도 이상)이면 as-deposited 막내의 결정성분이 증대하고, 열처리 없이 용융결정화가 가능하게 이루어지는 레이저 에너지영역이 넓게 된다. PECVD 법등으로 퇴적된 직후의 반도체막 두께가 120nm 정도 이하(결정화후에 108nm 정도 이하)이면, 레이저조사 등의 용융결정화시에 막전체가 균일하게 가열되어 기려하게 결정화가 진행한다. 퇴적 직후의 반도체막이 200nm 정도 이상의 두께이면 레이저광을 위에서 조사한 때 막의 상층부밖에 용융하지 않고, 하층부에는 비정질부분이 남기 때문에, 동작이론에 근거하는 박막효과와 합쳐서 트랜지스터특성은 심히 저하된다. 따라서 용융결정화막의 막두께의 상한은 180nm 정도이다. 본 발명의 박막 반도체 장치를 LCD에 사용하는 경우, 오프 리크전류의 영향과 광 리크전류를 고려하는 것이 바람직하다. 결정화 후의 막두께가 150nm 정도 이하이면, 트랜지스터가 오프하였을 때의 리크전류는 충분히 작게 된다. 본원발명의 박막 반도체 장치에서도 광 리크전류는 막두께에 거의 비례한다. 안정적인 제조와 광 리크전류를 양립시키는 입장에서 반도체막 두께는 10nm 정도로부터 100nm 정도가 바람직하다. 100nm 정도보다도 막이 두껍게 되면 광 리크전류를 무시할 수 없게 되고 LCD 용으로서는 바람직하지 못하다. LCD의 화소 스위칭 소자로 박막 반도체 장치를 사용하도록 오프리크라든지 광리크가 중요하게 되고 또한 온전류를 보다 강하게 고려할 필요가 있는 경우, 모든 조건을 만족하는 계는 30nm 정도로부터 150nm 정도, 이상적으로는 45nm 정도로부터 100nm 정도가 된다. 350°C 정도의 활성화온도로 LDD 구조를 안정적으로 제조하기 위해서는 60nm 정도 이상의 막두께가 바람직하다.

이상 서술한 것과 같은 본원발명에 의하면 이하에 기술하는 효과가 얻어진다.

효과 1-1). 공정온도가 350°C로 낮기 때문에, 염가인 글라스의 사용이 가능하게 되어, 제품의 저가격화를 이루게 된다. 또한 고성능 액티브 매트릭스 기판의 대형화가 용이하고 고품질 액정표시장치(LCD)를 용이하게 대형화할 수 있다.

효과 1-2). 범용의 PECVD 장치를 사용할 수 있고, 현재의 360mm × 460mm의 글라스기판으로부터 용이하게 550mm × 650mm로 이행함에 의해 대형의 기판으로의 이행이 가능하다.

효과 1-3). 반도체막의 결정화전의 열처리공정이 불필요하게 되어, 간소한 공정으로 고품질의 결정성 반도체막이 얻어진다. 현존의 장치만으로 고성능 박막 반도체 장치를 용이하게 제조할 수 있다.

효과 1-4). 기판전체에 걸치는 균일한 레이저조사를 행하는 적정조사조건이 넓다. 그 때문에 가령 레이저 조사 에너지가 다소 변동하더라도 기판전면에 걸쳐 안정적인 결정화가 행하여진다.

효과 1-5). 용융결정화 공정에서는 결정화과정을 훈정질 반도체막 내의 결정 성분이 컨트롤하기 때문에, 기판간이라든지 로트간의 결정성의 변동이 현저히 작다. 이러한 결과, 고성능 박막 반도체 장치를 용이하게 또한 안정적으로 제조할 수 있다.

제 3 의 종래기술이 내포하는 문제.

효과 1-6). as-deposited 반도체막을 단지 1 회의 레이저조사로 결정화시키는 것이 가능하다. 이 때문에 생산성이 현저히 향상된다. 또한 동일장소를 수회정도 이하 레이저조사하는 경우에는 기판주변의 분위기를 특히 제어하지 않더라도 좋다. 대기분위기 하에서 레이저조사를 행하는 것도 가능하다. 이 것은 생산성의 또 다른 향상을 의미한다.

효과 1-7). 레이저 에너지밀도를 비교적 자유롭게 설정할 수 있기 때문에, 그 값의 최적치를 선택하는 것이 가능하고, 그 결과 레이저조사 후의 결정립은 커진다. 따라서 그것을 사용한 박막 반도체 장치의 특성도 우수하게 된다.

효과 1-8). 반도체막을 용융결정화시키는 레이저 에너지밀도를 종래보다도 $50\text{mJ} \cdot \text{cm}^{-2}$ 정도 낮게 하는 것이 가능하다. 따라서 레이저조사 일회당, 종래의 비정질막보다도 넓은 면적영역을 결정화시키는 일이 가능하여, 레이저조사장치의 부담을 경감하며, 동시에 생산성을 높인다. 이러한 결과 본원발명에 따르면 더욱 양호한 박막 반도체 장치를 현실적인 간편한 수단으로, 통상의 대형 글라스 기판을 사용할 수 있는 제조장치와 공정온도로 안정적으로 제조하는 것이 가능하게 되었다.

또한 본원발명에 따라 이하에 기술하는 별도의 효과가 얻어진다.

효과 2-1). 종래의 a-Si TFT와 동등한 제조공정에서 특별한 결정화공정을 거치지 않고 이동도가 $1\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 이상이 되는 양호한 박막 반도체 장치를 용이하게 제조할 수 있다. 또한 본원발명에 따라 이하에 기술하는 또한 별도의 효과가 얻어진다.

효과 3-1). 매엽식 PECVD 장치에 따르는 박막퇴적에 있어서, 특별한 예비가열실을 설치하지 않고 높은 생산성으로 박막퇴적을 행할 수 있다. 따라서 PECVD 장치의 대형화라든지 그 가격昂등을 억제할 수 있다. 또한 예비가열실을 설치한 경우에는 반송실의 로봇온도가 실온정도라도, 반송실에 기판설치 후의 예비가열기간을 최단으로 할 수 있어, 생산성을 더욱 높이는 것이다. 이렇게 하여 매엽식 PECVD 장치에 따르는 박막퇴적에 있어서도 간편하고 또한 높은 생산성을 가지는 박막퇴적이 가능하게 되었다.

도면의 간단한 설명

제1도는 종래의 PECVD a-Si 막의 레이저 결정화특성을 나타내는 도면.

제2도는 본 발명에 사용한 PECVD 장치를 나타내는 도면.

제3도는 본 발명의 실시예에 따른 박막 반도체 장치 제조의 각 공정에 있어서의 소자 단면도.

제4도는 본 발명에 의한 반도체막의 적외흡수스펙트럼을 나타내는 도면.

제5도는 종래의 a-Si 막의 적외흡수스펙트럼을 나타내는 도면.

제6도는 종래의 a-Si 막의 라먼분광스펙트럼을 나타내는 도면.

제7도는 본 발명에 의한 반도체막의 라먼분광스펙트럼을 나타내는 도면.

제8도는 본 발명에 의한 반도체막의 레이저결정화특성을 나타내는 도면.

제9도는 본 발명에 의한 반도체막의 적외흡수스펙트럼을 나타내는 도면.

제10도는 본 발명에 의한 반도체막의 라먼분광스펙트럼을 나타내는 도면.

제11도는 본 발명에 의한 반도체막의 레이저결정화특성을 나타내는 도면.

제12도는 본 발명에서 사용한 디지털 데이터 드라이버를 나타내는 도면.

제13도는 본 발명에 사용한 고에너지광 조사장치.

제14도는 본 발명에 사용한 RTA 장치.

실시예

첨부된 도면을 참조하여 본 발명을 보다 상세히 설명한다.

[실시예 1]

본 발명에 따른 반도체막과 그것을 PECVD 법으로 형성하는 일례를 설명한다. PECVD 장치는 (2-3)에 상술한 것을 사용하고, 기판 표면의 적어도 일부에 산화규소막 등의 절연성 물질인 하지 보호막을 설치한 후에, 이 기초보호막 상에 반도체막을 형성한다.

실온인 $360\text{mm} \times 475\text{mm} \times 1.1\text{mm}$ 의 글라스기판(0A-2)은 하부평판전극(203)의 온도가 380°C 로 유지되고 있는 PECVD 장치 내에 설치된다. PECVD 장치반응로 내에 기판설치 후의 레시피는 이하와 같다.

(예비가열 1)

시간: $t=90\text{ s}$

수소유량: $\text{H}_2=100\text{ SCCM}$

헬륨유량: $\text{He}=3000\text{ SCCM}$

고주파출력: $\text{RF}=0\text{ W}$ (플라즈마를 일으키지 않는다)

압력: $P=3.0\text{ Torr}$

전극간 거리: $S=37.1\text{ mm}$

하부평판 전극온도: $T_{\text{sus}}=380^\circ\text{C}$

(예비가열2)

시간 $t=60\text{ s}$

실란유량 : $\text{SiH}_4=100\text{ SCCM}$

아르곤유량: $\text{Ar}=3000\text{ SCCM}$

고주파출력: $\text{RF}=0\text{ W}$ (플라즈마를 일으키지 않는다)

압력 : $P=1.5\text{ Torr}$

전극간 거리: $S=37.1\text{ mm}$

하부평판 전극온도: $T_{\text{sus}}=380^\circ\text{C}$

(성막)

시간: $t=164\text{ s}$

실란유량: SiH₄=100 SCCM

아르곤유량: Ar=3000 SCCM(원료농도 3.23%)

고주파출력: RF=600W(0.228 W/cm²)

압력: P=1.5 Torr

전극간 거리: S=37.1 mm

하부평판전극온도: Tsus=380°C

기판표면온도: Tsub=349°C

예비가열 1에서는 수소와 헬륨을 반응실에 도입하고, 압력을 3.0Torr로 높여 설정하고 있기 때문에 실온의 글라스기판을 직접 반응실에 설치하더라도 총가열시간을 2분30초로 단축할 수 있다. 전극간 거리가 3.71cm이기 때문에, 반응실내 부피(V)는 9765cm³으로 이루어지고, 이 값과 가스유량(Q)=3100 sccm, 압력(P)=1.5Torr의 값을 사용하여 제 2 예비가열기간 중에 분위기가 완전히 치환되는 시간을 계산하면,

$$t=(P/760) \cdot (V/Q) \times 13.82=0.086\text{분}=5.2\text{초}$$

가 된다. 제 2 예비가열은 60초로 충분히 길기 때문에 제 2 예비가열기간 중에 분위기는 완전히 치환되어, 제 1 예비가열의 영향이 성막시에 남는 일은 생각할 수 없다. 이와 같은 조건하에 있어서의 반도체막의 퇴적속도는 0.365nm/s이고, 반도체막의 막두께는 60nm이다. 또한 열탈리 가스스펙트로스코피(TDS)에서 측정한 실리콘막 중의 수소농도는 10.39 원자%이었다. 투과형 전자현미경 관찰에 의하면 이 실리콘막은 주로 비정질 성분이 기둥상 구조로 이루어져 있다. 제9도에는 이 실리콘막의 적외흡수분광법으로 측정한 스펙트럼을 나타낸다. 2000cm⁻¹ 부근의 흡수피크강도보다도 2102cm⁻¹ 부근의 흡수피크강도와 2084cm⁻¹ 부근의 흡수피크 강도의 쪽이 강한 것을 알았다. 또한 제10도에 이 실리콘막의 라먼분광측정결과를 나타낸다. 520cm⁻¹ 부근에 결정성분으로부터의 라먼 · 시프트가 인정되고, 본예의 실리콘막이 혼정질인 것을 나타내고 있다.

[실시예 2]

실시예 1에 따라 얻어진 반도체막을 as-deposited 상태로 TFT의 능동층으로 하는 박막 반도체 장치를 형성하였다.

우선 기판(101) 상에 PECVD 법으로 산화규소막으로 구성되는 기초보호막(102)을 형성하고, 진공을 파괴하는 일없이 연속하여 이 기초보호막 상에 박막 반도체 장치의 능동층으로 되는 진성실리콘막을 실시예 1의 방법으로 퇴적한다. 기초 보호막의 막두께는 300nm이고, 반도체막 두께는 90nm이다. 따라서 반도체막의 성막시간은 247초로 된다. 이와 같이 얻어진 반도체막은 그 다음 as-deposited 상태로 TFT의 채널부 등을 이루는 능동층으로 사용된다. 기판을 PECVD 장치에서 인출한 후 반도체막을 패터닝하여, 후에 트랜지스터의 능동층이 되는 반도체막(103)을 형성한다. (제3(a)도)

다음에 PECVD 법으로 게이트 절연막(104)을 형성한다. (제3(b)도) 산화규소막으로 이루어지는 게이트 절연막은 TEOS (Si-(O-CH₂-CH₃)₄)와 산소(O₂), 물(H₂O)을 원료기체로 하여, 희석기체로서 아르곤을 사용하고 기판표면온도 350°C에서 100nm의 막두께로 성막한다. 게이트 절연막 퇴적 후, 산화막을 350°C 정도의 온도로 산소를 분압으로 0.2 기압정도로 수증기를 노점으로 80°C 정도 포함한 분위기하에서 약 3 시간의 열처리를 행하여 절연막의 품질개선을 행하였다.

다음에 게이트전극(105)이 되는 탄탈(Ta) 박막을 스팍터법으로 퇴적한다. 스팍터시의 기판온도는 150°C이고, 막두께는 500nm이다. 게이트전극이 되는 탄탈 박막을 퇴적 후 패터닝을 행하고, 잇따라 반도체막에 불순물이온주입(106)을 행하여 소스 · 드레인 영역(107) 및 채널 영역(108)을 형성한다. (제3(c)도) 이때 게이트 전극이 이온주입의 마스크가 되고, 채널은 게이트 전극 하에만 형성되는 자기 정합구조로 이루어진다. 불순물이온주입은 질량 비분리형 이온주입장치를 사용하여 행하여지고, 원료기체로는 수소 중에 희석된 농도 5% 정도의 포스핀(PH₃)을 사용한다. PH₃⁺ 라든지 H₂⁺를 포함하는 전체이온의 주입량은 1×10¹⁶ cm⁻²로 소스 · 드레인 영역에 있어서의 인(P) 원자 농도는 약 3×10²⁰ cm⁻³로 이루어진다. 이온주입시의 기판온도는 250°C이었다.

다음에 산화규소막으로 구성되는 층간절연막(109)을 TEOS를 사용한 PECVD 법으로 형성한다. 층간절연막 성막시의 기판표면온도는 350°C이고, 막두께는 500 nm이다. 그 후 350°C의 산소분위기 하에서 1 시간의 열처리를 행하여 주입이온의 활성화 및 층간절연막의 담금질을 행한다. 계속해서 소스 · 드레인 상에 컨택트홀을 열고, 알루미늄(Al)을 스팍터법으로 퇴적한다. 스팍터시의 기판온도는 150°C이고, 막두께는 500nm이다. 소스 · 드레인 인출 전극(110)과 배선을 형성하는 알루미늄 박막의 패터닝을 행하면 박막 반도체 장치는 완성한다. (제3(d)도)

이렇게 하여 시험제작한 박막 반도체 장치의 트랜지스터 특성을 측정한 바, 소스 · 드레인 전압 V_{ds}=4V, 게이트전압 V_{gs}=10V에서 트랜지스터를 온시킨 때의 소스 · 드레인 전류(I_{ds})를 온전류(I_{ON})라 정의하고,

95%의 신뢰계수로 I_{ON} = (9.10 + 0.87, -0.80)×10⁻⁷A이다. 또한, V_{ds}=4V, V_{gs}=0V에서 트랜지스터를 오프시킨 때의 오프전류는 I_{OFF} = (6.50 + 3.28, -2.19)×10⁻¹³A이다. 여기에서 측정은 온도 25°C에서, 채널부의 길이(L)=5μm, 폭(W)=20μm의 트랜지스터에 대하여 이루어졌다. 포화전류영역에서 구한 전자이동도는, μ=3.53±0.17cm²·V⁻¹·S⁻¹이고, 임계전압은 V_{th} = 9.10±0.11V이다. 이와 같이 본 발명에 따라 종래의 a-Si TFT와 동등의 공정 최고온도(350°C)에서 게다가 동등의 제조공정(결정화공정 불필요)으로 종래의 a-Si

TFT의 3 배 이상의 고이동도를 가지는 더욱 우량한 박막 반도체 장치를 제조할 수 있었다.

[실시예 3]

실시예 2에서 얻어진 박막 반도체 장치를 $768(\text{행}) \times 1024(\text{열}) \times 3(\text{색}) = 2359296(\text{화소})$ 로 이루어지는 고정밀 컬러 LCD의 화소용 스위칭 소자로 한 액티브 매트릭스기판을 제조하였다. 본 실시예 3에서는 소스전극 및 소스배선은 실시예 2와 같은 알루미늄이지만, 드레인전극으로는 인듐주석산화물(ITO)을 사용한다. 이와 같이 하여 얻어진 액티브 매트릭스기판을 한 쌍의 기판의 한쪽에 사용하고 있는 액정패널을 제조하였다. 얻어진 액정패널을 외부의 주변구동회로라든지 백라이트유닛과 함께 조립하여 액정표시장치를 제조한 바, TFT가 고성능이고 또한 트랜지스터의 기생용량이 더욱 작기 때문에, 고개구울이며 밝고 표시품질이 높은 액정표시장치가 완성되었다. 또한 액티브 매트릭스기판의 제조공정도 안정하기 때문에 액정표시장치를 안정적으로, 또한 저비용으로 제조하는 것이 가능하게 되었다.

이 액정표시장치를 풀컬러의 휴대형 퍼스널컴퓨터(노트 PC)의 케이스에 설치하였다. 박막 반도체 장치가 고성능이기 때문에, 이 노트 PC는 매우 아름다운 표시화면을 가지는 양호한 전자기기로 되었다. 덧붙여 액정표시장치가 고개구울을 가지는 사실로부터 백 라이트의 사용전력을 감소하는 일이 가능하게 되고, 그려므로 배터리의 소형 경량화와 장시간 사용이 가능하게 된다. 이것에 의해 장시간 사용가능하고, 또한 기려한 표시화면을 가지는 소형경량 전자기기가 실현되었다.

[실시예 4]

실시예 1에서 얻어진 반도체막을 하등 열처리하지 않고, as-deposited 상태로 레이저조사를 시행하여 결정화를 시도하였다. 그 결과를 제11도에 나타낸다. 제11도의 내용은 제8도와 동일하다. 조사레이저광은 파장 308nm 의 XeCl 액시머레이저이고 그 반값폭은 45ns 정도이다. 빙 형상은 보통 $1\text{cm} \times 1\text{cm}$ 의 사각형으로, 각 에너지마다 각각 한번만 레이저조사를 행하였다. 제11도에서 실시예 1에서 얻어진 반도체막은 레이저 에너지밀도가 $110\text{mJ} \cdot \text{cm}^{-2}$ 정도로부터 $160\text{mJ} \cdot \text{cm}^{-2}$ 정도의 사이에서 기려하게 결정화가 진행하는 것을 알았다. 이 반도체막은 일단계 레이저조사법을 행한때에는 에너지밀도가 $127\text{mJ} \cdot \text{cm}^{-2}$ 의 때에 결정화율은 최대의 88%에 도달하고, 고품질의 결정성 반도체막이 얻어지고 있다. 본 실시예 4가 나타내는 것같이 본원 발명의 반도체막을 사용하면 종래 행하여지고 있는 수소볍기의 열처리 등을 완전히 행하지 않고도, 단순한 레이저조사에서 용이하게 높은 결정화율을 가지는 고품질 결정성 반도체막을 비교적 낮은 레이저 에너지밀도로 제조할 수 있다.

[실시예 5]

실시예 1에 따라 얻어진 반도체막을 하등 열처리하지 않고, as-deposited 상태로 레이저조사를 행하여 결정성 반도체막을 형성하고, 그것을 TFT의 능동층으로 하는 박막 반도체 장치를 형성하였다.

우선 $360\text{mm} \times 475\text{mm}$ 의 대형 글라스 기판(101) 상에 PECVD 법으로 산화규소막으로 구성되는 기초보호막(102)을 형성하고, 진공을 파괴하는 일없이 연속하여 이 기초보호막 상에 진성실리콘막을 실시예 1의 방법으로 퇴적한다. 기초보호막의 막두께는 300nm 이고, 반도체막두께는 60nm 이다. 이와 같이 하여 얻어진 반도체막은 하등 열처리를 행하지 않고 그 다음 as-deposited 상태로 레이저광조사에 따른 용융결정화를 진행시킨다. 조사레이저광은 파장 248nm 의 KrF 액시머레이저이고 그 반값폭은 약 33ns 이다. 레이저빙 형상은 폭 $120\mu\text{m}$ 에서 길이가 38cm 의 라인 형태이다. 각 조사마다의 빙의 폭방향의 겹치는 양은 빙폭의 90%이다. 따라서 일회의 조사마다 빙은 $12\mu\text{m}$ 진행하고, 반도체막 상의 동일점은 10 회의 레이저조사를 받게 된다. 레이저광 에너지밀도는 $15\text{mJ} \cdot \text{cm}^{-2}$ 이고, 레이저광조사는 배경진공도가 보통 $1 \times 10^{-6}\text{Torr}$ 정도의 진공 중에서 행한다. 레이저조사시의 기판온도는 25°C 정도의 실온이다. 이렇게 하여 결정화된 반도체막은 대파장 분산형 엘립소메트리의 측정에 의하면 결정화율이 95%이고, 막두께는 55nm 이었다. 라먼분광측정에서는 결정성분으로부터의 라먼시프트를 나타내는 515.9cm^{-1} 부근에 반값폭이 보통 4.5cm^{-1} 의 날카로운 피크가 나타나고, 결정성이 더욱 높은 고품질막이 형성된 것을 말해주고 있다. 또한 투과형 전자현미경 관찰에 의하면 이 반도체막은 결정립경이 약 200nm 에서 500nm 의 결정립으로 구성되고 있다. 결정화공정 종료후 이 결정성 반도체막을 패터닝하고, 후에 트랜지스터의 능동층이 되는 반도체막(103)을 형성한다. (제3(a)도)

이후의 게이트 절연막 형성으로부터 소스·드레인 인출전극과 배선형성까지의 모든 공정은 이온주입에 의한 소스·드레인 형성공정을 제외하고 실시예 2와 완전히 동일하고, 이리하여 박막 반도체 장치는 완성된다.(제3(d)도) 본 실시예 5에서는 CMOS TFT를 형성하는데, NMOS TFT와 PMOS TFT의 2 개를 한 장의 기판상에 형성한다. NMOS TFT의 소스·드레인 형성시에는 NMOS TFT부를 폴리아이미드 수지로 덮고, 반대로 PMOS TFT의 소스·드레인 형성시에는 NMOS TFT부를 폴리아이미드 수지로 덮어 CMOS TFT를 작성한다. PMOS TFT의 불순물이온 주입은 실시예 2의 그것과 완전히 동일하다. PMOS TFT의 불순물이온주입도 질량 비분리형 이온주입장치를 사용하여 행하여진다. 원료기체로서는 수소 중에 회석된 농도 5% 정도의 디보란(B_2H_6)을 사용한다. B_2H_6^+ 라든지 H_2^+ 를 포함하는 전체이온의 주입량은 $1 \times 10^{16}\text{cm}^2$ 이고 소스·드레인 영역에 있어서의 봉소 원자농도는 약 $3 \times 10^{20}\text{cm}^{-3}$ 으로 이루어진다. 이온 주입시의 기판온도는 역시 250°C 이었다.

이렇게 해서 시험제작한 박막 반도체 장치의 트랜지스터 특성을 측정하였다. 측정조건이라든지 정의는 실시예 2와 동일하다. (단지 PMOS TFT의 V_{gs} 라든지 V_{ds} 는 NMOS TFT와 역극성.) 본 실시예 5에서는 트랜지스터의 성능과 그 기판 내에서의 격자를 조사하는 일을 목적으로, 대형 글라스 기판 상에 전부 작성된 채널부의 길이(L)= $5\mu\text{m}$, 폭(W)= $5\mu\text{m}$ 의 트랜지스터 50개에 대하여 측정이 행하여졌다. 결과는 이하와 같다.

NMOS TFT

$$I_{ON} = (61.9 + 7.5, -5.7) \times 10^{-6} \text{A}$$

$$I_{OFF} = (1.66+0.63, -0.44) \times 10^{-12} A$$

$$\mu = 103.4 \pm 10.5 \text{ cm}^2 \cdot V^{-1} \cdot S^{-1}$$

$$V_{th} = 2.17 \pm 0.14 V$$

PMOS TFT

$$I_{ON} = (43+3.9, -3.4) \times 10^{-6} A$$

$$I_{OFF} = (4.64+1.19, -0.96) \times 10^{-13} A$$

$$\mu = 57.75 \pm 5.03 \text{ cm}^2 \cdot V^{-1} \cdot S^{-1}$$

$$V_{th} = -1.12 \pm 0.11 V$$

이와 같이 본 발명에 따라 종래의 a-Si TFT와 동등한 공정최고온도(350°C)로 게다가 대형 범용 글라스 기판 상에 균일하게 고이동도를 가지는 더욱 우량한 CMOS 박막 반도체장치를 제조할 수 있었다. 더욱이 본 실시예 5에서 얻어진 TFT는 양질의 결정성 반도체막과 게이트 산화막을 가지게 되어 트랜지스터의 신뢰성도 더욱 높고, 장시간에 걸쳐 안정적인 동작을 행한다. 종래기술의 저온 프로세스에서는 레이저결정화의 균일성은 기판내, 로트간을 막론하고 크게 중요한 과제였다. 그러므로 본 발명에 의하면, 온전류도 오프전류도 그것들의 격차가 대폭 감소되어 있다. 이 균일성의 현저한 개선은 레이저발신원이 비교적 안정한 것에 추가하여, 레이저원의 변동에 대하여도 초기 실리콘막이 안정하다는 것을 의미한다. 즉 다소 레이저발신에너지가 변동하더라도 제11도에 나타내는 것같이 결정화하는 에너지영역이 넓고, 또한 용융결정화과정을 훈정질막 중의 결정성분이 조정하고 있기 때문이다. 이러한 원리에 따라 본 발명은 로트간의 변동에 대하여도 현저한 개선을 하게 된다. 이와 같이 본 발명에 의해 레이저조사 등의 에너지조사를 이용한 실리콘 등의 반도체막의 결정화를 더욱 안정적으로 실시할 수 있게 되었다. 따라서 LCD에 본 발명의 박막 반도체 장치를 적용한 경우, LCD 화면전체에 걸쳐 균일한 고화질이 얻어지게 된다. 또한 본 발명의 박막 반도체 장치에서 회로를 형성하는 경우 단순한 시프트 레지스터라든지 아날로그 스위치라는 간단한 회로로만 되지 않고, 레벨 · 시프터라든지 디지털 · 아날로그 컨버터회로, 또한 클럭생성회로라든지 감마보정회로, 타이밍 컨트롤러회로와 같은 복잡한 회로를 용이하게 형성할 수 있는 것이다.

[실시예 6]

실시예 5에서 얻어진 NMOS 박막 반도체 장치를 200(행) × 320(열) × 3(색)=192000(화소)로 이루어지는 컬러LCD의 화소용 스위칭 소자로 하고, 6 비트 디지털 데이터 드라이버(열측 드라이버)와 주사 드라이버(행측 드라이버)를 실시예 5에서 얻어진 CMOS 박막 반도체 장치에서 내장하고 있는 액티브 매트릭스 기판을 제조하였다. 제12도는 6 비트 디지털 데이터 드라이버의 회로도를 나타낸다. 본 실시예의 디지털 데이터 드라이버는 클럭 신호선과 클럭 생성 회로, 시프트 레지스터회로, NOR 게이트, 디지털 영상신호선, 래치 회로1, 래치 펄스선, 래치 회로2, 리셋선1, AND 게이트, 기준 전위선, 리셋선2, 용량분할에 따르는 6비트 D/A 컨버터, CMOS 아날로그 스위치, 공통전위선 및 소스선 리셋 · 트랜지스터로 구성되고, CMOS 아날로그 스위치로부터의 출력이 화소부의 소스선으로 연결되어 있다. D/A 컨버터부의 용량은 $C_0=C_1/2=C_2/4=C_3/8=C_4/16=C_5/32$ 의 관계를 만족하고 있다. 디지털 영상신호선에는 컴퓨터의 비디오 랜덤 액세스 메모리(VRAM)로부터 출력되는 디지털 영상신호가 직접 입력될 수 있다. 본 실시예의 액티브 매트릭스 기판의 화소부에서는 소스전극 및 소스배선, 드레인전극(화소전극)은 알루미늄으로 구성되어 있고, 반사형LCD로 되어 있다. 이와 같이 하여 얻어진 액티브 매트릭스 기판을 한 쌍의 기판의 한쪽에 사용하고 있는 액정패널을 제조하였다. 한 쌍의 기판간에 삽입지지하는 액정에는 흑색안료를 분산시킨 고분자분산액정(PDLC)을 사용하고, 노멀리 흑모드(액정에 전압을 인가하지 않은 때에 흑표시)의 반사형의 액정패널로 하였다. 얻어진 액정패널을 외부배선과 접속하여 액정표시장치를 제조하였다. 그 결과 NMOS와 PMOS의 온저항과 트랜지스터용량이 각각 동등하고, 더욱이 TFT가 고성능이고, 또한 트랜지스터의 기생용량이 더욱 작고, 덧붙여 기판전체면에 특성이 균일하기 때문에, 6 비트 디지털 데이터 드라이버도 주사 드라이버도 넓은 동작영역에서 정상으로 동작하고, 또한 화소부에 관하여서는 개구율이 높기 때문에, 흑안료분산PDLC를 사용하더라도 표시품질이 높은 액정표시장치가 완성되었다. 또한 액티브 매트릭스기판의 제조공정도 안정하기 때문에 액정표시장치를 안정적으로, 또한 저비용으로 제조하는 것이 가능하게 되었다.

본 액정표시장치를 풀컬러의 휴대형 퍼스널컴퓨터(노트 PC)의 케이스에 설치하였다. 6 비트 디지털 데이터 드라이버를 액티브 매트릭스 기판이 내장하고 있고, 컴퓨터로부터의 디지털 영상신호를 직접 액정표시장치에 입력하기 위해서, 회로구성이 간소하게 되고, 동시에 소비전력도 더욱 작게 되었다. 액정 박막 반도체 장치가 고성능이기 때문에, 이 노트 PC는 매우 아름다운 표시화면을 가지는 양호한 전자기기이다. 덧붙여 액정표시장치가 고개구율을 가지는 반사형인 사실로부터 백라이트가 불필요하게 되고, 그러므로 배터리의 소형 경량화와 장시간사용도 실현될 수 있었다. 이것에 의해 장시간 사용가능하고, 또한 기려한 표시화면을 가지는 초소형 경량전자기기가 작성되었다.

산업상이용가능성

상기와 같이, 본 발명의 박막 반도체 장치의 제조방법에 의하면, 염가인 글라스기판의 사용이 가능한 한 온프로세스를 사용하여 고성능인 박막 반도체 장치를 제조할 수 있다. 따라서, 본 발명을 액티브 · 매트릭스 백정표시장치의 제조에 적용한 경우에는, 대형이고 고품질인 액정표시장치를 용이하게 또한 안정적으로 제조할 수 있다. 또한, 다른 전자회로의 제조에 적용한 경우에도 고품질인 전자회로를 용이하게 또한 안정적으로 제조할 수 있다.

또한, 본 발명의 박막 반도체 장치는, 염가이고 또한 고성능이기 때문에, 액티브 매트릭스 액정표시장치의 액티브 매트릭스 기판으로 알맞다. 특히 높은 성능이 요구되는 드라이버내장의 액티브 매트릭스기판으

로 알맞다.

또한, 본 발명의 액정표시장치는, 영가이고 또한 고성능이기 때문에, 풀컬러의 노트 PC를 비롯하여, 각종 디스플레이로 알맞다.

또한, 본 발명의 전자기기는, 영가이고 또한 고성능이기 때문에, 일반적으로 넓게 적용될 수 있을 것이다.

(57) 청구의 범위

청구항 1

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 상기 반도체막의 구성원소를 함유한 화학물질을 원료기체로 하고, 추가기체로서 아르곤(Ar)을 사용하여 플라즈마 화학기상퇴적법(PECVD 법)으로 상기 반도체막을 막두께가 40nm 정도로부터 300nm 정도로 이루어지게 퇴적하는 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 2

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 상기 반도체막의 구성원소를 함유한 화학물질을 원료기체로 하고, 추가기체로서 아르곤(Ar)을 사용하며, 상기 원료기체의 농도가 6.25% 정도 이하에서 플라즈마 화학기상퇴적법(PECVD 법)으로 상기 반도체막을 퇴적하는 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 3

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 상기 반도체막의 구성원소를 함유한 화학물질을 원료기체로 하고, 추가기체로서 아르곤(Ar)을 사용하며, 상기 반도체막 퇴적중의 반응실내의 압력을 1.0Torr 정도 이상으로 하여 플라즈마 화학기상퇴적법(PECVD 법)으로 상기 반도체막을 퇴적하는 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 4

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 상기 반도체막의 구성원소를 함유한 화학물질을 원료기체로 하고, 추가기체로서 아르곤(Ar)을 사용하여, 상기 반도체막 퇴적중의 반응실내의 전극간 거리를 17.8mm 정도 이상으로 하여 플라즈마 화학기상퇴적법(PECVD 법)으로 상기 반도체막을 퇴적하는 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 5

제2항에 있어서, 상기 반도체막 퇴적중의 반응실내의 압력이 1.0Torr 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 6

제2항에 있어서, 상기 반도체막 퇴적중의 반응실내의 전극간 거리가 17.8 mm 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 7

제3항에 있어서, 상기 반도체막 퇴적중의 반응실내의 전극간 거리가 17.8 mm 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 8

제2항에 있어서, 상기 반도체막 퇴적중의 반응실내의 압력이 1.0Torr 정도 이상이고, 전극간 거리가 17.8mm 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 9

제2항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 10

제3항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 11

제4항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 12

제5항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 13

제6항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 14

제7항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 15

제8항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 16

제1항 내지 제15항 중 어느 한 항에 있어서, 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 17

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 상기 반도체막의 구성원소를 함유한 화학물질을 원료기체로 하고, 추가기체로서 아르곤(Ar)을 사용하여 플라즈마 화학기상퇴적법(PECVD 법)으로 상기 반도체막을 퇴적하는 제 1 공정과, 상기반도체막의 결정성을 높이는 제 2 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm⁻¹ 부근의 흡수 피크 강도가 2000cm⁻¹ 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 18

제17항에 있어서, 상기 원료기체의 농도가 6.25% 정도 이하인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 19

제17항에 있어서, 상기 반도체막 퇴적중의 반응실내의 압력이 1.0 Torr 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 20

제17항에 있어서, 상기 반도체막 퇴적중의 반응실내의 전극간 거리가 17.8 mm 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 21

제17항에 있어서, 상기 원료기체의 농도가 6.25% 정도 이하이고, 상기 반도체막 퇴적중의 반응실내의 압력이 1.0 Torr 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 22

제17항에 있어서, 상기 원료기체의 농도가 6.25% 정도 이하이고, 상기 반도체막 퇴적중의 전극간 거리가 17.8mm 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 23

제17항에 있어서, 상기 반도체막 퇴적중의 반응실내의 압력이 1.0Torr 정도 이상이고, 전극간 거리가 17.8mm 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 24

제17항에 있어서, 상기 원료기체의 농도가 6.25% 정도 이하이고, 상기 반도체막 퇴적중의 반응실내의 압력이 1.0Torr 정도 이상이고, 전극간 거리가 17.8mm 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 25

제18항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 26

제19항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 27

제20항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 28

제21항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 29

제22항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 30

제23항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 31

제24항에 있어서, 상기 반도체막의 퇴적속도가 0.15nm/s 정도 이상인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 32

제17항 내지 제31항 중 어느 한 항에 있어서, 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 33

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 상기 반도체막의 구성원소를 함유하는 화학물질을 원료기체로 하고, 추가기체로서 아르곤(Ar)을 사용하여 플라즈마 화학기상퇴적법(PECVD 법)으로 상기 반도체막을 퇴적하는 제 1 공정과, 상기 반도체막에 광학 에너지 또는 전자파 에너지 조사를 행하는 제 2 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm⁻¹ 부근의 흡수 피크 강도가 2000cm⁻¹ 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 34

제33항에 있어서, 상기 반도체막이 실리콘막이고, 상기 원료기체가 실란(SiH₄, Si₂H₆, Si₃H₈)인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 35

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 실리콘막을 형성하고, 상기 실리콘막이 트랜지스터의 능동층이 되는 박막 반도체 장치에 있어서, 상기 실리콘막은, 적외흡수분광법으로써 측정한 때, 2102cm⁻¹ 부근(2098cm⁻¹로부터 2106cm⁻¹ 사이)의 흡수 피크와 2084cm⁻¹ 부근(2080cm⁻¹로부터 2088cm⁻¹ 사이)의 흡수 피크의 2 개가 존재하고 있고, 상기 2102cm⁻¹ 부근의 흡수 피크 강도가 2000cm⁻¹ 부근(1980cm⁻¹로부터 2020cm⁻¹ 사이)의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치.

청구항 36

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 실리콘막을 형성하고, 상기 실리콘막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 적외흡수분광법으로써 측정하였을 때, 적어도 2102cm⁻¹ 부근(2098cm⁻¹로부터 2106cm⁻¹ 사이)의 흡수 피크와 2084cm⁻¹ 부근(2080cm⁻¹로부터 2088cm⁻¹ 사이)의 흡수 피크의 2 개가 존재하고 있고, 상기 2102cm⁻¹ 부근의 흡수 피크 강도가 2000cm⁻¹ 부근(1980cm⁻¹로부터 2020cm⁻¹ 사이)의 흡수 피크 강도보다도 강한 실리콘막을 플라즈마 화학기상 퇴적법(PECVD 법)으로 퇴적하는 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 37

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 실리콘막을 형성하고, 상기 실리콘막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 적외흡수분광법으로써 측정하였을 때, 적어도 2102cm⁻¹ 부근(2098cm⁻¹로부터 2106cm⁻¹ 사이)의 흡수 피크와 2084cm⁻¹ 부근(2080cm⁻¹로부터 2088cm⁻¹ 사이)의 흡수 피크의 2 개가 존재하고 있고, 상기 2102cm⁻¹ 부근의 흡수 피크 강도가 2000cm⁻¹ 부근(1980cm⁻¹로부터 2020cm⁻¹ 사이)의 흡수 피크 강도보다도 강한 실리콘막을 플라즈마 화학기상 퇴적법(PECVD 법)으로 퇴적하는 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

부터 2088cm^{-1} 사이)의 흡수 피크의 2 개가 존재하고 있고, 상기 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근(1980cm^{-1} 로부터 2020cm^{-1} 사이)의 흡수 피크 강도보다도 강한 실리콘막을 형성하는 제 1 공정과, 상기 실리콘막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 38

제37항에 있어서, 상기 제 1 공정을 플라즈마 화학기상퇴적법(PECVD 법)으로 행하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 39

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 실리콘막을 형성하고, 상기 실리콘막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 적외흡수분광법으로써 측정하였을 때, 적어도 2102cm^{-1} 부근(2098cm^{-1} 로부터 2106cm^{-1} 사이)의 흡수 피크와 2084cm^{-1} 부근(2080cm^{-1} 로부터 2088cm^{-1} 사이)의 흡수 피크의 2 개가 존재하고 있고, 상기 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근(1980cm^{-1} 로부터 2020cm^{-1} 사이)의 흡수 피크 강도보다도 강한 실리콘막을 형성하는 제 1 공정과, 상기 실리콘막에 광학 에너지 또는 전자파 에너지 조사를 행하는 제 2 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 40

제39항에 있어서, 상기 제 1 공정을 플라즈마 화학기상퇴적법(PECVD 법)으로 행하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 41

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치에 있어서, 상기 반도체막은 비정질 성분과 결정질 성분의 2 개를 포함하며, 상기 비정질 성분은 기둥상 구조를 이루고 있는 반도체막을 퇴적하는 제 1 공정과, 상기 기둥상 구조 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치.

청구항 42

제41항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치.

청구항 43

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 비정질 성분과 결정질 성분의 2 개를 포함하며, 상기 비정질 성분이 기둥상 구조를 이루고 있는 반도체막을 퇴적하는 제 1 공정과, 상기 기둥상 구조 반도체막에 광학 에너지 또는 전자파 에너지 조사를 행하는 제 2 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 44

제43항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 45

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 비정질 성분과 결정질 성분의 2 개를 포함하며, 상기 비정질 성분이 기둥상 구조를 이루고 있는 반도체막을 퇴적하는 제 1 공정과, 상기 기둥상 구조 반도체막에 광학 에너지 또는 전자파 에너지 조사를 행하는 제 2 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 46

제45항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 47

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 비정질 성분과 결정질 성분의 2 개를 포함하며, 비정질 성분이 기둥상 구조를 이루고 있는 반도체막을 플라즈마 화학기상퇴적법(PECVD 법)으로 퇴적하는 제 1 공정과, 상기 기둥상 구조 반도체막의 결정성을 높이는 제 2 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 48

제47항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 49

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 비정질 성분과 결정질 성분의 2 개를 포함하며, 상기 비정질 성분이 기둥상 구조를 이루고 있는 반도체막을 플라즈마 화학기상퇴적

법(PECVD 법)으로 퇴적하는 제 1 공정과, 상기 기둥상 구조 반도체막에 광학 에너지 또는 전자파 에너지 조사를 행하는 제 2 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 50

제49항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 51

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 혼정 상태에 있는 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 상기 반도체막을 성막할 때에 성막실 내에는 아르곤(Ar)이 존재하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 52

제51항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 53

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 혼정 상태에 있는 반도체막을 플라즈마 화학기상퇴적법(PECVD 법)으로 회석 기체로서 아르곤(Ar)을 사용하여 퇴적하는 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 54

제53항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 55

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 혼정 상태에 있는 반도체막을 아르곤(Ar) 존재 분위기 하에서 퇴적하는 제 1 공정과, 상기 혼정 상태에 있는 반도체막을 결정화시키는 제 2 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 56

제55항에 있어서, 상기 제 2 공정에 있어서의 결정화가 단시간 용융 상태를 거쳐서 있는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 57

제55항 또는 제56항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 58

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 혼정 상태에 있는 반도체막을 아르곤(Ar) 존재 분위기 하에서 퇴적하는 제 1 공정과, 상기 혼정 상태에 있는 반도체막에 광학 에너지 또는 전자파 에너지의 조사를 행하는 제 2 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 59

제58항에 있어서, 상기 제 2 공정에 있어서 반도체막이 단시간 용융상태에 있는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 60

제58항 또는 제59항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 61

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 혼정 상태에 있는 반도체막을 플라즈마 화학기상퇴적법(PECVD 법)으로 회석 기체로서 아르곤(Ar)을 사용하여 퇴적하는 제 1 공정과, 상기 혼정 상태에 있는 반도체막을 결정화시키는 제 2 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강

한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 62

제61항에 있어서, 상기 제 2 공정에 있어서 반도체막이 단시간 용융상태에 있는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 63

제61항 또는 제62항에 있어서, 상기 반도체막은 실리콘인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 64

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막을 형성하고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치의 제조방법에 있어서, 훈정 상태에 있는 반도체막을 플라즈마 화학기상퇴적법(PECVD 법)으로 회석 기체로서 아르곤(Ar)을 사용하여 퇴적하는 제 1 공정과, 상기 훈정 상태에 있는 반도체막에 광학 에너지 또는 전자파 에너지 조사를 행하는 제 2 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 65

제64항에 있어서, 상기 제 2 공정에 있어서 반도체막이 단시간 용융상태에 있는 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 66

제64항 또는 제65항에 있어서, 상기 반도체막은 실리콘막인 것을 특징으로 하는 박막 반도체 장치의 제조방법.

청구항 67

제35항, 제41항, 제42항 중 어느 한 항에 기재된 박막 반도체 장치를 구비한 것을 특징으로 하는 액정표시장치.

청구항 68

제67항에 기재된 액정표시장치를 구비한 것을 특징으로 하는 전자기기.

청구항 69

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막이 형성되어 있고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치가 설치된 기판과, 상기 기판 사이에 액정을 삽입 지지하는 액정 표시 장치의 제조방법에 있어서, 상기 반도체막의 구성원소를 함유한 화학물질을 원료 기체로 하고, 추가기체로서 아르곤(Ar)을 사용하여 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 상기 반도체막의 결정성을 높이는 제 2 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 액정 표시 장치의 제조방법.

청구항 70

적어도 표면의 일부가 절연성 물질로 된 기판의 상기 절연성 물질 상에 반도체막이 형성되어 있고, 상기 반도체막이 트랜지스터의 능동층이 되는 박막 반도체 장치가 설치된 기판과, 상기 기판 사이에 액정을 삽입 지지하는 액정 표시장치를 갖는 전자 기기의 제조방법에 있어서, 상기 반도체막의 구성원소를 함유한 화학물질을 원료기체로 하고, 추가기체로서 아르곤(Ar)을 사용하여 플라즈마 화학기상퇴적법(PECVD 법)으로 반도체막을 퇴적하는 제 1 공정과, 상기 반도체막의 결정성을 높이는 제 2 공정을 포함하며, 상기 반도체막은 적어도 두 개의 흡수 피크를 가지고 있으며, 2102cm^{-1} 부근의 흡수 피크 강도가 2000cm^{-1} 부근의 흡수 피크 강도보다도 강한 것을 특징으로 하는 전자 기기의 제조방법.

청구항 71

플라즈마 화학기상퇴적장치(PECVD 장치)를 사용하여 기판 상에 박막을 퇴적하는 방법에 있어서, 반응실내에 기판을 설치하는 제 1 공정과, 기판 설치 후, 성막시에 반응실에 도입되는 기체보다 열전도도가 높은 기체를 반응실에 도입하여 기판의 제 1 예비가열을 행하는 제 2 공정과, 플라즈마를 일으키는 것을 제외하고 성막의 여러가지 조건을 성막과정과 동일하게 하여 기판의 제 2 예비가열을 행하는 제 3 공정과, 그 후 박막의 성막을 시도하는 제 4 공정을 포함하는 것을 특징으로 하는 박막 퇴적 방법.

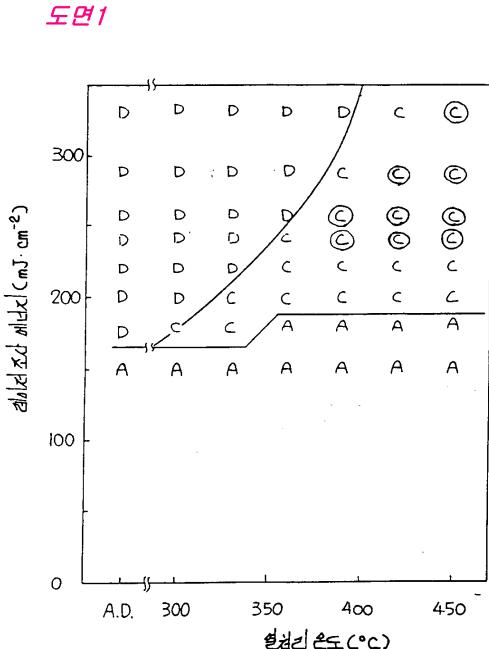
청구항 72

플라즈마 화학기상퇴적장치(PECVD 장치)를 사용하여 기판 상에 박막을 퇴적하는 방법에 있어서, 반응실내에 기판을 설치하는 제 1 공정과, 기판 설치 후, 반응실을 성막시보다 높은 압력으로 유지하여 기판의 제 1 예비가열을 행하는 제 2 공정과, 플라즈마를 일으키는 것을 제외하고 성막의 여러가지 조건을 성막과정과 동일하게 하여 기판의 제 2 예비가열을 행하는 제 3 공정과, 그 후 박막의 성막을 시도하는 제 4 공정을 포함하는 것을 특징으로 하는 박막 퇴적 방법.

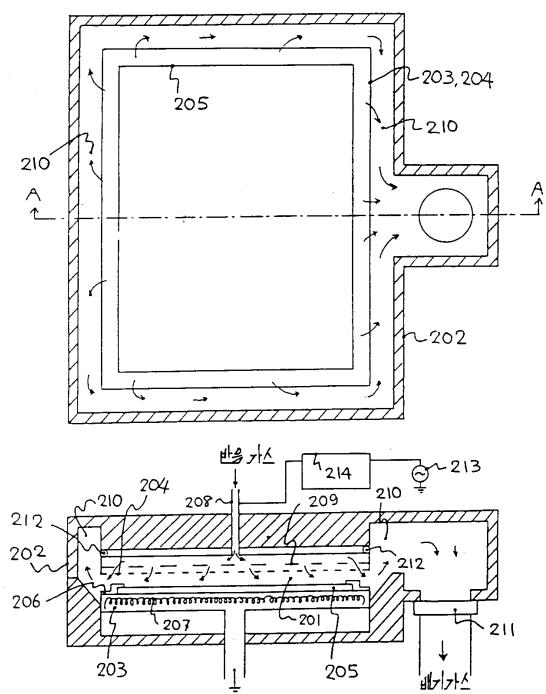
청구항 73

플라즈마 화학기상퇴적장치(PECVD 장치)를 사용하여 기판 상에 박막을 퇴적하는 방법에 있어서, 반응실 내에 기판을 설치하는 제 1 공정과, 기판 설치 후, 성막시에 반응실에 도입되는 기체보다 열전도도가 높은 기체를 성막시보다 높은 압력으로 반응실에 도입하여 기판의 제 1 예비가열을 행하는 제 2 공정과, 플라즈마를 일으키는 것을 제외하고 성막의 여러가지 조건을 성막과정과 동일하게 하여 기판의 제 2 예비가열을 행하는 제 3 공정과, 그 후 박막의 성막을 시도하는 제 4 공정을 포함하는 것을 특징으로 하는 박막 퇴적 방법.

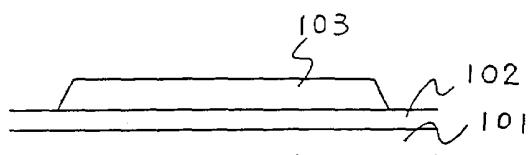
도면1



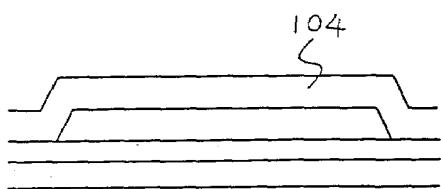
도면2



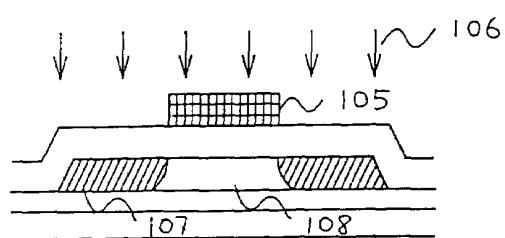
도면3a



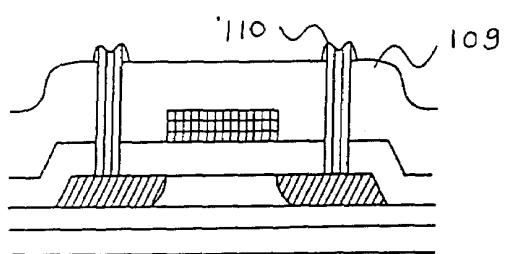
도면3b



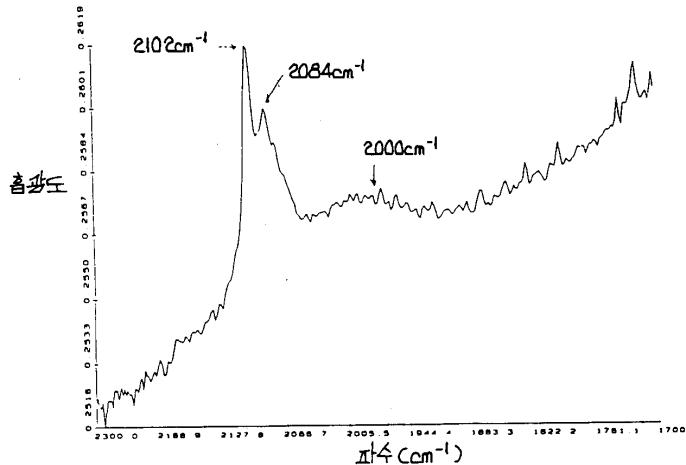
도면3c



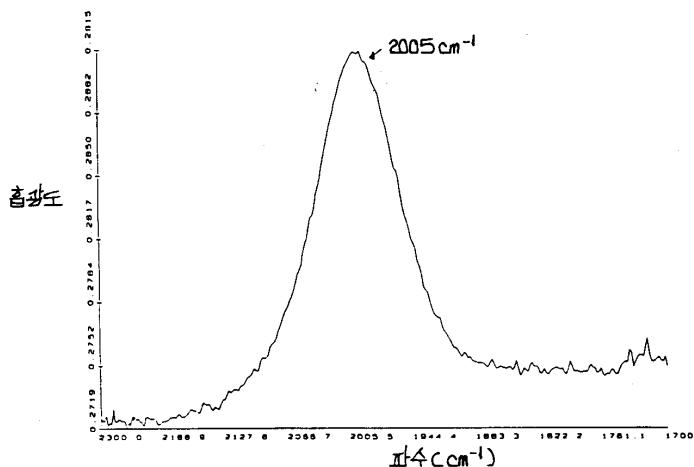
도면3d



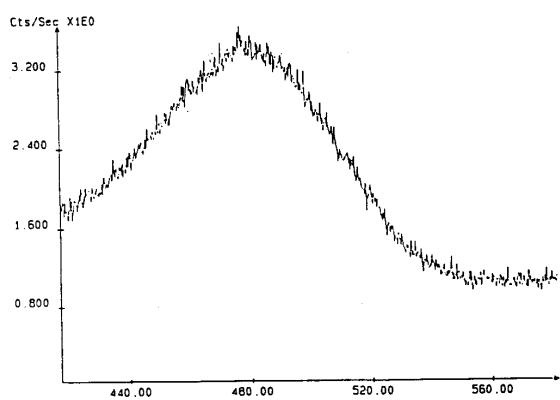
도면4



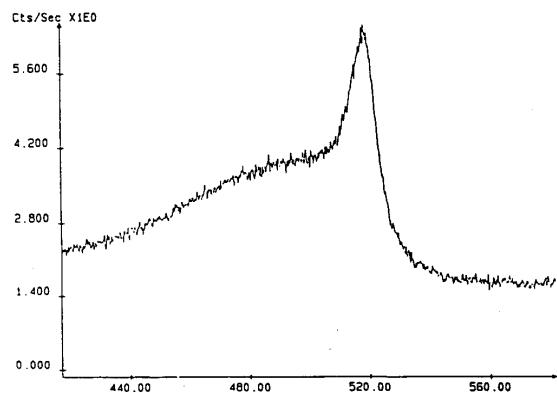
도면5



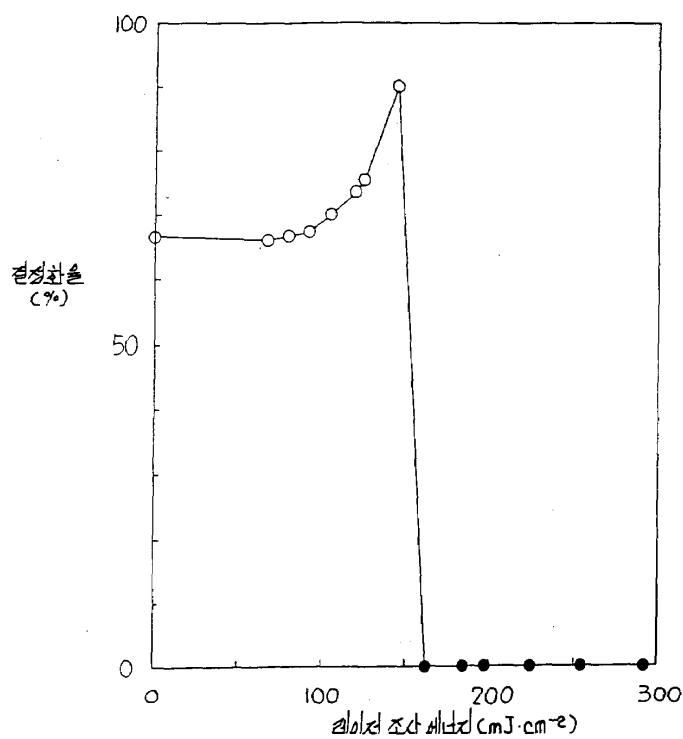
도면6



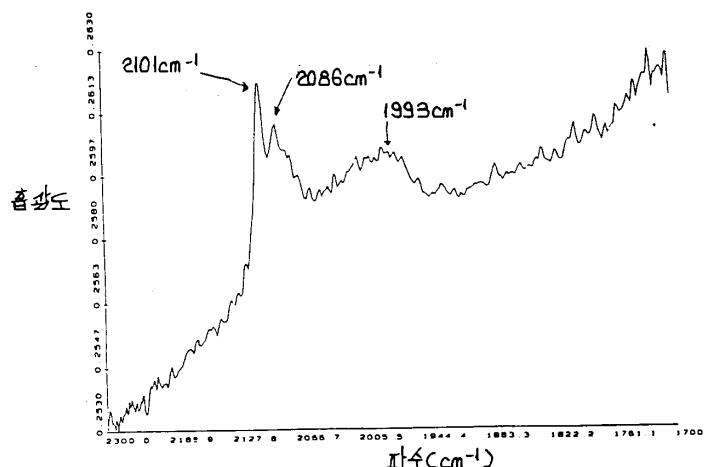
도면7



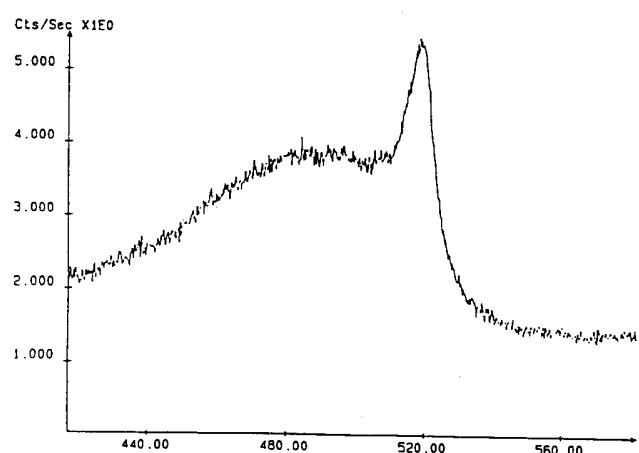
도면8



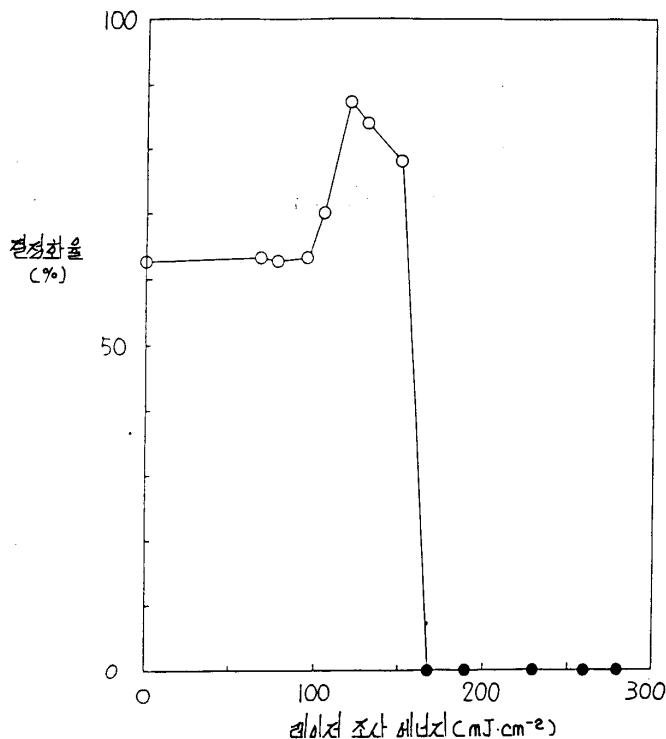
도면9



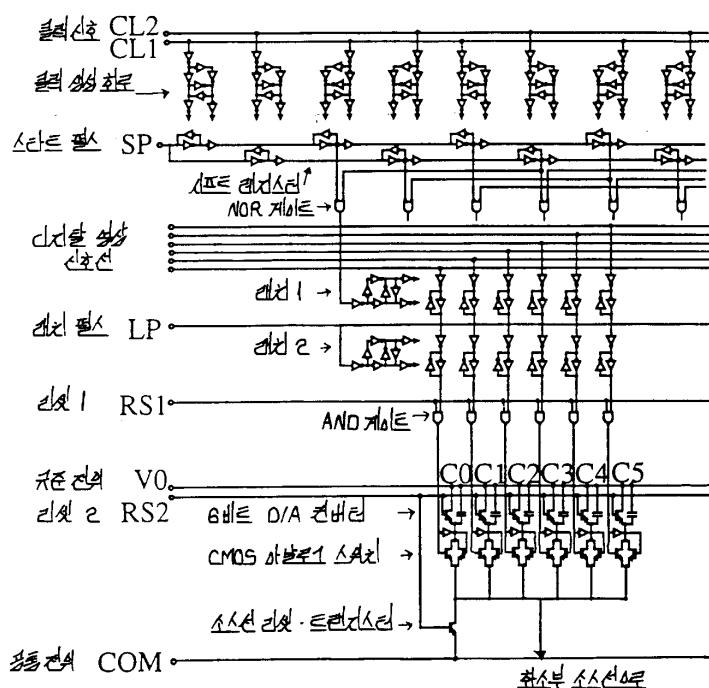
도면10



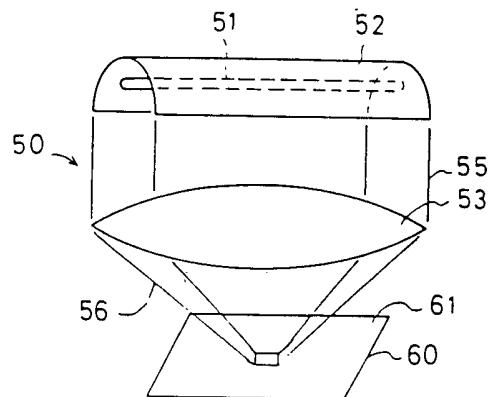
도면11



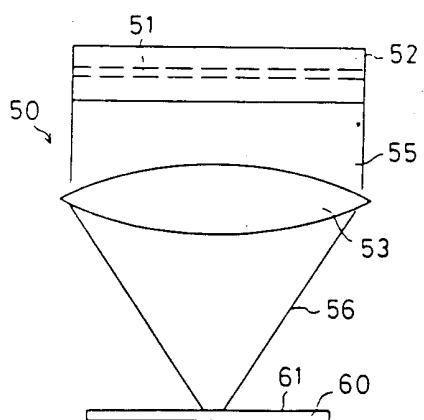
도면12



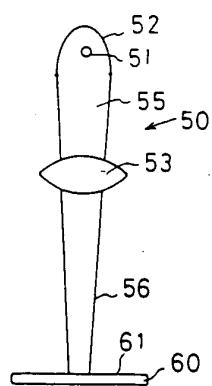
도면 13a



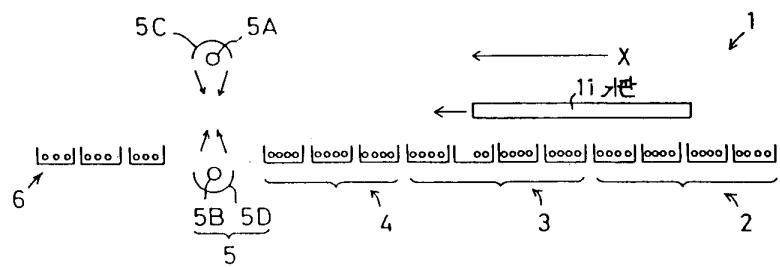
도면 13b



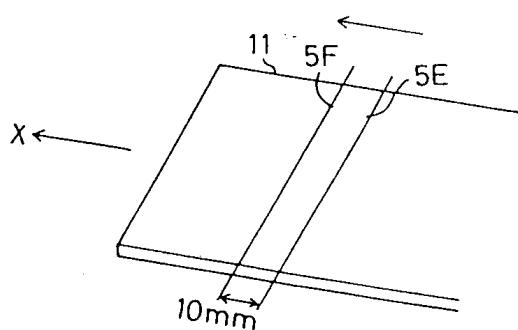
도면 13c



도면 14a



도면 14b



도면 14c

