

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 12117439

※ 申請日期： 92-6-26

※IPC 分類： G11C5/00

壹、發明名稱：(中文/英文)

記憶體緩衝器設置

MEMORY BUFFER ARRANGEMENT

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商英特爾公司

INTEL CORPORATION

代表人：(中文/英文)

大衛 賽門

DAVID SIMON

住居所或營業所地址：(中文/英文)

美國加州聖塔卡拉瓦市米遜大學路2200號

2200 MISSION COLLEGE BLVD. SANTA CLARA, CA 95052

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 2 人)

姓 名：(中文/英文)

1.那瑞得拉 S. 卡德卡

NARENDRA S. KHANDEKAR

2.詹姆斯 M. 多德

JAMES M. DODD

住居所地址：(中文/英文)

1.印度邦加羅爾市杜爾2區第3號大道114號

NO. 114, 3RD MAIN, 2ND STAGE, DOMLUR, BANGALORE 71,
INDIA

2.美國加州辛格史普林斯市巴耐特蘭其路4561號

4561 BARNETT RANCH ROAD, SHINGLE SPRINGS, CA 95682,
U.S.A.

國 籍：(中文/英文)

1.2.皆美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家(地區)申請專利：

1.美國；2002 年 06 月 27 日；10/186,357

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1.美國；2002 年 06 月 27 日；10/186,357

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種記憶體模組，記憶體系統，及計算裝置，其包括對記憶體裝置訊號進行緩衝之記憶體緩衝器裝置。

【先前技術】

記憶體與記憶體控制器之間的資料傳送速率不斷上升。為提高較高傳送速率時訊號之完整性，已在記憶體裝置與記憶體控制器之間導入記憶體緩衝器裝置。例如，可參見美國專利第6,317,352號"在一記憶體控制器與記憶體模組之間實施一緩衝菊花鏈連接之裝置"。該等記憶體緩衝器裝置減少與記憶體匯流排連接之裝置數目，從而減少了記憶體匯流排上作為訊號反射源的短線數目。另外，記憶體緩衝器裝置藉由減少由記憶體控制器直接驅動之裝置數目降低記憶體控制器之負載。藉由降低該負載，該記憶體控制器可使用更快的訊號速率及/或更低的訊號電壓。但是，記憶體緩衝器裝置卻佔用了電路板面積。減少記憶體緩衝器裝置之電路板佔據面積可有助於滿足對更小的尺寸外形與增加的存儲容量不斷增長的需求。

【發明內容】

本發明係關於一種記憶體模組，其包括一具有至少一引線之電路板，複數個連接至該電路板之第一記憶體裝置，一第一緩衝器裝置，其與該電路板連接，且被耦連於至少一引線與複數個第一記憶體裝置之間，以便對其間的訊號

傳輸進行緩衝，及一第二緩衝器裝置，其疊加於該第一緩衝器裝置之上，且耦連於該至少一引線與該等複數個第一記憶體裝置之間，以便對其間訊號傳輸進行緩衝。

【實施方式】

下文描述了用於設置記憶體系統之緩衝器電路的技術。為充分理解本發明，在下文描述中對許多具體細節進行闡述，例如邏輯實施，操作碼，規定運算元之構件，資源分離/共用/複製實施，系統部件之類型及相互關係，及邏輯分離/綜合選擇。然而，熟悉此項技術者應理解，即使沒有上述具體細節記敘述亦可實施本發明。在其他情況下，控制結構，閘位準電路，及全部軟體指令序列未詳細示於圖中，以免難以理解本發明。普通熟悉此項技術者可藉由其中說明實施適當功能而無須進行不適當的試驗。

說明書中引用的"一個實施例"、"一實施例"、"一具體實施例"等表示所述實施例可包括一特定特點、結構或特徵，但每一實施例不一定包括該特定特點、結構或特徵。而且，上述短語不一定指代同一個實施例。另外，在結合一實施例敘述一特定特點、結構或特徵時，熟悉此項技術者可結合其他已清楚說明或未清楚說明之實施例實現該等特徵，結構，或特徵。

本發明之實施例可於硬體、軟體、軟體，或其任何組合中實施。亦可將本發明之實施例實施為儲存於機器可讀媒體中之指令，該指令可由一個或多個處理器讀取並執行。一機器可讀媒體可包括任何以機器可讀形式儲存或傳輸資

訊之機構(例如，一計算裝置)。舉例而言，一機器可讀媒體可包括唯讀記憶體(ROM)；隨機存取記憶體(RAM)；磁碟存儲媒體；光碟存儲媒體；快閃記憶體裝置；電學、光學、聲學或其他形式之傳播訊號(例如，載波、紅外線訊號、數位訊號等等)，及其他。

圖1展示計算裝置100之具體實施例。該計算裝置100可包括一電路板102，例如，一印刷電路板，主板，或母板。因方便起見下文稱該電路板102為母板102，但不限於一母板實施，且該電路板可包括一個或多個相互連接之電路板。該計算裝置100還可包括一個或多個處理器104，一晶片組106，及一記憶體系統108，該等設備藉由軌跡及/或其他母板102之訊號路徑相互連接。該計算裝置100還可包括其他裝置(圖中未描繪)，例如一鼠標，鍵盤，視訊控制器，硬碟，軟碟，韌體等等。

晶片組106可包括一個或多個已封裝積體電路裝置，該等裝置為處理器104，記憶體系統108，及計算裝置100之其他設備之間提供接口。在一實施例中，可包含或未包含晶片組106之其他功能的晶片組106之單個已封裝積體電路裝置包含記憶體系統108之記憶體控制器110。記憶體控制器110一般為一個或多個處理器104及/或計算裝置100之其他裝置提供對記憶體系統之記憶體112的接達。在另一實施例中，記憶體控制器110包含於計算裝置100之一個或多個處理器104之中。在又一實施例中，記憶體控制器110之部分分佈於一個或多個處理器104及/或晶片組106之一個或多個

已封裝積體電路裝置之中。

記憶體112可包括已封裝記憶體裝置114，例如動態隨機存取記憶體(DRAM)裝置，同步直接隨機存取記憶體(SDRAM)裝置，雙資料速率(DDR) SDRAM，四倍資料速率(QDR) SDRAM裝置，或其他記憶體裝置。記憶體裝置114可儲存資料，例如可由處理器104處理之指令及代碼。在一實施例中，記憶體系統108包括一個或多個與母板102相連接之模組連接器116。每個模組連接器116之尺寸可容納一記憶體模組118。每個記憶體模組118可包括複數個記憶體裝置114及一個或多個連接於具有複數個訊號連接器或引線124(見圖3)之電路板122上的堆疊緩衝器裝置120。當將記憶體模組118插入模組連接器116中時，複數個引線124與模組連接器116之訊號連接器或引線(圖中未描繪)對接。

儘管圖1所示之計算裝置100具有三個模組連接器116，但計算裝置100之其他實施例可包括不同數目之模組連接器116以容納不同數目之記憶體模組118。另外，儘管圖1中計算裝置100的每個記憶體模組118具有八個記憶體裝置114及四個緩衝器裝置120，但計算裝置100的其他實施例的每個記憶體模組118可包括不同數目之記憶體裝置114及/或不同數目之緩衝器裝置120。

圖2為計算裝置100之另一實施例。圖2之記憶體系統108可包括已封裝記憶體裝置114及與一母板102而不是記憶體模組118之電路板122相連接之堆疊緩衝器裝置120。在該實施例中，可無需模組連接器116實施記憶體系統108以容納

記憶體模組118。然而，應理解，計算裝置100之其他實施例既可包括與母板102連接之記憶體裝置114又可包括模組連接器116以容納記憶體模組118。

現參見圖3，其展示一記憶體模組118之實施例。該記憶體模組118可包括記憶體裝置114_{U1-U8}、114_{L1-L8}及與具有引線124之電路板122連接之緩衝器裝置120_{U1-U2}、120_{L1-L2}。如先前所示，記憶體裝置114_{U1-U8}、114_{L1-L8}可包括已封裝記憶體裝置，例如DRAM裝置、SDRAM裝置、DDR SDRAM裝置、QDR SDRAM裝置或其他記憶體裝置。在一實施例中，記憶體模組118可包括資料緩衝器裝置120_{L1-L2}，及堆疊於資料緩衝器裝置120_{L1-L2}上的位址/命令緩衝器裝置120_{U1-U2}。

一般而言，資料緩衝器裝置120_{L1-L2}在記憶體控制器110與記憶體裝置114_{U1-U8}、114_{L1-L8}之間對讀取及/或寫入資料訊號進行緩衝。資料緩衝器裝置120_{L1-L2}可經由一記憶體匯流排126(見圖4與圖5)接收來自記憶體控制器110的寫入資料訊號，且可基於所接收的寫入資料訊號為記憶體裝置114_{U1-U8}、114_{L1-L8}提供寫入資料訊號。應理解，資料緩衝器裝置120_{L1-L2}可為記憶體裝置114_{U1-U8}、114_{L1-L8}提供形式不同於自記憶體控制器110接收之寫入資料訊號的寫入資料訊號。舉例而言，記憶體控制器110可於記憶體匯流排126上產生低電壓微分資料訊號且資料緩衝器裝置120_{L1-L2}可為記憶體裝置114_{U1-U8}、114_{L1-L8}提供高壓非微分資料訊號。另外，在一菊花鏈環境中，資料緩衝器裝置120_{L1-L2}還可基於自記憶體控制器110及/或另一記憶體模組118之資料緩

衝器裝置120_{L1-L2}接收之寫入資料訊號為另一記憶體模組118之資料緩衝器裝置120_{L1-L2}提供寫入資料訊號。

資料緩衝器裝置120_{L1-L2}可接收來自記憶體裝置114_{U1-U8}，114_{L1-L8}之讀取資料訊號，並且為記憶體控制器110提供基於所接收讀取資料訊號之讀取資料訊號。另一方面，應理解，資料緩衝器裝置120_{L1-L2}為記憶體控制器110所提供之讀取資料訊號之形式不同於自記憶體裝置114_{U1-U8}，114_{L1-L8}接收之讀取資料訊號形式。另外，在一菊花鏈環境中，資料緩衝器裝置120_{L1-L2}還可為另一記憶體模組118之資料緩衝器裝置120_{L1-L2}提供基於自記憶體裝置114_{U1-U8}、114_{L1-L8}及/或另一記憶體模組118之資料緩衝器裝置120_{L1-L2}接收之讀取資料訊號之讀取資料訊號。

一般而言，位址/命令緩衝器裝置120_{U1-U2}在記憶體控制器110與記憶體裝置114_{U1-U8}、114_{L1-L8}之間對位址/命令訊號進行緩衝。位址/命令緩衝器裝置120_{U1-U2}可經由一記憶體匯流排126之位址/命令線路自記憶體控制器110接收位址/命令訊號，且可為記憶體裝置114_{U1-U8}、114_{L1-L8}提供基於所接收位址/命令訊號之位址/命令訊號。應理解，位址/命令緩衝器裝置120_{U1-U2}可為記憶體裝置114_{U1-U8}、114_{L1-L8}提供形式不同於自記憶體控制器110接收之位址/命令訊號形式的位址/命令訊號。另外，在一菊花鏈環境中，位址/命令緩衝器裝置120_{U1-U2}還可為另一記憶體模組118之位址/命令緩衝器裝置120_{U1-U2}提供基於自記憶體控制器110及/或另一記憶體模組118之資料緩衝器裝置120_{L1-L2}接收之位址/命令訊號

的位址/命令訊號。

儘管在圖3所示之記憶體模組118中，位址/命令緩衝器裝置120_{U1-U2}堆疊於資料緩衝器裝置120_{L1-L2}之上，但其他實施例中，該資料緩衝器裝置120_{L1-L2}可堆疊於位址/命令緩衝器裝置120_{U1-U2}之上。另外，儘管圖3之實施例對資料、位址、及命令訊號緩衝作一定安排，但亦可以對此作其他安排。例如，記憶體模組118可包括獨立的位址緩衝器裝置120以對位址訊號進行緩衝，獨立的命令緩衝器裝置120以對命令訊號進行緩衝，獨立的資料緩衝器裝置120以對資料訊號進行緩衝，獨立的讀取資料緩衝器裝置120以對讀取資料訊號進行緩衝，及/或獨立的寫入資料緩衝器裝置120以對按不同組合疊加的寫入資料訊號進行緩衝。另外，記憶體模組118可包括對不同組合訊號進行緩衝的緩衝器裝置120，例如資料/位址緩衝器裝置120用以對資料及位址訊號進行緩衝，資料/命令緩衝器裝置120用以對資料及命令訊號進行緩衝，寫入資料/位址緩衝器裝置120用以對寫入資料及位址訊號進行緩衝，讀取資料/位址緩衝器裝置120用以對讀取資料及位址訊號進行緩衝，等等。

參見圖4，記憶體裝置114_{1U-MU}、114_{1L-ML}可包括訊號連接器或引線128_{1U-MU}、128_{1L-ML}以將記憶體裝置114_{1U-MU}、114_{1L-ML}之積體電路與緩衝器裝置120_{1U-MU}、120_{1L-ML}連接或耦連。另外，記憶體裝置114_{1U-MU}可被疊加並安置於其他記憶體裝置114_{1L-ML}之上以減少記憶體裝置114_{1U-MU}、114_{1L-ML}所用之電路板面積。舉例而言，記憶體模組118₁可包括一

可安置於一下端記憶體裝置 114_{1L} 上之上端記憶體裝置 114_{1U} ，其引線 128_{1U} 與下端記憶體裝置 114_{1L} 之引線 128_{1L} 耦連。

同樣，緩衝器裝置 120_{1U-MU} 、 120_{1L-ML} 可包括訊號連接器或引線 130_{1U-MU} 、 130_{1L-ML} 以將緩衝器裝置 120_{1U-MU} 、 120_{1L-ML} 之積體電路與記憶體模組 118_{1-M} 之引線 124 連接或耦連。疊加或安置緩衝器裝置 120_{1U-MU} 、 120_{1L-ML} 使得一下端緩衝器裝置 120_{1L-ML} 處於電路板 122 與一上端緩衝器裝置 120_{1U-MU} 之間。在一實施例中，一上端緩衝器裝置 120_{1U} 之引線 130_{1U} 可與一下端緩衝器裝置 120_{1L} 之引線 130_{1L} 及/或電路板 122 之跡線(圖中未描繪)耦連。在另一實施例中，一上端緩衝器裝置 120_{MU} 所包括之引線 130_{MU} 可多於一下端緩衝器裝置 120_{ML} 。在另一實施例中，一上端緩衝器裝置 120_{2U} 所包括之引線 130_{2U} 少於一下端緩衝器裝置 120_{2L} 。在又一實施例中，一下端緩衝器裝置 120_{1L} 所包括之額外或虛設引線 130_D 未提供通向該下端緩衝器裝置 120_{1L} 之積體電路的訊號路徑。該下端緩衝器裝置 120_{1L} 未提供通向其積體電路之訊號路徑，而是該下端緩衝器裝置 120_{1L} 之虛設引線 130_D 提供可耦連上端緩衝器裝置 120_{1U} 之引線 130_{1U} 的位置以向及/或自電路板 122 發送及/或接收訊號。

另外，一下端緩衝器裝置 120_{1L} 及一上端緩衝器裝置 120_{1U} 可具有大體上相同的電路板幾何形狀。可將上端緩衝器裝置 120_{1U} 安置或疊加於下端緩衝器裝置 120_{1L} 之上，使得上端緩衝器裝置 120_{1U} 之電路板區域或投影電路板面積 132_{1U} 及

下端緩衝器裝置120_{1L}之電路板區域或投影電路板面積132_{1L}大體上一致。在另一實施例中，下端緩衝器裝置120_{2L}可大於上端緩衝器裝置120_{2U}。可將上端緩衝器裝置120_{2U}安置或疊加於下端緩衝器裝置120_{2L}之上，使得上端緩衝器裝置120_{2U}之電路板區域或投影電路板面積132_{2U}可大體上包含於下端緩衝器裝置120_{2L}之電路板區域或投影電路板面積132_{2L}之中。在又一實施例中，下端緩衝器裝置120_{ML}可小於上端緩衝器裝置120_{MU}。可將上端緩衝器裝置120_{MU}安置或疊加於下端緩衝器裝置120_{ML}之上，使得下端緩衝器裝置120_{ML}之電路板區域或投影電路板面積132_{ML}可大體上包含於上端緩衝器裝置120_{MU}之電路板區域或投影電路板面積132_{MU}之中。

可經由一記憶體匯流排126將記憶體模組118與記憶體控制器110以多點形式耦連。記憶體匯流排126可包括資料線路與非資料線路，例如位址線路、命令線路及時鐘線路以傳輸資料訊號、位址訊號、命令訊號及時鐘訊號。在一實施例中，緩衝器裝置120自記憶體匯流排126及記憶體控制器110分離出記憶體模組118之記憶體裝置114。結果，緩衝器裝置120可藉由減少由記憶體控制器110所驅動之部件數目來減少記憶體控制器110之負載。另外，因為每個記憶體裝置114未經由一獨立的短線134與記憶體匯流排126耦連，所以緩衝器裝置120可減少與記憶體匯流排126耦連之短線134數目。藉由減少短線134及/或裝置之數目，緩衝器裝置120可有助於增強訊號完整性及/或記憶體匯流排126之

傳輸速率。

另一實施例中的記憶體模組118₁₋₃經由一記憶體匯流排126與記憶體控制器110以菊花鏈形式耦連，如圖5所示。第一記憶體匯流排分段126₁可經由第一記憶體模組118₁之第一引線124₁₁將記憶體控制器110與緩衝器裝置120_{1U}、120_{1L}耦連。第二記憶體匯流排分段126₂還可以藉由將第一記憶體模組118₁之第二引線124₁₂與第二記憶體模組118₂之第一引線124₂₁耦連以將第一記憶體模組118₁之緩衝器裝置120_{1U}、120_{1L}與第二記憶體模組118₂之緩衝器裝置120_{2U}、120_{2L}耦連。第三記憶體匯流排分段126₃還可藉由將第二記憶體模組118₂之第二引線124₂₂與第三記憶體模組118₃之第一引線124₃₁耦連以將第二記憶體模組118₂之緩衝器裝置120_{2U}、120_{2L}與第三記憶體模組118₃之緩衝裝置120_{3U}、120_{3L}耦連，以此類推。記憶體模組118₁、118₂、118₃與記憶體控制器110的菊花鏈耦連還可減小記憶體控制器110所驅動之負載及/或記憶體匯流排126上短線134之數目。

現參照圖6，其展示記憶體模組118之另一實施例。記憶體模組118可包括一個或多個記憶體裝置114及一個或多個與具有引線124之電路板122連接的緩衝器裝置136。記憶體裝置114於一具有引線128之封裝裝置140內可包括一具有積體記憶體電路之晶粒或基板138。連接導線或其他內部封裝連接器142將積體記憶體電路與封裝裝置140之引線128耦連。

同樣，緩衝器裝置136所包括之第一晶粒或基板144可疊

加或安置於第二晶粒或基板146之上。第一晶粒144可包括第一積體緩衝電路，例如資料緩衝電路，且第二晶粒146可包括第二積體緩衝電路，例如位址/命令緩衝電路。緩衝器裝置136還可包括一封裝裝置148以容納或封裝第一及第二積體緩衝電路。封裝裝置148可包括提供自電路板122至第一積體緩衝電路及第二積體緩衝電路的訊號路徑的封裝引線或其他訊號連接器150。

第一連接導線或其他內部封裝連接器152將第一積體緩衝電路耦連至封裝引線150。同樣，第二連接導線或其他內部封裝連接器154將第二積體緩衝電路耦連至封裝引線150。在一實施例中，第一連接器152直接將第一積體緩衝電路耦連至封裝引線150。在另一實施例中，第一連接器152經由第二積體緩衝電路之第二連接器154及/或第二積體緩衝電路之連接點156將第一積體緩衝電路耦連至封裝引線150。應理解，其他封裝技術，例如球狀晶格陣列亦可用於封裝緩衝裝置136之第一及第二積體緩衝電路。

儘管本文參照具體實施例對本發明之特定特點已作說明，但不應對此說明作限制性解釋。凡為熟悉此項技術者所理解之具體實施例及本發明之其他實施例之各種修正均應認為屬於本發明之精神及範圍之內。

【圖式簡單說明】

以上實例說明本文描述之發明且其不受附圖限制。為簡單明瞭起見，圖中所示元件不一定按比例繪出。例如，為清楚起見，某些元件之尺寸相對於其他元件被誇大。另外

，於適合之處，圖中參照標號可能重複使用以表示相應或類似元件。

圖1展示一計算裝置之一實施例。

圖2展示一計算裝置之另一實施例。

圖3展示堆疊緩衝器裝置之一實施例，其可用於圖1與圖2之計算裝置中。

圖4展示記憶體控制器與緩衝器裝置之間的多點連接實例，其可用於圖1與圖2之計算裝置之中。

圖5展示記憶體控制器與緩衝器裝置之間之菊花鏈連接實例，其可用於圖1與圖2之計算裝置中。

圖6展示堆疊積體緩衝電路之實施例，其可用於圖1與圖2之計算裝置中。

【圖式代表符號說明】

100	計算裝置
102	電路板
104	處理器
106	晶片組
108	記憶體系統
110	記憶體控制器
112	記憶體
114	記憶體裝置
116	模組連接器
118	記憶體模組
120	緩衝器裝置

I290322

122	電 路 板
124	引 線
BUF	緩 衝 器
MD	記 憶 體 裝 置

伍、中文發明摘要：

本發明描述一種記憶體模組，記憶體系統，及計算裝置，其包括對記憶體裝置訊號進行緩衝之記憶體緩衝器裝置。在一些實施例中，該等記憶體緩衝器裝置係設置成可減少記憶體緩衝器裝置在電路板上的佔據面積。

陸、英文發明摘要：

Memory modules, memory systems, and computing devices are described which comprise memory buffer devices that buffer signals of memory devices. In some embodiments, the memory buffer devices are positioned to reduce the circuit board footprint of the memory buffer devices.

拾壹、圖式：

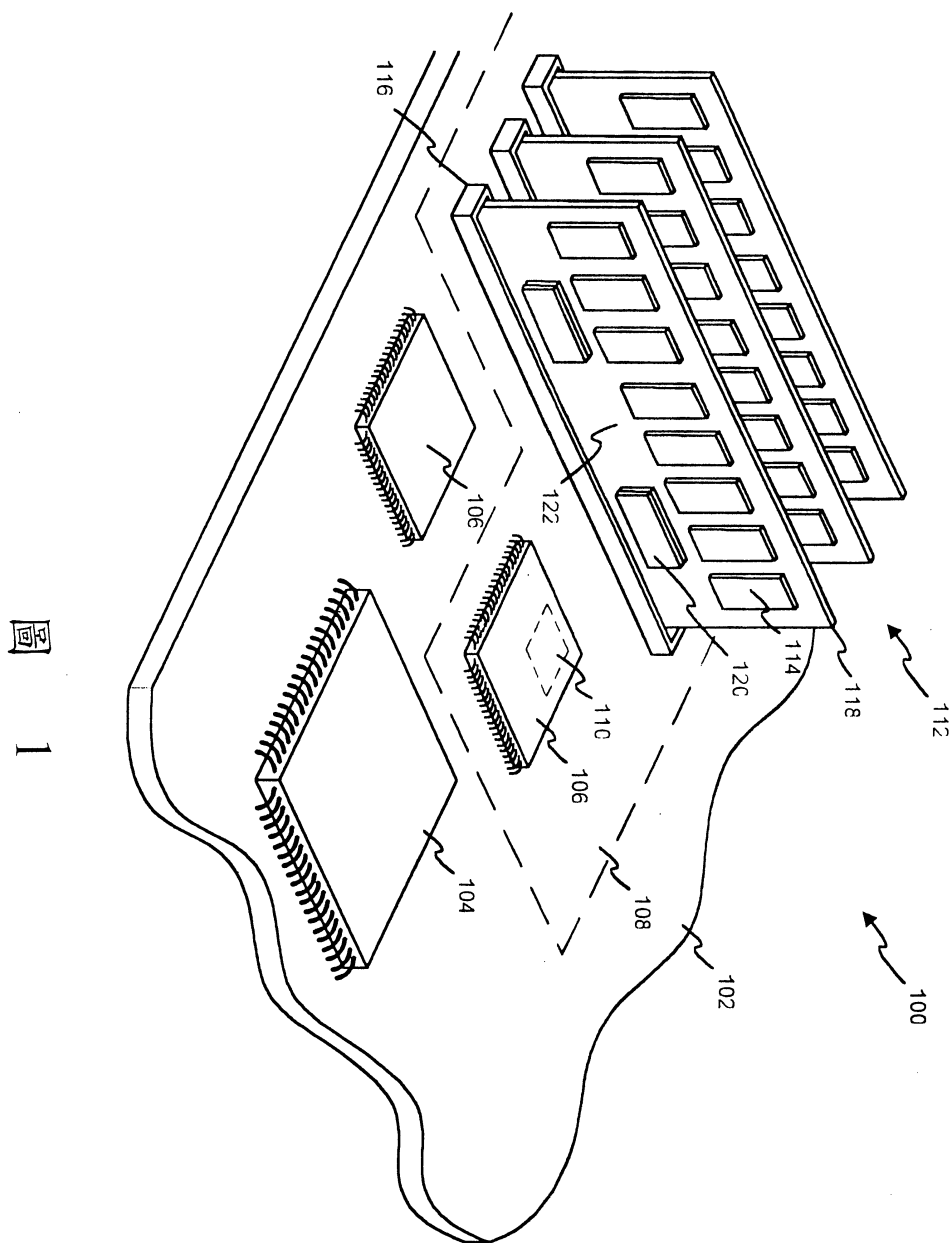
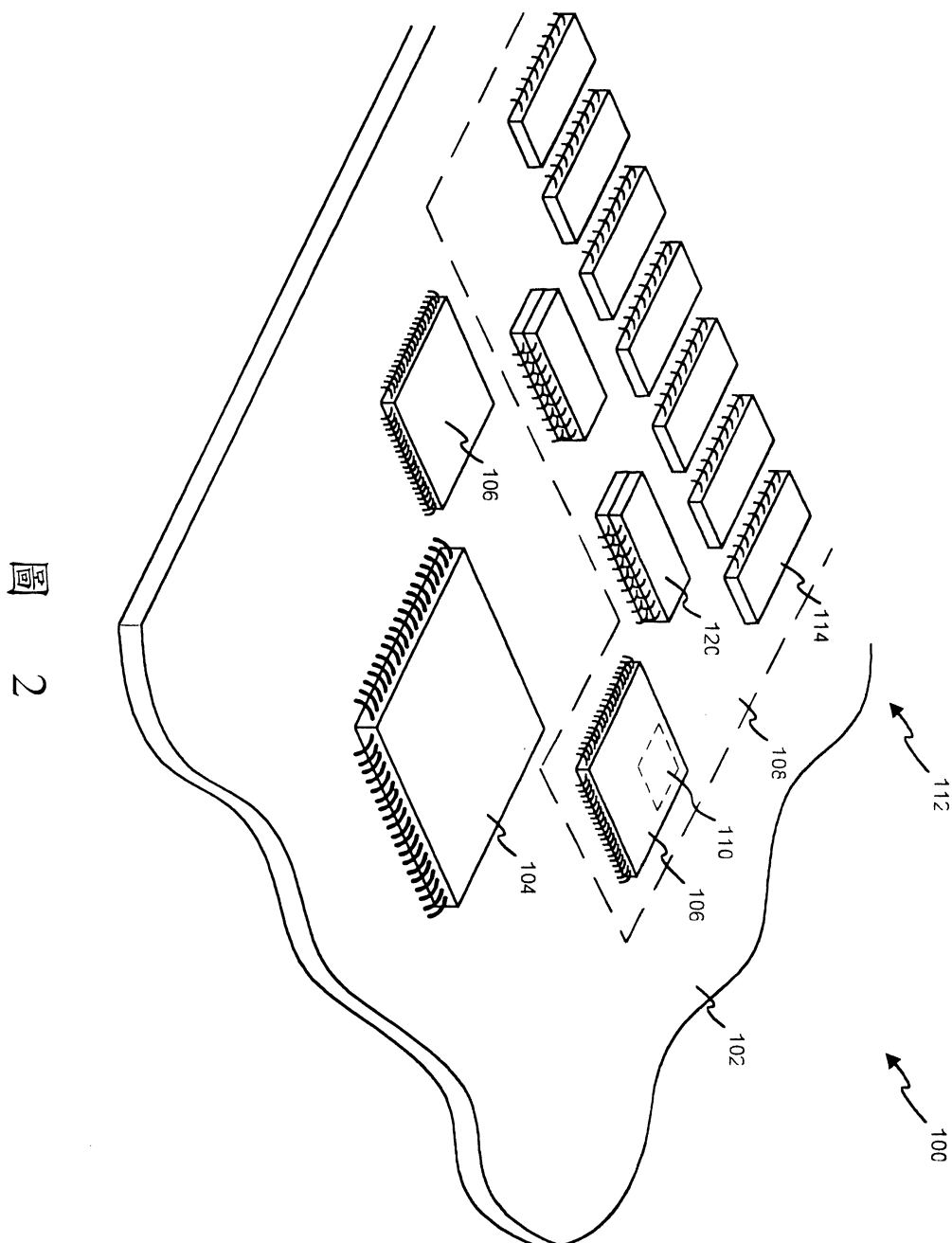


圖 1



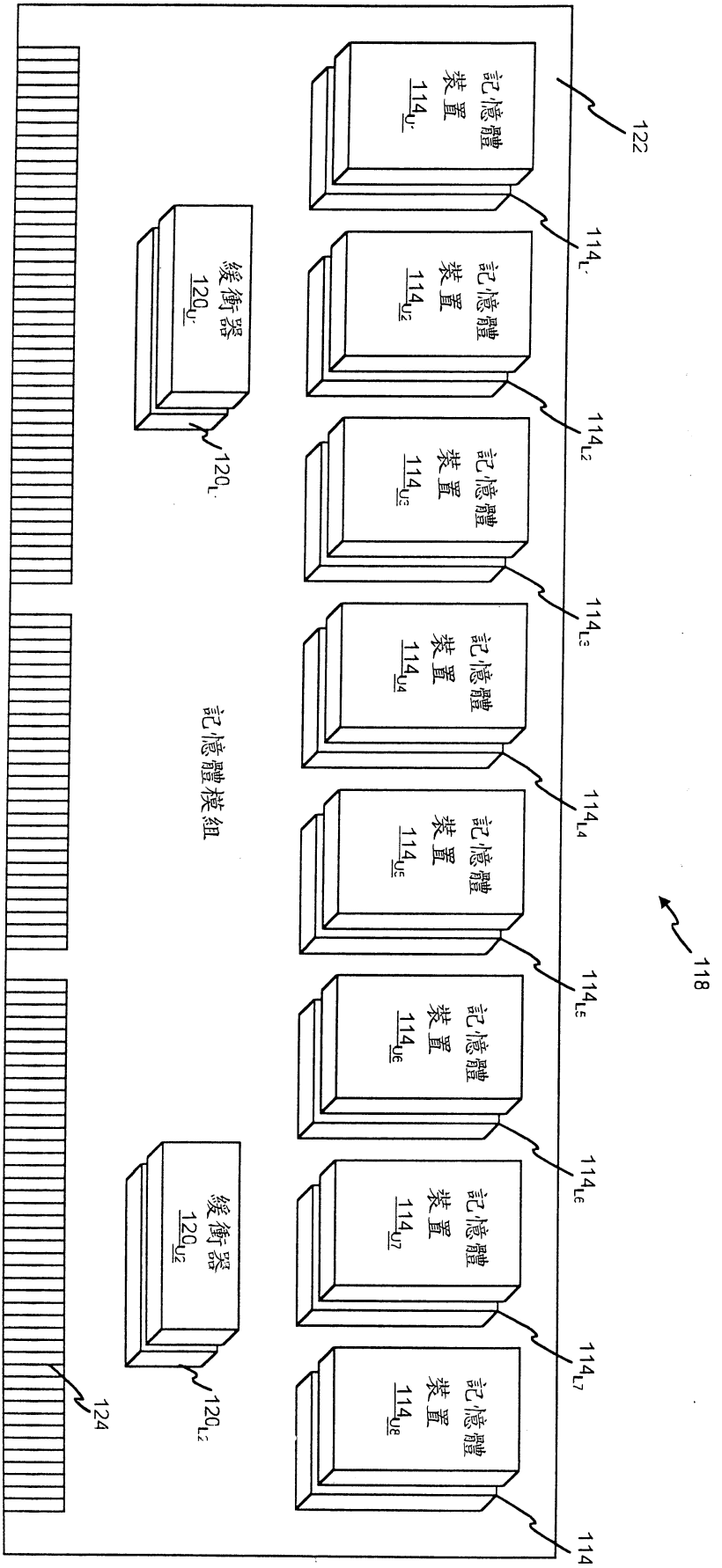


圖 3



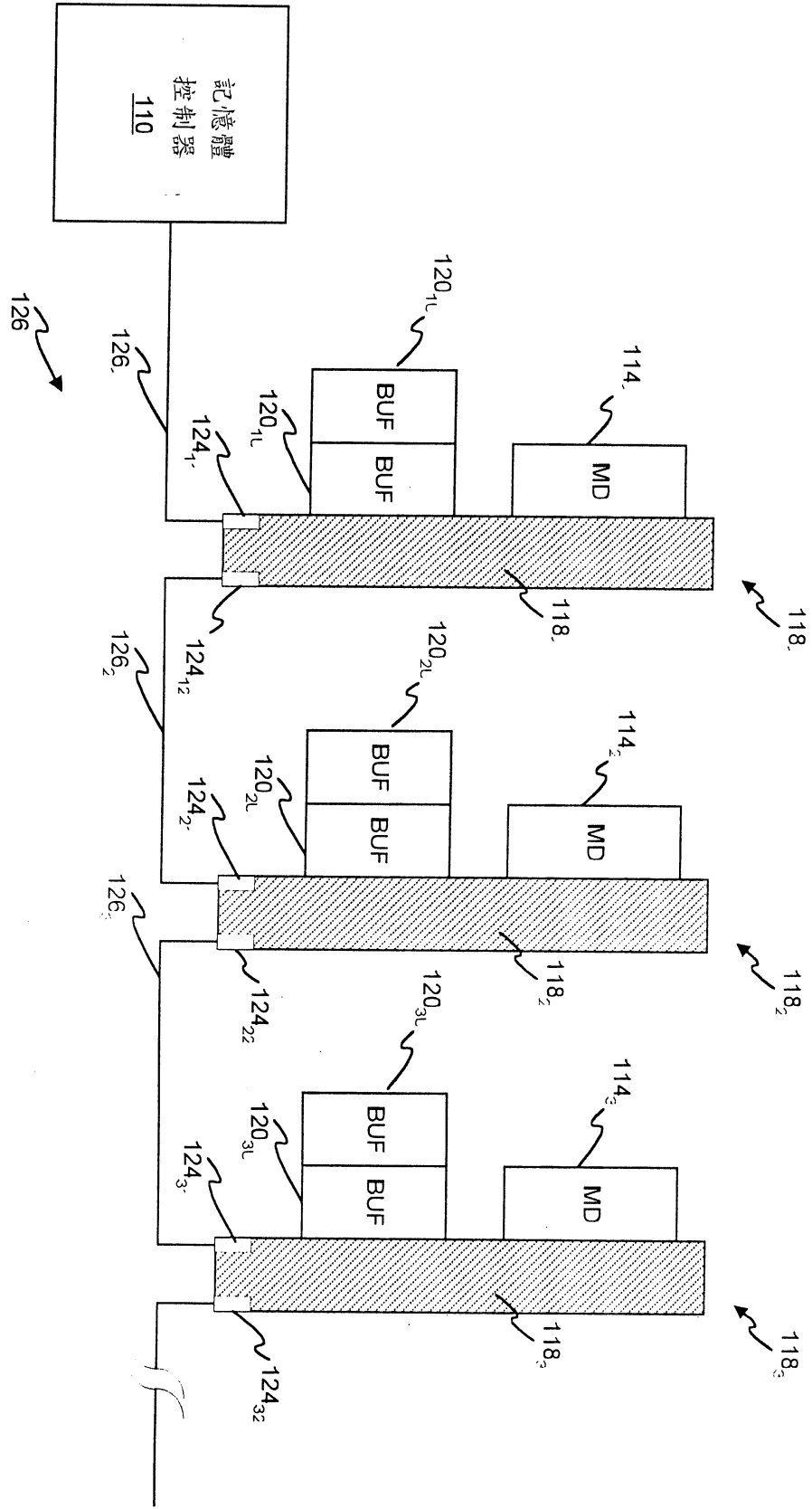


圖 5

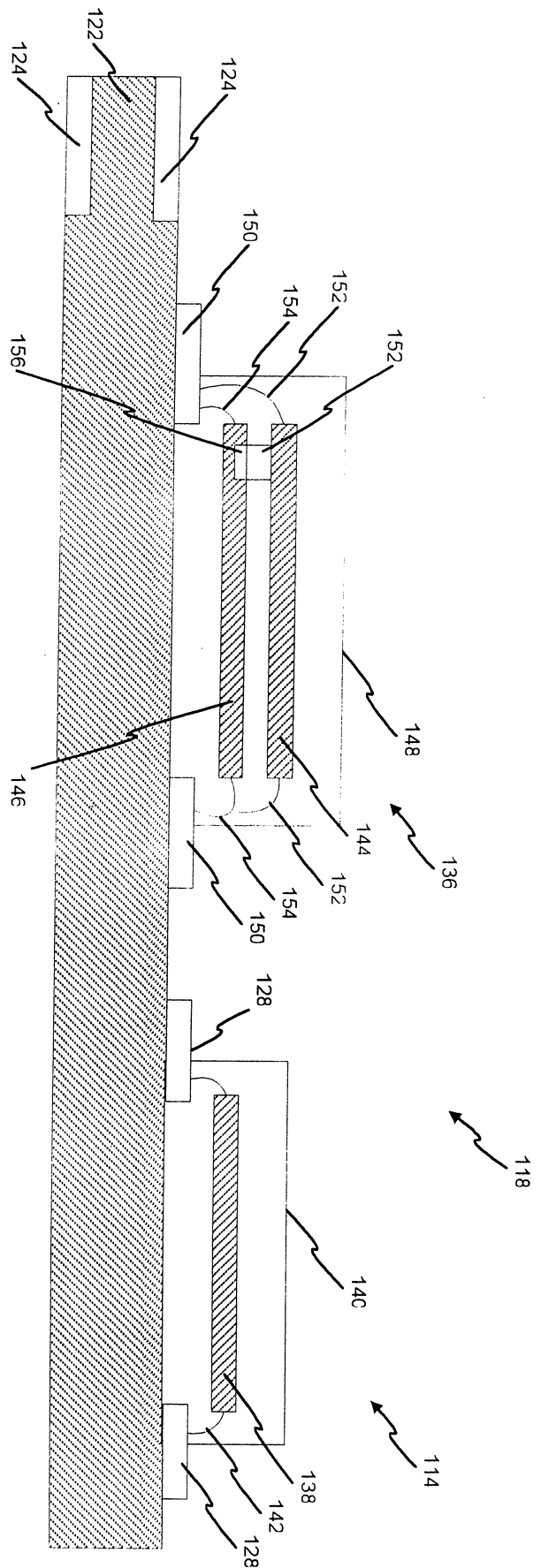


圖 6

柒、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件代表符號簡單說明：

116 模組連接器

118 記憶體模組

120 緩衝器裝置

122 電路板

124 引線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種記憶體模組，其包括

一包括至少一引線之電路板，

複數個連接至該電路板之第一記憶體裝置，

一第一緩衝器裝置，其與該電路板連接，且被耦連於該至少一引線與該等複數個第一記憶體裝置之間，以便對其間的訊號傳輸進行緩衝，及

一第二緩衝器裝置，其疊加於該第一緩衝器裝置之上，且耦連於該至少一引線與該等複數個第一記憶體裝置之間，以便對其間訊號傳輸進行緩衝。

2. 如申請專利範圍第1項之記憶體模組，其進一步包括複數個第二記憶體裝置，該裝置疊加於該等第一記憶體裝置之上且耦連於該至少一引線與該等複數個第一記憶體裝置之間，以便對其間訊號傳輸進行緩衝。

3. 如申請專利範圍第1項之記憶體模組，其中

該第一緩衝器裝置將資料訊號施用於該等複數個第一記憶體裝置，該等資料訊號裝置取決於自該至少一引線接收之資料訊號，及

該第二緩衝器裝置將位址訊號施用於該等複數個第一記憶體裝置，該等位址訊號取決於自該至少一引線接收之位址訊號。

4. 如申請專利範圍第1項之記憶體模組，其中

該第一緩衝器裝置包括資料緩衝器以將資料訊號施用於該至少一引線，該等資料訊號取決於自該等複數個

第一記憶體裝置接收之資料訊號，及

該第二緩衝器裝置包括位址緩衝器以將位址訊號施用於該等複數個第一記憶體裝置，該等位址訊號取決於自該至少一引線接收之位址訊號。

5. 如申請專利範圍第4項之記憶體模組，其中該第二緩衝器還包括一控制器以將控制訊號施用於該等複數個第一記憶體裝置，該等控制訊號取決於來自該至少一引線之命令訊號。

6. 如申請專利範圍第1項之記憶體模組，其中

該第一緩衝器裝置將位址訊號施用於該等複數個第一記憶體裝置，該等位址訊號取決於自該至少一引線接收之位址訊號，及

該第二緩衝器裝置將資料訊號施用於該等複數個第一記憶體裝置，該等資料訊號取決於自該至少一引線接收之資料訊號。

7. 一種與一記憶體控制器結合使用之記憶體模組，其包括一電路板，

複數個記憶體裝置，其與該電路板耦連以儲存資料，
一第一積體電路，其與該電路板耦連以便對該記憶體控制器與該等複數個記憶體裝置之間的訊號進行緩衝，及

一第二積體電路對該記憶體控制器與該等複數個記憶體裝置之間的訊號進行緩衝，其中

該第一積體電路之至少一部分處於該第二積體電路

與該電路板之間。

8. 如申請專利範圍第7項之記憶體模組，其中
一單個封裝裝置包括該第一積體電路及該第二積體電路。
9. 如申請專利範圍第7項之記憶體模組，其中
一第一封裝裝置包括該第一積體電路，及
一第二封裝裝置包括該第二積體電路。
10. 如申請專利範圍第9項之記憶體模組，其中
該第一封裝裝置包括與該電路板耦連之複數個第一引線，及
該第二封裝裝置包括與該等複數個第一引線耦連之複數個第二引線。
11. 如申請專利範圍第7項之記憶體模組，其中
該第一積體電路將資料訊號施用於該等複數個第一記憶體裝置，該等資料訊號取決於自記憶體控制器接收之資料訊號，及
該第二緩衝器裝置將位址訊號施用於該等複數個記憶體裝置，該等位址訊號取決於自記憶體控制器接收之位址訊號。
12. 如申請專利範圍第7項之記憶體模組，其中
該第一積體電路包括資料緩衝器以將資料訊號施用於該記憶體控制器，該等資料訊號取決於自該等複數個記憶體裝置接收之資料訊號，及
該第二積體電路包括位址緩衝器以將位址訊號施用

於該等複數個記憶體裝置，該等位址訊號取決於自該記憶體控制器接收之位址訊號。

13. 如申請專利範圍第12項之記憶體模組，其中該第二積體電路進一步包括一控制器以將控制訊號施用於該等複數個第一記憶體裝置，該等控制訊號取決於自該記憶體控制器接收之命令訊號。

14. 如申請專利範圍第7項之記憶體模組，其中

該第一積體電路將位址訊號施用於該等複數個記憶體裝置，該等位址訊號取決於自該記憶體控制器接收之資料訊號，及

該第二緩衝器裝置將資料訊號施用於該等複數個記憶體裝置，該等資料訊號取決於自該記憶體控制器接收之資料訊號。

15. 一種記憶體子系統，其包括

複數個記憶體裝置以儲存資料，

一記憶體控制器，以相應於自該等複數個記憶體裝置讀取資料之請求而生成記憶體位址訊號，

一耦連於該記憶體控制器與該等複數個記憶體裝置之間之第一緩衝器裝置，以便基於取自該等複數個記憶體裝置之資料向該記憶體控制器發送資料訊號，及

一安置於該第一緩衝器裝置之上且耦連於該記憶體控制器與該等複數個記憶體裝置之間之第二緩衝器裝置，以便基於該等記憶體位址訊號為該等複數個記憶體裝置定址。

16. 如申請專利範圍第15項之記憶體子系統，其進一步包括

- 一耦連於該記憶體控制器與該等複數個記憶體裝置之間之第三緩衝器裝置，以便向基於取自該等複數個記憶體裝置之資料向該記憶體控制器發送資料訊號，及
- 一安置於該第三緩衝器裝置之上且耦連於該記憶體控制器與該等複數個記憶體裝置之間之第四緩衝器裝置，以便基於該等記憶體位址訊號為該等複數個記憶體裝置定址。

17. 如申請專利範圍第15項之記憶體子系統，還包括

- 一耦連於該記憶體控制器與該等複數個記憶體裝置之間之第三緩衝器裝置，以便基於取自該等複數個記憶體裝置之資料向該記憶體控制器發送資料訊號，及
- 一安置於該第三緩衝器裝置之上且耦連於該記憶體控制器與該等複數個記憶體裝置之間之第四緩衝器裝置，以便基於記憶體命令訊號控制該等複數個記憶體裝置，

該記憶體控制器相應於自該等複數個記憶體裝置讀取資料之請求而生成該等記憶體命令訊號。

18. 如申請專利範圍第15項之記憶體子系統，其中

- 該記憶體控制器用以相應於對自該等複數個記憶體裝置讀取資料之請求而生成記憶體命令訊號，及
- 該第二緩衝器裝置基於自該記憶體控制器接收之該等記憶體命令訊號而控制該等複數個記憶體裝置。

19. 如申請專利範圍第15項之記憶體子系統，其中

該第一緩衝器裝置包括與該記憶體控制器耦連之第一引線，以接收該等記憶體資料訊號及該等記憶體位址訊號，及

該第二緩衝器裝置包括與該等第一引線耦連之第二引線，以接收該等記憶體位址訊號。

20. 如申請專利範圍第15項之記憶體子系統，其中

該等第一引線之數目大於該等第二引線，及

該等第二引線與該等第一引線之子集耦連。

21. 一種計算裝置，其包括

複數個揮發性記憶體裝置以儲存資料，

一處理器，其用以生成對自該等複數個揮發性記憶體裝置讀取資料之請求，

一記憶體控制器，其用以接收該處理器之該等請求且生成位址訊號以響應該等請求，

一第一緩衝器裝置，其包括與該記憶體控制器耦連以接收該記憶體控制器之該等位址訊號之第一引線，以及與該記憶體控制器耦連以便向該記憶體控制器提供資料訊號之第二引線，及

一第二緩衝器裝置，其包括與該第一緩衝器裝置之該等第一引線耦連之第一引線以經由該第一緩衝器裝置之該等第一引線接收來自該記憶體控制器之該等位址訊號。

22. 如申請專利範圍第21項之計算裝置，其中該等複數個揮發性記憶體裝置包括雙資料率隨機存取記憶體裝置。

23. 如申請專利範圍第21項之計算裝置，其中

該記憶體控制器進一步相應於由該處理器所生成之該等請求而生成命令訊號，

該第一緩衝器裝置進一步包括與該記憶體控制器耦連之第三引線以接收該記憶體控制器之該等命令訊號，及

該第二緩衝器裝置進一步包括與該第一緩衝器裝置之該等第三引線耦連之第二引線。

24. 如申請專利範圍第23項之計算裝置，其中該第二緩衝器裝置之該等第二引線包括該第二緩衝器裝置之該等第一引線中的至少一個。

25. 如申請專利範圍第23項之計算裝置，其中該第一緩衝器裝置之該等第三引線包括該第一緩衝器裝置之該等第一引線中的至少一個。

26. 如申請專利範圍第23項之計算裝置，其中該第一緩衝器裝置之該等第三引線包括該第一緩衝器裝置之該等第一引線的至少一子集及該第一緩衝器裝置之該等第二引線中的至少一個。