

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7130875号
(P7130875)

(45)発行日 令和4年9月5日(2022.9.5)

(24)登録日 令和4年8月26日(2022.8.26)

(51)国際特許分類	F I			
H 0 5 K 3/46 (2006.01)	H 0 5 K 3/46	Q		
H 0 5 K 1/11 (2006.01)	H 0 5 K 3/46	N		
H 0 1 L 25/065 (2006.01)	H 0 5 K 1/11	L		
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/08	H		
H 0 1 L 25/18 (2006.01)	H 0 5 K 3/10			
請求項の数 10 (全8頁) 最終頁に続く				

(21)出願番号	特願2021-536514(P2021-536514)	(73)特許権者	000237271 株式会社 F U J I 愛知県知立市山町茶碓山 1 9 番地
(86)(22)出願日	令和1年7月30日(2019.7.30)	(74)代理人	100098420 弁理士 加古 宗男
(86)国際出願番号	PCT/JP2019/029821	(72)発明者	富永 亮二郎 愛知県知立市山町茶碓山 1 9 番地 株式 会社 F U J I 内
(87)国際公開番号	WO2021/019684	審査官	小林 大介
(87)国際公開日	令和3年2月4日(2021.2.4)		
審査請求日	令和3年10月5日(2021.10.5)		
最終頁に続く			

(54)【発明の名称】 スタック部品の製造方法

(57)【特許請求の範囲】

【請求項 1】

積層する複数の回路層のうちの少なくとも1つの回路層に回路素子を搭載すると共に、前記回路層間を層間接続ピンで電氣的に接続し、且つ、前記回路層間に前記層間接続ピンを挿入するスペースを形成するインターポーザを介させたスタック部品の製造方法において、

3Dプリンタで前記回路層と前記インターポーザとを平面的に並べて同時に印刷して形成する印刷工程と、

前記回路層に前記回路素子を搭載する工程と、

前記回路層に前記インターポーザを搭載する工程と、

前記回路層に搭載した前記インターポーザに前記層間接続ピンを挿入する工程と、

前記回路層上に前記インターポーザを介して他の回路層を積層することで前記回路層と前記他の回路層との間を前記層間接続ピンで電氣的に接続する工程と

を含む、スタック部品の製造方法。

【請求項 2】

前記印刷工程では、前記スタック部品を構成する全ての層の回路層と前記インターポーザとを平面的に並べて同時に印刷して形成する、請求項 1 に記載のスタック部品の製造方法。

【請求項 3】

一部の回路層及び/又は一部のインターポーザは、別の印刷工程又は別の形成方法で形

成する、請求項 1 に記載のスタック部品の製造方法。

【請求項 4】

前記層間接続ピンは、スプリングにより伸縮可能に構成されている、請求項 1 乃至 3 のいずれかに記載のスタック部品の製造方法。

【請求項 5】

前記層間接続ピンは、長さの異なる複数種類の層間接続ピンを用いる、請求項 1 乃至 4 のいずれかに記載のスタック部品の製造方法。

【請求項 6】

前記回路素子と前記インターポータとを前記回路層の同じ面に搭載する、請求項 1 乃至 5 のいずれかに記載のスタック部品の製造方法。

10

【請求項 7】

前記回路層の一方の面に前記回路素子を搭載し、他方の面に前記インターポータを搭載する、請求項 1 乃至 5 のいずれかに記載のスタック部品の製造方法。

【請求項 8】

前記スタック部品の最上層の回路層の上面及び / 又は最下層の回路層の下面に回路素子を搭載する工程を含む、請求項 1 乃至 7 のいずれかに記載のスタック部品の製造方法。

【請求項 9】

請求項 1 乃至 7 のいずれかに記載の製造方法で小型のスタック部品を製造する工程と、前記回路層の上面に前記小型のスタック部品と前記インターポータとを搭載する工程と、前記回路層上に前記小型のスタック部品と前記インターポータを介して他の回路層を積層することで前記回路層と前記他の回路層との間を前記層間接続ピンで電氣的に接続する工程とを含む、請求項 1 乃至 8 のいずれかに記載のスタック部品の製造方法。

20

【請求項 10】

前記回路層の上方に前記他の回路層を積層する前に、前記他の回路層の下面に回路素子を搭載する工程を含む、請求項 1 乃至 9 のいずれかに記載のスタック部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、積層した回路層間を層間接続ピンで電氣的に接続したスタック部品の製造方法に関する技術を開示したものである。

30

【背景技術】

【0002】

従来のスタック部品の製造方法は、例えば特許文献 1（特開 2001 - 352176 号公報）に記載されているように、積層する複数の回路層として、所定サイズに切断した複数枚のプリント配線基板を用い、各プリント配線基板に配線パターンを形成して、各プリント配線基板に半導体チップ等の回路素子を搭載した後、下層側のプリント配線基板上に絶縁層を介して上層側のプリント配線基板を積層し、積層した上層側のプリント配線基板のスルーホールに層間接続ピンを挿入して 2 層のプリント配線基板間を電氣的に接続するという作業を繰り返してスタック部品を製造するようにしたものがある。

【先行技術文献】

40

【特許文献】

【0003】

【文献】特開 2001 - 352176 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、上述した特許文献 1 の製造方法では、手間のかかる工程が多いため、生産性が悪く、製造コストが高くなる欠点がある。しかも、設計の自由度が小さく、積層構造の多様化や高密度化の要求に十分に対応できない。

【課題を解決するための手段】

50

【 0 0 0 5 】

上記課題を解決するために、積層する複数の回路層のうちの少なくとも1つの回路層に回路素子を搭載すると共に、前記回路層間を層間接続ピンで電氣的に接続し、且つ、前記回路層間に前記層間接続ピンを挿入するスペースを形成するインターポーザを介させたスタック部品の製造方法において、3Dプリンタで前記回路層と前記インターポーザとを平面的に並べて同時に印刷して形成する印刷工程と、前記回路層に前記回路素子を搭載する工程と、前記回路層に前記インターポーザを搭載する工程と、前記回路層に搭載した前記インターポーザに前記層間接続ピンを挿入する工程と、前記回路層上に前記インターポーザを介して他の回路層を積層することで前記回路層と前記他の回路層との間を前記層間接続ピンで電氣的に接続する工程とを含む。

10

【 0 0 0 6 】

この製造方法の特徴は、3Dプリンタで回路層とインターポーザとを平面的に並べて同時に印刷して形成し、その後、回路層にインターポーザを搭載してスタック部品を組み立てることである。この製造方法では、回路層とインターポーザを同時に能率良く形成できると共に、回路層とインターポーザのバリエーションの多様化も容易である。しかも、回路層に搭載したインターポーザに層間接続ピンを挿入して回路層間を電氣的に接続する構成を採用することで、積層構造の多様化や高密度化も容易である。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 A 】 図 1 A は一実施例のスタック部品の製造方法における印刷工程を説明する縦断面図である。

20

【 図 1 B 】 図 1 B は一実施例のスタック部品の製造方法における回路素子搭載工程を説明する縦断面図である。

【 図 1 C 】 図 1 C は一実施例のスタック部品の製造方法におけるインターポーザ搭載工程を説明する縦断面図である。

【 図 1 D 】 図 1 D は一実施例のスタック部品の製造方法における層間接続ピン挿入工程を説明する縦断面図である。

【 図 2 】 図 2 は縦積み積層のスタック部品の構成例を示す縦断面図である。

【 図 3 】 図 3 は対面積層のスタック部品の構成例を示す縦断面図である。

【 図 4 】 図 4 は混在積層のスタック部品の構成例を示す縦断面図である。

30

【 図 5 】 図 5 は両面板状の積層のスタック部品の構成例を示す縦断面図である。

【 図 6 】 図 6 は小型スタック部品を内蔵した両面板状の積層のスタック部品の構成例を示す縦断面図である。

【 発明を実施するための形態 】

【 0 0 0 8 】

以下、本明細書に開示した一実施例を説明する。

図 1 A 乃至図 1 D を用いて本実施例のスタック部品の製造方法の各工程を説明する。

【 0 0 0 9 】

まず、図 1 A に示すように、3Dプリンタ（図示せず）を使用して、印刷物を載せる印刷ステージ 10 上に回路層 11 とインターポーザ 12 とを平面的に並べて同時に印刷して形成する印刷工程を実行する。インターポーザ 12 は、積層する回路層 11 間に層間接続ピン 13 を挿入するスペース（挿入孔）を形成するスペーサとして機能する。

40

【 0 0 1 0 】

この印刷工程では、積層する複数の回路層 11 のうちの少なくとも1つの回路層 11 をインターポーザ 12 と平面的に並べて同時に印刷するが、複数の回路層 11 を印刷する場合には、複数の回路層 11 をインターポーザ 12 と平面的に並べて同時に印刷して形成する。複数層分のインターポーザ 12 を印刷する場合には、複数層分のインターポーザ 12 を回路層 11 と平面的に並べて同時に印刷して形成する。

【 0 0 1 1 】

但し、印刷ステージ 10 上の印刷スペースが不足して、積層する複数の回路層 11 とイ

50

ンターポーザ 1 2 の全てを平面的に並べて同時に印刷できない場合には、2 回以上の印刷工程に分けて印刷するようにすれば良い。また、一部の回路層 1 1 及び / 又は一部のインターポーザ 1 2 は、別の形成方法で形成するようにしても良い。

【 0 0 1 2 】

各回路層 1 1 を印刷する際に、絶縁層 1 1 a、配線パターン 1 1 b 及び端子部 1 1 c 等を印刷して形成する。絶縁層 1 1 a は、UV 樹脂インク等の絶縁性インクを印刷して形成する。配線パターン 1 1 b 及び端子部 1 1 c は、導電性ペースト又はナノ銀インク等を印刷して形成する。各インターポーザ 1 2 は、絶縁層 1 1 a と同様に、UV 樹脂インク等の絶縁性インクを印刷して形成する。

【 0 0 1 3 】

印刷工程終了後、回路素子搭載工程に移行し、図 1 B に示すように、印刷した回路層 1 1 上の所定位置に半導体チップ等の回路素子 1 4 をフリップチップボンディング等の表面実装やワイヤボンディング等の実装技術により搭載して、回路素子 1 4 の下面の端子を回路層 1 1 の端子部 1 1 c に接続する。尚、後述する図 4 及び図 6 に示すように、本実施例の製造方法で製造した小型のスタック部品 2 1 を回路層 1 1 上の所定位置に搭載しても良い。

【 0 0 1 4 】

回路素子搭載工程終了後、インターポーザ搭載工程に移行し、図 1 C に示すように、印刷ステージ 1 0 上で形成したインターポーザ 1 2 を印刷ステージ 1 0 から剥離して、当該インターポーザ 1 2 を回路層 1 1 上の所定位置に搭載して接合する。

【 0 0 1 5 】

インターポーザ搭載工程終了後、層間接続ピン挿入工程に移行し、図 1 D に示すように、回路層 1 1 に搭載したインターポーザ 1 2 に層間接続ピン 1 3 を挿入して、当該層間接続ピン 1 3 の下端を回路層 1 1 の端子部 1 1 c に電氣的に接続する。本実施例で使用する層間接続ピン 1 3 は、スプリング（図示せず）を内蔵し、このスプリングにより上端部が伸縮可能に構成されている。これにより、インターポーザ 1 2 に層間接続ピン 1 3 を挿入した状態において、層間接続ピン 1 3 の上端部がインターポーザ 1 2 の上端から上方に突出した状態となる。

【 0 0 1 6 】

以上のようにして 1 層目のユニット 1 5 を組み立てる。同様の方法で 2 層目以降のユニット 1 6 を組み立てる。この後、複数のユニット 1 5、1 6 を積層してスタック部品を製造する。この際、下層側のユニット 1 5 上に上層側のユニット 1 6 を積層して、下層側のユニット 1 5 の回路層 1 1 上にインターポーザ 1 2 を介して上層側のユニット 1 6 の回路層 1 1 を積層することで、下層側のユニット 1 5 の回路層 1 1 と上層側のユニット 1 6 の回路層 1 1 との間を層間接続ピン 1 3 で電氣的に接続する。この際、層間接続ピン 1 3 の上端部が上層側のユニット 1 6 の回路層 1 1 の端子部 1 1 c に当接して押し込まれた状態となり、両者の電氣的な接続が確実なものとなる。尚、上層側のユニット 1 6 に代えて、回路層 1 1 のみを積層するようにしても良い。

【 0 0 1 7 】

本実施例の製造方法では、図 2 乃至図 6 に示す様々な積層構造のスタック部品を組み立てることができる。

【 0 0 1 8 】

図 2 に示す縦積み積層のスタック部品は、2 つのユニット 1 5、1 6 を単純に積み上げるように積層し、上層側のユニット 1 6 上に部品表面側の回路層 1 1 のみを積層したものである。3 層分以上のユニット 1 5、1 6 を縦積み積層して、最上層のユニット 1 6 上に部品表面側の回路層 1 1 のみを積層するようにしても良い。

【 0 0 1 9 】

図 3 に示す対面積層のスタック部品は、2 つのユニット 1 5、1 6 のうちの上層側のユニット 1 6 を上下反転させた状態で下層側のユニット 1 5 上に積層したものである。この場合、上層側のユニット 1 6 には、インターポーザ 1 2 と層間接続ピン 1 3 を搭載せず、

10

20

30

40

50

回路素子 14 のみを搭載し、上層側のユニット 16 の回路層 11 を下層側のユニット 15 のインターポーザ 12 を介して積層している。この対面積層のスタック部品は、上層側のユニット 16 の回路層 11 に搭載した回路素子 14 が下向きとなり、下層側のユニット 15 の回路層 11 に搭載した回路素子 14 と共にスタック部品の内部に収容された状態となっている。

【0020】

図 4 に示す混在積層のスタック部品は、下層側のユニット 15 の回路層 11 上に、本実施例の製造方法で組み立てた小型のスタック部品 21 を回路素子 14 と並べて搭載し、下層側のユニット 15 上に部品表面側の回路層 11 を積層したものである。下層側のユニット 15 の回路層 11 上に搭載する小型のスタック部品 21 は、下層側のユニット 15 の回路層 11 上で組み立てるようにしても良いし、別の場所で組み立てた小型のスタック部品 21 を下層側のユニット 15 の回路層 11 上に搭載するようにしても良い。部品表面側の回路層 11 の上面には回路素子 14 を搭載するようにしても良い。この場合、下層側のユニット 15 の回路層 11 上に小型のスタック部品 21 を搭載しているため、下層側のユニット 15 の回路層 11 上には、長さの異なる複数種類のインターポーザ 12 (長さの異なる複数種類の層間接続ピン 13) を搭載した構成となっている。

10

【0021】

図 5 に示す両面板状の積層のスタック部品は、両面ビルドアップ基板を模擬したスタック部品であり、下層側のユニット 15 の回路層 11 の下面に回路素子 14 を搭載し、下層側のユニット 15 上に積層した部品表面側の回路層 11 の上面に回路素子 14 を搭載したものである。この場合、上層側のユニット 16 には、インターポーザ 12 と層間接続ピン 13 を搭載せず、回路素子 14 のみを搭載し、上層側のユニット 16 の回路層 11 を下層側のユニット 15 のインターポーザ 12 を介して積層している。各ユニット 15, 16 の回路層 11 に回路素子 14 を搭載する工程は、2つのユニット 15, 16 を積層する工程の前後いずれであっても良い。

20

【0022】

図 6 に示す両面板状の積層のスタック部品は、部品内蔵両面ビルドアップ基板を模擬したスタック部品であり、両面板状の積層のスタック部品の層間に小型のスタック部品 21 を内蔵した構成となっている。内蔵する小型のスタック部品 21 は、下層側のユニット 15 の回路層 11 上で組み立てるようにしても良いし、別の場所で組み立てた小型のスタック部品 21 を下層側のユニット 15 の回路層 11 上に搭載するようにしても良い。その他の構成は、図 5 に示す両面板状の積層のスタック部品と同じ構成である。

30

【0023】

以上説明した本実施例のスタック部品の製造方法によれば、3Dプリンタを使用して印刷ステージ 10 上で回路層 11 とインターポーザ 12 とを平面的に並べて同時に印刷して形成し、その後、印刷ステージ 10 から剥離したインターポーザ 12 を回路層 11 上に搭載すると共に、このインターポーザ 12 に層間接続ピン 13 を挿入してユニット 15 (16) を組み立てるようにしたので、回路層 11 とインターポーザ 12 を同時に能率良く形成できると共に、回路層 11 とインターポーザ 12 のバリエーションの多様化も容易である。しかも、回路層 11 に搭載したインターポーザ 12 に層間接続ピン 13 を挿入して 1 層分のユニット 15 (16) を構成するため、図 2 乃至図 6 に示す様々な積層構造のスタック部品を製造することができ、積層構造の多様化や高密度化も容易である。

40

【0024】

尚、本発明は、上記実施例の構成に限定されず、例えば、回路層 11 の積層数や回路素子 14 の搭載数を変更したり、スプリングを内蔵しない層間接続ピンを用いても良い等、要旨を逸脱しない範囲内で種々変更して実施できることは勿論である。

【符号の説明】

【0025】

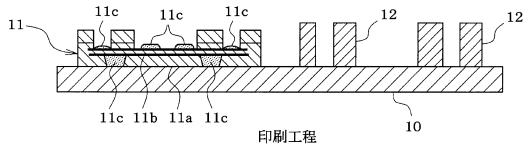
10 ...印刷ステージ、11 ...回路層、11 a ...絶縁層、11 b ...配線パターン、11 c ...端子部、12 ...インターポーザ、13 ...層間接続ピン、14 ...回路素子、15, 16 ...

50

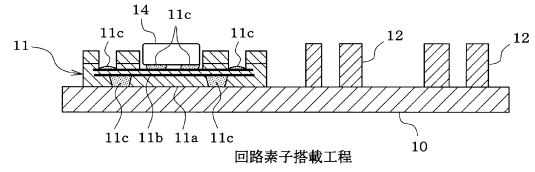
ユニット、2 1 ... 小型のスタック部品

【図面】

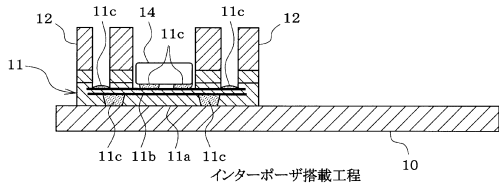
【図 1 A】



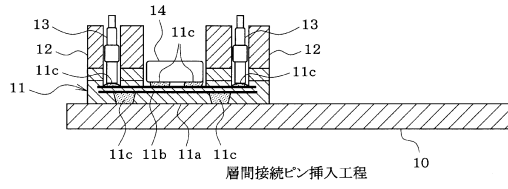
【図 1 B】



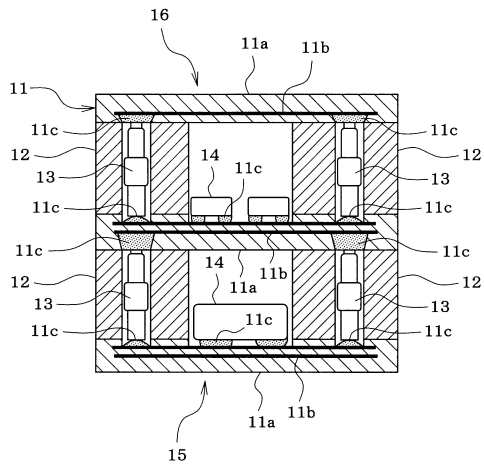
【図 1 C】



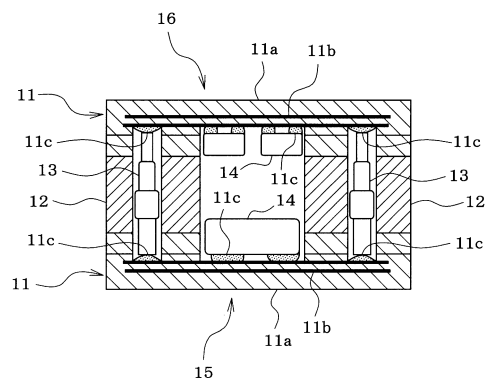
【図 1 D】



【図 2】



【図 3】



10

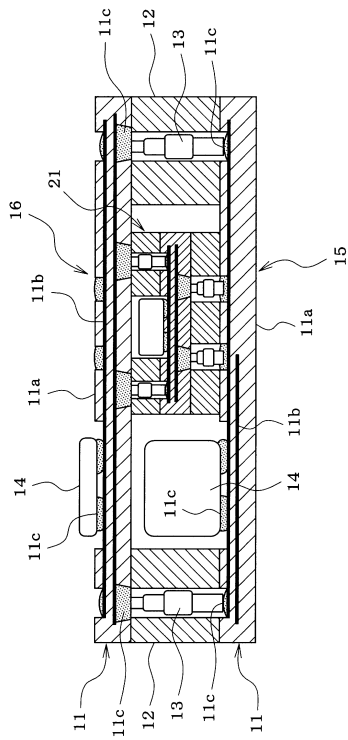
20

30

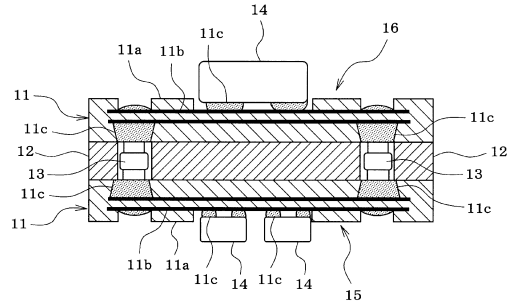
40

50

【図4】



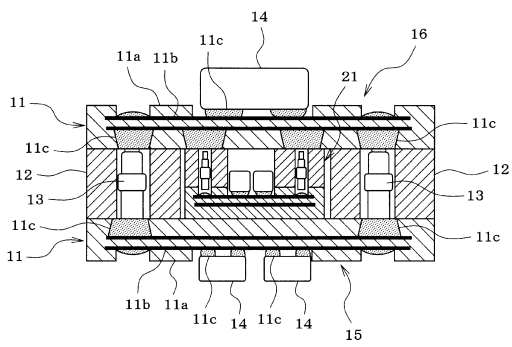
【図5】



10

20

【図6】



30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 5 K 3/10 (2006.01)

(56)参考文献

国際公開第 2 0 1 9 / 1 0 2 5 2 2 (W O , A 1)

特開 2 0 1 7 - 1 3 0 5 5 3 (J P , A)

国際公開第 2 0 1 7 / 2 1 2 5 6 7 (W O , A 1)

特開 2 0 0 8 - 1 3 0 5 7 8 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 5 K 3 / 4 6

H 0 5 K 1 / 1 1

H 0 1 L 2 5 / 0 6 5

H 0 1 L 2 5 / 0 7

H 0 1 L 2 5 / 1 8

H 0 5 K 3 / 1 0