



(12) 发明专利申请

(10) 申请公布号 CN 118676153 A

(43) 申请公布日 2024. 09. 20

(21) 申请号 202410249347.3

(22) 申请日 2024.03.05

(30) 优先权数据

2023-042011 2023.03.16 JP

(71) 申请人 株式会社日本显示器

地址 日本东京都

(72) 发明人 渡壁创 津吹将志 佐佐木俊成

田丸尊也 望月真里奈 小野寺凉

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 杨宏军 韩雪莲

(51) Int. Cl.

H01L 27/12 (2006.01)

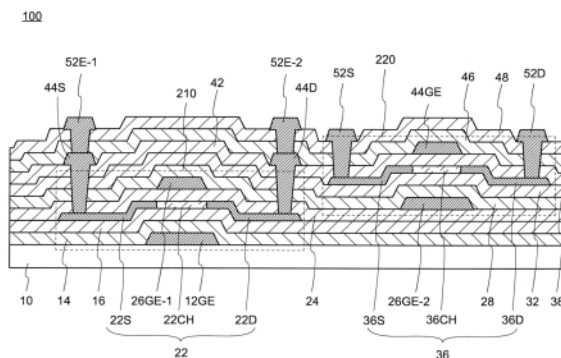
权利要求书2页 说明书21页 附图27页

(54) 发明名称

半导体装置

(57) 摘要

本发明涉及半导体装置。提供可靠性及迁移率高的半导体装置。半导体装置具有基板、设于基板上的第一晶体管、和设于第一晶体管上的第二晶体管,第一晶体管包含:设于基板上的第一栅电极;设于第一栅电极上的第一绝缘膜;设于第一绝缘膜上、有与第一栅电极重叠的区域并具有多晶结构的第一氧化物半导体层;设于第一氧化物半导体层上的第二绝缘膜;和设于第二绝缘膜上的第二栅电极,第二晶体管包含:设于第二绝缘膜上的第三栅电极;设于第三栅电极上的第三绝缘膜;设于第三绝缘膜上、有与第三栅电极重叠的区域的第二氧化物半导体层;设于第二氧化物半导体层上的第四绝缘膜;和设于第四绝缘膜上的第四栅电极。



1. 半导体装置,其具有:
 - 设置在基板上的第一晶体管;和
 - 设置在所述第一晶体管上的第二晶体管,
 - 所述第一晶体管包含:
 - 第一栅电极,其设置在所述基板上;
 - 第一绝缘膜,其设置在所述第一栅电极上;
 - 第一氧化物半导体层,其设置在所述第一绝缘膜上、具有与所述第一栅电极重叠的区域、并具有多晶结构;
 - 第二绝缘膜,其设置在所述第一氧化物半导体层上;和
 - 第二栅电极,其设置在所述第二绝缘膜上,
 - 所述第二晶体管包含:
 - 第三栅电极,其设置在所述第二绝缘膜上;
 - 第三绝缘膜,其设置在所述第三栅电极上;
 - 第二氧化物半导体层,其设置在所述第三绝缘膜上、并具有与所述第三栅电极重叠的区域;
 - 第四绝缘膜,其设置在所述第二氧化物半导体层上;和
 - 第四栅电极,其设置在所述第四绝缘膜上。
2. 如权利要求1所述的半导体装置,其中,所述第一氧化物半导体层包含:
 - 第一区域,其与所述第一栅电极重叠、并具有第一晶体结构;和
 - 第二区域,其不与所述第一栅电极重叠、并具有第二晶体结构,
 - 所述第二区域的电导率大于所述第一区域的电导率。
3. 如权利要求2所述的半导体装置,其中,所述第二氧化物半导体层具有多晶结构,并包含:
 - 第三区域,其与所述第二栅电极重叠、并具有所述第一晶体结构;和
 - 第四区域,其不与所述第二栅电极重叠、并具有所述第二晶体结构,
 - 所述第四区域的电导率大于所述第三区域的电导率,
 - 所述第二晶体结构与所述第一晶体结构相同。
4. 如权利要求3所述的半导体装置,其中,所述第一氧化物半导体层的所述第二区域与所述第二氧化物半导体层的所述第四区域在俯视下重叠。
5. 如权利要求1所述的半导体装置,其还具有设置在所述基板上的第三晶体管,
 - 所述第三晶体管包含:
 - 第五栅电极,其设置在所述基板上;
 - 所述第一绝缘膜,其设置在所述第五栅电极上;
 - 第三氧化物半导体层,其设置在所述第一绝缘膜上、并具有与所述第五栅电极重叠的区域;
 - 所述第二绝缘膜,其设置在所述第三氧化物半导体层上;和
 - 第六栅电极,其设置在所述第二绝缘膜上。
6. 如权利要求5所述的半导体装置,其中,所述第三氧化物半导体层包含:
 - 第五区域,其与所述第五栅电极重叠、并具有第一晶体结构;和

第六区域,其不与所述第五栅电极重叠、并具有第二晶体结构,所述第六区域的电导率大于所述第五区域的电导率,所述第二晶体结构与所述第一晶体结构相同。

7. 如权利要求6所述的半导体装置,其中,所述第二氧化物半导体层的所述第四区域与所述第一氧化物半导体层的所述第二区域及所述第三氧化物半导体层的所述第六区域在俯视下重叠。

8. 如权利要求1所述的半导体装置,其还具有设置在所述第一绝缘膜与所述第一氧化物半导体层之间的第一金属氧化物层。

9. 如权利要求1所述的半导体装置,其还具有设置在所述第三绝缘膜与所述第二氧化物半导体层之间的第二金属氧化物层。

10. 如权利要求5所述的半导体装置,其还具有设置在所述第一绝缘膜和所述第三氧化物半导体层之间的第三金属氧化物层。

11. 如权利要求1所述的半导体装置,其中,所述第二绝缘膜的膜厚比所述第一绝缘膜的膜厚薄,

所述第四绝缘膜的膜厚比所述第二绝缘膜的膜厚薄。

12. 如权利要求1所述的半导体装置,其中,所述第一晶体管还具有设置在与所述第四栅电极相同的绝缘膜上的第一源电极及第一漏电极,

所述第一源电极及所述第一漏电极分别经由设置于所述第二绝缘膜、所述第三绝缘膜、及所述第四绝缘膜的接触孔而与所述第一氧化物半导体层连接。

13. 如权利要求1所述的半导体装置,其中,所述第一绝缘膜及所述第三绝缘膜分别具有氮化硅膜与氧化硅膜的层叠结构。

半导体装置

技术领域

[0001] 本发明的一实施方式涉及半导体装置及半导体装置的制造方法。特别地,本发明的一实施方式涉及层叠有使用氧化物半导体作为沟道的晶体管的半导体装置及半导体装置的制造方法。

背景技术

[0002] 近年来,在沟道中使用氧化物半导体来代替非晶硅、低温多晶硅、及单晶硅的半导体装置的开发在不断推进(例如,专利文献1)。即使在使用具有结晶性的氧化物半导体层的情况下,以往的包含氧化物半导体层的薄膜晶体管的场效应迁移率也不会那样大。因此,正在研究在要求高速地进行驱动的晶体管中使用将结晶性硅用于沟道的晶体管、而在要求截止电流低的晶体管中使用氧化物半导体的半导体装置(例如,专利文献2、3)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2021-141338号公报

[0006] 专利文献2:日本特开2013-008946号公报

[0007] 专利文献3:日本特开2011-142621号公报

发明内容

[0008] 发明所要解决的课题

[0009] 为了提高半导体装置的集成度,有时在同一基板上形成将结晶性硅用于沟道的晶体管、和将氧化物半导体用于沟道的晶体管。大多在将结晶性硅用于沟道的晶体管之上层叠将氧化物半导体用于沟道的晶体管。然而,将结晶性硅用于沟道的晶体管和将氧化物半导体用于沟道的晶体管由于制造工艺不同,因而制造成本增大。

[0010] 本发明的一实施方式的目的之一在于提供能够高集成化且制造成本降低的半导体装置。

[0011] 用于解决课题的手段

[0012] 本发明的一实施方式涉及的半导体装置具有:基板;设置在基板上的第一晶体管;和设置在第一晶体管上的第二晶体管,第一晶体管包含:第一栅电极,其设置在基板上;第一绝缘膜,其设置在第一栅电极上;第一氧化物半导体层,其设置在第一绝缘膜上、具有与第一栅电极重叠的区域、并具有多晶结构;第二绝缘膜,其设置在第一氧化物半导体层上;和第二栅电极,其设置在第二绝缘膜上,第二晶体管包含:第三栅电极,其设置在第二绝缘膜上;第三绝缘膜,其设置在第三栅电极上;第二氧化物半导体层,其设置在第三绝缘膜上、并具有与第三栅电极重叠的区域;第四绝缘膜,其设置在第二氧化物半导体层上;和第四栅电极,其设置在第四绝缘膜上。

附图说明

- [0013] 图1为示出本发明的一实施方式涉及的半导体装置的概要的截面图。
- [0014] 图2为示出本发明的一实施方式涉及的半导体装置的制造方法的顺序图。
- [0015] 图3为示出本发明的一实施方式涉及的半导体装置的制造方法的顺序图。
- [0016] 图4为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0017] 图5为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0018] 图6为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0019] 图7为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0020] 图8为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0021] 图9为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0022] 图10为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0023] 图11为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0024] 图12为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0025] 图13为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0026] 图14为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0027] 图15为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0028] 图16为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0029] 图17为示出本发明的一实施方式涉及的半导体装置的概要的截面图。
- [0030] 图18为示出本发明的一实施方式涉及的半导体装置的概要的截面图。
- [0031] 图19为示出本发明的一实施方式涉及的半导体装置的制造方法的顺序图。
- [0032] 图20为示出本发明的一实施方式涉及的半导体装置的制造方法的顺序图。
- [0033] 图21为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0034] 图22为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0035] 图23为示出本发明的一实施方式涉及的半导体装置的制造方法的截面图。
- [0036] 图24为示出本发明的一实施方式涉及的显示装置的概要的俯视图。
- [0037] 图25为示出本发明的一实施方式涉及的显示装置的电路构成的框图。
- [0038] 图26为示出本发明的一实施方式涉及的显示装置的像素电路的电路图。
- [0039] 图27为示出本发明的一实施方式涉及的显示装置的像素电路的电路图。
- [0040] 附图标记说明
- [0041] 10:基板、12GE:第一栅电极、12GE-2:第五栅电极、14、16:第一绝缘膜、17:第一氧化物半导体膜、18:第一氧化物半导体层、19:抗蚀剂掩模(resist mask)、22:第一氧化物半导体层、22-1:第一氧化物半导体层、22-2:第三氧化物半导体层、22CH:第一沟道区域、22CH-2:第三沟道区域、22D:第一漏极区域、22D-1:第一漏极区域、22S:第一源极区域、22S-2:第三源极区域、24:第二绝缘膜、25:第一金属氧化物膜、26CH:沟道区域、26GE-1:第二栅电极、26GE-2:第三栅电极、26GE-3:第六栅电极、28、32:第三绝缘膜、33:第二氧化物半导体膜、34:第二氧化物半导体层、36:第二氧化物半导体层、36CH:第二沟道区域、36CH-3:第三沟道区域、36D:第二漏极区域、36S:第二源极区域、38:第四绝缘膜、42:第二金属氧化物膜、44D:第一漏电极、44GE:第四栅电极、44S:第一源电极、46、48:第五绝缘膜、51:第一金属氧化物膜、52:第一金属氧化物层、52D:第二漏电极、52E-1:第一电极、52E-2:第二电极、52S:

第二源电极、54:第二金属氧化物层、100、100A、100B:半导体装置、210、210A:第一晶体管、220、220A:第二晶体管、230:第三晶体管

具体实施方式

[0042] 以下,参照附图对本发明的各实施方式进行说明。以下的公开内容仅仅是一例。本领域技术人员在保持发明的主旨的同时通过适当变更实施方式的构成而能够容易地想到的构成当然包含在本发明的范围内。为了使说明更为明确,与实际的方式相比,附图中有时示意性地示出各部分的宽度、膜厚、形状等。然而,所图示的形状仅仅是一例,并不限定本发明的解释。在本说明书和各图中,对于与关于已出现的附图在前叙述过的要素相同的要素标注相同的附图标记,有时适当省略详细的说明。

[0043] 所谓“半导体装置”,是指所有通过利用半导体特性而能发挥功能的装置。晶体管、半导体电路是半导体装置的一个方式。以下所示的实施方式的半导体装置例如也可以为显示装置、微处理器(Micro-Processing Unit:MPU)等集成电路(Integrated Circuit:IC)、或用于存储器电路的晶体管。

[0044] 所谓“显示装置”,是指使用电光层来显示影像的结构体。例如,显示装置这一术语也存在是指包含电光层的显示面板的情况,或者也存在是指对显示单元安装了其他光学构件(例如,偏振构件、背光灯、触摸面板等)的结构体。“电光层”中,只要不产生技术上的矛盾,可以包含液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因此,在后述的实施方式中,作为显示装置,例示包含液晶层的液晶显示装置以及包含有机EL层的有机EL显示装置来进行说明,但本实施方式中的结构可以应用于上述其他包含电光层的显示装置。

[0045] 在本发明的各实施方式中,将从基板朝向氧化物半导体层的方向称为上或上方。相反,将从氧化物半导体层朝向基板的方向称为下或下方。如此,为了便于说明,使用上方或下方这样的语句进行说明,但是,例如也可以配置成基板与氧化物半导体层的上下关系与图示相反。在以下的说明中,例如基板上的氧化物半导体层这一表述只不过是如上所述对基板与氧化物半导体层的上下关系进行说明,在基板与氧化物半导体层之间也可以配置其他部件。上方或下方是指层叠有多个层的结构中的层叠顺序,在表述为晶体管的上方的像素电极时,也可以是俯视下晶体管与像素电极不重叠的位置关系。另一方面,在表述为晶体管的铅垂上方的像素电极的情况下,是指俯视下晶体管与像素电极重叠的位置关系。需要说明的是,所谓俯视,是指从相对于基板的表面垂直的方向观察。

[0046] 在本说明书等中,“膜”这一术语与“层”这一术语可以根据情况而彼此替换。此外,在本说明书等中,有时将由氧化物半导体膜形成的多个氧化物半导体层区分为“-1”、“-2”来进行记载。此外,有时对由导电膜形成的多个导电层及电极也同样地记载。

[0047] 需要说明的是,在本说明书等中,序数是为了区别部件、构件、部位、位置、方向等而使用的,并不表示顺序、优先度。

[0048] 关于本说明书等中“ α 包含A、B或C”、“ α 包含A、B及C中的任一种”、“ α 包含选自由A、B及C组成的组中的一种”这样的表述,只要没有明确记载,则不排除 α 包含A~C的多种组合的情况。此外,这些表述也不排除 α 包含其他要素的情况。

[0049] 需要说明的是,只要不产生技术上的矛盾,以下的各实施方式可以彼此组合。

[0050] <第一实施方式>

[0051] 使用图1~图16来对本发明的一实施方式涉及的半导体装置100进行说明。

[0052] <半导体装置100的构成>

[0053] 图1为示出本发明的一实施方式涉及的半导体装置100的概要的截面图。

[0054] 如图1所示,半导体装置100具有设置在基板10之上的第一晶体管210及第二晶体管220。第一晶体管210包含第一栅电极12GE、第一绝缘膜14、16、第一氧化物半导体层22、第二绝缘膜24、及第二栅电极26GE-1。第一氧化物半导体层22包含第一沟道区域22CH、第一源极区域22S、及第一漏极区域22D。第二晶体管220包含第三栅电极26GE-2、第三绝缘膜28、32、第二氧化物半导体层36、第四绝缘膜38、及第四栅电极44GE。第二氧化物半导体层36包含第二沟道区域36CH、第二源极区域36S、及第二漏极区域36D。需要说明的是,在不区分第一氧化物半导体层22及第二氧化物半导体层36的情况下,有时仅记载为沟道区域CH、源极区域S、及漏极区域D。

[0055] 第二晶体管220设置在第一晶体管210的上方。第二晶体管220设置在第一晶体管210的上方是指第二氧化物半导体层36设置在与第一氧化物半导体层22相比靠上方。

[0056] 第一绝缘膜14、16作为第一晶体管210的第一栅极绝缘膜发挥功能。此外,第二绝缘膜24作为第一晶体管210的第二栅极绝缘膜发挥功能。此外,第一绝缘膜14、16及第二绝缘膜24也作为第二晶体管220的基底膜发挥功能。第三绝缘膜28、32作为第二晶体管220的第三栅极绝缘膜发挥功能。此外,第四绝缘膜38作为第二晶体管的第四栅极绝缘膜发挥功能。此外,第三绝缘膜28、32及第四绝缘膜38作为第一晶体管210的层间绝缘膜发挥功能。

[0057] 在第四绝缘膜38之上,设置有第一源电极44S及第一漏电极44D。第一源电极44S及第一漏电极44D经由设置于第二绝缘膜24~第四绝缘膜38的接触孔而与第一氧化物半导体层22连接。第一源电极44S及第一漏电极44D设置在与第四栅电极44GE相同的第四绝缘膜38之上。此外,第三绝缘膜28、32能够作为第一晶体管210的层间绝缘膜发挥功能、并且作为第二晶体管220的第三栅极绝缘膜发挥功能。在第一源电极44S、第一漏电极44D、及第四栅电极44GE之上设置有第五绝缘膜46、48。

[0058] 在第五绝缘膜48之上,设置有第二源电极52S及第二漏电极52D。第二源电极52S及第二漏电极52D经由设置于第四绝缘膜38及第五绝缘膜46、48的接触孔而与第二氧化物半导体层36连接。此外,在第五绝缘膜48之上设置有第一电极52E-1及第二电极52E-2。第一电极52E-1及第二电极52E-2经由设置于第五绝缘膜46、48的接触孔而与第一源电极44S及第一漏电极44D连接。

[0059] 在本实施方式中,第一晶体管210和第二晶体管220具有同样的结构。因此,在第二晶体管220的结构中,对于与第一晶体管210同样的结构,有时适当省略说明。

[0060] 第一氧化物半导体层22及第二氧化物半导体层36具有包含多个晶粒的多晶结构。详情后述,通过使用Poly-OS (Poly-crystalline Oxide Semiconductor,多晶硅氧化物半导体)技术,能够形成具有多晶结构的第一氧化物半导体层22及第二氧化物半导体层36。以下,对第一氧化物半导体层22及第二氧化物半导体层36的构成进行说明,有时将具有多晶结构的氧化物半导体称为Poly-OS。

[0061] 第一氧化物半导体层22及第二氧化物半导体层36包含含有铟的2种以上的金属,且2种以上的金属中的铟的比率为50%以上。作为铟以外的金属元素,可使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、锆(Zr)、及镧系元素。其中,第一氧化物半导体层22及第二氧

化物半导体层36只要含有Poly-OS即可,有时可包含上述以外的其他金属元素。第二氧化物半导体层36使用具有与第一氧化物半导体层22相同的组成的氧化物半导体靶材进行成膜是优选的。由此,能够削减半导体装置100的制造成本。

[0062] 从第一氧化物半导体层22及第二氧化物半导体层36的上表面(或者第一氧化物半导体层22及第二氧化物半导体层36的膜厚方向)或者第一氧化物半导体层22及第二氧化物半导体层36的截面观察到的Poly-OS所含的晶粒的晶体粒径为 $0.1\mu\text{m}$ 以上,优选为 $0.3\mu\text{m}$ 以上,进一步优选为 $0.5\mu\text{m}$ 以上。晶粒的晶体粒径例如能够采用截面SEM观察、截面TEM观察、或电子背散射衍射(Electron Back Scattered Diffraction;EBSD)法等取得。

[0063] 第一氧化物半导体层22及第二氧化物半导体层36的各自的膜厚大于10nm且为30nm以下。如上所述,Poly-OS所含的晶粒的晶体粒径为 $0.1\mu\text{m}$ 以上,因此第一氧化物半导体层22及第二氧化物半导体层36包含在膜厚方向上仅含1个晶粒的区域。此外,第一氧化物半导体层22及第二氧化物半导体层36的各自的膜厚可以是相同的膜厚,也可以是不同的膜厚。

[0064] 在Poly-OS中,多个晶粒可以具有1种晶体结构,也可以具有多种晶体结构。Poly-OS的晶体结构可以使用电子束衍射法或XRD法等来确定。即,第一氧化物半导体层22及第二氧化物半导体层36的晶体结构可以使用电子束衍射法或XRD法等来确定。

[0065] 第一氧化物半导体层22及第二氧化物半导体层36的晶体结构优选为立方晶。立方晶的晶体结构的对称性高,即使在第一氧化物半导体层22及第二氧化物半导体层36中生成氧缺陷的情况下,也不易引起结构松弛,晶体结构稳定。如上所述,通过提高钨的比率,能够控制多个晶粒的各自的晶体结构,形成具有立方晶的晶体结构的第一氧化物半导体层22及第二氧化物半导体层36。

[0066] 第一氧化物半导体层22包含与第二栅电极26GE-1重叠并具有第一晶体结构的第一区域、和与第二栅电极26GE-1重叠并具有第二晶体结构的第二区域。这里,第一区域相当于第一沟道区域22CH。此外,第二区域与第一源极区域22S及第一漏极区域22D相当。第二区域的电导率大于第一区域的电导率。

[0067] 第二氧化物半导体层36包括与第四栅电极44GE重叠并具有第一晶体结构的第三区域、和与第四栅电极44GE重叠并具有第二晶体结构的第四区域。这里,第三区域与第二沟道区域36CH相当。另外,第四区域与第二源极区域36S及第二漏极区域36D相当。第四区域的电导率大于第三区域的电导率。

[0068] 另外,第二晶体结构与第一晶体结构相同。在此,2个晶体结构相同是指晶系相同。例如,当第一氧化物半导体层22的晶体结构为立方晶时,第一区域的第一晶体结构及第二区域的第二晶体结构均为立方晶,是相同的。第一晶体结构及第二晶体结构例如可以采用极微电子束衍射法等来确定。

[0069] 另外,在规定的晶体取向中,第一晶体结构的面间隔d值与第二晶体结构的面间隔d值大致相同。这里,2个面间隔d值大致相同是指一个面间隔d值为另一个面间隔d值的0.95倍以上1.05倍以下。或者,是指在极微电子束衍射法中,2个衍射图案几乎一致的情况。

[0070] 在第一区域与第二区域之间也可以不存在晶界。另外,也可以在1个晶粒中包含第一区域和第二区域。换言之,从第一区域向第二区域的变化也可以是连续的晶体结构变化。同样地,在第三区域和第四区域之间也可以不存在晶界。另外,也可以在1个晶粒中包含第

三区域和第四区域。换言之,从第三区域向第四区域的变化也可以是连续的晶体结构变化。

[0071] 另外,第一源极区域22S、第一漏极区域22D、第二源极区域36S及第二漏极区域36D含有相同的杂质元素。另外,第一源极区域22S、第一漏极区域22D、第二源极区域36S及第二漏极区域36D通过添加杂质元素从而与第一沟道区域22CH及第二沟道区域36CH相比电阻率降低。即,第一源极区域22S、第一漏极区域22D、第二源极区域36S及第二漏极区域36D具备作为导体的物性。需要说明的是,在第一源极区域22S、第一漏极区域22D、第二源极区域36S及第二漏极区域36D的各自中,既可以在前述的全部区域中含有相同的杂质元素,也可以在每层中含有不同的杂质元素。例如,也可以在第一源极区域22S及第一漏极区域22D中添加磷、在第二源极区域36S及第二漏极区域36D中添加硼。

[0072] 第一源极区域22S、第一漏极区域22D、第二源极区域36S、及第二漏极区域36D中所含的杂质元素的浓度在用SIMS分析(二次离子质谱分析)测定的情况下为 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下是优选的。这里,杂质元素是指氩(Ar)、磷(P)、或硼(B)。

[0073] 通过在第一源极区域22S、第一漏极区域22D、第二源极区域36S及第二漏极区域36D中添加杂质元素,从而形成氧缺陷。通过氢被氧缺陷捕获,从而能够使第一源极区域22S、第一漏极区域22D、第二源极区域36S及第二漏极区域36D的电阻比第一沟道区域22CH及第二沟道区域36CH的电阻低。需要说明的是,即使在第一源极区域22S、第一漏极区域22D、第二源极区域36S及第二漏极区域36D中添加杂质元素而形成氧缺陷,也能够维持晶体结构而不破坏。因此,可以说第一源极区域22S、第一漏极区域22D、第二源极区域36S及第二漏极区域36D的晶体结构与第一沟道区域22CH及第二沟道区域36CH的晶体结构相同。

[0074] 氧化物半导体层在层的内部含有大量氧缺陷时,氢被氧缺陷捕获,从而对晶体管的特性造成不良影响。因此,需要减少氧化物半导体层所含的氧缺陷。

[0075] 在氧化物半导体中,与非晶氧化物半导体相比,结晶性的氧化物半导体不易形成氧缺陷。另外,已知通过相对提高氧化物半导体中所含的铟的比率,容易得到结晶性的氧化物半导体。但是,即使相对提高铟的比率而得到结晶性的氧化物半导体,也会存在所需程度以上的氧缺陷。氧缺陷能够通过供给氧来修复。因此,作为氧化物半导体层的周围的绝缘膜,需要通过配置能够放出氧的绝缘膜来修复氧化物半导体层的氧缺陷。

[0076] 另一方面,当向氧化物半导体层供给所需程度以上的氧时,由于氧化物半导体层中含有的过量的氧,会导致形成与氧缺陷不同的缺陷能级。由此,有可能发生由可靠性试验引起的特性变动、场效应迁移率的降低、或特性的偏差等现象。

[0077] 根据本发明的一实施方式涉及的半导体装置100,第一氧化物半导体层22及第二氧化物半导体层36包含Poly-Os。由此,第一氧化物半导体层22和第二氧化物半导体层36成为结晶性高且氧缺陷充分降低的层。

[0078] 另外,第一氧化物半导体层22及第二氧化物半导体层36中,不仅是沟道区域CH,而且源极区域S及漏极区域D也具有晶体结构,由此能够使源极区域S及漏极区域D充分低电阻化。因此,源极区域S以及漏极区域D的寄生电阻降低,能够抑制第一晶体管210及第二晶体管220的电特性中的导通电流的偏差。由于第一晶体管210及第二晶体管220的迁移率大,所以在将半导体装置100用于显示装置等的情况下,偏差被抑制,并且性能提高。

[0079] 在本发明的一实施方式所涉及的半导体装置100中,在第一晶体管210及第二晶体管220的沟道区域CH的沟道长度L为 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下并且沟道区域CH的沟道宽度为 $2\mu\text{m}$ 以上

25 μm 以下的范围内,能够得到迁移率为30 cm^2/Vs 以上、35 cm^2/Vs 以上、或40 cm^2/Vs 以上的电特性。本说明书等中的迁移率是指晶体管的饱和区域中的场效应迁移率,并且是源电极与漏电极之间的电位差(Vd)比从供给至栅电极的电压(Vg)减去晶体管的阈值电压(Vth)而得的值(Vg-Vth)大的区域中的场效应迁移率的最大值。

[0080] 另外,通过充分降低第一氧化物半导体层22及第二氧化物半导体层36的沟道区域CH中所含的氧缺陷,能够抑制氢被氧缺陷捕获。由此,能够减少第一晶体管210及第二晶体管220的可靠性试验中的特性变动,因此半导体装置的可靠性提高。

[0081] 在此,所谓可靠性试验,例如是指对栅极施加负电压的NGBT(Negative Gate Bias-Temperature,负栅极偏置温度)应力试验,或对栅极施加正电压的PGBT(Positive Gate Bias-Temperature,正栅极偏置温度)应力试验。需要说明的是,NGBT及PGBT等BT应力试验是加速试验的一种,能够在短时间内评价因长期使用而引起的晶体管的特性变化(经年变化)。特别是BT应力试验前后的晶体管的阈值电压的变动量成为用于调查可靠性的重要指标。在BT应力试验前后,阈值电压的变动量越小,可以说是可靠性越高的晶体管。

[0082] 但是,在层叠半导体材料不同的2个晶体管的情况下,用于连接2个晶体管的布线结构变得复杂。另外,在制造半导体装置的过程中,有可能因下晶体管的构成材料而对上晶体管的构成材料产生不良影响。例如,使用低温多晶硅的晶体管需要对非晶硅进行激光照射工艺,因此形成在使用氧化物半导体的晶体管的下层。使用低温多晶硅的晶体管的构成材料使用含有大量氢的材料。由氢对氧化物半导体带来不利影响的可能性高。因此,在相互重叠地形成使用低温多晶硅的晶体管和使用氧化物半导体的晶体管的情况下,为了降低从使用低温多晶硅的晶体管的构成材料放出的氢的影响,有时增加绝缘层、或增加加热处理。另外,即使使用了结晶性硅的晶体管及使用了氧化物半导体的晶体管这两者为相同的顶栅结构,由于在使用了结晶性硅的晶体管及使用了氧化物半导体的晶体管中使用的绝缘材料及导电材料的构成、膜厚分别不同,因此也无法使晶体管的结构共用化。

[0083] 为了在第一晶体管210及第二晶体管220的双方中得到高的迁移率,可在要求高速驱动的晶体管中使用将氧化物半导体用于沟道的晶体管。由此,作为要求高速驱动的晶体管,可以不形成将结晶性硅用于沟道的晶体管。因此,不需要分别制作要求高速驱动的晶体管和要求除此以外的特性的晶体管。

[0084] 此外,在本发明的一实施方式涉及的半导体装置100中,由于层叠半导体材料相同的2个晶体管,所以能够简化用于连接2个晶体管的布线结构。此外,容易使采用了氧化物半导体的第一晶体管210和第二晶体管220的结构共用化。例如,能够将第一晶体管210及第二晶体管220设为将氧化物半导体层夹在中间的双栅结构的晶体管。此外,能够使用作第一晶体管210及第二晶体管220的栅电极的导电材料和用作栅极绝缘膜的绝缘材料为相同的结构。

[0085] 在本实施方式中,第一晶体管210包含第一栅电极12GE、作为第一绝缘膜14、16的氮化硅膜与氧化硅膜的叠层、第一氧化物半导体层22、作为第二绝缘膜24的氧化硅膜及第二栅电极26GE-1。同样地,第二晶体管包含第三栅电极26GE-2、作为第三绝缘膜28、32的氮化硅膜与氧化硅膜的叠层、第二氧化物半导体层36、作为第四绝缘膜38的氧化硅膜、及第四栅电极44GE。即,第一栅电极12GE与第三栅电极26GE-2、第一绝缘膜14、16与第三绝缘膜28、32、第二绝缘膜24与第四绝缘膜38、及第二栅电极26GE-1与第四栅电极44GE分别是对应的。

另外,第一氧化物半导体层22和第二氧化物半导体层36具有多晶结构。因此,能够在具有同等性能的第一晶体管210之上层叠配置第二晶体管220。

[0086] 在本实施方式中,作为第一晶体管210,使用通过第二栅电极26GE-1驱动晶体管的顶栅型晶体管。另外,作为第二晶体管220,使用通过第四栅电极44GE驱动晶体管的顶栅型晶体管。因此,优选第二绝缘膜24的膜厚比第一绝缘膜14、16的膜厚薄。同样,优选第四绝缘膜38的膜厚比第三绝缘膜28、32的膜厚薄。

[0087] 例如,在将半导体装置应用于有机EL显示器的情况下,在1个像素电路中,有时需要合计6个以上的驱动用晶体管和开关用晶体管。在同一平面内配置6个晶体管的情况下,相应于6个晶体管的面积是必要的。因此,在使像素高精度的情况下,像素电路的进一步集成化变得困难。

[0088] 在半导体装置100中,可以层叠设置具有相同功能的晶体管。例如,在像素电路中,通过在上层和下层层叠设置开关用的晶体管,能够缩小像素电路的面积。由此,能够减小像素电路所占的面积,因此能够提供更高精度的有机EL显示器。

[0089] 第一晶体管210和第二晶体管220各自的迁移率高。因此,也适用于要求高速驱动的驱动电路。此外,在显示装置的驱动电路中应用半导体装置100的情况下,能够使下层的第一晶体管210和上层的第二晶体管220相互接近,或者以彼此的一部分或全部重叠的方式层叠设置。此外,也可以在上层的第二晶体管220之下,使下层的第一晶体管210的布线延伸。由此,能够缩小显示装置的驱动电路的面积。由此,能够提供窄边框的显示装置。

[0090] 在本实施方式中,作为第一晶体管210例示了使用由第二栅电极26GE-1驱动晶体管的顶栅型晶体管的构成,但并不限定于该构成。例如,作为第一晶体管210,也可以使用通过第一栅电极12GE驱动晶体管的底栅型晶体管。或者,作为第一晶体管210,也可以使用通过第一栅电极12GE及第二栅电极26GE-1驱动晶体管的双栅型晶体管。需要说明的是,关于第二晶体管220也与第一晶体管210相同。作为第二晶体管220,不限于顶栅型晶体管,也可以是底栅型晶体管或双栅型晶体管中的任意。上述构成只不过是一实施方式,本发明并不限定于上述构成。

[0091] 第一栅电极12GE具有作为第一晶体管210的底栅及针对第一氧化物半导体层22的遮光膜的功能。第一绝缘膜14、16及第二绝缘膜24具备通过制造工艺中的热处理而放出氧的功能。第二绝缘膜24、第三绝缘膜28、32及第四绝缘膜38具备将第一栅电极12GE与第一源电极44S及第一漏电极44D绝缘,而降低两者间的寄生电容的功能。第一晶体管210的动作主要由供给至第二栅电极26GE-1的电压来控制。对第一栅电极12GE供给辅助性的电压。此外,也可以将第一栅电极12GE仅用作遮光膜,在此情况下,也可以不对第一栅电极12GE供给特定的电压,而是浮置。

[0092] 第三栅电极26GE-2具备作为第二晶体管220的底栅及针对第二氧化物半导体层36的遮光膜的功能。第三绝缘膜32及第四绝缘膜38具备通过制造工艺中的热处理而放出氧的功能。第四绝缘膜38及第五绝缘膜46、48具备将第四栅电极44GE与第二源电极52S及第二漏电极52D绝缘,而降低两者间的寄生电容的功能。第二晶体管220的动作主要由供给到第四栅电极44GE的电压控制。向第三栅电极26GE-2供给辅助性的电压。另外,也可以将第三栅电极26GE-2仅用作遮光膜,在该情况下,也可以不对第三栅电极26GE-2供给特定的电压,而是浮置。

[0093] <半导体装置100的制造方法>

[0094] 使用图2~图16,对本发明的一实施方式涉及的半导体装置100的制造方法进行说明。图2及图3是表示本发明的一实施方式涉及的半导体装置100的制造方法的顺序图。

[0095] 如图2及图4所示,在基板10之上形成第一栅电极12GE(图2所示的步骤S1001的“第一GE形成”)。

[0096] 作为基板10,使用玻璃基板、石英基板及蓝宝石基板等具有透光性的刚性基板。在基板10需要具备挠性的情况下,作为基板10,使用聚酰亚胺基板、丙烯酸树脂基板、硅氧烷基板、氟树脂基板等包含树脂的基板。在使用包含树脂的基板作为基板10的情况下,为了提高基板10的耐热性,可以在上述树脂中导入杂质元素。特别是,在半导体装置100是顶部发射型的显示器的情况下,由于基板10不需要是透明的,所以也可以使用使基板10的透明度降低的杂质。在不是显示装置的集成电路中使用半导体装置100的情况下,作为基板10,也可以使用硅基板、碳化硅基板、化合物半导体基板等半导体基板、或者不锈钢基板等导电性基板等不具备透光性的基板。

[0097] 第一栅电极12GE是对通过溅射法成膜的导电膜进行加工而形成的。作为第一栅电极12GE,使用通常的金属材料。作为第一栅电极12GE,例如可使用铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、钪(Hf)、钽(Ta)、钨(W)、铋(Bi)、银(Ag)、铜(Cu)、及它们的合金或化合物。作为第一栅电极12GE,上述材料可以以单层使用,也可以以叠层使用。

[0098] 如图2及图4所示,在基板10及第一栅电极12GE之上成膜第一绝缘膜14、16(图2所示的步骤S1002的“第一IF成膜”)。第一绝缘膜14、16通过CVD(Chemical Vapor Deposition,化学气相沉积)法、或溅射法来成膜。作为第一绝缘膜14、16,可使用通常的绝缘性材料。作为第一绝缘膜14、16,例如可使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氮化硅(SiN_x)、氮氧化硅(SiN_xO_y)等无机绝缘材料。上述的 SiO_xN_y 是以比氧(O)少的比率($x>y$)含有氮(N)的硅化合物。 SiN_xO_y 是以比氮少的比率($x>y$)含有氧的硅化合物。

[0099] 作为第一绝缘膜14、16,从基板10起依次形成包含氮的绝缘材料和包含氧的绝缘材料是优选的。例如,作为第一绝缘膜14,通过使用包含氮的绝缘材料,能够阻挡从基板10侧向第一氧化物半导体层22扩散的杂质。此外,作为第一绝缘膜16,通过使用包含氧的绝缘材料,能够通过加热处理而放出氧。包含氧的绝缘材料放出氧的加热处理的温度例如为500°C以下、450°C以下、或400°C以下。即,包含氧的绝缘材料例如在使用玻璃基板作为基板10的情况下的半导体装置100的制造工序中进行的加热处理温度下放出氧。本实施方式中,作为第一绝缘膜14、16,对使用氮化硅与氧化硅的层叠结构的例子进行说明,但作为第一绝缘膜,也可以使用上述的材料的单层结构。

[0100] 如图2及图4所示,在第一绝缘膜16之上成膜第一氧化物半导体膜17(图2所示的步骤S1003“第一OS成膜”)。关于该工序,有时在基板10之上形成第一氧化物半导体膜17。第一氧化物半导体膜17通过溅射法或原子层沉积法(ALD:Atomic Layer Deposition)成膜。第一氧化物半导体膜17的膜厚例如大于10nm且为30nm以下

[0101] 作为第一氧化物半导体膜17,可使用具有半导体特性的金属氧化物。第一氧化物半导体膜17使用包含含有铟的2种以上的金属的氧化物半导体。另外,2种以上的金属中的铟的比率为50%以上。作为第一氧化物半导体膜17,作为铟以外的金属元素,使用镓(Ga)、锌(Zn)、铝(Al)、钪(Hf)、钇(Y)、锆(Zr)、或镧系元素。

[0102] 通过后述的OS退火使第一氧化物半导体膜17结晶化时,优选成膜后且OS退火前的第一氧化物半导体膜17为非晶(氧化物半导体的结晶成分少的状态)。即,第一氧化物半导体膜17的成膜方法优选为刚成膜后的第一氧化物半导体膜17尽可能不结晶化的条件。例如,在通过溅射法形成第一氧化物半导体膜17的情况下,一边控制被成膜对象物(半导体装置100及其上形成的结构物)的温度,一边将第一氧化物半导体膜17成膜。

[0103] 若通过溅射法对被成膜对象物进行成膜,则在等离子体中产生的离子及因溅射靶而反冲的原子与被成膜对象物碰撞,因此伴随着成膜处理,被成膜对象物的温度上升。若成膜处理中的被成膜对象物的温度上升,则在刚成膜后的状态下第一氧化物半导体膜17中含有微晶。当第一氧化物半导体膜17中含有微晶时,无法通过之后的OS退火来增大晶体粒径。如上所述,为了控制被成膜对象物的温度,例如可以一边冷却被成膜对象物一边进行成膜。例如,在被成膜对象物的被成膜面的温度(以下,称为“成膜温度”)成为100°C以下、70°C以下、50°C以下或30°C以下的方式,从该被成膜面的相反侧的面对被成膜对象物进行冷却。特别地,本实施方式的第一氧化物半导体膜17的成膜温度为50°C以下是优选的。通过一边冷却基板一边进行第一氧化物半导体膜17的形成,能够得到在刚成膜后的状态下结晶成分少的第一氧化物半导体膜17。在本实施方式中,在50°C以下的成膜温度下进行第一氧化物半导体膜17的形成,在400°C以上的加热温度下进行后述的OS退火。如此,在本实施方式中,形成第一氧化物半导体膜17时的温度与对第一氧化物半导体膜17进行OS退火时的温度之差为350°C以上是优选的。

[0104] 在溅射工艺中,在氧分压10%以下的条件下将非晶的第一氧化物半导体膜17成膜。若氧分压高,则因第一氧化物半导体膜17中所含的过量的氧而导致刚成膜后的第一氧化物半导体膜17中含有微晶。因此,优选在氧分压低的条件下进行第一氧化物半导体膜17的成膜。氧分压例如为3%以上5%以下,优选为3%以上4%以下。需要说明的是,在氧分压为2%的条件下将氧化物半导体膜成膜的情况下,存在即使之后进行OS退火处理氧化物半导体膜也不能得到充分的结晶性的情况。

[0105] 如图2及图5所示,形成第一氧化物半导体层18的图案(图2所示的步骤S1004的“第一OS图案形成”)。在第一氧化物半导体膜17之上形成抗蚀剂掩模19,使用该抗蚀剂掩模19对第一氧化物半导体膜17进行蚀刻。作为第一氧化物半导体膜17的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,可以使用酸性蚀刻剂进行蚀刻。作为蚀刻剂,例如可以使用草酸、PAN、硫酸、双氧水或氢氟酸。由此,能够形成图案状的第一氧化物半导体层18。然后,去除抗蚀剂掩模19。

[0106] 优选第一氧化物半导体膜17在OS退火前形成图案。若第一氧化物半导体膜17因OS退火而结晶化,则第一氧化物半导体膜17有难以蚀刻的倾向。另外,即使因蚀刻而在图案状的第一氧化物半导体层18上产生损伤,也可以通过OS退火来修复第一氧化物半导体层18的损伤,因此优选。

[0107] 如图2及图6所示,在第一氧化物半导体层18的图案形成之后,对第一氧化物半导体层18进行加热处理(OS退火)(图2所示的步骤S1005“第一OS退火”)。在OS退火中,第一氧化物半导体层18在规定的到达温度下保持规定的时间。规定的到达温度为300°C以上500°C以下,优选为350°C以上450°C以下。另外,到达温度下的保持时间为15分钟以上120分钟以下,优选为30分钟以上60分钟以下。通过进行OS退火,第一氧化物半导体层18被结晶化,形

成具有多晶结构的第一氧化物半导体层22。

[0108] 在薄膜晶体管中,通过减小氧化物半导体层的厚度,使与栅极绝缘膜的界面附近的载流子增加,降低反向沟道的影响,从而具有场效应迁移率变高的倾向。即,薄膜晶体管具有作为氧化物半导体层的沟道发挥作用的区域的厚度越小,场效应迁移率越高的倾向。因此,氧化物半导体层的厚度越小越好。然而,在使氧化物半导体层的厚度为10nm以下的条件下进行成膜之后,即使进行加热处理,有时氧化物半导体层也可能无法得到充分的结晶性。

[0109] 另外,在薄膜晶体管中,第一氧化物半导体层22的结晶性有助于场效应迁移率的提高。因此,第一氧化物半导体层22具有多晶结构是优选的。然而,在第一氧化物半导体膜17的成膜时,如果含有微晶,则即使之后进行加热处理,也不能增大多晶结构的晶粒的晶体粒径。如此,难以兼顾氧化物半导体层的薄膜化和良好的结晶化。

[0110] 因此,在用溅射法将第一氧化物半导体膜17成膜时,以3%以上5%以下的低氧分压进行成膜。通过在氧分压低的条件下将第一氧化物半导体膜17成膜,能够抑制第一氧化物半导体膜17中含有过量的氧,能够抑制刚成膜后的第一氧化物半导体膜17中含有微晶。由此,在第一氧化物半导体层18的加热处理时,能够抑制晶体从微晶生长。因此,即使在第一氧化物半导体膜17以大于10nm且为30nm以下的较薄的膜厚成膜的情况下,也能够增大第一氧化物半导体层22的多晶结构的晶粒的晶体粒径。

[0111] 如图2和图7所示,在第一氧化物半导体层22之上将第二绝缘膜24成膜(图2所示的步骤S1006的“第二IF成膜”)。第二绝缘膜24的成膜方法及绝缘材料参照第一绝缘膜14、16的说明即可。另外,第二绝缘膜24的膜厚例如为50nm以上300nm以下、60nm以上200nm以下、或70nm以上150nm以下。

[0112] 作为第二绝缘膜24,优选使用含有氧的绝缘材料。另外,作为第二绝缘膜24,优选使用缺陷少的绝缘膜。例如,对第二绝缘膜24中的氧的组成比和与第二绝缘膜24相同组成的绝缘膜(以下称为“其他绝缘膜”)中的氧的组成比进行比较时,第二绝缘膜24中的氧的组成比之该其他绝缘膜中的氧的组成比更接近相对于该绝缘膜的化学计量比。例如,在第二绝缘膜24及第五绝缘膜48分别使用氧化硅(SiO_x)的情况下,与用作第五绝缘膜48的氧化硅中的氧的组成比相比,用作第二绝缘膜24的氧化硅中的氧的组成比更接近氧化硅的化学计量比。例如,作为第二绝缘膜24,也可以使用在通过电子自旋共振法(ESR)进行评价时未观测到缺陷的膜。

[0113] 为了形成缺陷少的绝缘膜作为第二绝缘膜24,也可以在350°C以上的成膜温度下将第二绝缘膜24成膜。第二绝缘膜24的厚度例如为50nm以上300nm以下、60nm以上200nm以下、或70nm以上150nm以下。也可以在将第二绝缘膜24成膜之后,进行向第二绝缘膜24的一部分注入氧的处理。在本实施方式中,作为第二绝缘膜24,为了形成缺陷少的绝缘膜而在350°C以上的成膜温度下形成氧化硅。

[0114] 如图2及图7所示,在第二绝缘膜24之上将第一金属氧化物膜25成膜(图2所示的步骤S1007的“第一MO成膜”)。第一金属氧化物膜25通过溅射成膜。通过利用溅射法将第一金属氧化物膜25成膜,从而向第二绝缘膜24注入氧。

[0115] 作为第一金属氧化物膜25,使用以铝为主成分的金属氧化物。例如,作为第一金属氧化物膜25,采用氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等无

机绝缘层。所谓以铝为主成分的金属氧化物膜,是指金属氧化物膜中含有的铝的比率为第一金属氧化物膜25整体的1%以上。第一金属氧化物膜25中含有的铝的比率可以是第一金属氧化物膜25整体的5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述比率可以是质量比,也可以是重量比。

[0116] 第一金属氧化物膜25的厚度例如为5nm以上100nm以下、5nm以上50nm以下、5nm以上30nm以下、或7nm以上15nm以下。在本实施方式中,使用氧化铝作为第一金属氧化物膜25。氧化铝具备对于氧或氢等气体的高阻隔性。在本实施方式中,用作第一金属氧化物膜25的氧化铝抑制在第一金属氧化物膜25的成膜时注入第二绝缘膜24的氧向外扩散。换言之,阻隔性是指抑制氧或氢等气体透过氧化铝的功能。即,意味着即使存在氧等气体,也不会从设置于氧化铝膜下的层向设置于氧化铝膜上的层移动。或者是指,即使存在氧等气体,也不会从设置于氧化铝膜上的层向设置于氧化铝膜下的层移动。

[0117] 例如,在通过溅射法形成第一金属氧化物膜25的情况下,在第一金属氧化物膜25的膜中残存有溅射中使用的工艺气体。例如,在使用Ar作为溅射的工艺气体的情况下,有时在第二绝缘膜24的膜中残存Ar。残存的Ar可以通过对第二绝缘膜24的SIMS (Secondary Ion Mass Spectrometry) 分析来检测。

[0118] 在第一氧化物半导体层22上成膜有第二绝缘膜24和第一金属氧化物膜25的状态下,进行用于从第二绝缘膜24向第一氧化物半导体层22供给氧的加热处理(氧化退火)(图2所示的步骤S1008的“氧化退火”)。在从第一氧化物半导体膜17成膜后到在第一氧化物半导体层22上将第二绝缘膜24成膜为止的工序中,在第一氧化物半导体层22的上表面及侧面产生大量的氧缺陷。通过氧化退火,从第一绝缘膜16及第二绝缘膜24放出的氧被供给到第一氧化物半导体层22,氧缺陷被修复。

[0119] 在氧化退火中,注入到第二绝缘膜24中的氧被第一金属氧化物膜25阻挡,因此向大气中的放出被抑制。因此,通过该氧化退火,该氧被高效地供给到第一氧化物半导体层22,氧缺陷被修复。

[0120] 如图2所示,对第一金属氧化物膜25进行蚀刻(除去)(图2所示的步骤S1009的“第一MO除去”)。作为第一金属氧化物膜25的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,例如使用稀释氢氟酸(DHF)。

[0121] 如图2及图8所示,在第二绝缘膜24之上形成第二栅电极26GE-1及第三栅电极26GE-2(图2所示的步骤S1010的“第二GE、第三GE形成”)。第二栅电极26GE-1及第三栅电极26GE-2是对通过溅射法成膜的导电膜进行加工而形成的。关于能够用于第二栅电极26GE-1及第三栅电极26GE-2的材料,参照第一栅电极12GE的材料的记载即可。作为第二栅电极26GE-1及第三栅电极26GE-2,在第一栅电极12GE的说明中列举的材料可以以单层使用,也可以以叠层使用。另外,作为第二栅电极26GE-1及第三栅电极26GE-2,也可以由与第一栅电极12GE相同的材料形成。

[0122] 如图2及图9所示,将第二栅电极26GE-1作为掩模,对第一氧化物半导体层22添加杂质元素(图2所示的步骤S1011的“第一I/I”)。在本实施方式中,对通过离子注入进行杂质元素的添加的情况进行说明,但也可以通过离子掺杂法进行。

[0123] 具体而言,利用离子注入通过第二绝缘膜24而对第一源极区域22S及第一漏极区域22D添加杂质元素。在第一氧化物半导体层22中,在与第二栅电极26GE-1重叠的区域不添

加杂质元素,作为沟道区域26CH发挥功能。作为杂质元素,例如可以使用氩(Ar)、磷(P)或硼(B)。另外,在通过离子注入法进行硼(B)的添加的情况下,将加速能量设为20keV以上40keV以下、将硼(B)的注入量设为 $1 \times 10^{14} \text{cm}^{-2}$ 以上 $1 \times 10^{16} \text{cm}^{-2}$ 以下即可。需要说明的是,在第三栅电极26GE-2的附近,也向第一绝缘膜16及第二绝缘膜24添加杂质元素。之后,为了抑制在形成第二氧化物半导体层的区域中添加杂质元素,也可以在第三栅电极26GE-2的附近形成抗蚀剂掩模之后添加杂质元素。

[0124] 通过离子注入,可以在第一源极区域22S及第一漏极区域22D中以 $1 \times 10^{18} \text{cm}^{-3}$ 以上 $1 \times 10^{21} \text{cm}^{-3}$ 以下的浓度添加杂质元素。此时,第一源极区域22S及第一漏极区域22D中的氧化物半导体通过添加杂质元素而形成氧缺陷。氢容易被该氧缺陷捕获。由此,能够降低第一源极区域22S和第一漏极区域22D的电阻率,使其作为导体发挥功能。即使在第一氧化物半导体层22中添加杂质元素而形成氧缺陷,晶体结构也不会被破坏而得以维持。因此,可以说第一源极区域22S及第一漏极区域22D的晶体结构与第一沟道区域22CH的晶体结构相同。

[0125] 例如,在使用IGZO系的氧化物半导体层的情况下,由于氧化物半导体层的电阻大,因此如果不增大膜厚,就不能充分降低源极区域及漏极区域的电阻。与此相对,在具有2种以上的金属中的铟元素的比率为50%以上的多晶结构的第一氧化物半导体层22中,通过在第一源极区域22S及第一漏极区域22D中添加杂质元素,从而可以使第一源极区域22S及第一漏极区域22D的薄膜电阻为 $1000 \Omega/\text{sq}$.以下,优选为 $500 \Omega/\text{sq}$.以下,更优选为 $250 \Omega/\text{sq}$.以下。

[0126] 通过以上的工序,形成第一晶体管210。接着,形成设置在第一晶体管210上的第二晶体管220。在本实施方式中,第二晶体管220的结构与第一晶体管210的结构相同。因此,关于第二晶体管220的形成方法,对与第一晶体管210相同的形成方法适当省略说明。

[0127] 如图3及图10所示,在第二绝缘膜24、第二栅电极26GE-1、第三栅电极26GE-2之上将第三绝缘膜28、32成膜(图2所示的步骤S1012的“第三IF成膜”)。第三绝缘膜28、32的成膜方法及绝缘材料参照第一绝缘膜14、16的材料的说明即可。在本实施方式中,例如形成氮化硅作为第三绝缘膜28,形成氧化硅作为第三绝缘膜32。第三绝缘膜28、32能够作为第一晶体管210的层间绝缘膜发挥功能、并且作为第二晶体管220的第三栅极绝缘膜发挥功能。

[0128] 如图3及图10所示,在第三绝缘膜32之上将第二氧化物半导体膜33成膜(图3所示的步骤S1013的“第二OS成膜”)。第二氧化物半导体膜33的成膜方法及材料参照第一氧化物半导体膜17的成膜方法及材料的说明(图2所示的步骤S1003)即可。第二氧化物半导体膜33的靶材优选使用与第一氧化物半导体膜17相同的靶材,但也可以使用不同的靶材。

[0129] 如图3及图11所示,形成第二氧化物半导体层34的图案(图3所示的步骤S1014的“第二OS图案形成”)。关于第二氧化物半导体膜33的蚀刻方法,参照第一氧化物半导体膜17的蚀刻方法的说明(图2所示的步骤S1004)即可。

[0130] 如图3及图12所示,在第二氧化物半导体层34的图案形成之后,对第二氧化物半导体层34进行加热处理(OS退火)(图3所示的步骤S1015的“第二OS退火”)。关于OS退火的条件,参照针对第一氧化物半导体层18的OS退火的条件(图2所示的步骤S1005)即可。通过进行OS退火,第二氧化物半导体层34被结晶化,形成具有多晶结构的第二氧化物半导体层36。第一氧化物半导体层22如上所述对加热工艺的裕度高。因此,就第二氧化物半导体层34的退火条件而言,不必担心对第一氧化物半导体层22追加加热历程所带来的影响,可以使用对

第二氧化物半导体层34最优化的条件。作为一例,第二退火的条件也可以直接参照与第一氧化物半导体层22的退火条件相同的条件。

[0131] 如图3及图13所示,在第三绝缘膜32及第二氧化物半导体层36上将第四绝缘膜38成膜(图3所示的步骤S1016“第四IF成膜”)。第四绝缘膜38的成膜方法及绝缘材料参照第二绝缘膜24的成膜方法及绝缘材料的说明即可。

[0132] 如图3及图13所示,在第四绝缘膜38上将第二金属氧化物膜42成膜(图3所示的步骤S1017“第二M0成膜”)。第二金属氧化物膜42的成膜方法及材料参照第一金属氧化物膜25的成膜方法及材料的说明即可。

[0133] 在第二氧化物半导体层36上成膜有第四绝缘膜38及第二金属氧化物膜42的状态下,进行用于从第四绝缘膜38向第二氧化物半导体层36供给氧的加热处理(氧化退火)(图3所示的步骤S1018的“氧化退火”)。氧化退火参照图2所示的步骤S1008的“氧化退火”的说明即可。

[0134] 如图3所示,除去第二金属氧化物膜41(图3所示的步骤S1019的“第二M0除去”)。

[0135] 如图3所示,在第二绝缘膜24、第三绝缘膜28、32及第四绝缘膜38上形成接触孔(图3所示的步骤S1020“接触开孔”)。由此,第一氧化物半导体层22的第一源极区域22S及第一漏极区域22D露出。

[0136] 如图3及图14所示,在第四绝缘膜38上形成第一源电极44S、第一漏电极44D及第四栅电极44GE(图3所示的步骤S1021“第一SD、第四GE形成”)。第一源电极44S、第一漏电极44D及第四栅电极44GE是对通过溅射法成膜的导电膜进行加工而形成的。第一源电极44S与第一源极区域22S连接,并与第一漏极区域22D连接。另外,在与第二氧化物半导体层36重叠的区域形成第四栅电极44GE。关于能够用于第一源电极44S、第一漏电极44D及第四栅电极44GE的材料,参照第一栅电极12GE的材料的记载即可。

[0137] 如图3及图15所示,将第四栅电极44GE作为掩模,对第二氧化物半导体层36添加杂质元素(图3所示的步骤S1022的“第二I/I”)。离子注入的条件参照图2所示的步骤S1010的记载即可。

[0138] 通过以上的工序,形成第二晶体管220。

[0139] 如图3及图16所示,在第四绝缘膜38、第一源电极44S、第一漏电极44D及第四栅电极44GE上成膜第五绝缘膜46、48(图3所示的步骤S1023的“第五IF成膜”)。第五绝缘膜46、48参照第一绝缘膜14、16的材料的说明即可。在本实施方式中,例如,形成氮化硅作为第五绝缘膜46,形成氧化硅作为第五绝缘膜48。第五绝缘膜46、48作为第二晶体管220的层间绝缘膜发挥功能。

[0140] 如图3所示,在第五绝缘膜46、48上形成接触孔(图3所示的步骤S1024“接触开孔”)。由此,第一源电极44S、第一漏电极44D、第二氧化物半导体层36的第二源极区域36S及第二漏极区域36D露出。

[0141] 最后,如图3及图17所示,在第五绝缘膜48上形成第一电极52E-1、第二电极52E-2、第二源电极52S、第二漏电极52D(图3所示的步骤S1025“第二SD形成”)。第一电极52E-1、第二电极52E-2、第二源电极52S、第二漏电极52D是对通过溅射法成膜的导电膜进行加工而形成的。第一电极52E-1与第一源电极44S连接,第二电极52E-2与第一漏电极44D连接。第二源电极52S与第二源极区域36S连接,第二漏电极52D与第二漏极区域36D连接。关于能够用于

第一电极52E-1、第二电极52E-2、第二源电极52S、第二漏电极52D的材料,参照第一栅电极12GE的材料记载即可。

[0142] 通过以上的工序,能够制造图1所示的半导体装置100。

[0143] 即使在层叠半导体材料不同的2个晶体管的情况下、例如即使使用了结晶性硅的晶体管和使用了氧化物半导体的晶体管双方为相同的顶栅结构,由于在使用了低温硅的晶体管及使用了氧化物半导体的晶体管中使用的绝缘材料和导电材料的构成、膜厚分别不同,因此也难以使制造工艺共用化。

[0144] 相对于此,在本发明的一实施方式涉及的半导体装置100中,由于层叠半导体材料相同的2个第一晶体管210及第二晶体管220,所以容易使2个晶体管的制造工艺共用化。因此,能够通过第一晶体管210的制造工艺相同的制造工艺来制造第二晶体管220。此外,由于能够将设置在第一晶体管210上的层间绝缘膜和第二晶体管220的第三栅极绝缘膜作为第三绝缘膜28、32而共有,因此能够简化制造工艺。因此,能够降低半导体装置100的制造成本。

[0145] 在本发明的一实施方式的半导体装置100中,在作为用于第一晶体管的第一氧化物半导体层和用于第二晶体管的第一氧化物半导体层分别使用氧化物半导体材料的情况下,也可以使用不同的氧化物半导体材料。例如,也可以使用Poly-OS作为第一晶体管的第一氧化物半导体层,使用IGZO作为第二晶体管的第二氧化物半导体层。

[0146] 使用了Poly-OS的晶体管对加热工艺有裕度,因此,作为第二晶体管220工艺,即使使用与第一晶体管210的工艺相同的工艺形成,也能够保持第一晶体管210的特性。与此相对,使用了IGZO的晶体管与使用了Poly-OS的晶体管相比,对加热工艺的裕度窄,因此优选用作第二晶体管220。IGZO的结晶性没有特别限定,可以为非晶质,也可以具有结晶性。第二晶体管的结构不限于顶栅结构,也可以是底栅结构、双栅结构。另外,根据第二晶体管220的结构,可以适当添加杂质元素。

[0147] <变形例1>

[0148] 图17是表示具有部分地与半导体装置100不同的结构的半导体装置100A的截面图。如图17所示,半导体装置100A除了具有第一晶体管210及第二晶体管220之外,还具有第三晶体管230。第三晶体管230以与第一晶体管210同样的方式设置在基板10上。

[0149] 第三晶体管230具有第五栅电极12GE-2、第一绝缘膜14、16、第三氧化物半导体层22-2、第二绝缘膜24及第六栅电极26GE-3。第三氧化物半导体层22-2具有第三沟道区域22CH-2、第三源极区域22S-2及第三漏极区域22D-2。在图17中,关于第三氧化物半导体层22-2,仅图示了第三沟道区域36CH-3及第三源极区域22S-2。需要说明的是,在图20中,为了与第三氧化物半导体层22-2相区别,将第一晶体管210所具有的氧化物半导体层记载为第一氧化物半导体层22-1。

[0150] 第三晶体管230通过与第一晶体管210相同的工序形成。因此,第三氧化物半导体层22-2包含与第六栅电极26GE-3重叠并具有第一晶体结构的第一区域,以及不与第六栅电极26GE-3重叠并具有第二晶体结构的第二区域。在此,第一区域相当于第三沟道区域22CH-2。另外,第二区域相当于第一源极区域22S和第一漏极区域22D。第二区域的电导率比第一区域的电导率大。另外,第二晶体结构与第一晶体结构相同。

[0151] 第二晶体管220设置在第一晶体管210及第三晶体管230之上。第二晶体管220能够

与第一晶体管210的一部分及第三晶体管230的一部分重叠。即,第二氧化物半导体层36的第二源极区域36S与第一氧化物半导体层22-1的第一漏极区域22D-1重叠,第二氧化物半导体层36的第二漏极区域36D与第三氧化物半导体层22-2的第三源极区域22S-2重叠。

[0152] 在本发明的一实施方式涉及的半导体装置100A中,能够使第二晶体管220与第一晶体管210及第三晶体管230相互重叠。由此,例如在将半导体装置100应用于像素电路、驱动电路的情况下,能够缩小电路面积。即,能够将半导体装置100进一步集成化。

[0153] 需要说明的是,在本实施方式中,说明了第二晶体管220的第二源极区域36S与第一晶体管210的第一漏极区域22D相互重叠的例子,但本发明的一实施方式不限于此。虽未图示,但第二源极区域36S也可以与第一晶体管210的第一沟道区域22CH的至少一部分重叠。另外,第三栅电极26GE-2也可以与第一漏极区域22D-1重叠。另外,第一栅电极12GE(或者与第一栅电极12GE连接的栅极布线)也可以与第二源极区域36S重叠。像这样,在半导体装置100A中,在第一晶体管210与第二晶体管220重叠的情况下,能够降低结构上的制约。

[0154] <第二实施方式>

[0155] 在本实施方式中,对构成的一部分与在第一实施方式中说明的半导体装置100不同的半导体装置100B进行说明。

[0156] <半导体装置100B的构成>

[0157] 图18是示出本发明的一实施方式涉及的半导体装置100B的概要的截面图。

[0158] 如图18所示,半导体装置100B具有设置在基板10上的第一晶体管210A和第二晶体管220A。第一晶体管210A的构成与第一晶体管210的构成是同样的,但不同点在于,在第一氧化物半导体层22与第一绝缘膜16之间设置有第一金属氧化物层52。此外,第二晶体管220A的构成与第二晶体管220的构成是同样的,但不同点在于,在第二氧化物半导体层36与第三绝缘膜32之间设置有第二金属氧化物层54。虽未图示,但如图17中说明的那样,在基板10上与第一晶体管210在同一平面上形成第三晶体管230的情况下,设置第三氧化物半导体层之下的第三金属氧化物层。

[0159] 作为第一金属氧化物层52和第二金属氧化物层54,使用以铝为主成分的金属氧化物。第一金属氧化物层52及第二金属氧化物层54可以使用与第一金属氧化物膜25同样的材料。第一金属氧化物层52及第二金属氧化物层54的厚度例如为1nm以上100nm以下、1nm以上50nm以下、1nm以上30nm以下、或1nm以上10nm以下。在本实施方式中,使用氧化铝作为第一金属氧化物层52及第二金属氧化物层54。氧化铝具备针对气体的高阻隔性。在本实施方式中,作为第一金属氧化物层52及第二金属氧化物层54使用的氧化铝阻挡从第一绝缘膜16及第三绝缘膜32放出的氢及氧,并抑制所放出的氢及氧到达第一氧化物半导体层22和第二氧化物半导体层36。

[0160] 若第一氧化物半导体层22及第二氧化物半导体层36被过量地供给氧,则由于过量的氧而形成与氧缺陷不同的缺陷能级。由此,有可能发生由可靠性试验引起的特性变动、场效应迁移率的降低、或特性的偏差等现象。

[0161] 通过第一氧化物半导体层22及第二氧化物半导体层36之下设置第一金属氧化物层52及第二金属氧化物层54,能够抑制向第一氧化物半导体层22及第二氧化物半导体层36的下表面供给过量的氧。由此,能够抑制在第一氧化物半导体层22及第二氧化物半导体层36的下表面形成缺陷能级。因此,能够抑制第一晶体管210A及第二晶体管220A的可靠性

试验引起的特性变动、场效应迁移率的降低、或者特性的偏差。

[0162] <半导体装置100B的制造方法>

[0163] 使用图19~图23,对本发明的一实施方式涉及的半导体装置100B的制造方法进行说明。图19及图20是示出本发明的一实施方式涉及的半导体装置100B的制造方法的顺序图。图21~图23是示出本发明的一实施方式涉及的半导体装置100B的制造方法的截面图。另外,对于与第一实施方式相同的工序,省略详细的说明。

[0164] 如图19所示,步骤S1101~步骤S1102的工序与图2所示的步骤S1001~步骤S1002的工序相同。

[0165] 在本实施方式中,如图19及图21所示,在步骤S1102的工序之后,在第一绝缘膜16上形成以铝为主成分的第一金属氧化物膜51(图19所示的步骤S1103“第一M0成膜”)。

[0166] 第一金属氧化物膜51通过溅射法或原子层沉积法成膜。第一金属氧化物膜51的厚度例如为1nm以上50nm以下、1nm以上30nm以下、1nm以上20nm以下、或1nm以上10nm以下。在本实施方式中,使用氧化铝作为第一金属氧化物膜51。氧化铝具备针对氧或氢等气体的高阻隔性。在本实施方式中,作为第一金属氧化物膜51使用的氧化铝阻挡从第一绝缘膜16放出的氢及氧,并抑制所放出的氢及氧到达在后形成的第一氧化物半导体层22。

[0167] 如图19及图21所示,在第一金属氧化物膜51上将第一氧化物半导体膜17成膜(图19所示的步骤S1104“第一OS成膜”)。本实施方式中的第一氧化物半导体膜17的成膜方法及材料参照第一氧化物半导体膜17的成膜方法及材料的说明(图2所示的步骤S1003)即可。

[0168] 如图19所示,形成第一氧化物半导体层的图案(图19所示的步骤S1105的“第一OS图案形成”)。在第一氧化物半导体膜17上形成抗蚀剂掩模,使用该抗蚀剂掩模对第一氧化物半导体膜17进行蚀刻。关于本实施方式中的第一氧化物半导体膜17的蚀刻方法,参照第一氧化物半导体膜17的蚀刻方法的说明(图2所示的步骤S1004)即可。

[0169] 接着,在第一氧化物半导体层18的图案形成之后,对第一氧化物半导体层18进行加热处理(OS退火)(图9所示的步骤S1106的“第一OS退火”)。关于OS退火的条件,参照对第一氧化物半导体层18的OS退火条件的说明(图2所示的步骤S1005)即可。另外,针对第二氧化物半导体层34的OS退火的条件可以与针对第一氧化物半导体层18的OS退火的条件相同。如图19及图22所示,通过进行OS退火,第一氧化物半导体层18结晶化,形成具有多晶结构的第一氧化物半导体层22。

[0170] 如图19及图23所示,将第一金属氧化物膜51图案化,形成第一金属氧化物层52(图19所示的步骤S1107的“第一M0图案形成”)。通过加热处理而充分结晶化的第一氧化物半导体层22具有耐蚀刻性。因此,在以结晶化的第一氧化物半导体层22作为掩模将第一金属氧化物膜51图案化时,能够抑制第一氧化物半导体层22消失。第一金属氧化物膜51以在上述工序中图案化的第一氧化物半导体层22为掩模进行蚀刻。作为第一金属氧化物膜51的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,例如可使用稀释氢氟酸(DHF)。通过将第一氧化物半导体层22作为掩模对第一金属氧化物膜51进行蚀刻,可以省略光刻工序。

[0171] 之后,图19所示的步骤S1108~步骤S1109所示的工序与图2所示的步骤S1006~步骤S1007所示的工序是同样的,因此省略详细的说明。

[0172] 如图19所示,在第一氧化物半导体层22上成膜有第二绝缘膜24及第一金属氧化物

膜25的状态下,进行用于从第二绝缘膜24向第一氧化物半导体层22供给氧的加热处理(氧化退火)(图19所示的步骤S1110的“氧化退火”)。

[0173] 在本实施方式中,在第一氧化物半导体层22之下设置有第一金属氧化物层52。在该状态下,若进行氧化退火,则从第一绝缘膜16放出的氧被第一金属氧化物层52阻挡,因此难以向第一氧化物半导体层22的下表面供给氧。从第一绝缘膜16放出的氧从未形成有第一金属氧化物层52的区域向设置于第一绝缘膜16上的第二绝缘膜24扩散,经由第二绝缘膜24到达第一氧化物半导体层22。其结果,从第一绝缘膜16放出的氧不易被供给到第一氧化物半导体层22的下表面,而主要被供给到第一氧化物半导体层22的侧面及上表面。进而,通过氧化退火,从第二绝缘膜24放出的氧被供给到第一氧化物半导体层22的上表面及侧面。通过上述氧化退火,有时从第一绝缘膜14、16放出氢,但该氢被第一金属氧化物层52阻挡。

[0174] 如上所述,通过氧化退火的工序,能够抑制氧向氧缺陷量少的第一氧化物半导体层22的下表面的供给,并且能够向氧缺陷量多的第一氧化物半导体层22的上表面及侧面供给氧。

[0175] 之后,图19所示的步骤S1111~步骤S1114所示的工序与图2所示的步骤S1009~步骤S1012所示的工序是同样的。

[0176] 图20所示的步骤S1115~步骤S1123所示的工序与图19所示的步骤S1103~步骤S1111所示的工序是同样的。

[0177] 图20所示的步骤S1124~步骤S1129所示的工序与图3所示的步骤S1020~步骤S1025所示的工序是同样的。

[0178] 通过以上的工序,能够制造图18所示的半导体装置100B。

[0179] 通过上述制造方法制造的半导体装置100B中,与第一实施方式中说明的半导体装置100的制造方法相比,能够进一步降低第一氧化物半导体层22及第二氧化物半导体层36中所含的氧缺陷。因此,在本实施方式中说明的半导体装置100B中,在第一晶体管210A及第二晶体管220A的沟道区域CH的沟道长度L为 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、并且沟道区域CH的沟道宽度为 $2\mu\text{m}$ 以上 $25\mu\text{m}$ 以下的范围内,能够得到迁移率为 $50\text{cm}^2/\text{Vs}$ 以上、 $55\text{cm}^2/\text{Vs}$ 以上、或 $60\text{cm}^2/\text{Vs}$ 以上的电特性。

[0180] 另外,能够抑制向第一氧化物半导体层22及第二氧化物半导体层36的下表面供给过量的氧。特别是,通过充分降低沟道区域CH中所含的氧缺陷,能够抑制氢被氧缺陷捕获。由此,能够减少第一晶体管210A及第二晶体管220A的可靠性试验中的特性变动,因此半导体装置的可靠性提高。

[0181] 另外,第二晶体管220A能够在不对形成第一晶体管210A的工序进行大的变更的情况下形成。因此,能够降低半导体装置100B的制造方法的制造成本。

[0182] <变形例2>

[0183] 在半导体装置100B的制造方法中,也可以省略图19所示的步骤S1109及S1110所示的工序和图20所示的步骤S1121及S1123所示的工序。此时,在第二绝缘膜24上未形成第一金属氧化物膜25的状态下进行氧化退火。即使在该状态下,也从设置于第一氧化物半导体层22上的第二绝缘膜24供给氧。此外,由于第一金属氧化物层52设置于第一氧化物半导体层22之下,因此能够抑制过量的氧被供给到第一氧化物半导体层22的下表面。因此,在第一晶体管210的沟道区域CH的沟道长度L为 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、并且沟道区域CH的沟道宽度为 $2\mu\text{m}$

m以上25 μ m以下的范围内,能够得到迁移率为30cm²/Vs以上、35cm²/Vs以上、或40cm²/Vs以上的电特性。需要说明的是,关于第二晶体管220,也可得到与第一晶体管210同样的特性。

[0184] <变形例3>

[0185] 在本发明的一实施方式涉及的半导体装置中,也可以在基板10上组合第一晶体管210(参见图1)和第二晶体管220A(参见图18)而构成。在该情况下,在表示图2所示的半导体装置的制造方法的顺序中,在进行步骤S1001~S1012所示的工序之后,进行图20所示的步骤S1115~S1129所示的工序即可。

[0186] 另外,在本发明的一实施方式涉及的半导体装置中,也可以在基板10上组合第一晶体管210A(参见图18)和第二晶体管220(参见图1)而构成。此时,在表示图19所示的半导体装置的制造方法的顺序中,在进行步骤S1101~S1114所示的工序之后,进行图3所示的步骤S1013~步骤S1025所示的工序即可。

[0187] 如此,在本发明的一实施方式涉及的半导体装置的制造方法中,能够不伴随工序的大的变更地层叠迁移率不同的2种晶体管。因此,能够降低半导体装置100B的制造方法的制造成本。

[0188] 需要说明的是,虽然在第一实施方式及第二实施方式中,作为第一晶体管210及第二晶体管220采用顶栅结构进行了说明,但是本发明的一实施方式并不限于此。作为第一晶体管210及第二晶体管220,也可以使用交错(stagger)型的晶体管的结构。

[0189] <第三实施方式>

[0190] 使用图24~图27来对使用了本发明的一实施方式涉及的半导体装置100的显示装置20进行说明。首先,针对将半导体装置100应用于液晶显示装置的电路的构成进行说明。

[0191] <显示装置20的概要>

[0192] 图24是表示本发明的一实施方式涉及的显示装置20的概要的俯视图。如图24所示,显示装置20具有阵列基板300、密封部310、对置基板320、柔性印刷电路板基板330(FPC330)以及IC芯片340。阵列基板300和对置基板320通过密封部310而贴合。在被密封部310包围的液晶区域23中,多个像素电路301配置成矩阵状。液晶区域23是与后述的液晶元件311在俯视下重叠的区域。

[0193] 设置有密封部310的密封区域21是液晶区域23的周围的区域。FPC330设置在端子区域27。端子区域27是阵列基板300从对置基板320露出的区域,设置在密封区域21的外侧。密封区域21的外侧是指设置有密封部310的区域及由密封部310包围的区域的外侧。IC芯片340设置在FPC330上。IC芯片340供给用于驱动各像素电路301的信号。

[0194] <显示装置20的电路结构>

[0195] 图25是表示本发明的一实施方式涉及的显示装置20的电路结构的框图。如图25所示,在相对于配置有像素电路301的液晶区域23而言在第二方向D2(列方向)上相邻的位置设置有源极驱动电路302,在相对于液晶区域23而言在第一方向D1(行方向)上相邻的位置设置有栅极驱动电路303。源极驱动电路302及栅极驱动电路303设置于上述密封区域21。其中,设置源极驱动电路302及栅极驱动电路303的区域并不限于密封区域21,只要是设置有像素电路301的区域的外侧,任何区域都可以。

[0196] 源极布线304从源极驱动电路302向第二方向D2延伸,与在第二方向D2上排列的多个像素电路301连接。栅电极160从栅极驱动电路303向第一方向D1延伸,并与在第一方向D1

上排列的多个像素电路301连接。

[0197] 在端子区域27设置有端子部306。端子部306和源极驱动电路302通过连接布线307连接。同样,端子部306和栅极驱动电路303由连接布线307连接。通过FPC330与端子部306的连接,从而连接有FPC330的外部设备与显示装置20连接,通过来自外部设备的信号驱动设置于显示装置20的各像素电路301。

[0198] 半导体装置100可应用于像素电路301、源极驱动电路302和栅极驱动电路303。就半导体装置100而言,通过应用于源极驱动电路302及栅极驱动电路303,从而能够使第一晶体管210和第二晶体管220重叠。因此,即使是集成度高的源极驱动电路302及栅极驱动电路303,也能够降低专有面积。由此,能够实现显示装置20的窄边框化。需要说明的是,对将半导体装置100应用于源极驱动电路302及栅极驱动电路303的情况进行了说明,但也可以将半导体装置100A、100B应用于源极驱动电路302及栅极驱动电路303。

[0199] <液晶显示装置的像素电路301>

[0200] 接着,对将半导体装置100应用于液晶显示装置的像素电路的情况进行说明。图26是示出根据本发明实施例的显示装置20的像素电路的电路图。如图26所示,像素电路301包括第一晶体管210、保持电容350以及液晶元件311等元件。第一晶体管210具有栅电极160、源电极201以及漏电极203。栅电极160与栅极布线305连接。源电极201与源极布线304连接。漏电极203与保持电容350的一端及液晶元件311的一端(像素电极)连接。在本实施方式中,为了便于说明,将附图标记“201”所示的电极称为源电极,将附图标记“203”所示的电极称为漏电极,但也可以是附图标记“201”所示的电极作为漏电极发挥功能、附图标记“203”所示的电极作为源电极发挥功能。

[0201] 在第一晶体管210中,第二栅电极26GE-1与栅电极160对应,第一源电极44S与源电极201对应,第一漏电极44D与漏电极203对应。第一栅电极12GE可以作为第一晶体管210的背栅发挥功能,也可以使第一栅电极12GE为浮置状态。

[0202] 在像素电路301中,在使用第二晶体管220的情况下,第四栅电极44GE对应于栅电极160,第二源电极52S对应于源电极201、第二漏电极52D对应于漏电极203。第三栅电极26GE-2可以作为第二晶体管220的背栅发挥功能,也可以使第三栅电极26GE-2为浮置状态。

[0203] 如在前面的实施方式中说明的那样,第一晶体管210和第二晶体管220能够重叠。因而,通过将第一晶体管210和第二晶体管220应用于相邻的像素,能够使第一晶体管210和第二晶体管220相互重叠。由此,在像素中,第一晶体管210和第二晶体管220所占的面积变小,从而能够提高像素的开口率。需要说明的是,在图26中,说明了将半导体装置100应用于像素电路的情况,但也可以将半导体装置100A、100B应用于像素电路。

[0204] <EL显示装置的像素电路301>

[0205] 接着,对将第一实施方式中说明的半导体装置100应用于有机EL显示装置的电路的情况进行说明。显示装置20的概要及电路结构与图24及图25所示的情况相同,因此省略说明。

[0206] 图27是表示本发明的一实施方式涉及的显示装置20的像素电路的电路图。如图27所示,像素电路301包括诸如选择晶体管11、驱动晶体管13、保持电容350和发光元件D0等元件。在此,对将第一晶体管210应用于选择晶体管11、将第二晶体管220应用于驱动晶体管13的情况进行说明。

[0207] 选择晶体管11的源电极与信号线211连接,选择晶体管11的栅电极与栅极线212连接。驱动晶体管13的源电极与阳极电源线213连接,驱动晶体管13的漏电极与发光元件D0的一端(像素电极)连接。发光元件D0的另一端与阴极电源线214连接。驱动晶体管13的栅电极与选择晶体管11的漏电极连接。保持电容350连接到驱动晶体管13的栅电极及漏电极。对信号线211供给决定发光元件D0的发光强度的灰度信号。对栅极线212供给选择写入上述灰度信号的像素行的信号。

[0208] 第一晶体管210的第二栅电极26GE-1与选择晶体管11的栅电极对应,第一源电极44S与选择晶体管11的源电极对应,第一漏电极44D与选择晶体管11的漏电极对应。第一栅电极12GE可以作为第一晶体管210的背栅发挥功能,也可以使第一栅电极12GE为浮置状态。

[0209] 第二晶体管220的第四栅电极44GE与驱动晶体管13的栅电极160对应,第二源电极52S与驱动晶体管13的源电极201对应,第二漏电极52D与驱动晶体管13的漏电极203对应。第三栅电极26GE-2可以作为第二晶体管220的背栅发挥功能,也可以使第三栅电极26GE-2为浮置状态。

[0210] 在图27中,对在选择晶体管11中应用下层的第一晶体管210、在驱动晶体管13中应用上层的第二晶体管220的情况进行了说明,但本发明的一实施方式并不限定所应用的晶体管。例如,也可以对选择晶体管11应用上层的第二晶体管220,对驱动晶体管13应用下层的第一晶体管210。另外,在EL显示装置中,构成像素电路的晶体管的数量没有限定。构成像素电路的晶体管的数量也可以是3个以上。因此,构成像素电路的多个晶体管,一部分晶体管设置在下层,剩余的晶体管设置在上层。由此,能够在较小的面积上构成多个晶体管,因此能够实现高精细化。

[0211] 在第三实施方式中,例示了将第一实施方式中说明的半导体装置应用于液晶显示装置和有机EL显示装置的构成,但也可以将该半导体装置应用于这些显示装置以外的其他显示装置(例如,有机EL显示装置以外的其他自发光型显示装置或电子纸型显示装置)。另外,从中小型的显示装置到大型的显示装置,没有特别限定,都可以适用上述半导体装置100。需要说明的是,在图27中,说明了将半导体装置100应用于像素电路的情况,但也可以将半导体装置100A、100B应用于像素电路。

[0212] 作为本发明的实施方式而在上文说明的各实施方式及变形例只要不互相矛盾就可以适当组合而实施。另外,本领域技术人员以各实施方式及变形例的半导体装置及显示装置为基础适当进行构成要素的追加、删除或设计变更而得的方案、或者进行工序的追加、省略或条件变更而得的方案,只要具备本发明的主旨则也涵盖在本发明的范围内。

[0213] 关于与由上述各实施方式带来的作用效果不同的其他作用效果,根据本说明书的记载明确可知的作用效果或者本领域技术人员能够容易预测得到的作用效果,当然应该认为是本发明带来的作用效果。

100

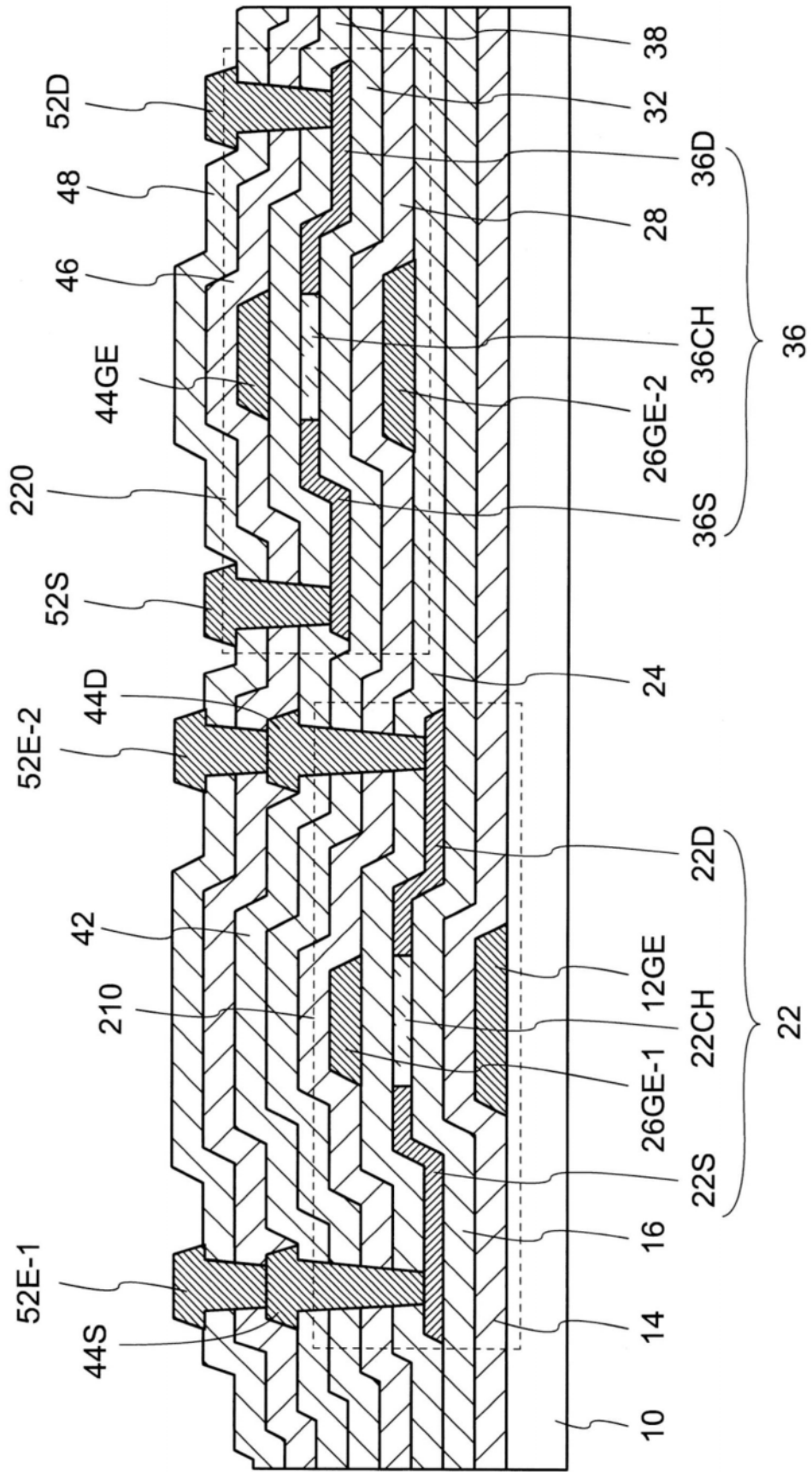


图1

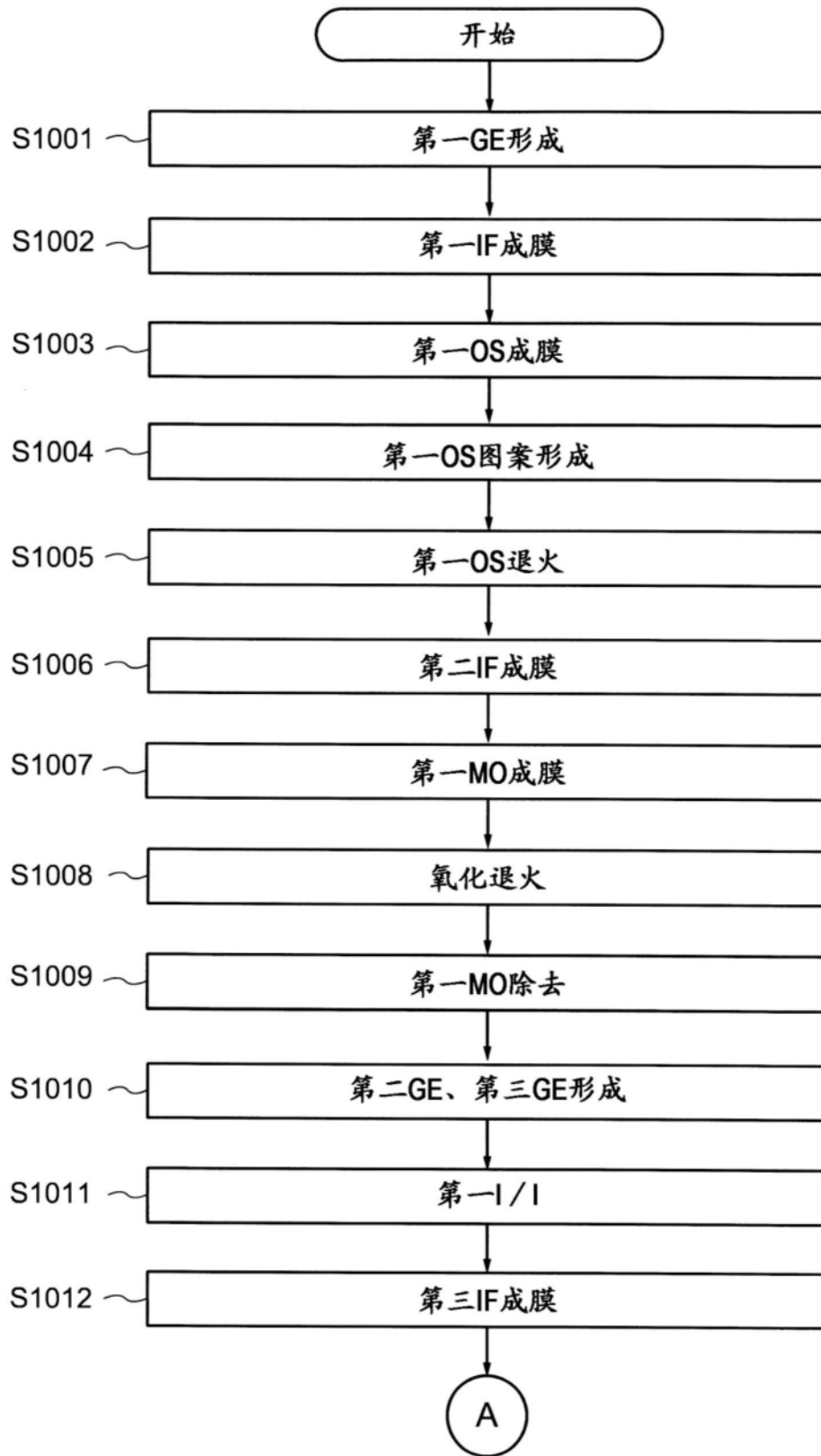


图2



图3

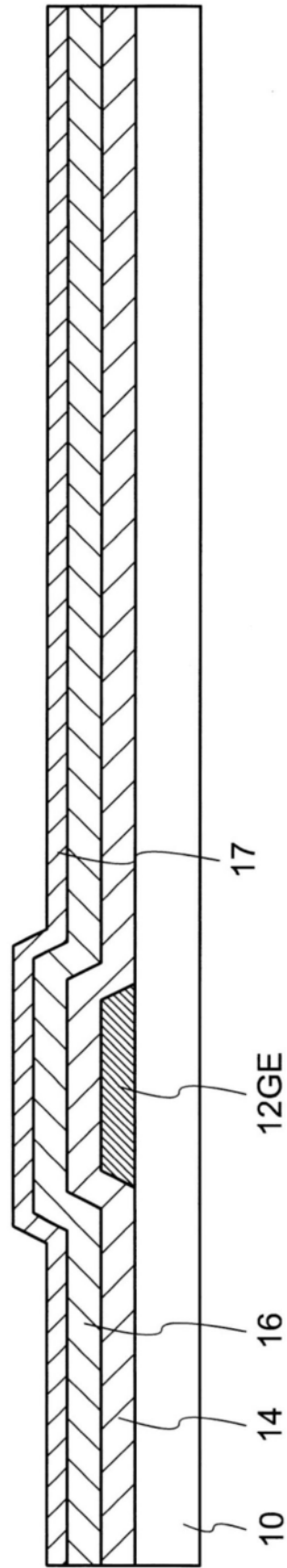


图4

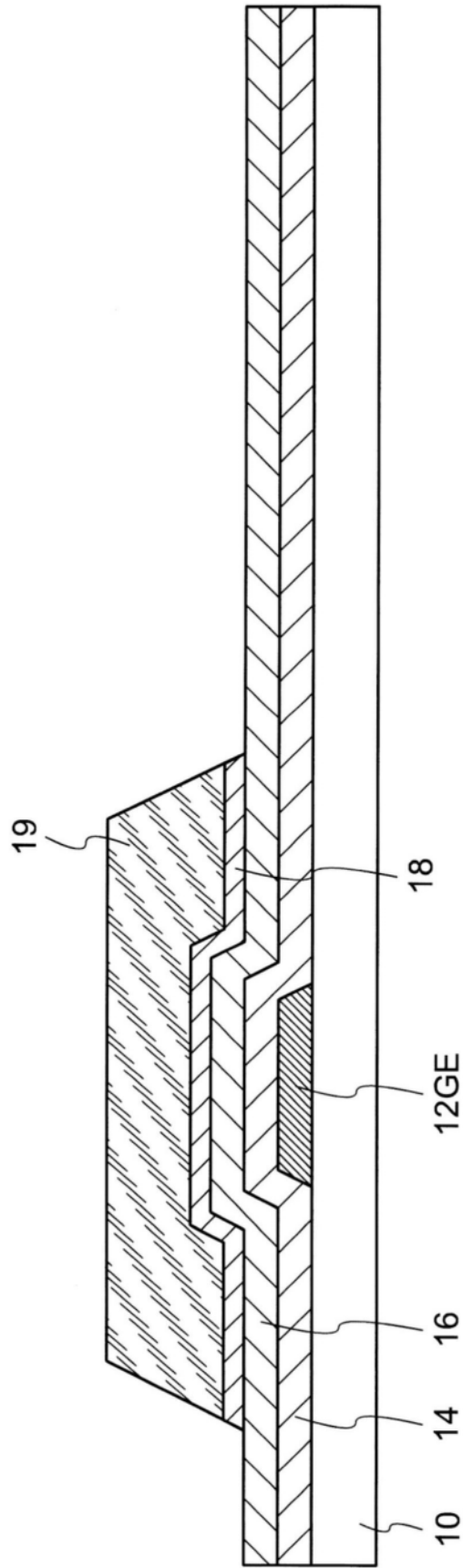


图5

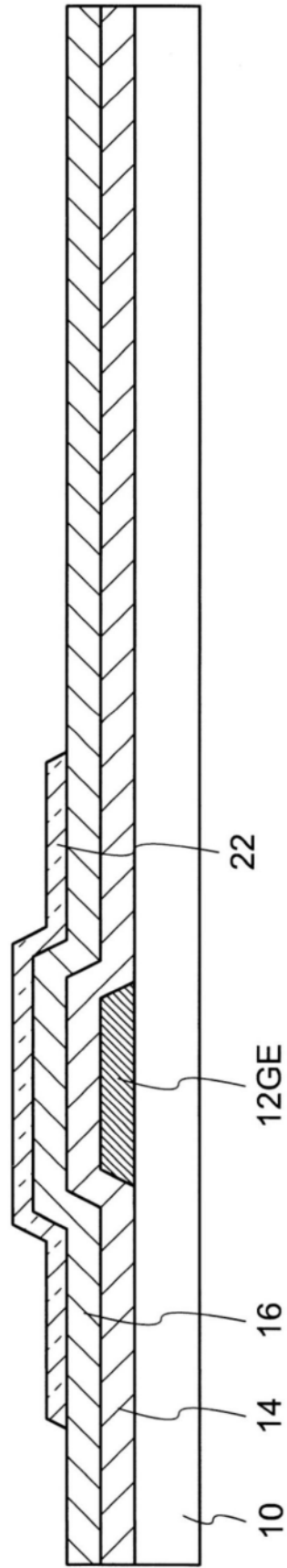


图6

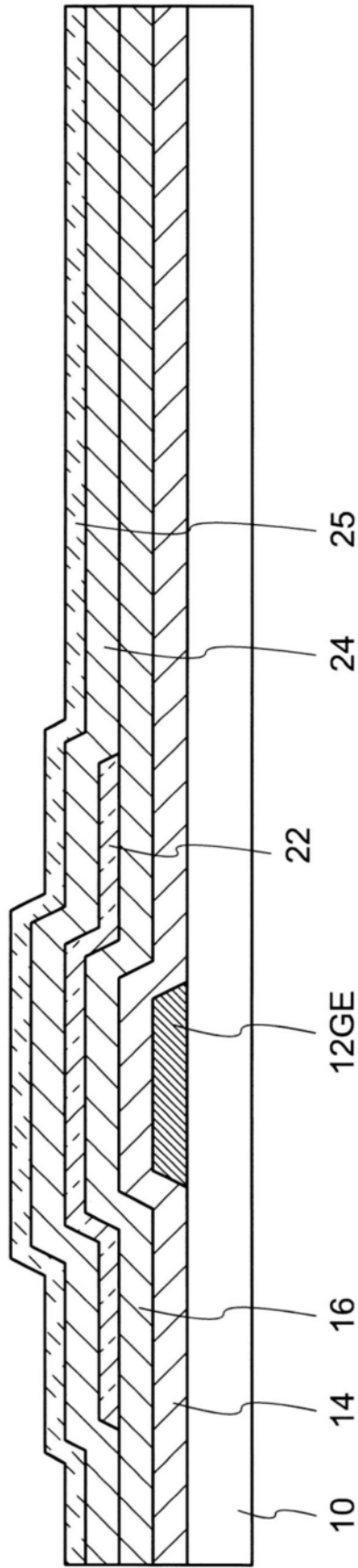


图7

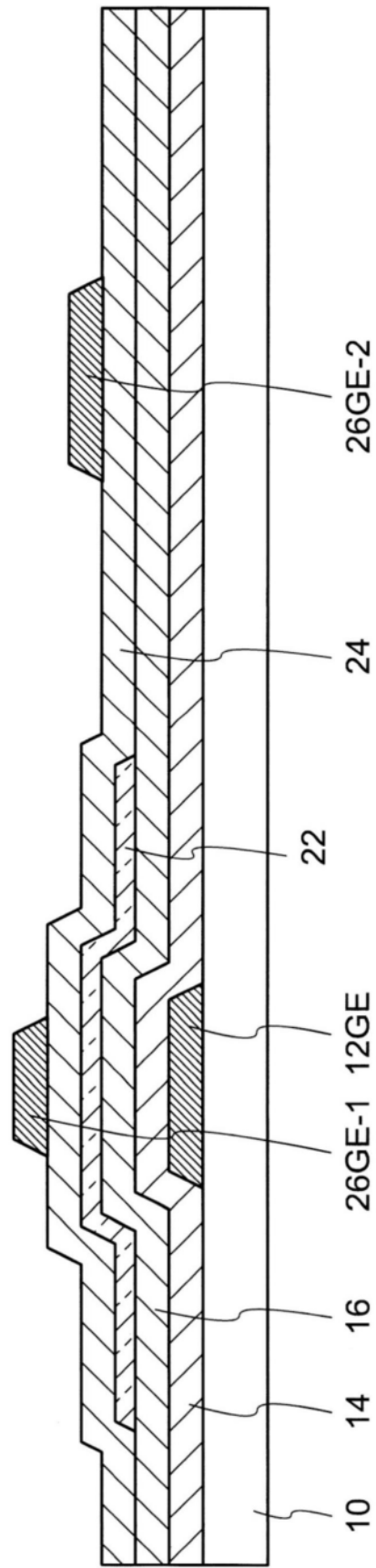


图8

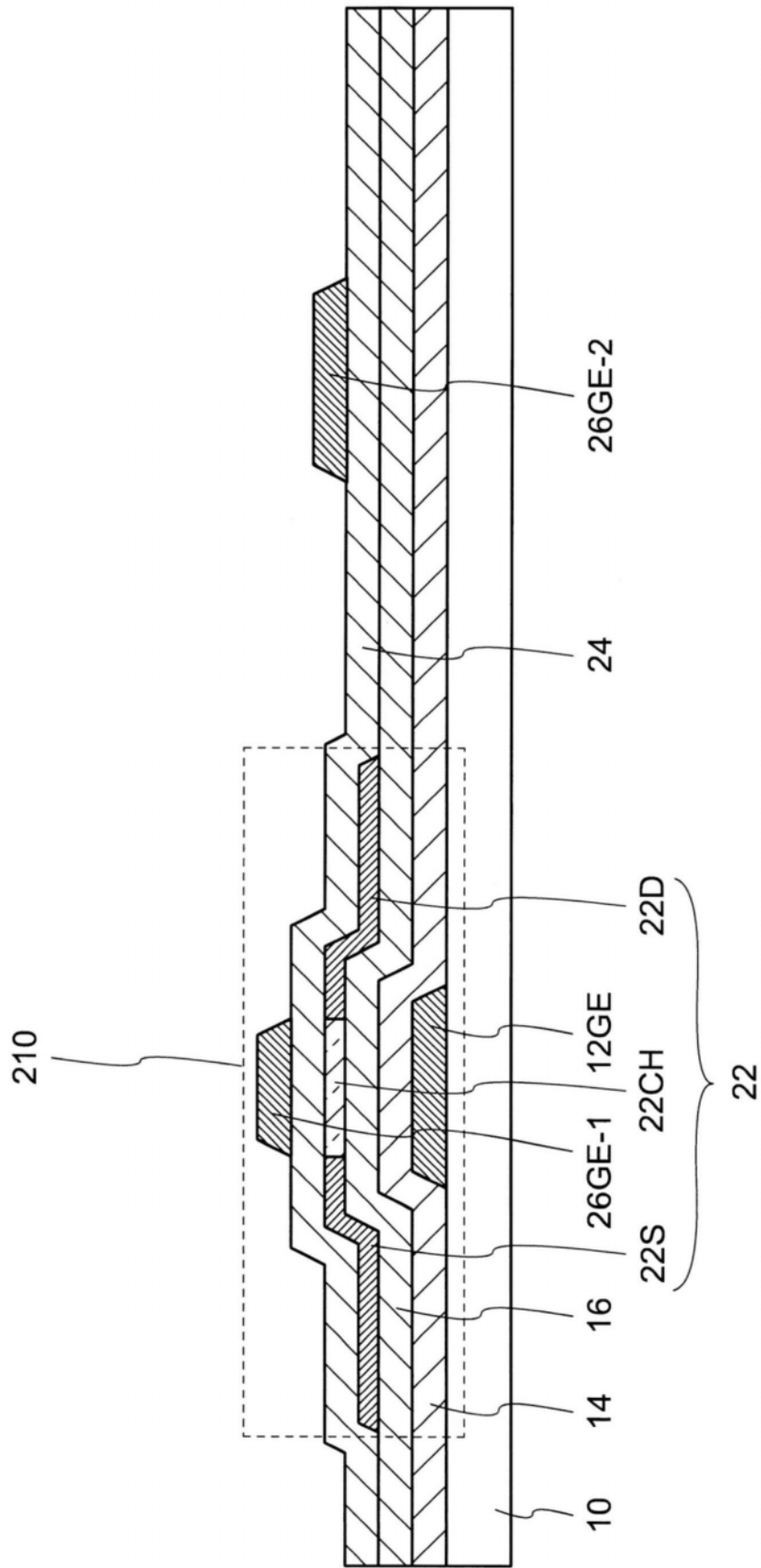


图9

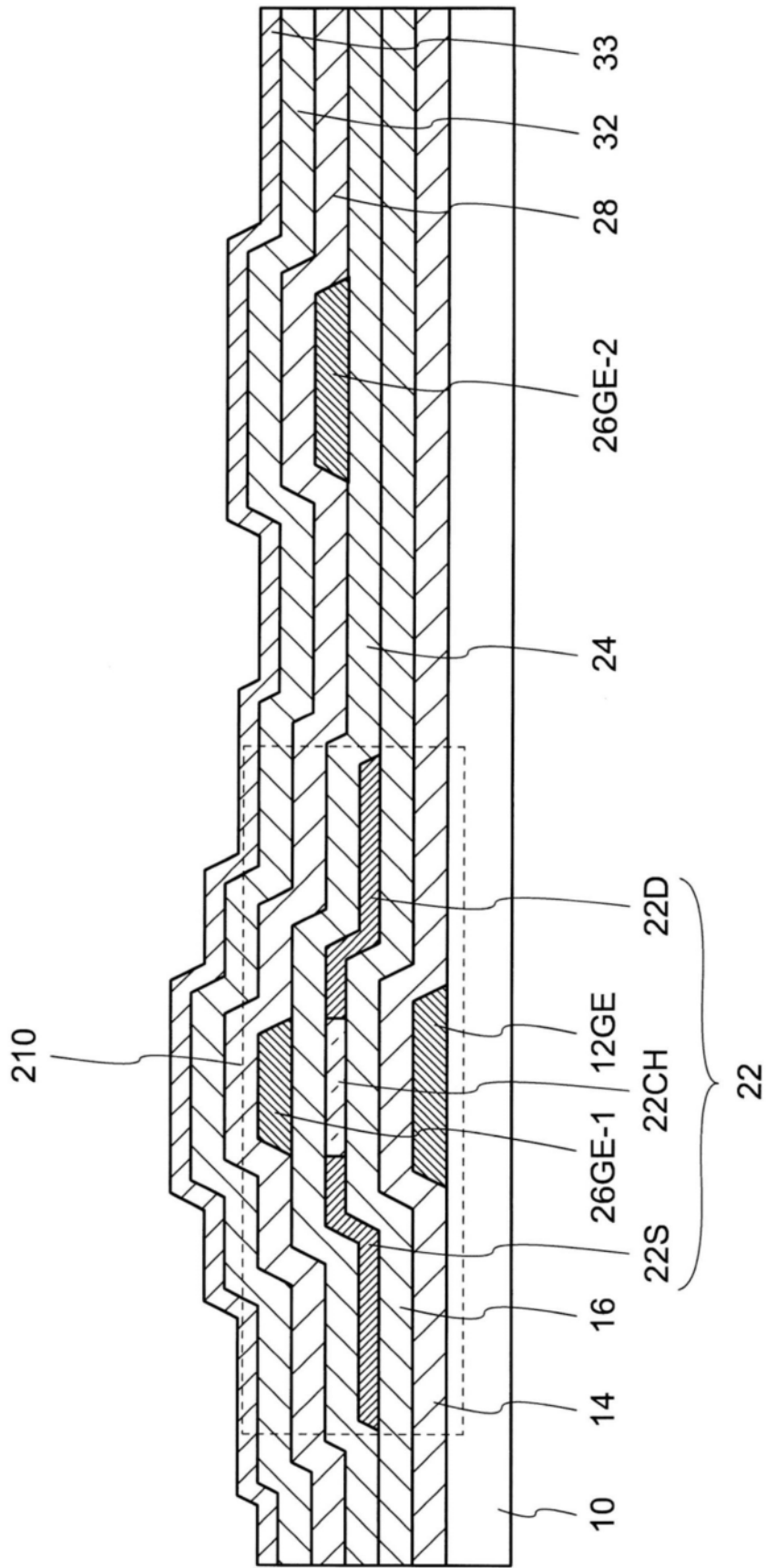


图10

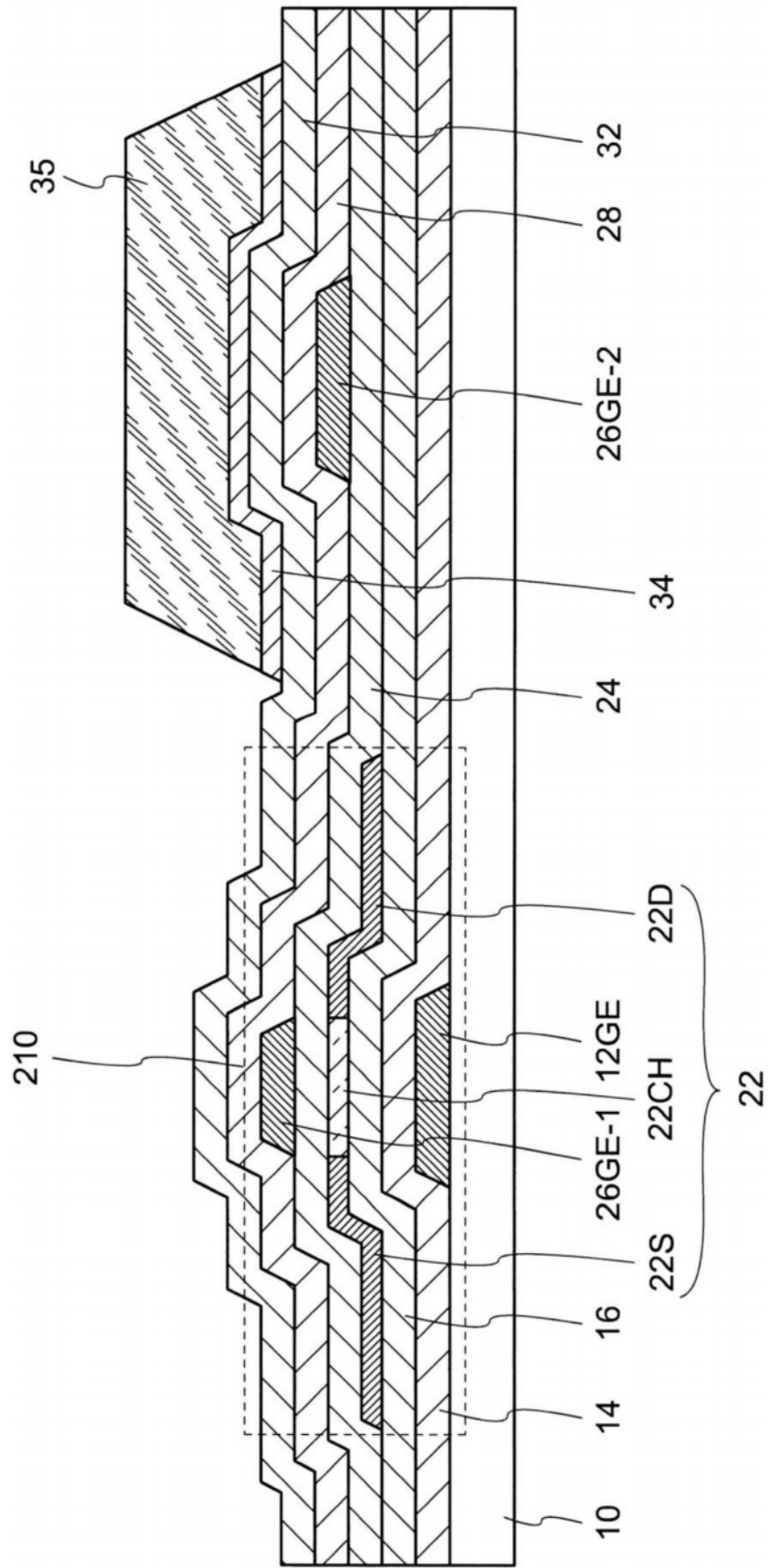


图11

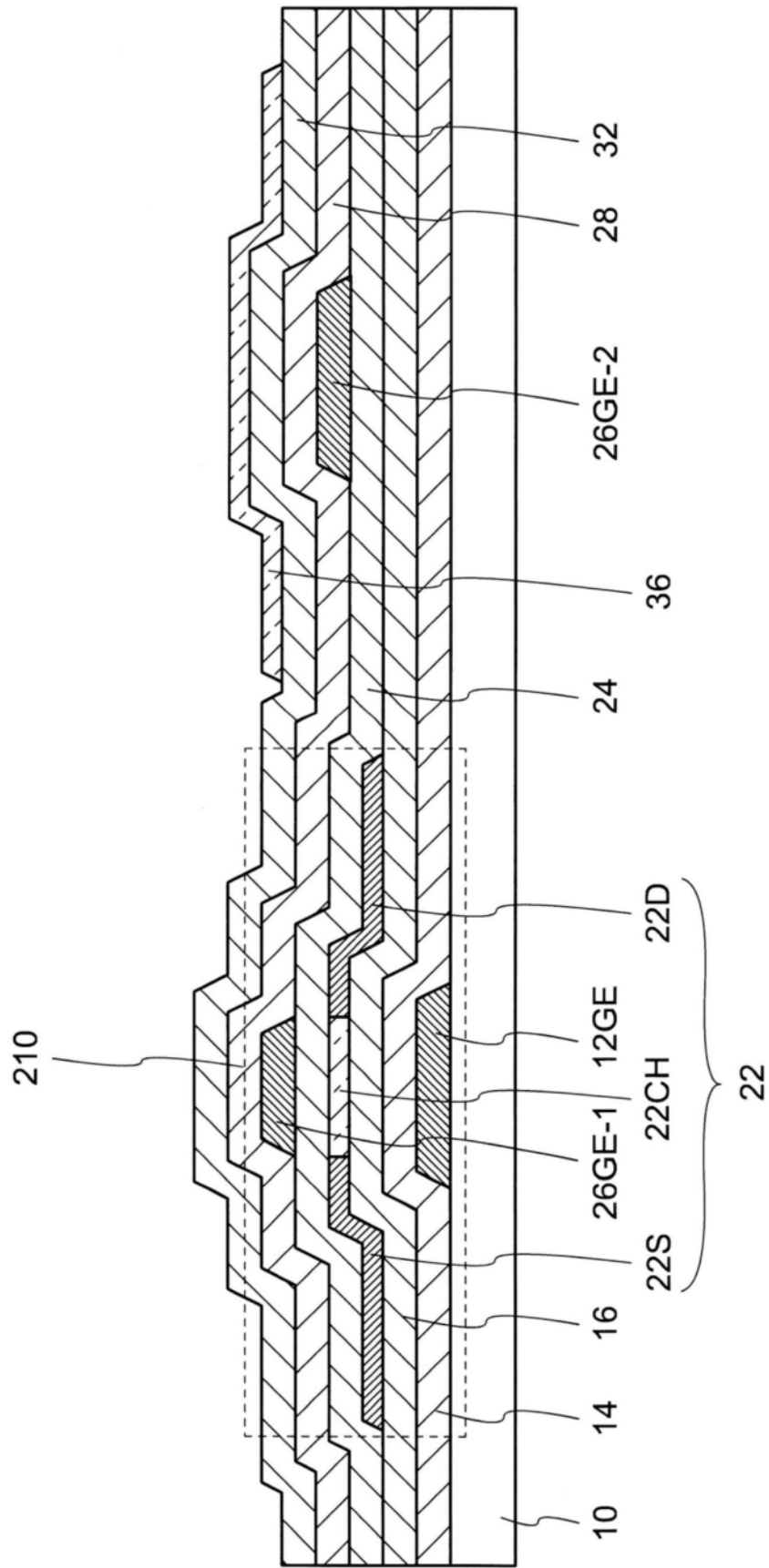


图12

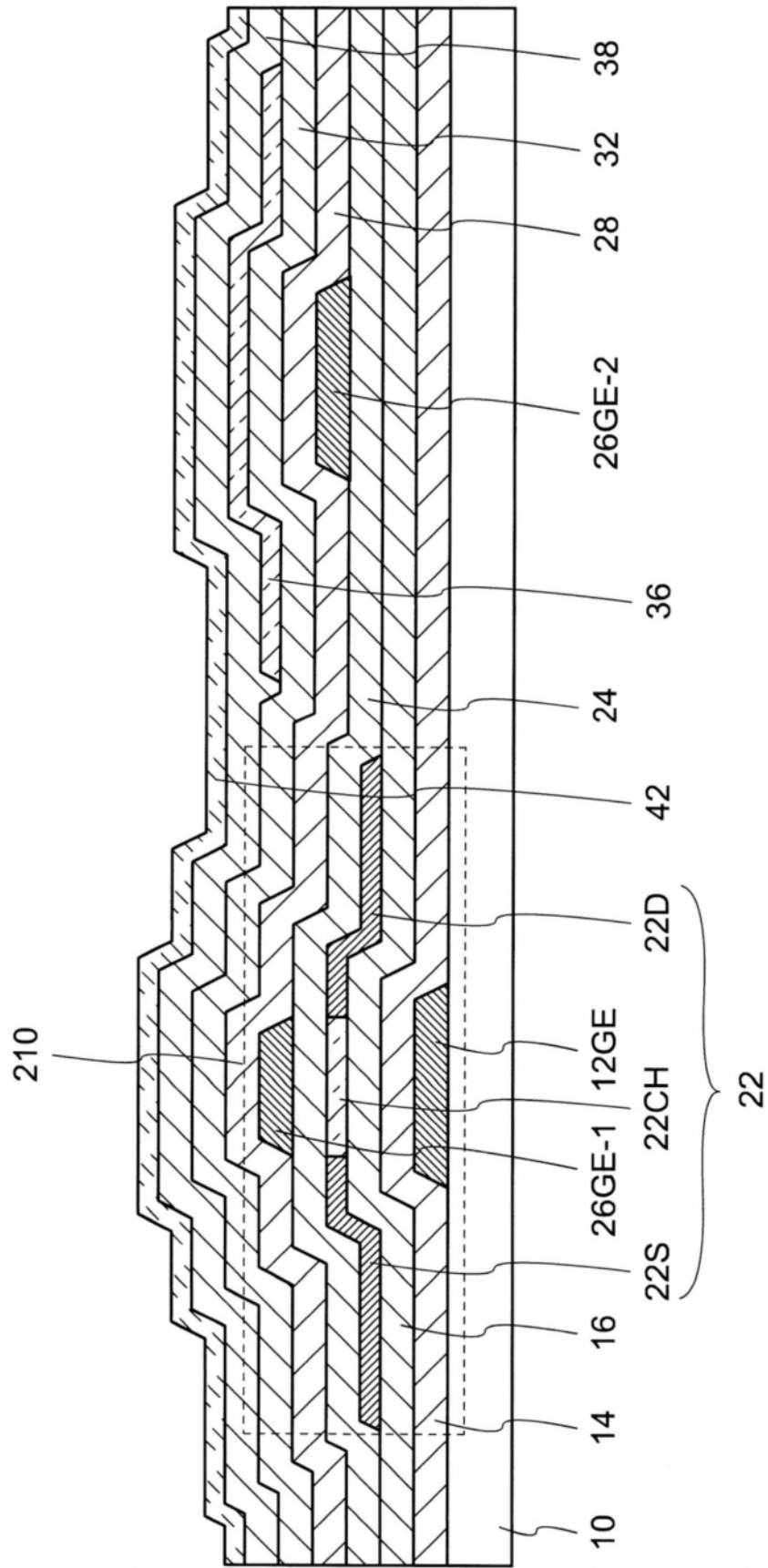


图13

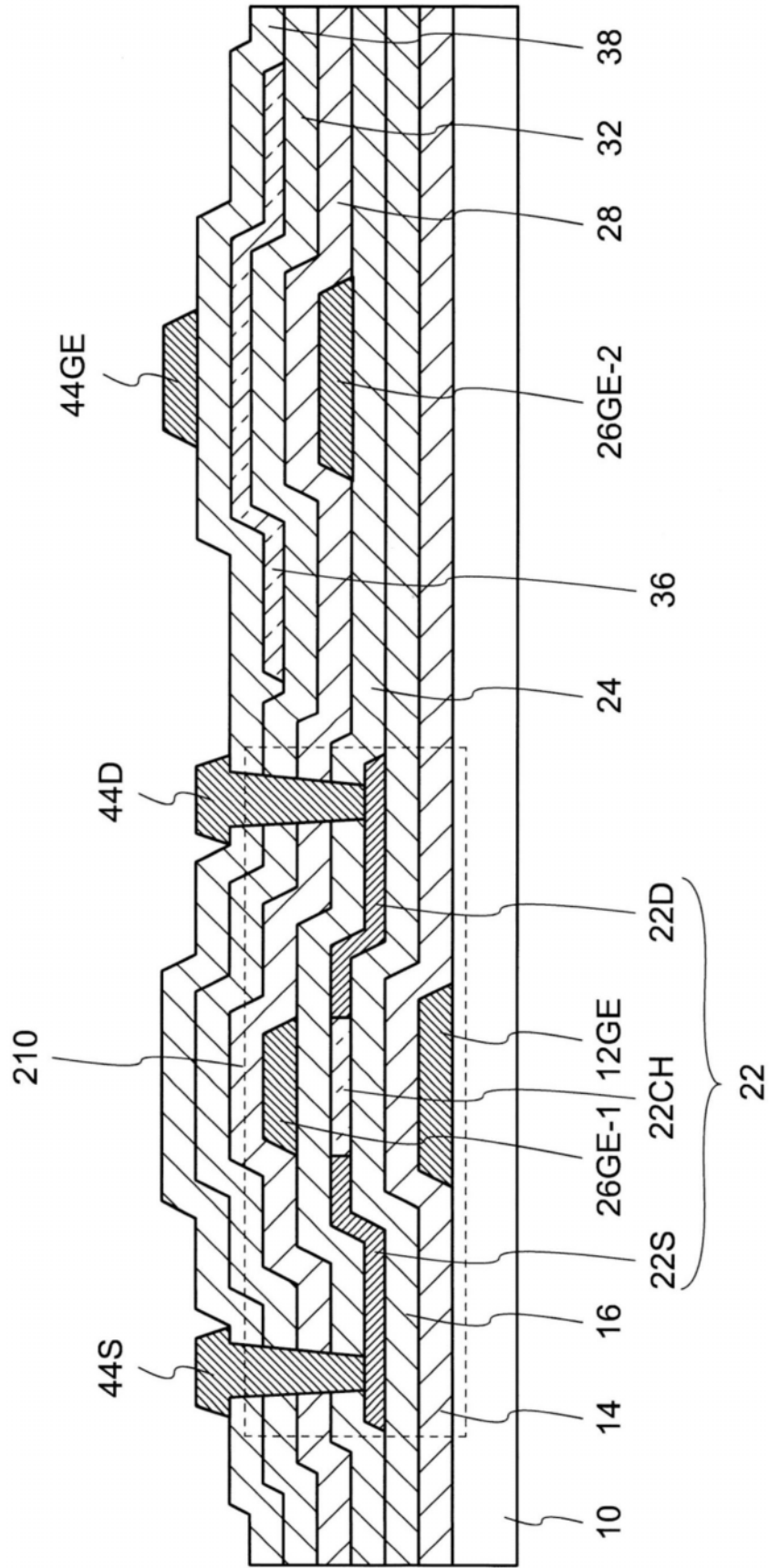


图14

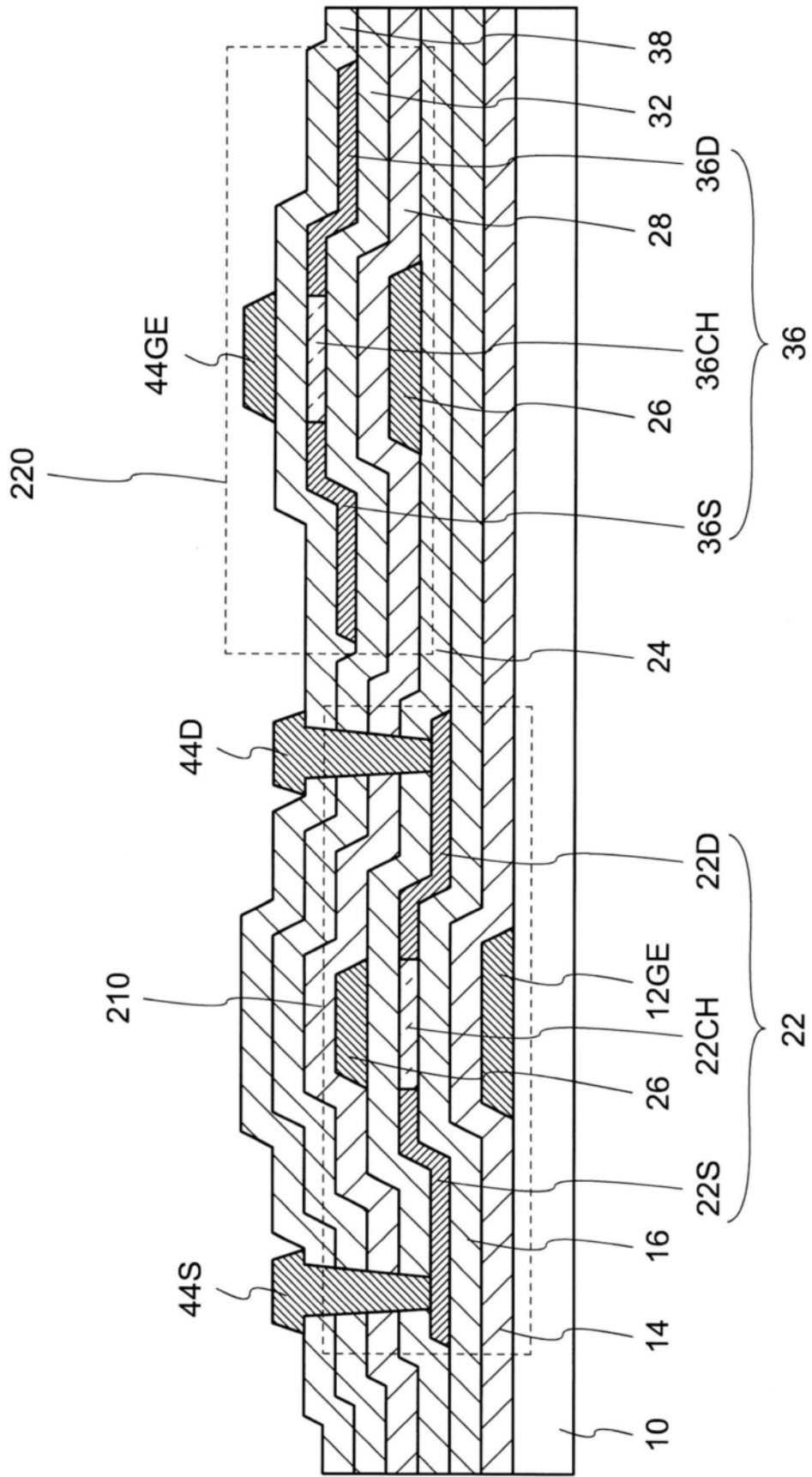


图15

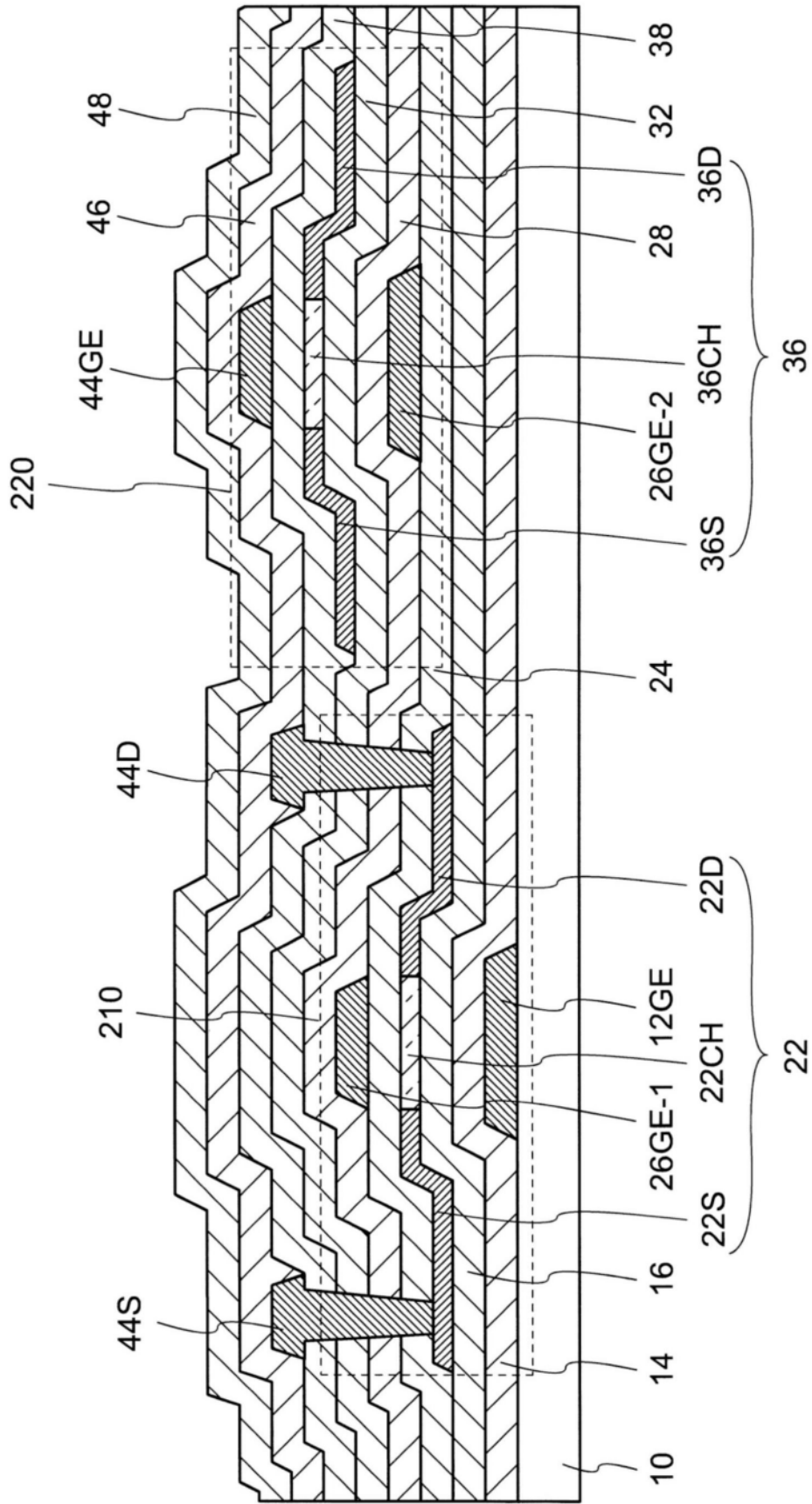


图16

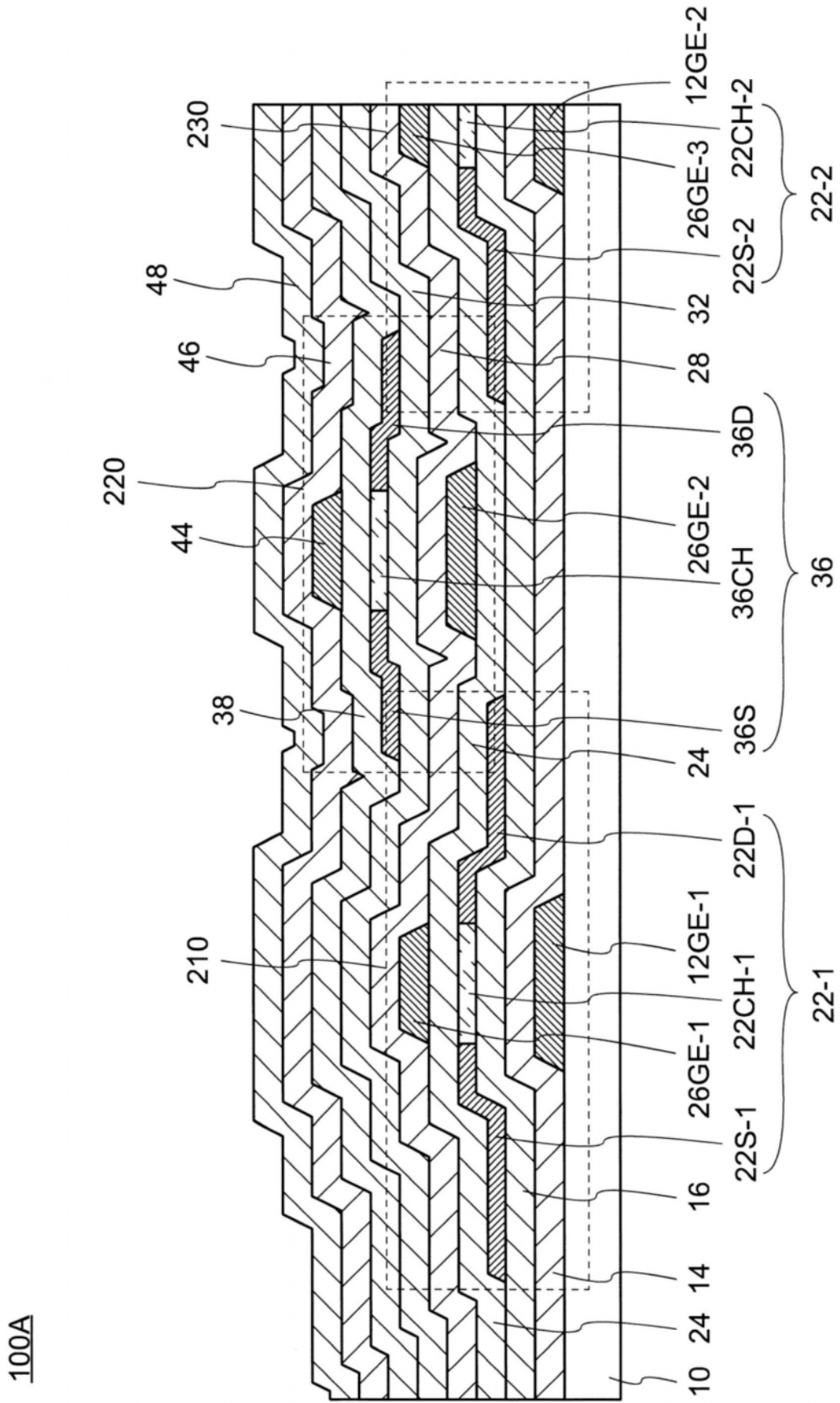


图17

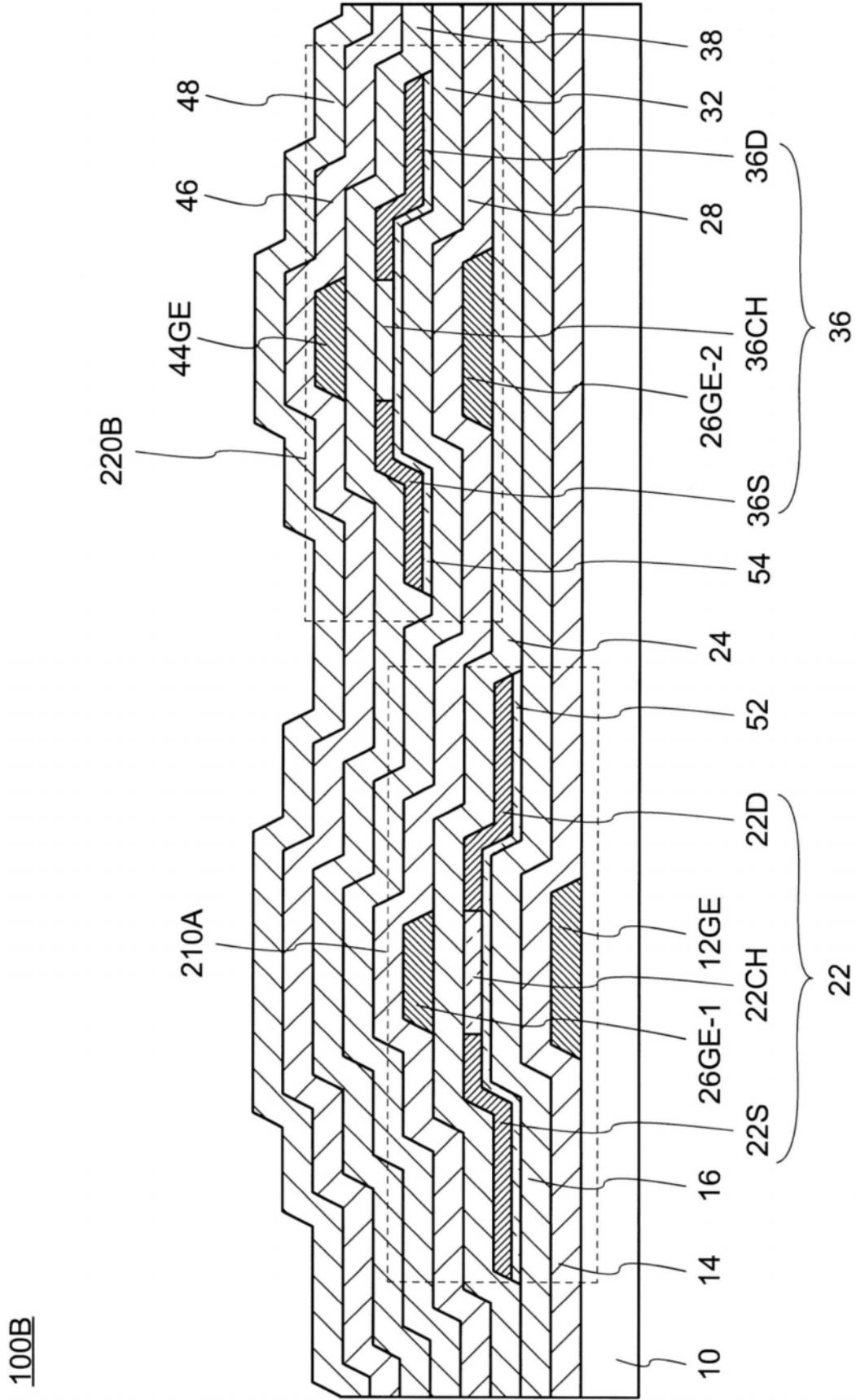


图18

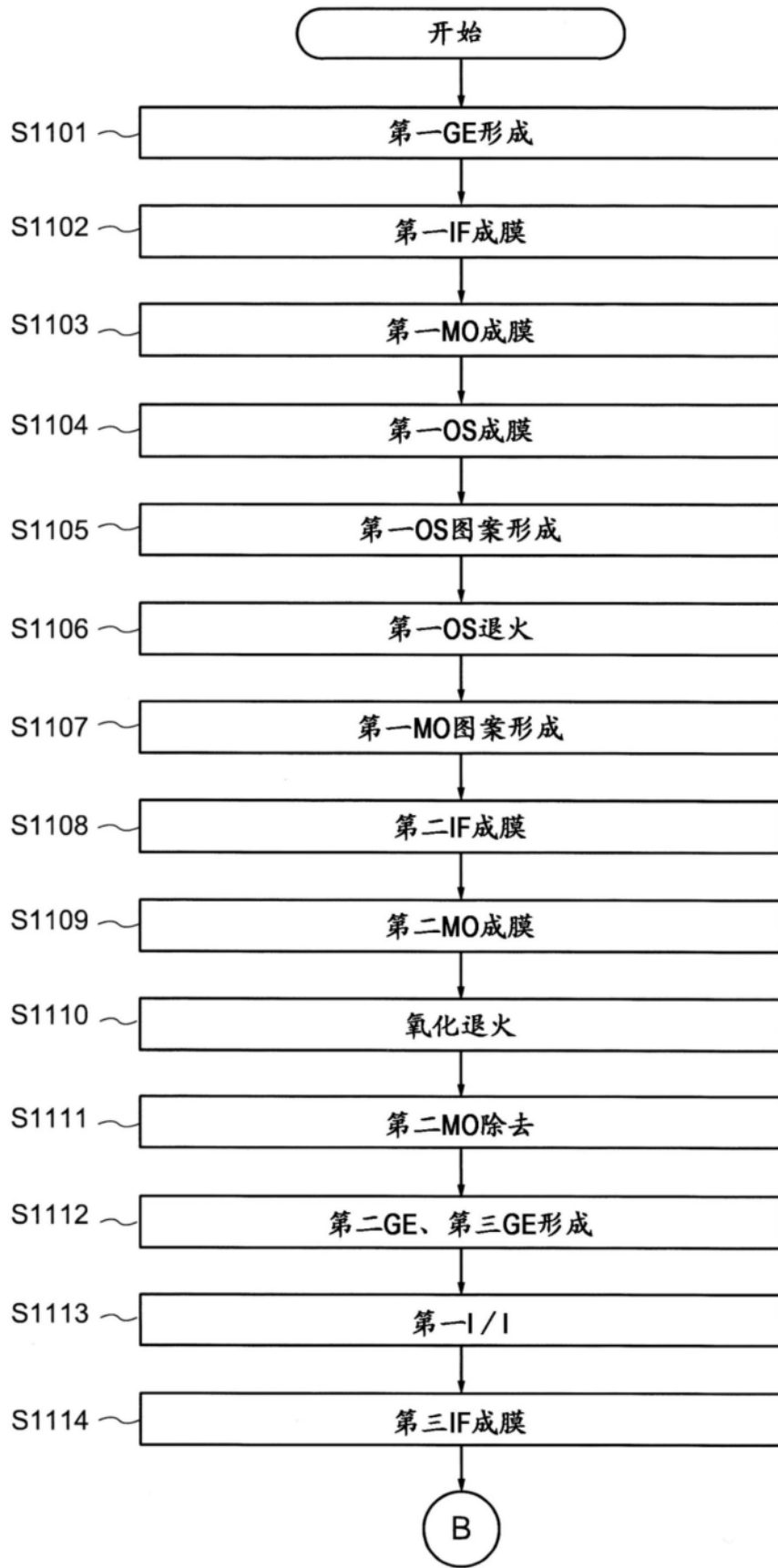


图19



图20

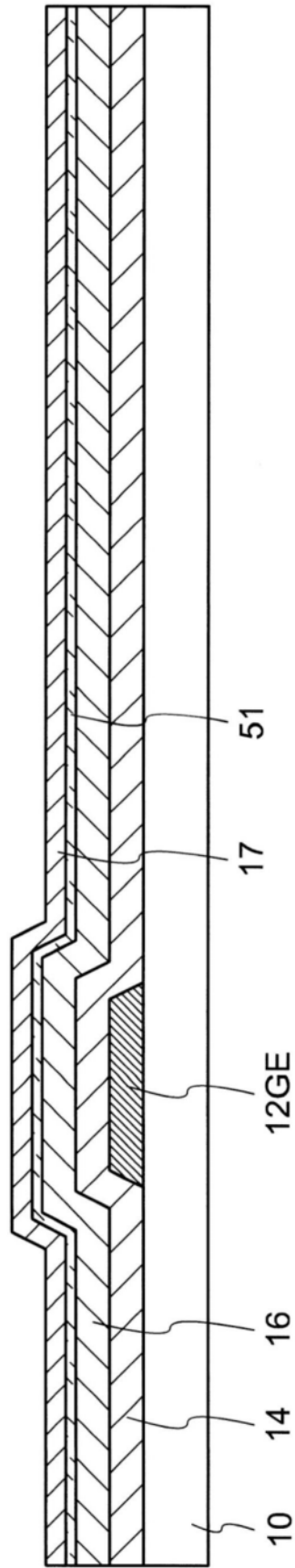


图21

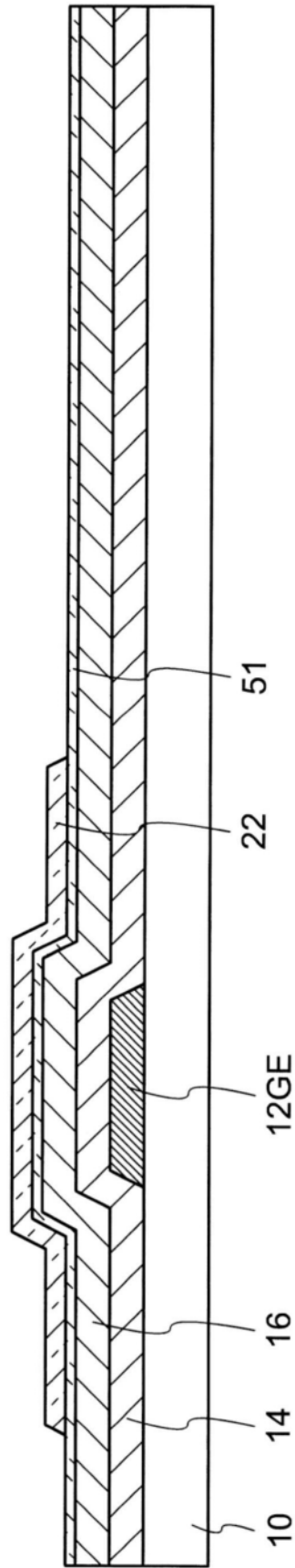


图22

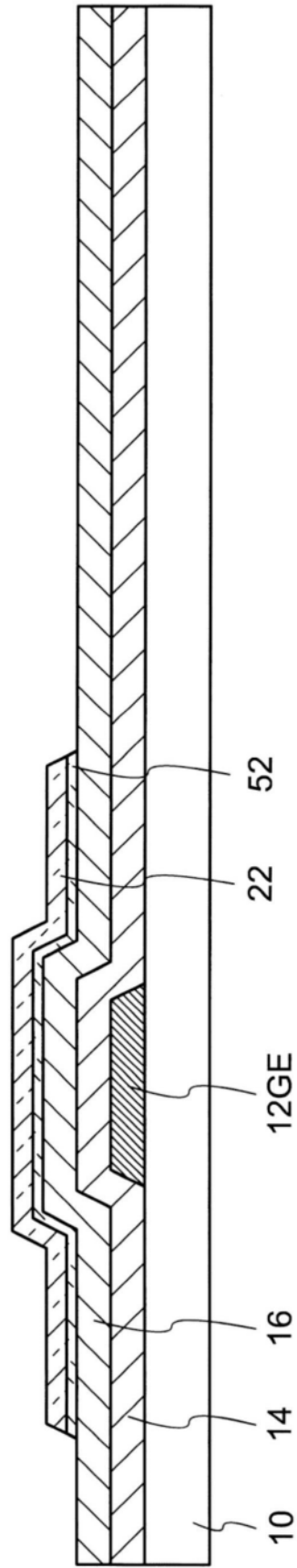


图23

20

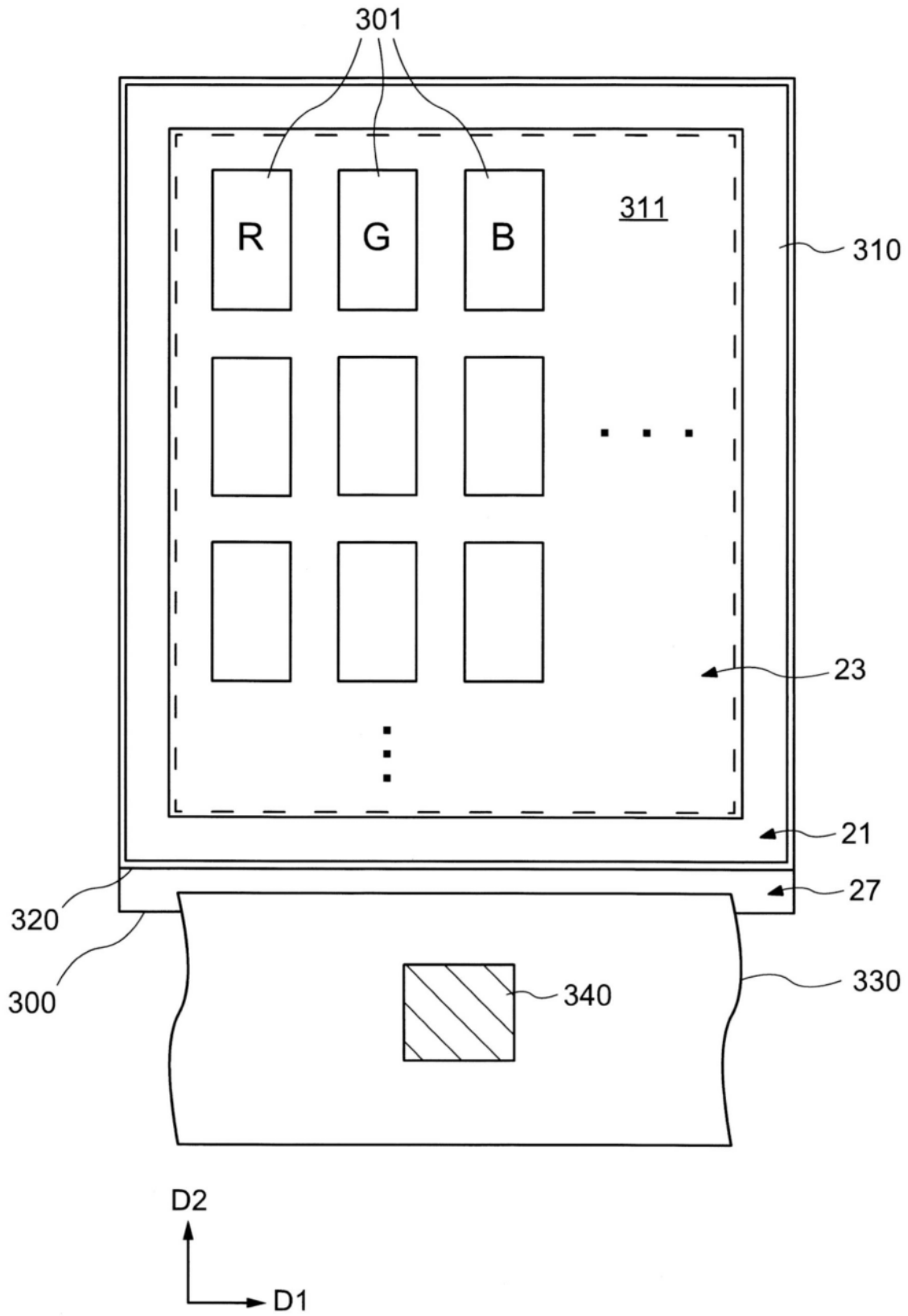


图24

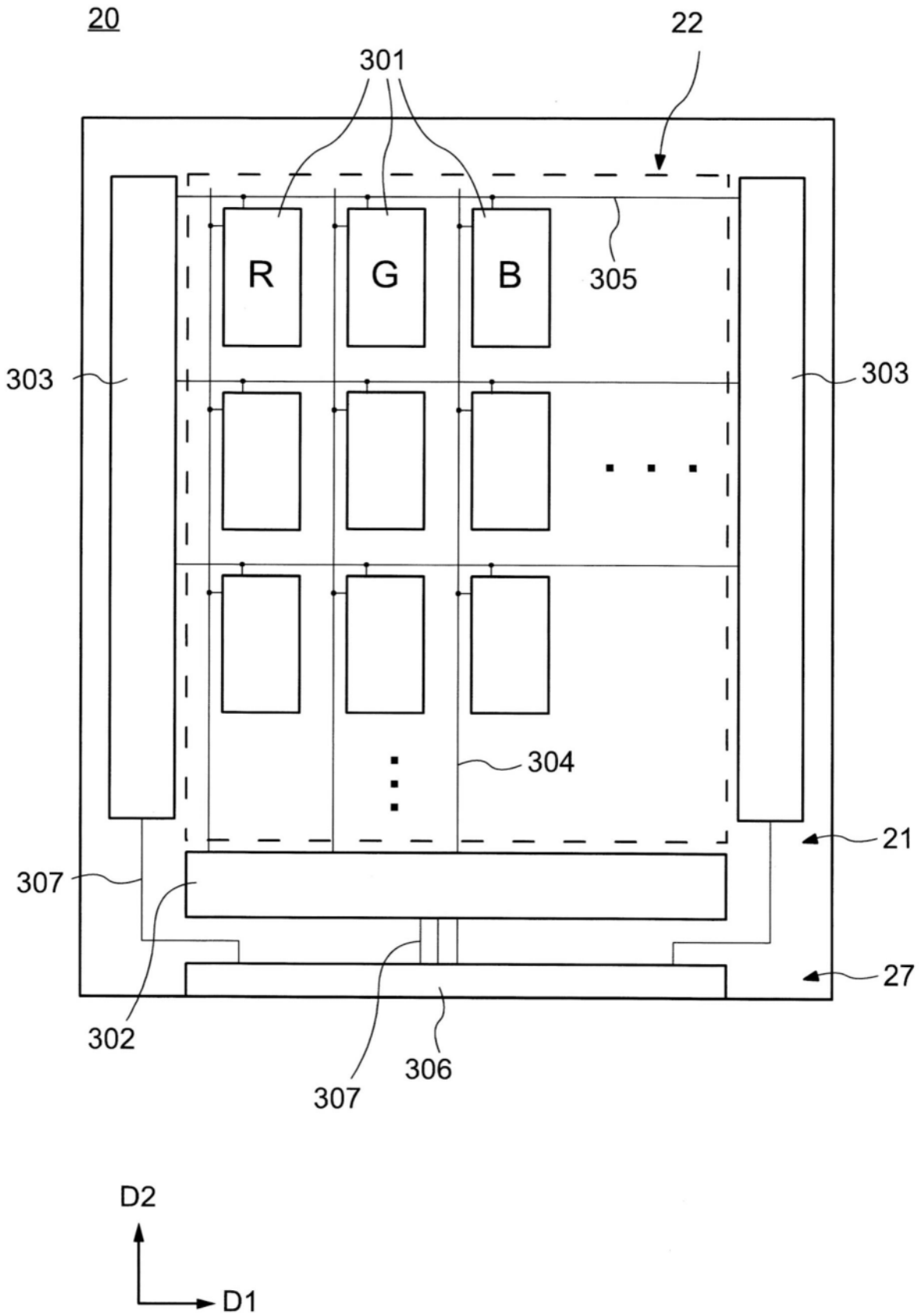


图25

301

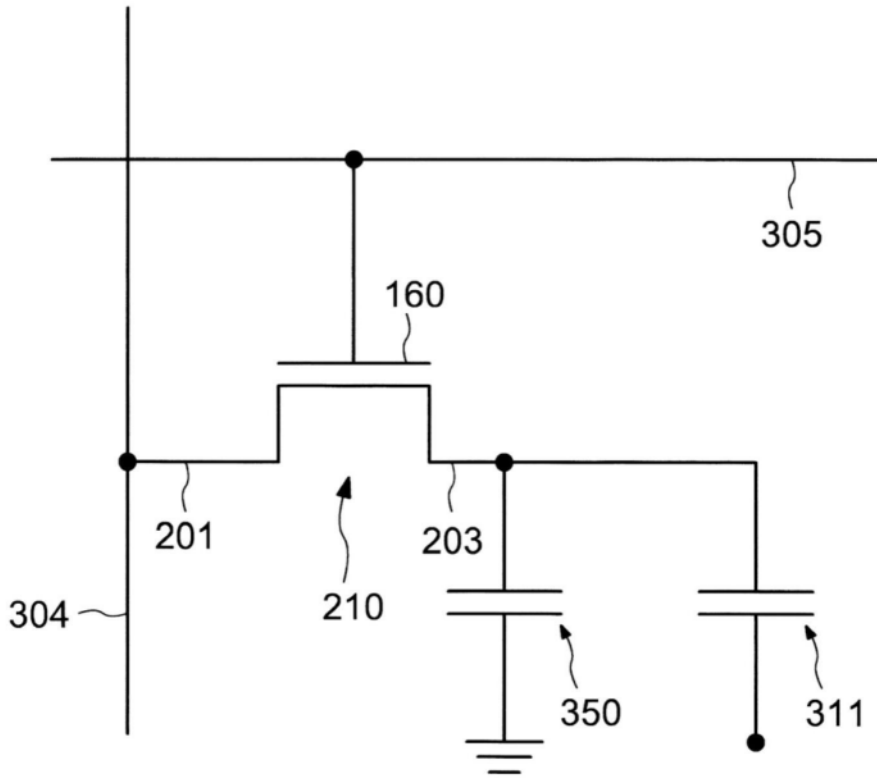


图26

301

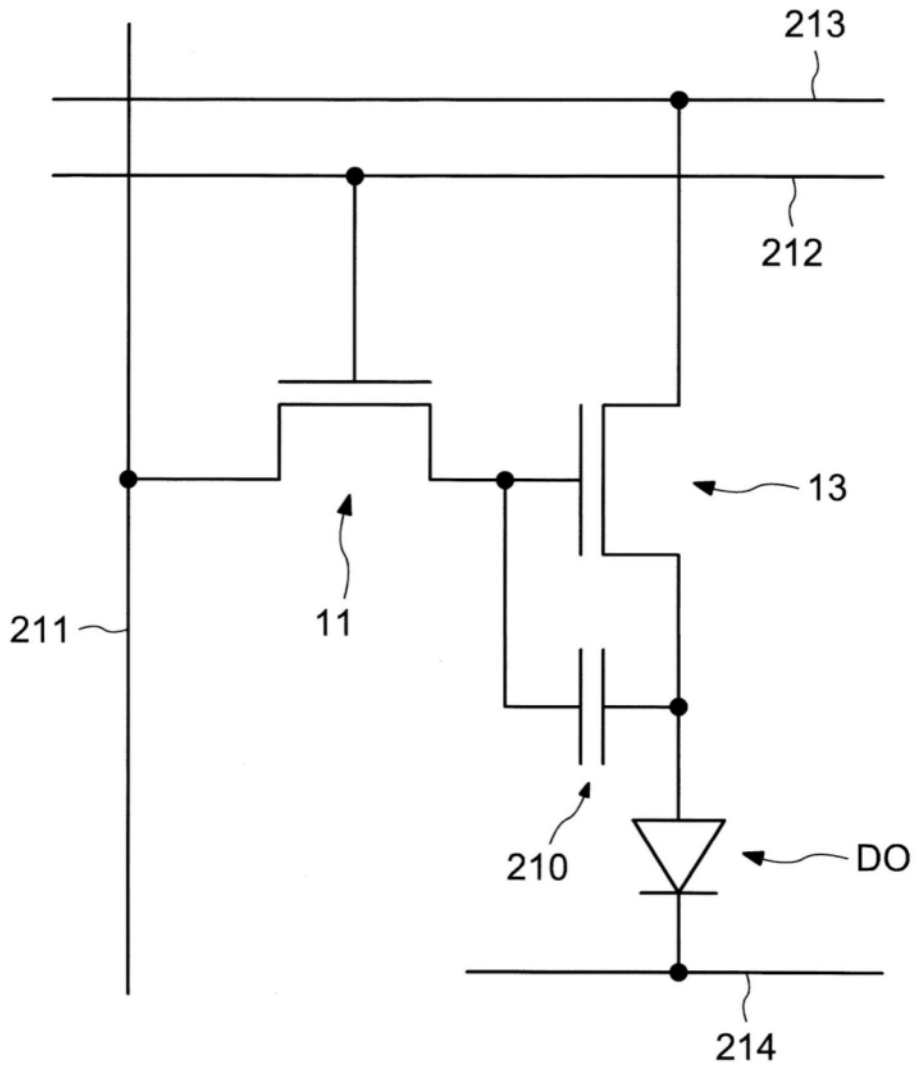


图27