(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 699 34 193 T2** 2007.03.08

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 1 001 537 B1**
(21) Deutsches Aktenzeichen: **699 34 193.0**
(96) Europäisches Aktenzeichen: **99 660 168.8**
(96) Europäischer Anmeldetag: **28.10.1999**
(97) Erstveröffentlichung durch das EPA: **17.05.2000**
(97) Veröffentlichungstag
der Patenterteilung beim EPA: **29.11.2006**
(47) Veröffentlichungstag im Patentblatt: **08.03.2007**

(51) Int Cl.[8]: ***H03K 17/687*** (2006.01)
H03K 17/785 (2006.01)

(30) Unionspriorität:
982447 **11.11.1998** **FI**

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT

(73) Patentinhaber:
ABB Oy, Helsinki, FI

(74) Vertreter:
WUESTHOFF & WUESTHOFF Patent- und Rechtsanwälte, 81541 München

(72) Erfinder:
Miettinen, Erkki, 00170 Helsinki, FI

(54) Bezeichnung: **Steuerschaltung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft eine Steuerschaltung zur Steuerung eines Leistungshalbleiters, wobei die Steuerschaltung einen Gate-Treiber mit einem Steuereingang, Hilfsspannungseingängen und einem Ausgang umfasst.

[0002] Eine Zeitlang waren am Markt mit einer optischen Isolation ausgeführte Gate-Treiber erhältlich, die zur Steuerung eines höchstens ungefähr 100 Ampere starken Leistungshalbleiters verwendbar sind, etwa eines IGBT oder FET. Der Grund für die beschränkte Leistungsangabe des Halbleiters ist die begrenzte Stromabgabekapazität eines Gate-Treibers, die es unmöglich macht, hochstromige Leistungshalbleiter in zuverlässiger Weise zu steuern. Wegen des vorgenannten Problems erfordert der Einsatz eines Gate-Treibers eine gesonderte Verstärkerstufe, mittels der die Stromspeisekapazität auch an die Bedürfnisse größerer Leistungshalbleiter angepasst werden kann.

[0003] Der Artikel „MOS gate driver circuit with extremely high galvanic isolation" von Michael A.E. Andersen aus 6th European Conference on Power Electronics and Applications, Sevilla, 19-21 September 1995, Technische Universität Dänemark, offenbart eine Steuerschaltung nach dem Oberbegriff des Anspruchs 1.

KURZBESCHREIBUNG DER ERFINDUNG

[0004] Eine Zielsetzung der vorliegenden Erfindung ist die Bereitstellung einer die vorstehend angeführten Nachteile vermeidenden Steuerschaltung, welche zudem die zuverlässige Steuerung hochstromiger Leistungshalbleiter ermöglicht und hierbei eine einfache Schaltung verwendet. Diese Zielsetzung wird durch eine erfindungsgemäße Steuerschaltung erreicht, wobei die Steuerschaltung dadurch gekennzeichnet ist, dass die Steuerschaltung ferner einen ersten Widerstand (R1) umfasst, dessen erster Pol mit dem positiven Hilfsspannungseingang (UA+) des Gate-Treibers (A1) verbunden ist und dessen zweiter Pol mit dem positiven Eingangspol (Udc+) der Steuerschaltung verbunden ist, wobei der positive Hilfsspannungseingang (UA+) zur Steuerung des ersten Halbleiterschalters (S1) ausgeführt ist, einen zweiten Widerstand (R2), dessen erster Pol mit dem negativen Hilfsspannungseingang (UA-) des Gate-Treibers (A1) verbunden ist und dessen zweiter Pol mit dem negativen Eingangspol (Udc-) der Steuerschaltung verbunden ist, wobei der negative Hilfsspannungseingang (UA-) zur Steuerung des zweiten Halbleiterschalters ausgeführt ist, und dass die Anode der ersten Zener-Diode (Z1) und die Kathode der zweiten Zener-Diode (Z2) mit dem Ausgang (UAO) des Gate-Treibers (A1) verbunden sind.

[0005] Die erfindungsgemäße Steuerschaltung beruht auf dem Gedanken, dass die Stromabgabekapazität eines Gate-Treibers vergrößert wird, indem eine einfache Schaltung verwendet wird. Die Steuerschaltung umfasst Halbleiterschalter, die einen Ausgang bilden, welcher gleichphasig zum Ausgang des Gate-Treibers ist. Der über die Halbleiterschalter am Ausgang erhaltene Strom ist wesentlich größer als der Strom eines bloßen Gate-Treiberausgangs. Wegen der Tatsache, dass die Ausgänge gleichphasig sind, ist die Steuerschaltung unbemerkbar für andere möglicherweise mit ihr verbundene Komponenten; bei der Auslegung anderer Teile oder Teileinheiten, welche zur gleichen betriebsmäßigen Einheit gehören, ist es somit nicht notwendig, die Hinzufügung der zusätzlichen Komponenten der Steuerschaltung zu berücksichtigen.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0006] Die Erfindung wird nun in näherer Einzelheit im Zusammenhang mit den bevorzugten Ausführungsformen unter Bezugnahme auf die beigefügte Zeichnung beschrieben, in der Fig. 1 eine Steuerschaltung nach einer bevorzugten Ausführungsform der Erfindung zeigt.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0007] Nach Fig. 1 weist eine erfindungsgemäße Steuerschaltung einen Gate-Treiber A1 auf. Der Gate-Treiber A1 ist ein optisch isolierter Gate-Treiber, wobei ein Steuereingang Ctrl elektrisch von anderen Ausgängen oder Eingängen des Gate-Treibers isoliert ist. Folglich kann das Potenzial einer das Steuereingangssignal bereitstellenden Schaltung gegenüber dem Potenzial der Steuerschaltung variieren. Der Gate-Treiber A1 umfasst ferner einen positiven Hilfsspannungseingang UA+ und einen negativen Hilfsspannungseingang UA- sowie einen Ausgang UAO. In herkömmlicher Weise ist der Ausgang des Gate-Treibers mit einer Steuerelektrode eines zu steuernden Leistungshalbleiters verbunden. Abhängig vom Steuereingangssignal wird der Steuerelektrode dann eine entweder am positiven oder am negativen Hilfsspannungseingang anliegende Spannung zugeführt.

[0008] Die Steuerschaltung der Erfindung umfasst ferner einen ersten sowie einen zweiten Widerstand R1, R2, die mit dem positiven bzw. negativen Hilfsspannungseingang des Gate-Treibers verbunden sind. Ein erster Pol des ersten Widerstands R1 ist mit dem positiven Eingang UA+ des Gate-Treibers A1 verbunden, während ein zweiter Pol einen positiven Eingangspol Udc+ der Steuerschaltung bildet. In entsprechender Weise ist ein erster Pol des zweiten Wi-

derstands mit dem negativen Eingang UA- des Gate-Treibers verbunden, während ein zweiter Pol einen negativen Eingangspol der Steuerschaltung bildet.

[0009] Die Steuerschaltung weist darüber hinaus eine erste sowie eine zweite Zener-Diode Z1, Z2 auf. Die erste Zener-Diode Z1 ist zwischen den Ausgang UAO des Gate-Treibers A1 und den positiven Eingangspol Udc+ der Steuerschaltung geschaltet, nämlich derart, dass die Kathode der Zener-Diode Z1 mit dem positiven Eingangspol Udc+ verbunden ist. In entsprechender Weise ist die zweite Zener-Diode zwischen den Ausgang UAO des Gate-Treibers A1 und den negativen Eingangspol Udc- der Steuerschaltung geschaltet. Die zweiter Zener-Diode ist in derartiger Weise eingebunden, dass ihre Anode mit dem negativen Eingangspol Udc- verbunden ist. Die Zener-Dioden sind somit in Reihe zwischen dem positiven und dem negativen Eingangspol geschaltet, wobei ein Punkt zwischen den Zener-Dioden zudem mit dem Ausgang des Gate-Treibers verbunden ist.

[0010] In der in Fig. 1 gezeigten Weise ist die Steuerschaltung gemäß einer bevorzugten Ausführungsform der Erfindung ferner mit einem Kondensator C1 ausgeführt, welcher zwischen den positiven und den negativen Hilfsspannungseingang des Gate-Treibers geschaltet ist.

[0011] Die Steuerschaltung der Erfindung umfasst einen ersten sowie einen zweiten Halbleiterschalter S1, S2 mit einer Steuerelektrode G und Hauptelektroden S, D. Die Steuerelektrode bezieht sich auf diejenige Elektrode, mittels der die zu steuernde Halbleiterkomponente gesteuert wird; die Hauptelektroden beziehen sich dagegen auf diejenigen Elektroden der Komponente, die abhängig von der Steuerung der Steuerelektrode den Steuerbefehl ausführen. Im Rahmen der Beschreibung der Erfindung werden FET-Transistoren als beispielhafte Halbleiterschalter verwendet, wobei aber der Halbleiterschalter eine beliebige andere für den Zweck geeignete Komponente sein kann. Sofern der Halbleiterschalter ein FET-Transistor ist, wird die Steuerelektrode Gate genannt und die Hauptelektroden werden Source S und Drain D genannt. In der in Fig. 1 gezeigten Weise ist eine erste Hauptelektrode S des ersten Halbleiterschalters mit dem positiven Eingangspol der Steuerschaltung verbunden, während eine zweite Hauptelektrode D einen Ausgang der Steuerschaltung bildet. Entsprechend ist eine erste Hauptelektrode S des zweiten Halbleiters S2 mit dem negativen Eingangspunkt Udc- der Steuerschaltung verbunden, während eine zweite Elektrode D mit dem Ausgang der Steuerschaltung verbunden ist, der gleichzeitig die zweite Elektrode D des ersten Halbleiterschalters ist.

[0012] Gemäß einer bevorzugten Ausführungsform der Erfindung weist die Steuerschaltung außerdem zwei Parallelschaltungen **1**, **2** einer Diode und eines Widerstands auf, die zwischen die Steuerelektroden G, d. h. die Gates, des ersten und des zweiten Leistungsschalters und die Hilfsspannungseingänge UA+, UA- des Gate-Treibers geschaltet sind. Die erste Parallelschaltung **1** aus einer Diode D1 und einem Widerstand R3 ist zwischen das Gate des ersten Halbleiterschalters und den positiven Hilfsspannungseingang UA+ des Gate-Treibers in solcher Weise geschaltet, dass die Anode der Diode D1 mit dem Hilfsspannungseingang UA+ verbunden ist. Die zweite Parallelschaltung **2** aus einer Diode D2 und einem Widerstand R4 ist zwischen das Gate des zweiten Halbleiterschalters und den negativen Hilfsspannungseingang UA- des Gate-Treibers in solcher Weise geschaltet, dass die Anode der Diode D2 mit dem Gate des Halbleiterschalters S2 verbunden ist.

[0013] Die Steuerschaltung der Erfindung erzeugt Ausgangsspannungen, die gleichphasig zu Steuersignalen sind, welche dem Steuereingang zugeführt werden. Die Ausgangsspannungen werden aus den Eingangsspannungen erhalten, die an dem positiven und negativen Eingangspol Udc+, Udc- anliegen. Üblicherweise enthält der Gate-Treiber zwei Strompfade, die jeweils einzeln leitend gemacht werden können. Der Ausgang des Gate-Treibers ist dann entweder mit dem positiven oder alternativ mit dem negativen Hilfsspannungseingang verbunden. Wenn der spannungshöhere Pfad des Gate-Treibers leitend gemacht wird oder – mit anderen Worten – wenn der Ausgang des Gate-Treibers und der positive Hilfsspannungseingang durch interne Schalterbauteile des Gate-Treibers elektrisch miteinander verbunden werden, beginnt ein Strom über den Gate-Treiber A1 zu fließen. Der Strom geht vom positiven Eingangspol Udc+ aus, an dem eine positive Eingangsspannung von typischerweise näherungsweise 15 Volt anliegt, und geht weiter über den ersten Widerstand R1, den stromhöheren Pfad des Gate-Treibers A1 und die zweite Zener-Diode und erreicht den negativen Eingangspol Udc-, an dem typischerweise eine Spannung von näherungsweise –7 Volt anliegt. Wenn die Spannungen so sind, wie vorstehend beschrieben, beträgt die Potentialdifferenz zwischen dem positiven und dem negativen Pol etwa 22 Volt.

[0014] Wenn der Strom der zuvor erläuterten Route folgt, verursacht er gewisse Spannungsverluste. Das Fließen eines Stroms erfordert es, dass die Schwellenspannung der Zener-Diode Z2 kleiner als die insgesamt an der Zener-Diode anliegende Spannung ist. Wenn über die Zener-Diode ein Strom fließt, fällt an ihr eine der Schwellenspannung entsprechende Spannung ab. Im Beispielfall beträgt die Schwellenspannung der Zener-Diode Z2 13 Volt. Sofern über die Zener-Diode ein Strom fließt, erhöht sich daher die Spannung ihrer Anode um 13 Volt, d. h. auf eine Spannung von +6 Volt. Wenn über den Gate-Treiber

ein Strom fließt, tritt außerdem ein Spannungsabfall von etwa 2 Volt auf, als dessen Folge der positive Hilfsspannungseingang UA+ des Gate-Treibers eine Spannung von +8 Volt hat.

[0015] Bei der beispielhaften Ausgestaltung haben die mit den Hilfsspannungseingängen des Gate-Treibers A1 verbundenen Widerstände R1, R2 ungefähr 400 Ohm, wodurch der Leerlaufstrom der Schaltung einen Spannungsabfall von ungefähr 1 Volt an den Widerständen verursacht. Der Leerlaufstrom bezieht sich auf einen Strom, der über einen ungesteuerten Schaltkreis des Gate-Treibers fließt. Im vorbeschriebenen Fall liegt das Potential des negativen Hilfsspannungseingangs des Gate-Treibers folglich bei näherungsweise –6 Volt.

[0016] Bei der Steuerschaltung gemäß der Erfindung ist der positive Hilfsspannungseingang UA+ des Gate-Treibers über die Parallelschaltung **1** aus der ersten Diode D1 und dem Widerstand R3 mit dem Gate G des ersten Halbleiterschalters S1 verbunden. Gemäß der bevorzugten Ausführungsform der Erfindung ist der erste Halbleiterschalter S1 ein p-Kanal FET-Transistor, während der zweite Halbleiterschalter S2 ein n-Kanal FET-Transistor ist. Wenn der Halbleiterschalter S1 ein p-Kanal FET-Transistor ist, kann er dadurch in einen leitenden Zustand eingesteuert werden, dass das Gate G des Schalters auf ein negatives Potential gegenüber seiner Hauptelektrode S gebracht wird. Im zuvor beschriebenen Fall ist es genau dies, was geschieht, da das Potential des Gates G dem Potential des positiven Hilfsspannungseingangs des Gate-Treibers folgt und das Potential der Hauptelektrode S mit einer positiven Eingangsspannung verbunden ist, welche im Beispielfall 15 Volt beträgt und direkt mit dem positiven Eingangspol der Steuerschaltung verbunden ist. Der Halbleiterschalter S1 ist somit im leitenden Zustand.

[0017] Der Halbleiterschalter S2 ist vorzugsweise vom n-Kanal FET-Transistortyp, in welchem Fall es einer beträchtlichen positiven Gate-Spannung bezüglich der Hauptelektrode bedarf, um ihn in den leitenden Zustand zu bringen. Wenn der Gate-Treiber wie oben gesteuert wird, hat der negative Hilfsspannungseingang UA- des Gate-Treibers ein Potential von –6 Volt, wobei das Gate des Schalters S2 auch diesem Potential folgt. Die Hauptelektrode S des Schalters S2 ist mit einer an dem negativen Eingangspol anliegenden negativen Eingangsspannung verbunden, weswegen die Spannung zwischen dem Gate und der Hauptelektrode S näherungsweise 1 Volt beträgt, was nicht ausreicht, um den Schalter S2 einzuschalten. Es ist daher offensichtlich, dass dann, wenn der höhere Halbleiterschalter S1 leitet, der niedrigere S2 in einem nichtleitenden Zustand ist.

[0018] Zweck der mit den Gates der Halbleiterschalter S1, S2 verbundenen Parallelschaltungen **1**, **2** aus Diode und Widerstand ist es, einen einzuschaltenden Schalter geeignet zu verzögern, so dass ein auszuschaltender Schalter ausreichend Zeit hat, um zuverlässig in einen Blockierzustand überführt zu werden. Die Polaritäten der Dioden D1, D2 gestatten einen Stromfluss durch die Dioden in einer Richtung, die für das Ausschalten der Halbleiterschalter erforderlich ist. Zum Ausschalten benötigte Ströme fließen somit über die Dioden, hingegen müssen zum Einschalten der Schalter benötigte Ströme über die Widerstände R3, R4 fließen. Der Kondensator C1 dient zum Betrieb als Filterkondensator und als Energieversorgung für den Gate-Treiber A1, mittels der die Halbleiterschalter rasch ausschaltbar sind.

[0019] Wenn die an den negativen Eingangspol Udc- angelegte negative Spannung an den Ausgang des Gate-Treibers und gleichzeitig der Steuerschaltung geführt werden soll, ist der niederstromige Pfad des Gate-Treibers A1, d. h. der Strompfad vom negativen Hilfsspannungseingang UA- zum Ausgang UAO des Gate-Treibers, mit Hilfe des Steuereingangs Ctrl leitend zu machen. Wenn der niederstromige Pfad leitend ist, beginnt aufgrund der Potentialdifferenz zwischen dem positiven und dem negativen Eingangspol Udc+, Udc- ein Strom über eine von der ersten Zener-Diode Z1, dem niederstromigen Pfad des Gate-Treibers und dem zweiten Widerstand R2 gebildete Route zu fließen. Bei der beispielhaften Ausbildung beträgt die Schwellenspannung der Zener-Diode Z1 15 Volt, in welchem Fall bei Stromfluss durch die Zener-Diode die Spannung von ihrer Kathode zur Anode um eine der Schwellenspannung entsprechende Spannung abfällt, also um 15 Volt. Aufgrund dieses Spannungsabfalls liegt das Potential des Ausgangs UAO des Gate-Treibers auf 0 Volt. Im niederstromigen Pfad des Gate-Treibers tritt bei der beispielhaften Ausführungsform aufgrund der Eigenschaften des Gate-Treibers kein wesentlicher Stromverlust auf, weswegen das Potential des negativen Hilfsspannungseingangs UA- des Gate-Treibers ebenfalls näherungsweise 0 Volt ist. Da das Potential des Hilfsspannungseingangs sich auch auf das Gate G des zweiten Halbleiterschalters S2 überträgt und da die Hauptelektrode S des Halbleiterschalters eine mit dem negativen Eingangspol Udc- der Steuerschaltung verbundene Spannung von –7 Volt hat, wird der Schalter S2 in den leitenden Zustand überführt und bleibt darin, bis er umgesteuert wird. Wenn der Schalter S2 leitend ist, erscheint die am negativen Eingangspol Udc- anliegende negative Eingangsspannung, die bei der beispielhaften Ausführungsform –7 Volt beträgt, am Ausgang der Steuerschaltung.

[0020] Gleichzeitig mit dem leitenden Zustand der niedrigeren Schalterkomponente S2 befindet sich die höhere Schalterkomponente im blockierenden Zustand. Der blockierende Zustand wird erreicht, weil der durch den Leerlaufstrom des Gate-Treibers am

ersten Widerstand R1 hervorgerufene Spannungsabfall etwa 1 Volt beträgt, wodurch eine Spannung von etwa –1 Volt zwischen dem Gate des Schalters S1 und der Hauptelektrode S anliegt. Diese Spannung hält die Komponente im Blockierzustand.

[0021] Die Steuerschaltung der Erfindung kann beispielsweise zur zuverlässigen Steuerung von Invertern oder Leistungshalbleitern oder anderen derartigen Bauelementen mit hochstromigen Halbleitern eingesetzt werden. Die Schaltung der Erfindung ermöglicht es, die zur Steuerung eines Leistungshalbleiters, etwa eines IGBT oder FET, benötigten positiven und negativen Spannungen in zuverlässiger und kostensparender Weise zu erzeugen.

Patentansprüche

1. Steuerschaltung zur Steuerung eines Leistungshalbleiters, wobei die Steuerschaltung umfasst:
– einen Gate-Treiber (A1) mit einem Steuereingang (ctrl), Hilfsspannungseingängen (UA+, UA-) und einem Ausgang (UAO),
– einen ersten Halbleiterschalter (S1) mit einer Steuerelektrode (G) und Hauptelektroden (S, D), wobei eine erste Hauptelektrode (S) einen positiven Eingangspol (Udc+) der Steuerschaltung bildet und eine zweite Hauptelektrode (D) einen Ausgang (Ausgang) der Steuerschaltung bildet,
– einen zweiten Halbleiterschalter (S2) mit einer Steuerelektrode (G) und Hauptelektroden (S, D), wobei eine erste Hauptelektrode (S) einen negativen Eingangspol (Udc-) der Steuerschaltung bildet und eine zweite Hauptelektrode (D) mit dem Ausgang (Ausgang) der Steuerschaltung verbunden ist,
– eine erste Zener-Diode (Z1), deren Kathode mit dem positiven Eingangspol (Udc+) der Steuerschaltung verbunden ist,
– eine zweite Zener-Diode (Z2), deren Kathode mit der Anode der ersten Zener-Diode (Z1) verbunden ist und deren Anode mit dem negativen Eingangspol (Udc-) der Steuerschaltung verbunden ist,
dadurch gekennzeichnet, dass die Steuerschaltung ferner umfasst:
– einen ersten Widerstand (R1), dessen erster Pol mit dem positiven Hilfsspannungseingang (UA+) des Gate-Treibers (A1) verbunden ist und dessen zweiter Pol mit dem positiven Eingangspol (Udc+) der Steuerschaltung verbunden ist, wobei der positive Hilfsspannungseingang (UA+) zur Steuerung des ersten Halbleiterschalters (S1) ausgelegt ist,
– einen zweiten Widerstand (R2), dessen erster Pol mit dem negativen Hilfsspannungseingang (UA-) des Gate-Treibers (A1) verbunden ist und dessen zweiter Pol mit dem negativen Eingangspol (Udc-) der Steuerschaltung verbunden ist, wobei der negative Hilfsspannungseingang (UA-) zur Steuerung des zweiten Halbleiterschalters ausgelegt ist,
und dass die Anode der ersten Zener-Diode (Z1) und die Kathode der zweiten Zener-Diode (Z2) mit dem Ausgang (UAO) des Gate-Treibers (A1) verbunden sind.

2. Steuerschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Steuerschaltung ferner umfasst:
– einen zwischen die Hilfsspannungseingänge (UA+, UA-) des Gate-Treibers (A1) geschalteten Kondensator (C1),
– eine Parallelschaltung (**1**) eines dritten Widerstands (R3) und einer ersten Diode (D1), wobei die Parallelschaltung (**1**) zwischen die Steuerelektrode (G) des ersten Halbleiterschalters (S1) und den positiven Hilfsspannungseingang (UA+) des Gate-Treibers (A1) derart geschaltet ist, dass die Kathode der Diode (D1) mit der Steuerelektrode (G) verbunden ist, sowie
– eine Parallelschaltung (**2**) eines vierten Widerstands (R4) und einer zweiten Diode (D2), wobei die Parallelschaltung (**2**) zwischen die Steuerelektrode (G) des zweiten Halbleiterschalters (S2) und den negativen Hilfsspannungseingang (UA-) des Gate-Treibers (A1) derart geschaltet ist, dass die Anode der Diode (D2) mit der Steuerelektrode (G) verbunden ist.

3. Steuerschaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der erste Halbleiterschalter (S1) ein p-Kanal FET-Transistor ist und der zweite Halbleiterschalter (S2) ein n-Kanal FET-Transistor ist.

Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

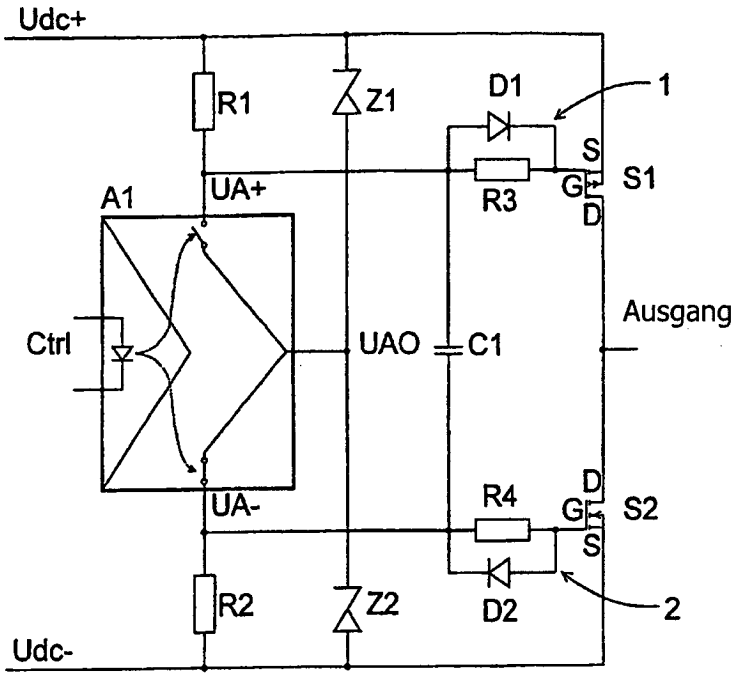


FIG.1