

圖式

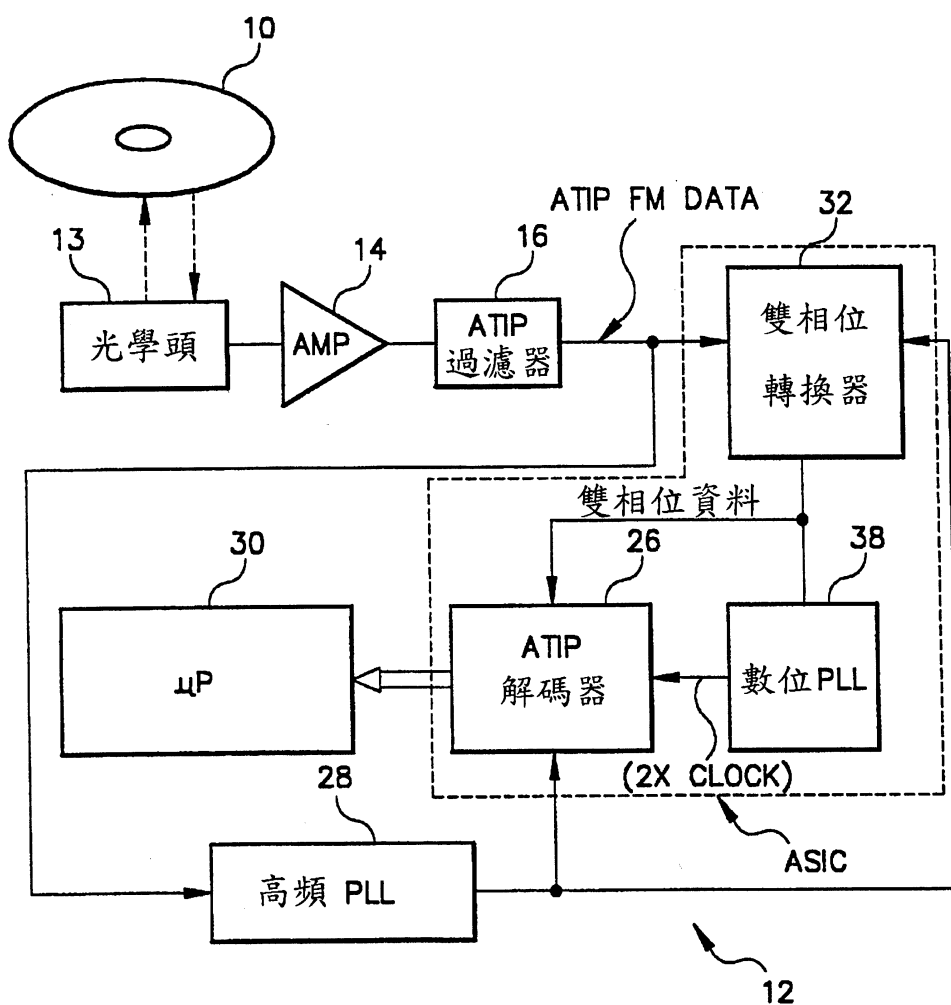


圖 2

42位元之ATIP資訊區塊架構

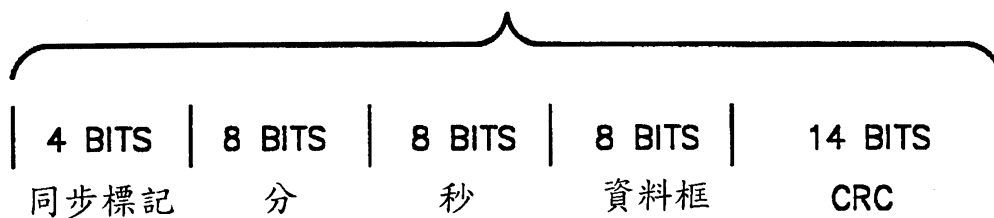


圖 1

圖式

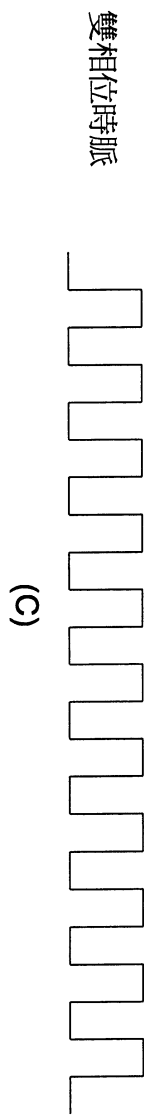
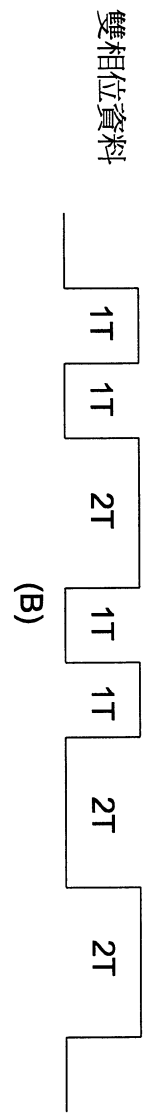
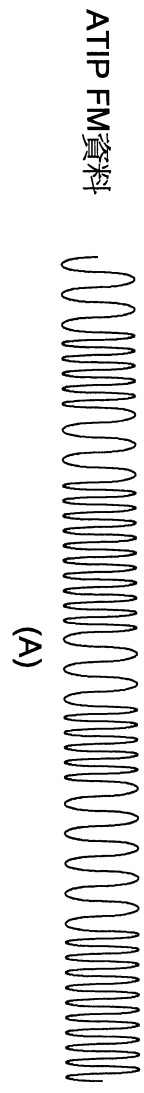
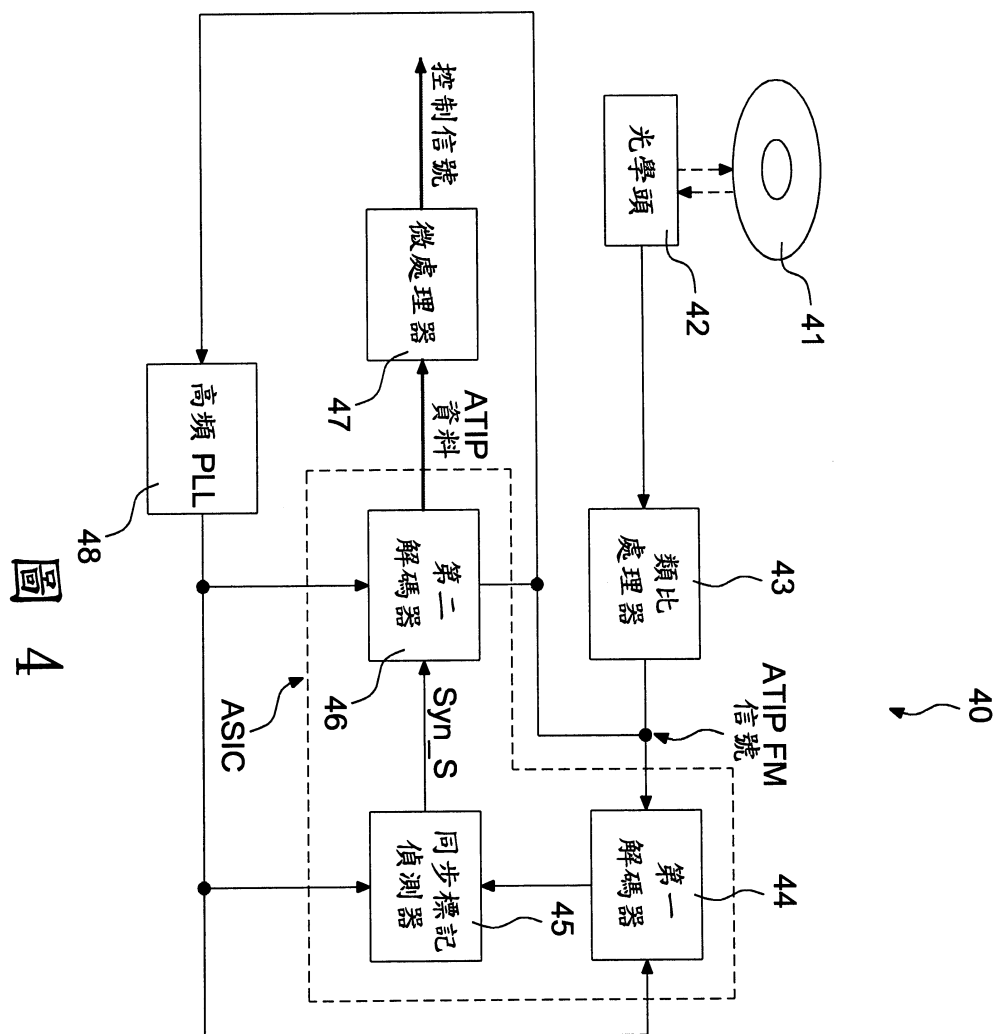


圖 3



圖式

圖式

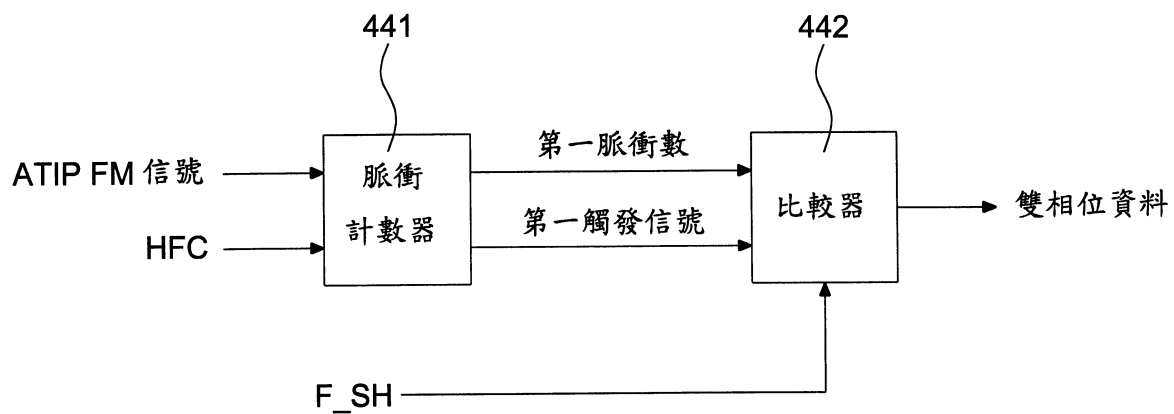


圖 5

44

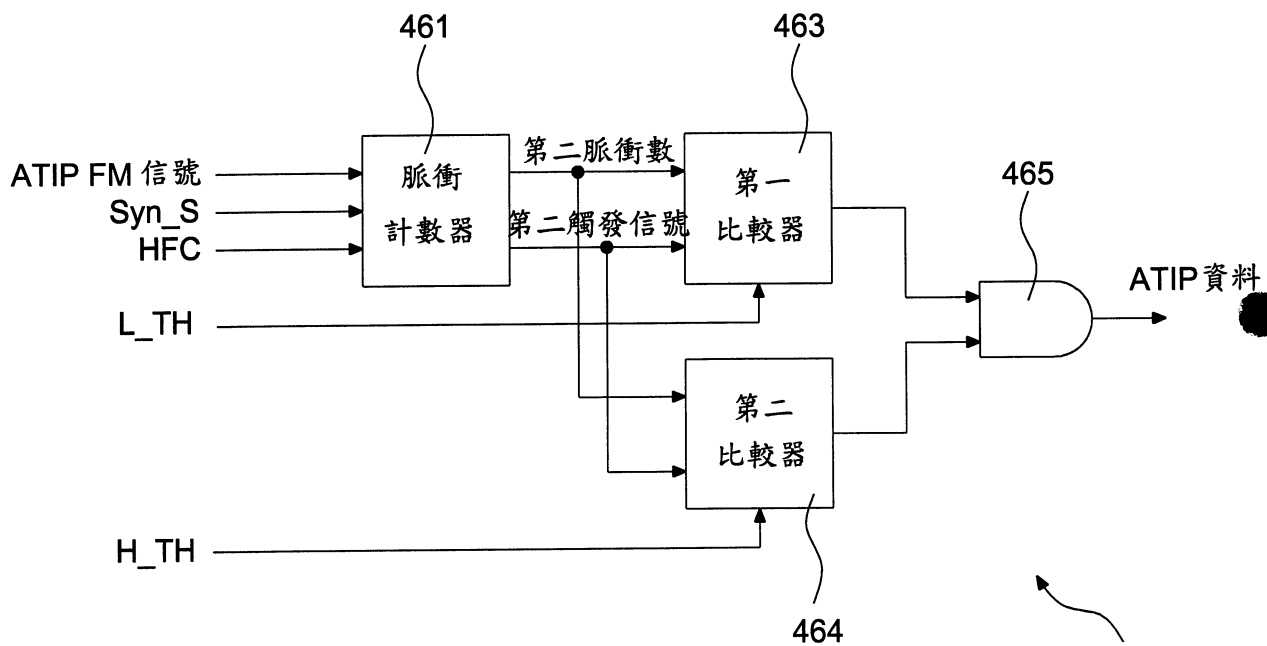


圖 6

46

圖式

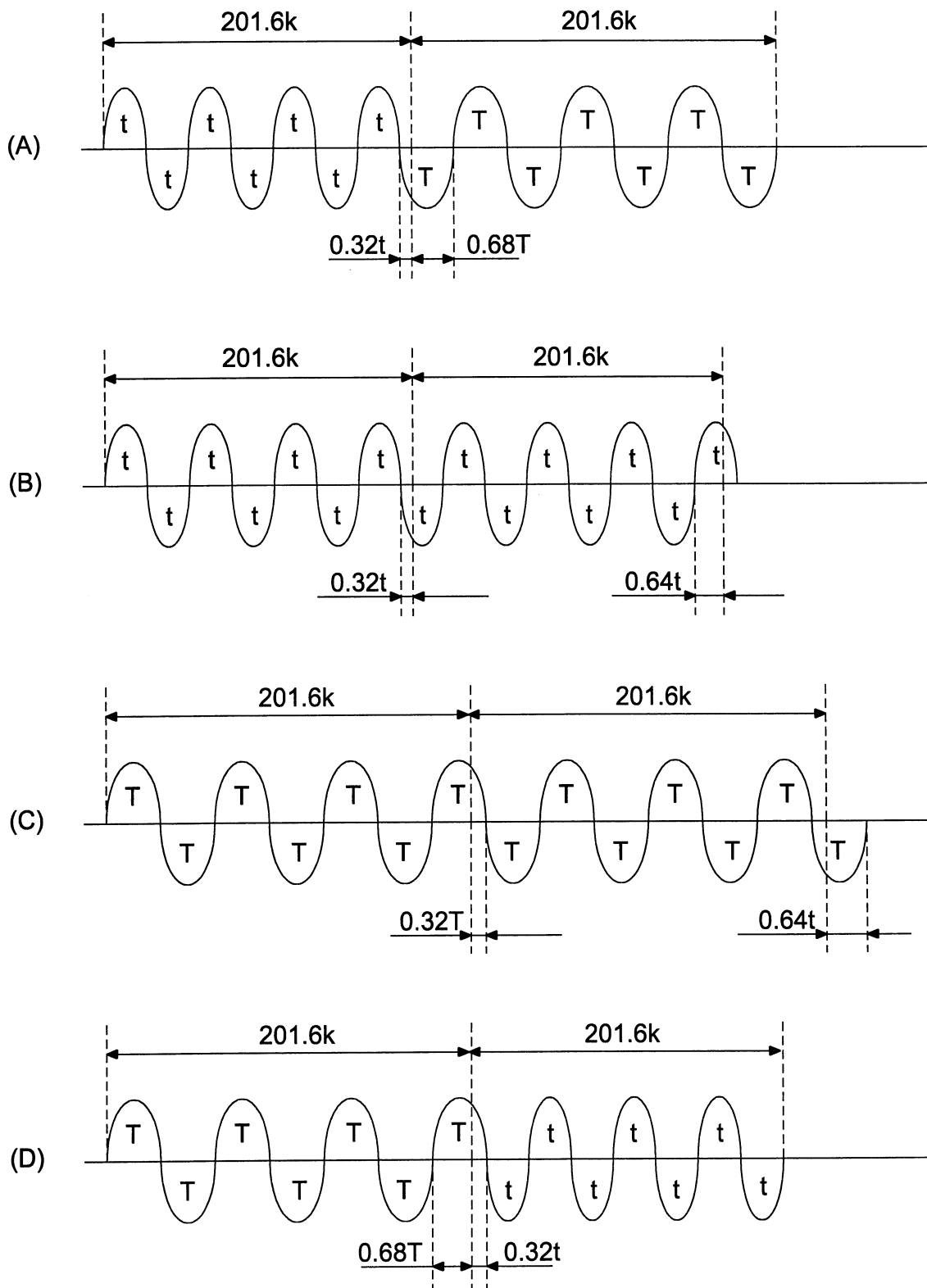


圖 7

圖式

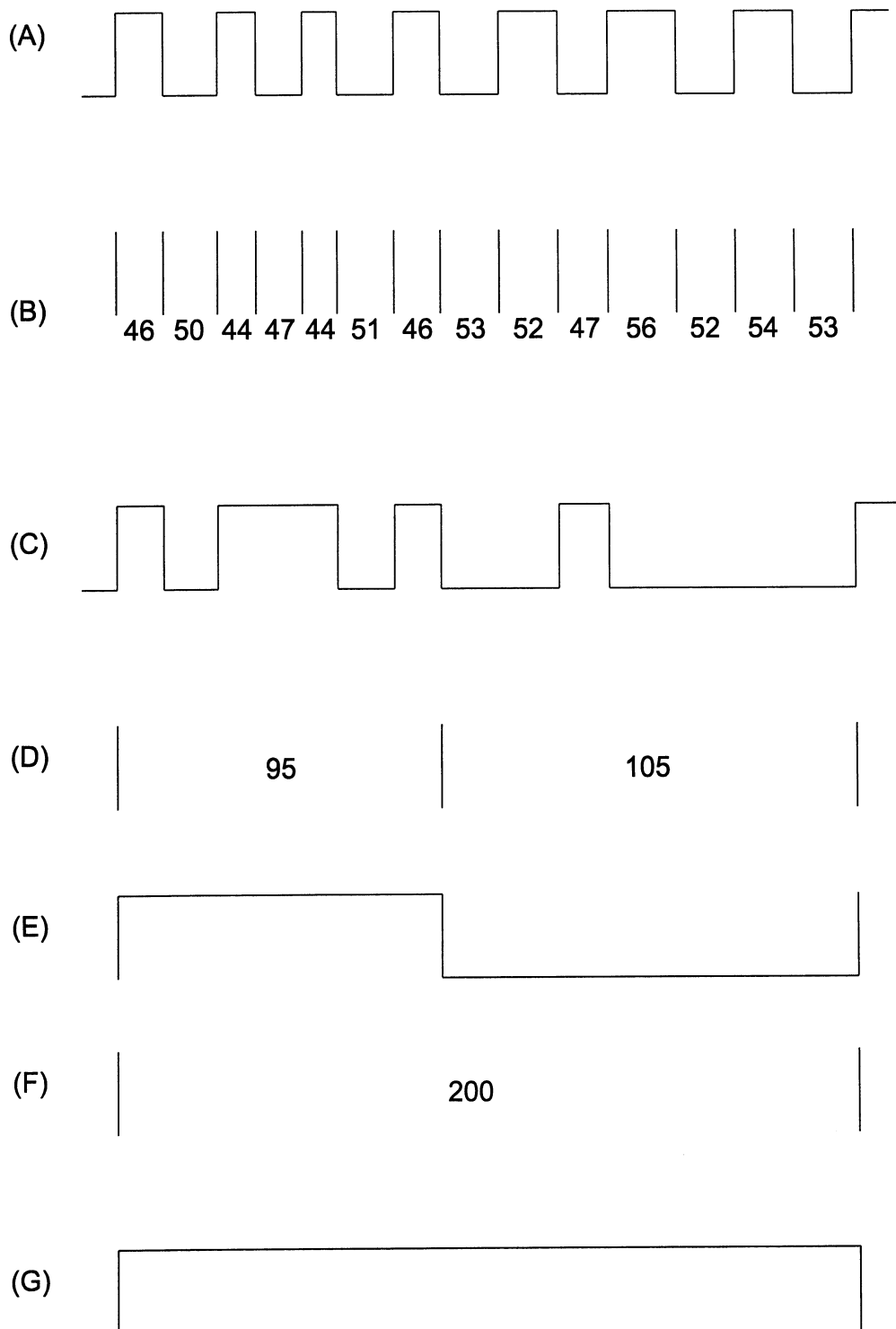


圖 8

圖式

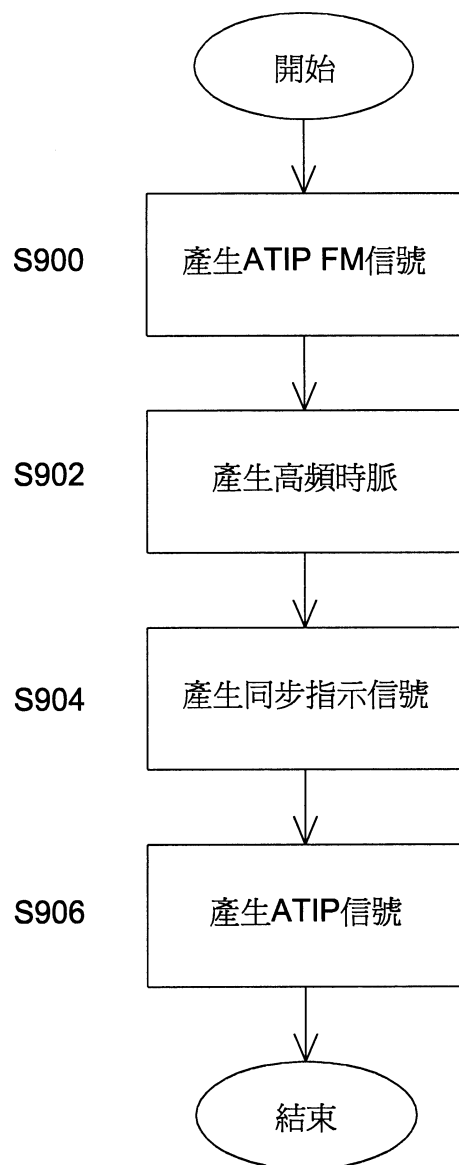


圖 9

公告本

年 月 日

修正

修正 I282973
補充 本 年 月 日

申請日期：90-11-26

IPC分類

申請案號：90129343

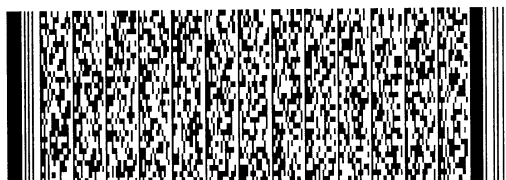
G11B 20/00

(以上各欄由本局填註)

發明專利說明書

煩請委員明示，本案修正後是否變更原實質內容

一、發明名稱	中文	光碟之絕對時間(ATIP)位元資料產生器與產生方法
	英文	Device and method of generating ATIP bit pattern
二、發明人 (共3人)	姓名 (中文)	1. 呂平幸 2. 梁耀仁
	姓名 (英文)	1. Ping-Hsing Lu 2. Yao-Jen Liang
	國籍 (中英文)	1. 中華民國 ROC 2. 中華民國 ROC
	住居所 (中文)	1. 新竹市東區綠水里19鄰園後街22號2F 2. 彰化縣福興鄉彰鹿路7段436號
	住居所 (英文)	1. 2F, NO. 22, YUAN HOU RD., HSIN CHU CITY, 300 TAIWAN, R.O.C. 2. NO. 436, CHANG LU RD., SEC. 7, FU HSING HSIANG, CHANG HUA COUNTY, 506 TAIWAN, R.O.C.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 聯發科技股份有限公司
	名稱或姓名 (英文)	1. Media Tek Inc.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 新竹科學工業園區創新一路13號1樓 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin Chu City, Taiwan 300, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Media Tek Inc.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

[發明之技術領域]

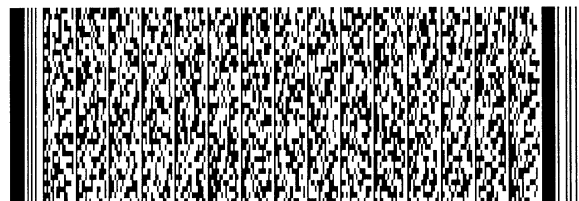
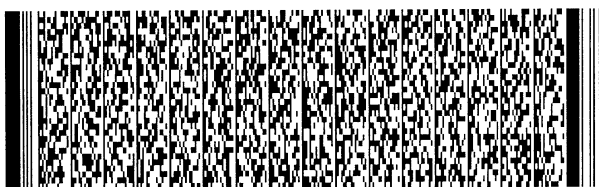
本發明係關於預刻凹紋之絕對時間 (Absolute Time In Pregroove, 以下簡稱ATIP) 位元資料產生器。

[習知技術]

圖1為42位元之ATIP資訊區塊架構圖。如該圖所示, 42位元之ATIP資訊區塊包含4位元之同步標記、8位元之分資訊、8位元之秒資訊、8位元之資料框資訊、以及14位元之循環式重複檢查(Cyclic Redundancy Check, CRC)資訊。該ATIP資訊提供可錄式(writable)光碟系統正確之燒錄位置。

圖2所示為美國專利第5,506,824號可寫CD ATIP資料之頻率調變至雙相位資料轉換『Frequency modulation to biphase data conversion for writable CD ATIP data』之架構圖。如圖2所示, 該習知ATIP位元資料產生器12係利用雙相位轉換器(Biphase converter)32將ATIP頻率調變(FM)資料轉換成雙相位資料後, 再利用數位PLL 38產生2倍頻時脈, 最後利用ATIP解碼器26以2倍頻時脈為參考時脈, 並根據雙相位資料產生ATIP位元資訊。雙相位轉換器32係計數在每個半周FM信號中, 經過多少高頻時脈之脈衝(由高頻PLL 28產生), 並根據脈衝數來決定雙相位資料為H或L。亦即, 當脈衝數低於一門檻值時, 雙相位資料為H, 而當脈衝數高於該門檻值時, 雙相位資料為L。ATIP解碼器26即根據雙相位資料解碼出ATIP資訊。

在正常情形下, 上述之方法可以產生正確的雙相位資料。但是若ATIP FM資料的責任週期(duty cycle)不平均,



五、發明說明 (2)

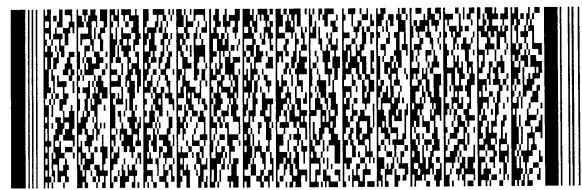
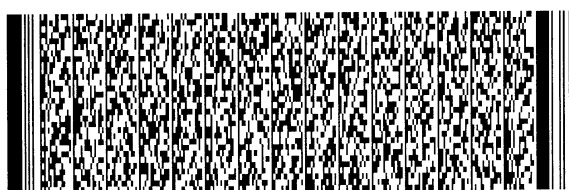
則雙相位轉換器32在計數每半周所對應之高頻時脈的脈衝數時，即會受到影響，而無法產生正確的雙相位資料。其次，當光碟的讀取速度越來越快時，高頻PLL 28的輸出頻率亦相對的提升，而造成設計困難、增加成本，或因此降低解析度。

圖3所示為ATIP FM資料與雙相位資料之關係，其中(A)為ATIP FM資料、(B)為雙相位資料、以及(C)為雙相位時脈信號。當ATIP FM資料為高頻時，雙相位資料為H，而當ATIP FM資料為低頻時，雙相位資料為L。

[發明概要]

有鑒於上述問題，本發明之目的是提出一種不受ATIP FM資料的責任週期影響之絕對時間(ATIP)位元資料產生器。

為達成上述目的，本發明光碟之絕對時間(ATIP)位元資料產生器包含：類比處理器，係接收一光學頭所產生之信號，並加以處理後產生ATIP FM信號；一高頻鎖相迴路，係以ATIP FM信號作為參考，產生高頻時脈；一第一解碼器，係接收ATIP FM信號以及高頻時脈，並產生雙相位編碼資料；一同步標記偵測器，係接收雙相位編碼資料以及高頻時脈，並產生同步指示信號；以及一第二解碼器，係以同步指示信號為參考，以複數個ATIP FM信號之半週期為計數週期，計算每個計數週期所對應之高頻時脈的脈衝數，當該脈衝數小於第一門檻值時或大於第二門檻值時，輸出第一位準之ATIP位元資料，而當該脈衝數介於該第一門檻值與第二門檻值之間時，輸出第二位準之ATIP位元資料。



五、發明說明 (3)

由於本發明絕對時間(ATIP)位元資料產生器是以複數個ATIP FM信號之半週期為計數週期，因此計數值不會受到責任週期不平均之影響，所以可產生正確之ATIP信號。同時，因為計數之週期較長，所以所需要之高頻時脈的頻率可以降低。

另外，本發明絕對時間(ATIP)位元資料產生器整合雙相位解調器(Biphase-mark demodulator)與頻率解調器(FM demodulator)可簡化電路設計的複雜性並減低資料產生的延遲時間(delay time)。

[實施例]

以下參考圖式詳細說明本發明絕對時間(ATIP)位元資料產生器。

在光碟系統中，每個ATIP位元對應兩個位元之雙相位資料，而每個雙相位資料的位元對應7個半週期之ATIP FM資料。因此，每個ATIP位元對應14個半週期之ATIP FM資料。當ATIP FM資料的責任週期不對稱時，若僅計數每個半週期的ATIP FM資料，則可能會造成週期計數值錯誤，而產生錯誤之雙相位資料。為了解決該問題，本發明以7個半週期之ATIP FM資料或14個半週期之ATIP FM資料為計數週期，計數每個計數週期之高頻時脈的脈衝數，則可避免責任週期不對稱的影響。另外，由於計數週期延長為7倍或14倍，因此本發明之解析度會相對提升，或是可降低高頻時脈的頻率。

圖4顯示本發明位元資料產生器之架構圖。如該圖所示，本發明位元資料產生器40包含接收光碟41之資訊的光學



五、發明說明 (4)

頭42、接收光學頭42信號之類比處理器43、接收ATIP FM信號並產生雙相位資料之第一解碼器44、接收雙相位資料並產生同步指示信號之同步標記偵測器45、接收同步指示信號與ATIP FM信號並產生ATIP資料之第二解碼器46、產生高頻時脈之高頻鎖相迴路(PLL)48、以及接收ATIP資料並產生控制信號之微處理器47。

類比處理器43係處理及放大光學頭42所產生之信號，並產生ATIP FM信號。以32倍數之光碟機而言，ATIP FM信號的中心頻率為705.6Khz($22.05\text{KHz} \times 32$)，高頻頻率為737.6Khz($23.05\text{KHz} \times 32$)，而低頻頻率為673.6Khz($21.05\text{KHz} \times 32$)。該類比處理器43為一般習知的架構，不重複說明。而高頻鎖相迴路(PLL)48以ATIP FM信號為參考，產生高頻時脈HFC(High frequency clock)。此高頻時脈可直接倍頻中心平均頻率產生，如： $22.05\text{KHz} \times 196 \times N = 4.3218\text{MHz} \times N$ @ N倍數(此頻率剛好為編碼用的EFM編碼頻率)；或是直接產生不隨ATIP FM信號變化的固定高頻時脈，如：33.8688MHz 石英震盪器2倍頻的67.7376MHz的高頻時脈。高頻時脈HFC之頻率可根據ATIP FM信號的頻率以及解析度調整，以32倍數之光碟機而言，本實施例選擇67.7376MHz作為高頻時脈HFC之頻率。另外，微處理器47之功能為習知之技術，不重複說明。

第一解碼器44係接收類比處理器43之ATIP FM信號，並以高頻鎖相迴路48輸出的高頻時脈HFC作為工作時脈，產生雙相位資料。圖5顯示該第一解碼器44之架構圖。如該圖所示，第一解碼器44包含脈衝計數器441、以及比較器442。脈



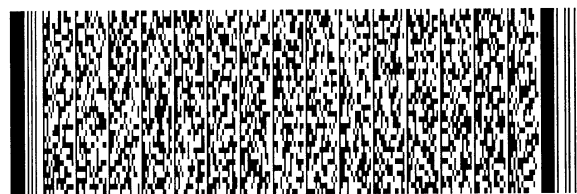
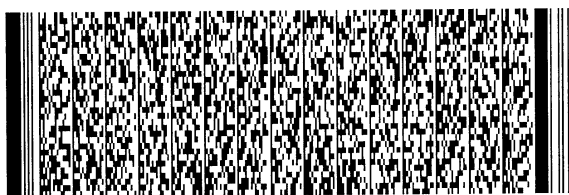
五、發明說明 (5)

衝計數器441接收ATIP FM信號與高頻時脈HFC，並以每7個ATIP FM信號之半週期為計數週期，計數每個計數週期所對應之高頻時脈HFC的脈衝數，產生第一脈衝數與第一觸發信號，該第一觸發信號為前述計數週期的起始點信號，亦即每7個ATIP FM信號之半週期產生一個第一觸發信號之脈衝。該第一觸發信號的決定方法：若兩個(複數個)相鄰半週期弦波之長度介於一定範圍內($22.05k/22.55k*CF \sim 22.05k/21.55k*CF$)(其中 $22.55k = (22.05k + 23.05k)/2$ 為中心頻頻率與高頻頻率的算術平均， $21.55k = (22.05k + 21.05k)/2$ 為中心頻頻率與低頻頻率的算術平均)，則必為高頻率與低頻率弦波之切換點，恰如雙相位調變(BIPHASE-MARK MODULATION)之原則，兩相鄰BIT CELL間必存有一切換點，此切換點即為第一觸發信號點；以此切換點為起點，計數7個ATIP FM信號半週期，可產生下一個第一觸發信號。比較器442則根據第一觸發信號比較第一脈衝數與一第一脈衝門檻值F_SH，並產生雙相位資料。當第一脈衝數大於或等於第一脈衝門檻值F_SH時，雙相位資料為0，否則雙相位資料為1。而第一脈衝門檻值F_SH的計算方式為：

$$F_SH = CF / 2 * 7 \quad (1)$$

其中，CF為ATIP FM信號在中心頻頻率時每週期所對應的高頻時脈HFC之脈衝數，若以32倍數之光碟機而言，當高頻時脈HFC之頻率為67.7376MHz時，由於中心頻頻率為705.6Khz，因此CF為 $96(67.7376MHz / 705.6KHz)$ 。所以，根據式(1)，第一脈衝門檻值F_SH約為336。

由於第一解碼器44是以每7個ATIP FM信號之半週期為計



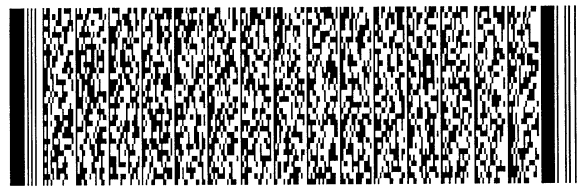
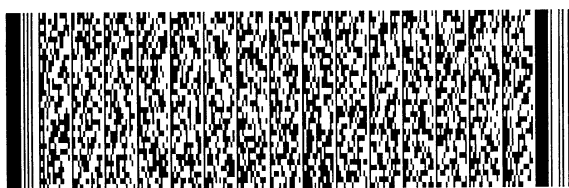
五、發明說明 (6)

數週期，因此可抵銷因為責任週期不平均所造成之計數錯誤。且以相同之解析度而言，本發明之高頻時脈HFC的頻率約為降低1/7倍。

同步標記偵測器45接收雙相位資料後，偵測雙相位資料是否出現ATIP資料之同步標記的特殊式樣(pattern)，例如00010111或11101000。若偵測到雙相位資料具有特殊式樣時，則將同步指示信號Syn_S致能(enable)。由於偵測一序列數位信號中是否存在特殊式樣的技術為該行業者熟習之技術，因此不重複說明。

當同步指示信號Syn_S被致能時，代表偵測到此時的ATIP FM信號包含正確之ATIP資料。因此，第二解碼器46在同步指示信號Syn_S致能時開始動作。第二解碼器46以14個ATIP FM信號之半週期為計數週期，計數每個計數週期中高頻時脈的脈衝數，並根據脈衝數的範圍產生ATIP資料。

圖6顯示本發明第二解碼器46之一實施例。如該圖所示，第二解碼器46包含一脈衝計數器461、一第一比較器463、一第二比較器464、以及一及閘465。脈衝計數器461係利用同步指示信號作為觸發信號，以14個ATIP FM信號之半週期為計數週期，開始計數每個計數週期中高頻時脈的脈衝數，並產生第二脈衝數以及第二觸發信號，該第二觸發信號為計數週期信號，亦即每14個ATIP FM信號之半週期產生一個第二觸發信號之脈衝。第一比較器463根據第二觸發信號比較第二脈衝數與低門檻計數值(第一門檻值)L_TH，並產生第一比較值。同時，第二比較器464亦根據第二觸發信號比較第二脈衝脈衝數與高門檻計數值(第二門檻值)H_TH，並產



五、發明說明 (7)

生第二比較值。及閘465則接收第一比較值與第二比較值，並產生ATIP資料。

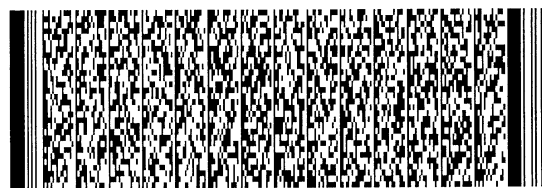
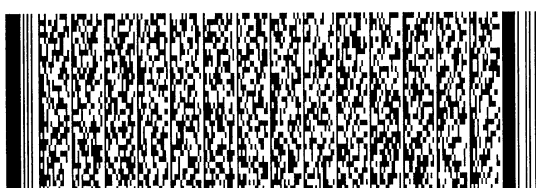
低門檻計數值L_TH與高門檻計數值H_TH的計算方式如式(2)與式(3)所示：

$$\begin{aligned} L_TH &= CF * 22.05k * 2 / (22.05k + 23.05k) * 7 \\ &= CF * 308.7 / 45.1 \end{aligned} \quad (2)$$

$$\begin{aligned} H_TH &= CF * 22.05k * 2 / (22.05k + 21.05k) * 7 \\ &= CF * 308.7 / 43.1 \end{aligned} \quad (3)$$

其中，CF為ATIP FM信號在中心頻頻率時每週期所對應的高頻時脈HFC之脈衝數。若以32倍數之光碟機而言，若高頻時脈HFC之頻率設定為67.7376MHz時，則CF為96(67.7376MHz / 705.6KHz)。根據式(2)與式(3)，低門檻計數值L_TH與高門檻計數值H_TH分別約為657與688。

圖7所示為四種以14個ATIP FM信號之半週期為計數週期的例子。圖中之T為ATIP FM信號之低頻週期，而t為ATIP FM信號之高頻週期。如該圖所示，四種例子以雙相位資料顯示分別為(A)10、(B)11、(C)00、以及(D)01，且所代表之ATIP資料分別為1、0、0、1。若以本發明第二解碼器46分別計數該四種例子之高頻時脈的脈衝數，則在32倍數之架構下，若高頻時脈HFC之頻率設定為67.7376MHz時，則脈衝數分別為672(67.7376M/(22.05K*32)*7)、642(67.7376M/(23.05K*32)*7)、704(67.7376M/(21.05K*32)*7)、672(67.7376M/(22.05K*32)*7)。所以，根據上述之數據顯示，只要脈衝數介於低門檻計數值L_TH與高門檻計數值H_TH



五、發明說明 (8)

之間，則ATIP資料為H，否則ATIP資料為L。圖7中每個ATIP位元出現的頻率為 $100.8k(22.05K*32/7)$ ，為了便於說明將ATIP位元為1的寬度與0的寬度劃成不同寬度，實際上ATIP位元為1的寬度與0的寬度是相同的，亦即該實施例為 $1/100.8k$ 。

圖8顯示部分信號的時序圖。圖8(A)為高頻時脈。圖8(B)為ATIP FM信號。圖8(C)顯示以ATIP FM信號之每個半週期為計數週期所計數之高頻時脈的脈衝數。圖8(D)顯示習知技術以圖8(C)之計數值所產生之雙相位信號。圖8(E)顯示以ATIP FM信號每7個半週期為計數週期所計數之高頻時脈的脈衝數。圖8(F)顯示本發明以圖8(E)之計數值所產生之雙相位信號。圖8(G)顯示以ATIP FM信號每14個半週期(7週期)為計數週期所計數之高頻時脈的脈衝數。圖8(H)顯示本發明以圖8(G)之計數值所產生之ATIP位元資料。該圖之環境為32倍數光碟機，且所使用之高頻時脈的頻率設定為67.7376MHz。因此，從該圖即可了解到使用習知技術時，會造成雙相位資料的錯誤。但本發明之方法與裝置則不受影響。另外，從該圖也可了解到，在高頻時脈相同之頻率下，本發明之解析度高於習知技術之解析度。

以下參考圖9說明本發明絕對時間(ATIP)位元資料產生方法的實施步驟。該實施步驟係包含：

步驟S900：產生ATIP FM信號，係接收一光學頭所產生之信號，並加以處理後產生ATIP FM信號。

步驟S902：產生高頻時脈，係以ATIP FM信號作為參考，產生高頻時脈。可藉由高頻鎖相迴路PLL產生。

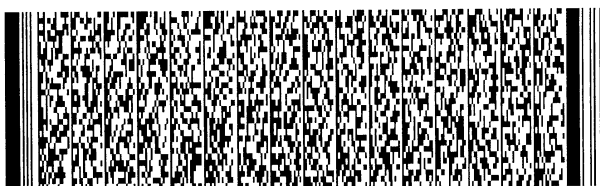


五、發明說明 (9)

步驟S904：產生同步指示信號，係根據ATIP FM信號以及高頻時脈，產生同步指示信號。該同步指示信號被致能時，係表示偵測到ATIP信號。

步驟S906：產生ATIP信號，係在同步指示信號被致能時，以ATIP FM信號之複數個半週期為計數週期，計算每個計數週期所對應之高頻時脈的脈衝數。當該脈衝數小於第一門檻值或大於第二門檻值時，輸出第一位準之ATIP位元資料；而當該脈衝數介於第一門檻值與第二門檻值之間時，輸出第二位準之ATIP位元資料。第一門檻值與第二門檻值之參考值如式(2)與(3)所示。

以上雖以實施例說明本發明，但並不因此限定本發明之範圍，只要不脫離本發明之要旨，該行業者可進行各種變形或變更。



圖式簡單說明

圖1為42位元之ATIP資訊區塊架構圖。

圖2所示為習知可寫CD ATIP資料之頻率調變至雙相位資料轉換之架構圖。

圖3所示為ATIP FM資料與雙相位資料之關係，其中(A)為ATIP FM資料、(B)為雙相位資料、以及(C)為雙相位時脈信號。

圖4顯示本發明位元資料產生器之架構圖。

圖5顯示本發明第一解碼器之架構圖。

圖6顯示本發明第二解碼器之架構圖。

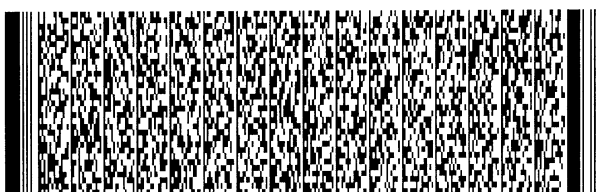
圖7所示為四種以ATIP FM信號每14個半週期為計數週期的例子。

圖8顯示部分信號的時序圖。

圖9顯示本發明位元資料產生器之流程圖。

【圖式編號】

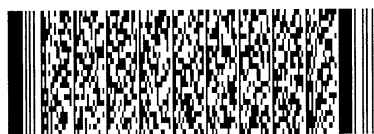
- 40 位元資料產生器
- 41 光碟
- 42 光學頭
- 43 類比處理器
- 44 第一解碼器
- 441、461 脈衝計數器
- 442、463、464 比較器
- 45 同步標記偵測器
- 46 第二解碼器
- 465 及閘



圖式簡單說明

47 微 處 理 器

48 高 頻 鎖 相 迴 路 (PLL)

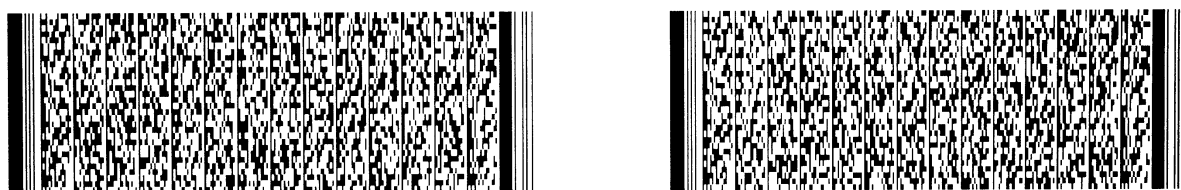


四、中文發明摘要 (發明名稱：光碟之絕對時間(ATIP)位元資料產生器與產生方法)

提出一種光碟之絕對時間(ATIP)位元資料產生器，可不受責任週期不平均之影響。該位元資料產生器包含類比處理器，係接收一光學頭所產生之信號，並加以處理後產生ATIP FM信號；一高頻鎖相迴路，係以ATIP FM信號作為參考，產生高頻時脈；一第一解碼器，係接收ATIP FM信號以及高頻時脈，並產生雙相位編碼資料；一同步標記偵測器，係接收雙相位編碼資料以及高頻時脈，並產生同步指示信號；以及一第二解碼器，係以同步指示信號為參考，以複數個ATIP FM信號之半週期為計數週期，計算每個計數週期之高頻時脈的脈衝數，當該脈衝數小於第一門檻值時或大於第二門檻值時，輸出第一位準之ATIP位元資料，而當該脈衝數介於該第一門檻值與第二門檻值之間時，輸出第二位準之ATIP位元資料。

六、英文發明摘要 (發明名稱：Device and method of generating ATIP bit pattern)

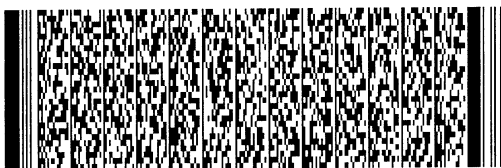
An ATIP (absolute time in pre-groove) bit data generator free from an uneven duty cycle. The ATIP bit data generator includes an analog processor, a high-frequency clock generator, a first decoder, a sync pattern detector, and a second decoder. The analog processor receives a signal generated from an optical pickup, and generates an ATIP FM signal. The high-frequency clock generator provides a



四、中文發明摘要 (發明名稱：光碟之絕對時間(ATIP)位元資料產生器與產生方法)

六、英文發明摘要 (發明名稱：Device and method of generating ATIP bit pattern)

high-frequency clock using the ATIP FM signal as a reference signal. The first decoder receives the ATIP FM signal and the high-frequency clock and generates bi-phase data. The sync pattern detector receives the bi-phase data and the high-frequency clock to generate a sync indication signal. The second decoder counts the pulse number of the high-frequency clock for each counting cycle, which



四、中文發明摘要 (發明名稱：光碟之絕對時間(ATIP)位元資料產生器與產生方法)

六、英文發明摘要 (發明名稱：Device and method of generating ATIP bit pattern)

includes a plurality of half periods of the ATIP FM signal. When the pulse number is smaller than a lower threshold value or greater than an upper threshold value, the second decoder outputs ATIP bit data with a first level, otherwise, the second decoder outputs ATIP bit data with a second level.



六、申請專利範圍

1. 一種絕對時間(ATIP)位元資料產生器，係包含：

一類比處理器，係接收一光學頭所產生之信號，並加以處理後產生絕對時間調頻(ATIP FM)信號；

一高頻鎖相迴路，係以前述ATIP FM信號作為參考，產生高頻時脈；

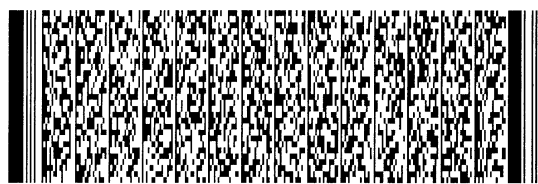
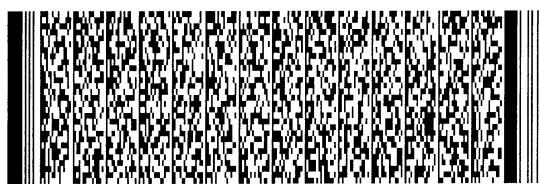
一第一解碼器，係接收前述ATIP FM信號以及前述高頻時脈，並產生雙相位編碼資料；

一同步標記偵測器，係接收前述雙相位編碼資料以及前述高頻時脈，並產生同步指示信號；以及

一第二解碼器，係以前述同步指示信號為參考，以前述ATIP FM信號之複數個半週期為第一計數週期，計算每個第一計數週期所對應之前述高頻時脈的脈衝數，當該脈衝數小於第一門檻值時或大於第二門檻值時，輸出第一位準之ATIP位元資料，而當該脈衝數介於該第一門檻值與第二門檻值之間時，輸出第二位準之ATIP位元資料。

2. 如申請專利範圍第1項所記載之絕對時間(ATIP)位元資料產生器，其中前述第一解碼器包含：

一脈衝計數器，係接收前述ATIP FM信號與前述高頻時脈，並以每7個ATIP FM信號之半週期為第二計數週期，計數每個第二計數週期所對應之高頻時脈的脈衝數，產生第一脈衝數與第一觸發信號，該第一觸發信號係利用前述高頻時脈計數前述ATIP FM信號，若至少兩個相鄰半週期弦波之長度介於一定範圍內，即為第一觸發信號點；以此第一觸發信號點為起點，計數7個ATIP FM信號半週期，可產生下一個第一



六、申請專利範圍

觸發信號；以及

一比較器，係在前述第一觸發信號致能時，比較前述第一脈衝數與一脈衝門檻值，並產生前述雙相位編碼資料。

3. 如申請專利範圍第1項所記載之絕對時間(ATIP)位元資料產生器，其中前述第一位準之ATIP位元資料為L。

4. 如申請專利範圍第1項所記載之絕對時間(ATIP)位元資料產生器，其中前述第二位準之ATIP位元資料為H。

5. 如申請專利範圍第1項所記載之絕對時間(ATIP)位元資料產生器，其中前述第二解碼器包含：

一脈衝計數器，係計數前述每個第一計數週期所對應之前述高頻時脈的脈衝數，並產生脈衝計數值；

一第一比較器，係比較前述脈衝計數值與前述第一門檻值，並產生第一比較信號；

一第二比較器，係比較前述脈衝計數值與前述第二門檻值，並產生第二比較信號；以及

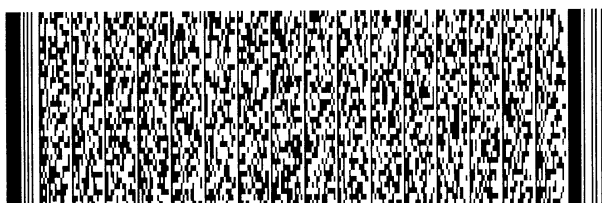
一及閘，係接收前述第一比較信號與第二比較信號，並產生前述位元資料。

6. 如申請專利範圍第5項所記載之絕對時間(ATIP)位元資料產生器，其中前述第一計數週期為7個ATIP FM信號之週期。

7. 如申請專利範圍第5項所記載之絕對時間(ATIP)位元資料產生器，其中前述第一門檻值實質上為：

$$CF * 308.7 / 45.1$$

其中，CF為前述ATIP FM信號在中心頻頻率時每週期所



六、申請專利範圍

對應的高頻時脈HFC之脈衝數。

8. 如申請專利範圍第5項所記載之絕對時間(ATIP)位元資料產生器，其中前述第二門檻值實質上為：

$$CF * 308.7 / 43.1$$

其中，CF為前述ATIP FM信號在中心頻頻率時每週期所對應的高頻時脈HFC之脈衝數。

9. 一種絕對時間(ATIP)位元資料產生方法，係包含：

產生ATIP FM信號，係接收一光學頭所產生之信號，並加以處理後產生ATIP FM信號；

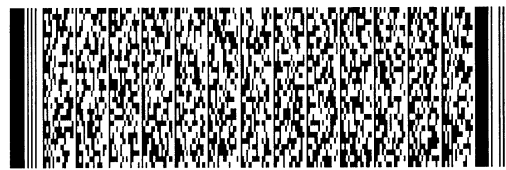
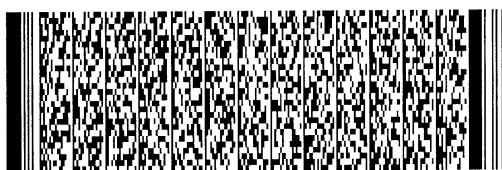
產生高頻時脈，係以前述ATIP FM信號作為參考，產生高頻時脈；

產生同步指示信號，係根據ATIP FM信號以及前述高頻時脈，產生同步指示信號；以及

產生ATIP信號，係以前述同步指示信號為參考，以前述ATIP FM信號之複數個半週期為計數週期，計算每個計數週期所對應之前述高頻時脈的脈衝數，當該脈衝數小於第一門檻值或大於第二門檻值時，輸出第一位準之ATIP位元資料，而當該脈衝數介於該第一門檻值與第二門檻值之間時，輸出第二位準之ATIP位元資料。

10. 如申請專利範圍第9項所記載之絕對時間(ATIP)位元資料產生方法，其中前述計數週期為7個ATIP FM信號之週期。

11. 如申請專利範圍第9項所記載之絕對時間(ATIP)位元資料產生方法，其中前述第一位準之ATIP位元資料為L。



六、申請專利範圍

12. 如申請專利範圍第9項所記載之絕對時間(ATIP)位元資料產生方法，其中前述第二位準之ATIP位元資料為H。

13. 如申請專利範圍第9項所記載之絕對時間(ATIP)位元資料產生方法，其中前述第一門檻值實質上為：

$$CF * 308.7 / 45.1$$

其中，CF為前述ATIP FM信號在中心頻頻率時每週期所對應的高頻時脈HFC之脈衝數。

14. 如申請專利範圍第9項所記載之絕對時間(ATIP)位元資料產生方法，其中前述第二門檻值實質上為：

$$CF * 308.7 / 43.1$$

其中，CF為前述ATIP FM信號在中心頻頻率時每週期所對應的高頻時脈HFC之脈衝數。

