



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월04일
(11) 등록번호 10-2371332
(24) 등록일자 2022년03월02일

- (51) 국제특허분류(Int. Cl.)
HO1L 23/48 (2006.01) *HO1L 23/28* (2006.01)
- (21) 출원번호 10-2014-0153092
(22) 출원일자 2014년11월05일
심사청구일자 2019년10월29일
- (65) 공개번호 10-2015-0051924
(43) 공개일자 2015년05월13일
- (30) 우선권주장
14/528,447 2014년10월30일 미국(US)
61/900,394 2013년11월05일 미국(US)
- (56) 선행기술조사문현
JP2002026178 A*
JP2013207213 A*
JP08213755 A
*는 심사관에 의하여 인용된 문현

- (73) 특허권자
스카이워크스 솔루션즈, 인코포레이티드
미국 92617 캘리포니아주 엘바인 캘리포니아 애비뉴 5260
- (72) 발명자
로비안코, 안토니 제임스
미국 92614 캘리포니아주 엘바인 소렌토 30
챈, 하워드 이.
미국 92808 캘리포니아주 애너하임 사우쓰 로즈버드 코트 418
- 화이트필드, 데이비드 스콧
미국 01810 메사추세츠주 앤도버 파인트리 레인 19
- (74) 대리인
양영준, 정은진, 백만기

전체 청구항 수 : 총 20 항

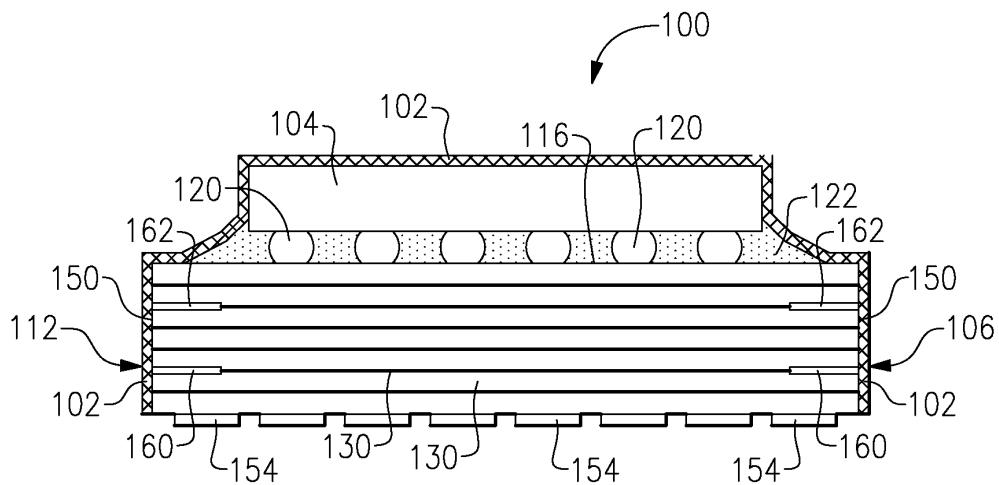
심사관 : 정구원

(54) 발명의 명칭 세라믹 기판들 상에서 RF 장치들의 패키징과 관련된 장치들 및 방법들

(57) 요약

세라믹 기판들 상의 RF(radio-frequency) 장치들의 패키징과 관련된 장치들 및 방법들이 개시된다. 일부 실시예들에서, 패키징된 전자 장치는 하나 이상의 컴포넌트를 수용하도록 구성되는 세라믹 기판을 포함할 수 있다. 세라믹 기판은 접지 평면과 전기적으로 접촉하는 도전층을 포함할 수 있다. 패키징된 전자 장치는 접지 회로를 갖고 세라믹 기판의 표면 상에 실장되는 다이를 더 포함할 수 있다. 패키징된 전자 장치는 차폐 기능을 제공하기 위해 다이 위에 구현되는 컨포멀 도전성 코팅을 더 포함할 수 있다. 패키징된 전자 장치는 컨포멀 도전성 코팅과 도전층 사이의 전기 접속을 더 포함할 수 있다.

대표도 - 도4



명세서

청구범위

청구항 1

패키징된 전자 장치로서,

하나 이상의 컴포넌트를 수용하도록 구성되는 세라믹 기판 - 상기 세라믹 기판은 접지 평면과 전기적으로 접촉하는 도전층을 포함함 -;

접적 회로를 갖는 다이 - 상기 다이는 상기 세라믹 기판의 표면 상에 실장됨 -;

차폐 기능을 제공하기 위해, 상기 다이 위에 그리고 상기 세라믹 기판의 측면 에지들로 연장하는 상기 세라믹 기판의 표면 상에 구현되는 컨포멀 도전성 코팅(conformal conductive coating) - 상기 컨포멀 도전성 코팅은 상기 세라믹 기판의 코너 상에서 캡을 가짐 - ; 및

상기 컨포멀 도전성 코팅과 상기 도전층 사이의 전기 접속

을 포함하는 패키징된 전자 장치.

청구항 2

제1항에 있어서,

상기 컨포멀 도전성 코팅은 상기 다이 바로 위에 구현되는 패키징된 전자 장치.

청구항 3

제2항에 있어서,

상기 다이는 플립칩 장치(flip-chip device)로서 구성되는 패키징된 전자 장치.

청구항 4

제3항에 있어서,

상기 플립칩 장치와 상기 세라믹 기판 사이에 구현되는 언더필(underfill)을 더 포함하는 패키징된 전자 장치.

청구항 5

제4항에 있어서,

상기 언더필은 상기 플립칩 장치의 측벽들과 상기 세라믹 기판의 상기 표면 사이에 각진 전이(angled transition)를 제공하도록 구성되는 에지 프로파일을 포함하는 패키징된 전자 장치.

청구항 6

제5항에 있어서,

상기 언더필의 상기 각진 전이 프로파일이 구성되어, 상기 플립칩 장치와 상기 세라믹 기판 사이의 상기 컨포멀 도전성 코팅의 커버리지 개선을 가능하게 하는 패키징된 전자 장치.

청구항 7

제2항에 있어서,

상기 접적 회로는 무선 주파수(radio-frequency) 스위칭 회로를 포함하는 패키징된 전자 장치.

청구항 8

제7항에 있어서,

상기 다이는 실리콘-온-인슐레이터(silicon-on-insulator) 다이인 패키징된 전자 장치.

청구항 9

제1항에 있어서,

상기 도전층은, 상기 도전층의 에지가 상기 컨포멀 도전성 코팅과 전기적으로 접촉하도록 상기 세라믹 기판의 대응하는 측면 에지를 따르는 에지를 포함하는 패키징된 전자 장치.

청구항 10

제9항에 있어서,

상기 도전층은 상기 세라믹 기판의 대응하는 측면 에지를 따르는 도전성 스트립을 포함하는 패키징된 전자 장치.

청구항 11

제10항에 있어서,

상기 도전성 스트립은 상기 도전성 스트립과 상기 컨포멀 도전성 코팅 사이의 전기 접촉을 가능하게 하기 위해 상기 세라믹 기판의 대응하는 측면 에지 상에 충분히 노출되는 에지를 포함하는 패키징된 전자 장치.

청구항 12

제11항에 있어서,

상기 도전층은, 상기 세라믹 기판의 각각의 에지가 상기 컨포멀 도전성 코팅과 전기적으로 접촉하는 상기 도전성 스트립의 대응하는 노출된 에지를 포함하도록 배열되는 복수의 도전성 스트립을 포함하는 패키징된 전자 장치.

청구항 13

제1항에 있어서,

상기 컨포멀 도전성 코팅은 퇴적(deposition)에 의해 형성되는 금속 패인트 층 또는 도전층을 포함하는 패키징된 전자 장치.

청구항 14

제1항에 있어서,

상기 세라믹 기판은 저온 동시 소성 세라믹(low-temperature co-fired ceramic) 기판을 포함하는 패키징된 전자 장치.

청구항 15

제1항에 있어서,

상기 세라믹 기판의 하면 상에 구현되는 복수의 접촉 패드를 더 포함하고, 상기 접촉 패드들은 상기 패키징된 전자 장치를 회로 보드 상에 실장하는 것을 가능하게 하도록 구성되는 패키징된 전자 장치.

청구항 16

제2항에 있어서,

상기 다이 바로 위의 상기 컨포멀 도전성 코팅은 상기 패키징된 전자 장치가 낮은 프로파일의 차폐된 장치가 되게 하는 패키징된 전자 장치.

청구항 17

제1항에 있어서,

상기 컨포멀 도전성 코팅이 오버몰드의 표면 상에 구현되도록 상기 다이 위에 구현된 오버몰드를 더 포함하는,

패키징된 전자 장치.

청구항 18

제17항에 있어서,

상기 오버볼드는 그의 측벽들이 상기 세라믹 기판의 대응하는 측벽들과 전체적으로 정렬되는 크기를 갖는 패키징된 전자 장치.

청구항 19

무선 주파수 신호를 처리하도록 구성되는 무선 주파수 모듈로서,

하나 이상의 컴포넌트를 수용하도록 구성되는 세라믹 기판 - 상기 세라믹 기판은 접지 평면과 전기적으로 접촉하는 도전층을 포함함 -;

집적 회로를 갖는 다이 - 상기 다이는 상기 세라믹 기판의 표면 상에 실장됨 -;

차폐 기능을 제공하기 위해, 상기 다이 위에 그리고 상기 세라믹 기판의 측면 에지들로 연장하는 상기 세라믹 기판의 표면 상에 구현되는 컨포멀 도전성 코팅(conformal conductive coating) - 상기 컨포멀 도전성 코팅은 상기 세라믹 기판의 코너 상에서 접을 가짐 - ; 및

상기 컨포멀 도전성 코팅과 상기 도전층 사이의 전기 접속

을 포함하는 무선 주파수 모듈.

청구항 20

제19항에 있어서, 상기 도전층은 상기 도전층의 에지가 상기 컨포멀 도전성 코팅과 전기적으로 접촉하도록 상기 세라믹 기판의 대응하는 측면 에지를 따르는 에지를 포함하는 무선 주파수 모듈.

발명의 설명

기술 분야

[0001]

관련 출원(들)의 상호 참조

[0002]

본원은 "DEVICES AND METHODS RELATED TO PACKAGING OF RADIO-FREQUENCY DEVICES ON CERAMIC SUBSTRATES"라는 명칭으로 2013년 11월 5일자로 출원된 미국 출원 제61/900,394호에 대해 우선권을 주장하며, 이로써 그의 개시 내용 전체는 본 명세서에 참고로 포함된다.

[0003]

분야

[0004]

본 발명은 일반적으로 패키징된 RF(radio-frequency) 모듈들의 차폐에 관한 것이다.

배경 기술

[0005]

전자기(EM) 장들은 RF 모듈과 같은 무선 주파수(RF) 장치의 한 영역으로부터 발생할 수 있거나 그에 대해 바람직하지 않은 영향을 미칠 수 있다. 그러한 EM 간섭(EMI)은 그러한 RF 모듈을 사용하는 무선 장치들의 성능을 저하시킬 수 있다. 일부 RF 모듈들은 EMI와 관련된 그러한 성능 문제들을 해결하기 위해 EM 차폐기들을 구비할 수 있다.

발명의 내용

[0006]

발명의 요약

[0007]

일부 구현들에 따르면, 본 발명은 하나 이상의 컴포넌트를 수용하도록 구성되는 세라믹 기판을 포함하는 패키징된 전자 장치와 관련된다. 세라믹 기판은 접지 평면과 전기적으로 접촉하는 도전층을 포함한다. 패키징된 전자 장치는 집적 회로를 갖는 다이를 더 포함한다. 다이는 세라믹 기판의 표면 상에 실장된다. 패키징된 전자 장치는 차폐 기능을 제공하기 위해 다이 위에 구현된 컨포멀 도전성 코팅(conformal conductive coating)을 더 포함한다. 패키징된 전자 장치는 컨포멀 도전성 코팅과 도전층 사이에 전기적 접속을 더 포함한다.

- [0008] 일부 실시예들에서, 컨포멀 도전성 코팅은 실질적으로 다이 바로 위에 구현될 수 있다. 다이 바로 위의 컨포멀 도전성 코팅은 패키징된 전자 장치가 낮은 프로파일의 차폐된 장치가 되게 할 수 있다.
- [0009] 일부 실시예들에서, 다이는 플립칩 장치로서 구성될 수 있다. 패키징된 전자 장치는 플립칩 장치와 세라믹 기판 사이에 구현된 언더필(underfill)을 더 포함할 수 있다. 언더필은 플립칩 장치의 측벽들과 세라믹 기판의 표면 사이에 각진 전이를 제공하도록 구성되는 에지 프로파일을 포함할 수 있다. 언더필의 각진 전이 프로파일은 플립칩 장치와 세라믹 기판 사이에서 컨포멀 도전성 코팅의 커버리지의 개선을 가능하게 하도록 구성될 수 있다.
- [0010] 일부 실시예들에서, 집적 회로는 RF 스위칭 회로를 포함할 수 있다. 일부 실시예들에서, 다이는 SOI(silicon-on-insulator) 다이일 수 있다.
- [0011] 일부 실시예들에서, 전기적 접속은 세라믹 기판의 표면 상의 컨포멀 도전성 코팅의 일부 및 세라믹 기판의 표면 상의 컨포멀 도전성 코팅과 도전층 사이의 전기적 접속을 제공하도록 구성되는 복수의 도전성 비아를 포함할 수 있다. 도전층은 세라믹 기판 내에 구현된 하나 이상의 도전성 스트립을 포함할 수 있다. 도전층은 일반적으로 세라믹 기판의 에지들에 또는 그 근처에 둘레를 형성하도록 배열된 복수의 도전성 스트립을 포함할 수 있다. 하나 이상의 도전성 스트립 각각은 대응하는 도전성 비아들과 측방으로 적어도 부분적으로 오버랩될 수 있다.
- [0012] 일부 실시예들에서, 전기적 접속은 세라믹 기판의 측면 에지들로 연장하는 세라믹 기판의 표면 상의 컨포멀 도전성 코팅의 일부를 포함할 수 있다. 도전층은 세라믹 기판의 대응하는 측면 에지를 따르는 에지를 포함할 수 있으며, 따라서 도전층의 에지는 컨포멀 도전성 코팅과 전기적으로 접촉한다. 도전층은 세라믹 기판의 대응하는 측면 에지를 따르는 도전성 스트립을 포함할 수 있다. 도전성 스트립은 도전성 스트립과 컨포멀 도전성 코팅 간의 전기적 접촉을 가능하게 하기 위해 세라믹 기판의 대응하는 측면 에지 상에 충분히 노출된 에지를 포함할 수 있다. 도전층은 세라믹 기판의 각각의 에지가 컨포멀 도전성 코팅과 전기적으로 접촉하는 도전성 스트립의 대응하는 노출된 에지를 포함하도록 배열된 복수의 도전성 스트립을 포함할 수 있다.
- [0013] 일부 실시예들에서, 컨포멀 도전성 코팅은 퇴적(deposition)에 의해 형성된 금속 페인트 층 또는 도전층을 포함할 수 있다. 일부 실시예들에서, 세라믹 기판은 저온 동시 소성 세라믹(low-temperature co-fired ceramic; LTCC) 기판을 포함할 수 있다. 일부 실시예들에서, 패키징된 전자 장치는 세라믹 기판의 하면 상에 구현된 복수의 접촉 패드를 더 포함할 수 있다. 접촉 패드들은 회로 보드 상의 패키징된 전자 장치의 실장을 가능하게 하도록 구성될 수 있다. 일부 실시예들에서, 패키징된 전자 장치는 다이 위에 구현된 오버몰드를 더 포함할 수 있으며, 따라서 컨포멀 코팅(conformal coating)은 오버몰드의 표면 상에 구현된다. 오버몰드는 그의 측벽들이 세라믹 기판의 대응하는 측벽들과 전체적으로 정렬되는 크기를 가질 수 있다.
- [0014] 다수의 구현에서, 본 발명은 RF 신호를 생성하도록 구성되는 송수신기, 및 RF 신호를 처리하도록 구성되는 RF 모듈을 포함하는 무선 장치와 관련된다. RF 모듈은 하나 이상의 컴포넌트를 수용하도록 구성되는 세라믹 기판을 포함한다. 세라믹 기판은 접지 평면과 전기적으로 접촉하는 도전층을 포함한다. RF 모듈은 집적 회로를 갖는 다이를 더 포함하며, 다이는 세라믹 기판의 표면 상에 실장된다. RF 모듈은 차폐 기능을 제공하기 위해 다이 위에 구현되는 컨포멀 도전성 코팅을 더 포함한다. RF 모듈은 컨포멀 도전성 코팅과 도전층 사이의 전기적 접속을 더 포함한다. 무선 장치는 RF 모듈과 통신하는 안테나를 더 포함한다. 안테나는 처리된 RF신호의 전송을 가능하게 하도록 구성된다.
- [0015] 일부 구현들에서, 본 발명은 패키징된 RF 모듈을 제조하기 위한 방법과 관련된다. 방법은 하나 이상의 컴포넌트를 수용하도록 구성되는 세라믹 기판을 형성 또는 제공하는 단계를 포함한다. 세라믹 기판은 접지 평면과 전기적으로 접촉하는 도전층을 포함한다. 방법은 세라믹 기판의 표면 상에 다이를 실장하는 단계를 더 포함하며, 다이는 집적 회로를 포함한다. 방법은 다이 위에 도전층과 전기적으로 접촉하는 컨포멀 도전성 코팅을 형성하는 단계를 더 포함하여 다이에 대한 차폐 기능을 제공한다.
- [0016] 일부 실시예들에서, 세라믹 기판은 라인들의 그리드에 의해 정의되는 유닛들의 어레이를 갖는 스택 내에 배열된 복수의 세라믹 층을 포함할 수 있으며, 라인들을 따르는 개별화 프로세스는 유닛들의 복수의 개별 유닛으로의 분리를 제공한다. 방법은 컨포멀 도전성 코팅을 형성하기 전에 유닛들의 어레이를 개별화하는 단계를 더 포함할 수 있다. 다이의 실장은 개별화 단계 전에 유닛들 각각에 대해 수행될 수 있다.
- [0017] 일부 가르침들에 따르면, 본 발명은 복수의 패키징된 RF 모듈을 제조하기 위한 세라믹 기판과 관련된다. 세라믹 기판은 유닛들의 어레이를 갖는 스택 내에 배열된 복수의 세라믹 층을 포함한다. 각각의 유닛은 하나 이상의 컴포넌트를 수용하도록 구성된다. 유닛들의 어레이는 라인들의 그리드에 의해 정의되며, 라인들을 따르는

개별화 프로세스는 유닛들의 복수의 개별 유닛으로의 분리를 제공한다. 세라믹 기판은 스택 내에 구현되는 접지 평면을 더 포함한다. 세라믹 기판은 스택 내에 구현되고 접지 평면과 전기적으로 접촉하는 도전층을 더 포함한다. 도전층은 개별화 프로세스 시에 각각의 개별 유닛의 적어도 하나의 예지가 도전층의 노출된 예지를 포함하도록 구성된다.

[0018] 일부 실시예들에서, 도전층은 라인들의 그리드 중 대응하는 하나의 라인을 따라 구현되는 도전성 스트립을 포함할 수 있고, 따라서 라인들을 따르는 개별화 프로세스는 2개의 이웃 유닛으로 분리되며, 각각의 유닛은 도전성 스트립의 절단 예지를 노출된 예지로서 갖는다. 일부 실시예들에서, 세라믹 기판은 유전층, 수동 컴포넌트 및 도체 특징부 중 하나 이상을 더 포함할 수 있다. 수동 컴포넌트는 저항성 요소, 용량성 요소 또는 유도성 요소를 포함할 수 있다. 도체 특징부는 도체 트레이스 또는 도전성 비아를 포함할 수 있다. 일부 실시예들에서, 세라믹 기판은 저온 동시 소성 세라믹(LTCC) 기판을 포함할 수 있다.

[0019] 여기서는 본 발명을 요약하는 목적을 위해 본 발명의 소정 양태들, 장점들 및 새로운 특징들이 설명되었다. 모든 그러한 장점들이 본 발명의 임의의 특정 실시예에 따라 반드시 달성되지는 않을 수 있다는 것을 이해해야 한다. 따라서, 본 발명은 본 명세서에서 교시되는 바와 같은 하나의 장점 또는 장점들의 그룹을 달성하거나 최적화하고 본 명세서에서 교시되거나 시사될 수 있는 바와 같은 다른 장점들을 반드시 달성하지는 않는 방식으로 구현되거나 실시될 수 있다.

도면의 간단한 설명

[0020] 도 1은 세라믹 기판과 같은 기판 상에 실장된 캡슐화되지 않은 장치를 포함하는 차폐된 패키징된 장치를 나타낸다.

도 2는 도 1의 패키징된 장치의 더 구체적인 예를 나타내며, 여기서는 저온 동시 소성 세라믹(LTCC) 기판과 같은 세라믹 기판 상에 플립칩이 실장되는 것으로 도시된다.

도 3은 도전성 스트립들이 도 2의 세라믹 기판 내에 구현될 수 있고, 도전성 스트립들이 복수의 도전성 비아에 전기적으로 접속될 수 있어, 결국, 세라믹 기판 위에 형성된 도전층에 전기적으로 접속될 수 있다는 것을 나타낸다.

도 4는 도 1의 패키징된 장치의 더 구체적인 예로서 구현될 수 있는 구성을 나타낸다.

도 5는 세라믹 기판과 같은 기판의 하나 이상의 예지를 따라 노출된 예지를 형성하기 위해 도전층이 구현될 수 있는 방법의 일례를 나타낸다.

도 6은 일부 실시예들에서 세라믹 기판이 도 5의 예와 같은 도전층의 노출된 예지(들)를 통해 전기 접속 능력을 산출하도록 구성될 수 있다는 것을 나타낸다.

도 7은 세라믹 기판의 유닛들의 어레이가 복수의 개별 유닛으로 개별화될 수 있는 일례를 나타낸다.

도 8은 본 명세서에서 설명되는 바와 같은 하나 이상의 특징부를 갖는 차폐된 RF 모듈을 제조하도록 구현될 수 있는 프로세스를 나타낸다.

도 9는 본 명세서에서 설명되는 바와 같은 하나 이상의 특징부를 갖는 세라믹 기판이 오버몰드를 갖는 차폐된 RF 모듈을 위해 사용될 수 있다는 것을 나타낸다.

도 10은 본 명세서에서 설명되는 바와 같은 하나 이상의 특징부를 갖는 차폐된 RF 모듈을 포함하는 무선 장치를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0021] 존재할 경우에 본 명세서에서 제공되는 제목들은 편의를 위한 것일 뿐이며, 청구 발명의 범위 또는 의미에 반드시 영향을 주지는 않는다.

[0022] 본 명세서에서는 플립칩 다이와 같은 RF 장치들이 세라믹 기판과 같은 패키징 기판 상에 실장되고 차폐될 수 있는 방법의 다양한 예들이 개시된다. 플립칩 다이와 관련하여 설명되지만, 본 발명의 하나 이상의 특징은 논-플립칩 다이를 포함하는 응용들을 포함하는 다른 응용들에서 구현될 수 있다는 것을 이해할 것이다. 본 발명의 하나 이상의 특징은 다른 타입의 논-세라믹 기판들에서도 구현될 수 있다는 것도 이해할 것이다.

[0023] 도 1은 세라믹 기판(106) 상에 실장된 캡슐화되지 않은 장치(104)를 포함하는 차폐된 패키징된 장치(100)의 일

례를 나타낸다. 본 명세서에서 설명되는 바와 같이, 그러한 캡슐화되지 않은 장치는 예를 들어 플립칩일 수 있다. 본 명세서에서 설명되는 바와 같이, 세라믹 기판(106) 상에 실장된 그러한 플립칩(104)은 오버몰드의 사용 없이 차폐될 수 있으며, 따라서 예를 들어 패키징된 장치(100)의 높이 감소를 가능하게 한다. 예를 들어, 패키징된 장치(100)의 전체 높이는 0.65mm의 예시적인 사양보다 작아질 수 있다.

[0024] 도 1의 예에서, 패키징된 장치(100)는 캡슐화되지 않은 장치(104) 및 세라믹 기판(106)의 상면(108)의 노출된 부분의 일부 또는 전부를 실질적으로 커버하는 도전성 재료의 컨포멀 코팅(102)을 포함하는 것으로 도시된다. 그러한 컨포멀 코팅은 전기 접속 구성(112)에 의해 세라믹 기판 내의 접지 노드(110)에 전기적으로 접속될 수 있다. 그러한 전기적 접속들이 구현될 수 있는 방법의 다양한 예들이 본 명세서에서 더 상세히 설명된다.

[0025] 본 명세서에서 설명되는 바와 같이, 캡슐화되지 않은 장치(104)는 예를 들어 하나 이상의 스위칭 회로를 갖는 다이를 포함할 수 있다. 다른 타입의 RF회로를 갖는 다이도 사용될 수 있다. 일부 실시예들에서, 그러한 스위칭 다이는 SOI 다이를 포함할 수 있다. 다른 타입의 프로세스 기술도 구현될 수 있다. 본 명세서에서 설명되는 바와 같이, 세라믹 기판(106)은 예를 들어 저온 동시 소성 세라믹(LTCC) 기판, 고온 동시 소성 세라믹(HTCC) 기판 또는 다른 타입의 세라믹 재료들 및/또는 구성을 포함할 수 있다.

[0026] 도 2는 도 1의 패키징된 장치의 더 구체적인 예일 수 있는 예시적인 구성(100)을 나타낸다. 본 예에서, SOI 스위칭 다이와 같은 플립칩(104)이 LTCC 기판과 같은 세라믹 기판(106) 상에 실장되는 것으로 도시된다. 세라믹 기판(106) 상에서의 플립칩(104)의 그러한 실장은 솔더 볼들(120)의 어레이에 의해 가능해 질 수 있다. 그러한 솔더 볼들(120)은 기계적 실장 기능은 물론, 플립칩(104)과 세라믹 기판(106)의 실장 표면(116) 상에 형성된 접촉 패드들 간의 전기적 접속들도 제공할 수 있다.

[0027] 도 2에 도시된 바와 같이, 플립칩(104)과 세라믹 기판(106) 사이에 언더필(122)이 형성될 수 있다. 그러한 언더필은 플립칩(104)의 에지를 근처에 구성되어 도전성 재료의 컨포멀 코팅(102)의 더 쉬운 형성을 가능하게 할 수 있다. 예를 들어, 언더필(122)의 주변부는 플립칩(104)의 수직 에지들과 세라믹 기판(106)의 수평 표면(116) 사이에 각진 전이를 제공하는 것으로 도시된다.

[0028] 일부 실시예들에서, 컨포멀 코팅(102)은 예를 들어 분무 또는 다양한 퇴적 방법들에 의한 도전성 재료의 도포에 의해 형성될 수 있다. 그러한 도전성 재료의 코팅은 그가 커버하는 부분들의 차폐 기능을 제공할 수 있다. 패키징된 장치(100)에 대한 전반적인 차폐 성능은 세라믹 기판(106)의 에지들은 물론, 플립칩(104) 아래의 접지 평면에서 또는 그 근처에서 측방 차폐를 또한 제공함으로써 크게 향상될 수 있다.

[0029] 도 2에 도시된 예에서, 전기 접속 구성(112)은 세라믹 기판(106)의 표면(116) 상의 도전성 코팅(102)과 전기적으로 접촉하는 복수의 도전성 비아(138)를 포함할 수 있다. 도 3에 도시된 바와 같이, 그러한 도전성 비아들은 둘레를 형성하도록 분포될 수 있으며, 비아들(138)은 둘레 내의 영역과 둘레의 외부 사이에 측방 차폐를 제공하도록 적절히 이격될 수 있다. 그러한 둘레와 관련하여 설명되지만, 본 발명의 하나 이상의 특징은 그러한 측방 차폐가 완전한 둘레를 형성하지 않는 구성을에서도 구현될 수 있다는 것을 이해할 것이다. 예를 들어, 그러한 도전성 비아들은 주어진 영역에 대한 완전한 둘레를 형성할 필요 없이 모듈내 차폐 기능을 가능하게 하도록 제공될 수 있다.

[0030] 도 2에 도시된 예에서, 전기 접속 구성(112)은 도전성 비아들(138)과 전기적으로 접촉하도록 세라믹 기판(106) 내에 구현되는 하나 이상의 도전층(예로서, 140, 142)을 더 포함할 수 있다. 그러한 도전층들(140, 142)은 세라믹 기판(106) 내에 또한 존재하는 접지 평면과 전기적으로 접촉할 수 있다.

[0031] 도전층(140)의 일례가 도 3에 도시된다. 그러한 층은 도전성 비아들(138)에 의해 형성된 둘레를 따라 배치된 복수의 도전성 스트립을 포함할 수 있다. 도시된 예에서, 도전성 스트립들(140) 각각은 각각의 비아들(138)과 교차하도록 측방으로 배치되는 것으로 도시된다. 도 2의 예시적인 도전층(142)의 경우, 각각의 스트립은 비아들(138)과의 전기적 접촉을 형성하는 한은 반드시 각각의 비아들(138)과 완전히 오버랩될 필요는 없다. 비아들(138) 및 도전층(140, 142)의 다른 구성을 가능하다.

[0032] 도 2에 도시된 바와 같이, 세라믹 기판(106)은 복수의 층 및 특징부(130)를 포함할 수 있다. 그러한 층들 및 특징부들은 예를 들어 유전층들, 수동 컴포넌트들(저항기, 커패시터, 인덕터 등), 도체 특징부들(비아, 트레이스 등) 및 접지 평면을 포함할 수 있다. 그러한 상황에서, 예시적인 도전층들(140, 142)은 선택된 측방 위치들에 그리고/또는 선택된 층들에 형성될 수 있다.

[0033] 도 2에 또한 도시된 바와 같이, 패키징된 장치(100)는 회로 보드(예로서, 전화 보드) 상의 패키징된 장치(100)의 실장을 가능하게 하고, 패키징된 장치(100)와 회로 보드 간의 전기 접속을 가능하게 하는 접촉 패드들(134,

136)을 포함할 수 있다.

[0034] 도 4는 도 1의 패키징된 장치의 더 구체적인 예일 수 있는 다른 예시적인 구성(100)을 나타낸다. 본 예에서는, SOI 스위칭 다이와 같은 플립칩(104)이 LTCC 기판과 같은 세라믹 기판(106) 상에 실장되는 것으로 도시된다. 세라믹 기판(106) 상의 플립칩(104)의 그러한 실장은 솔더 볼들(120)의 어레이에 의해 가능해질 수 있다. 그러한 솔더 볼들(120)은 기계적 실장 기능은 물론, 플립칩(104)과 세라믹 기판(106)의 실장 표면(116) 상에 형성된 접촉 패드들 간의 전기 접속도 제공할 수 있다.

[0035] 도 4에 도시된 바와 같이, 언더필(122)이 플립칩(104)과 세라믹 기판(106) 사이에 형성될 수 있다. 그러한 언더필은 도전성 재료의 컨포멀 코팅(102)의 더 쉬운 형성을 가능하게 하기 위해 플립칩(104)의 에지들 근처에 구성될 수 있다. 예를 들어, 언더필(122)의 주변부는 플립칩(104)의 수직 에지들과 세라믹 기판(106)의 수평 표면(116) 사이에 각진 전이를 제공하는 것으로 도시된다.

[0036] 일부 실시예들에서, 컨포멀 코팅(102)은 예를 들어 분무 또는 다양한 퇴적 방법들에 의한 도전성 재료의 도포에 의해 형성될 수 있다. 그러한 도전성 재료의 코팅은 그가 커버하는 부분들의 차폐 기능을 제공할 수 있다. 패키징된 장치(100)에 대한 전반적인 차폐 성능은 세라믹 기판(106)의 에지들은 물론, 플립칩(104) 아래의 접지 평면에서 측방 차폐를 또한 제공함으로써 크게 향상될 수 있다.

[0037] 도 4에 도시된 예에서, 전기 접속 구성(112)은 세라믹 기판(106)의 상면(116)으로부터 연장하여 세라믹 기판(106)의 측면 에지들을 일반적으로 커버하는 컨포멀 도전성 코팅(102)을 포함할 수 있다. 세라믹 기판(106)의 측면 에지들을 커버하는 그러한 컨포멀 도전성 코팅(102)은 세라믹 기판(106) 내의 그리고 세라믹 기판(106)의 그들 각각의 에지들로 연장하는 하나 이상의 도전층과 전기적으로 접촉하는 것으로 도시된다. 예를 들어, 도전층들(160, 162)은 그들의 에지들이 일반적으로 세라믹 기판(106)의 각각의 에지들(150)과 정렬되도록 구현되는 것으로 도시된다. 따라서, 도전층들(160, 162)은 컨포멀 도전성 코팅(102)과 전기적으로 접촉하는 것으로 도시된다. 따라서, 컨포멀 도전성 코팅(102)은 (도전층들(160, 162)과 전기적으로 접촉하는) 접지 평면과 결합되어, 패키징된 장치에 대한 차폐 기능을 제공한다.

[0038] 도 4에 도시된 바와 같이, 세라믹 기판(106)은 복수의 층 및 특징부(130)를 포함할 수 있다. 그러한 층들 및 특징부들은 예를 들어 유전층들, 수동 컴포넌트들(저항기, 커패시터, 인더터 등), 도체 특징부들(비아, 트레이스 등) 및 접지 평면을 포함할 수 있다. 그러한 상황에서, 예시적인 도전층들(160, 162)은 선택된 측방 위치들에 그리고/또는 선택된 층들에 형성될 수 있다. 일부 실시예들에서, 도전층들(160, 162)은 예를 들어 은과 같은 도전성 재료의 패턴화된 인쇄에 의해 형성될 수 있다.

[0039] 도 4에 또한 도시된 바와 같이, 패키징된 장치(100)는 회로 보드(예로서, 전화 보드) 상의 패키징된 장치(100)의 실장을 가능하게 하고, 패키징된 장치(100)와 회로 보드 간의 전기 접속을 가능하게 하는 접촉 패드들(154)을 포함할 수 있다.

[0040] 도 5는 (도 4를 참조하여 또한 설명된) 예시적인 층(160)과 같은 도전층이 세라믹 기판(106)의 에지(150)를 따르는 노출된 에지를 형성하도록 구현될 수 있는 방법의 일례를 나타낸다. 본 예에서, 층(160)은 각각의 에지(150)를 따르는 도전성 스트립을 포함하는 것으로 도시된다. 그러한 스트립들은 어레이 내에 (예를 들어, 패널 내에) 정의된 세라믹 기판(106)의 이웃 유닛들 사이에 절단 라인들을 따라 배치될 수 있다. 어레이의 개별 유닛들로의 개별화 시에, 결과적인 에지들은 개별 세라믹 기판(106)의 에지들(150)을 형성할 수 있다. 세라믹 기판(106)의 에지들을 따라, 도전성 스트립들(160)의 절단 부분들은 컨포멀 도전성 코팅(102)과의 전기적 접촉을 형성하기 위한 노출된 도전성 에지들을 형성할 수 있다. 도 4를 참조하여 설명된 바와 같이, 그러한 컨포멀 도전성 코팅은 세라믹 기판(106)의 에지들의 일부 또는 전부 및 도전성 스트립들(160)의 대응하는 노출된 에지들의 일부 또는 전부를 커버하는 부분을 포함할 수 있다.

[0041] 도 5에 도시된 바와 같이, 도전성 스트립들(160)은 세라믹 기판(106) 주위에 반드시 완전한 둘레를 형성할 필요는 없다. 예를 들어, 164로 지시된 코너 부분들은 차폐 기능을 제공하도록 충분히 작은 치수를 갖는 캡들을 구비할 수 있다. 도 5에서, 복수의 비아(170)가 다양한 전기 접속들 및/또는 열 전달 기능들을 제공하도록 구성될 수 있다.

[0042] 도 6은 일부 실시예들에서 세라믹 기판(106)이 본 명세서에서 설명되는 바와 같은 하나 이상의 특징부를 갖는 전기 접속(112)을 산출하도록 구성될 수 있다는 것을 나타낸다. 도시된 바와 같이, 그러한 세라믹 기판은 본 명세서에서 설명되는 바와 같은 복수의 층(130) 및/또는 특징부를 포함할 수 있다. 본 명세서에서 또한 설명되는 바와 같이, 그러한 세라믹 기판은 세라믹 기판(106) 내에 존재하고 에지들(150) 상에서 적어도 부분적으로

노출되도록 배치되는 하나 이상의 도전성 특징부(160)를 포함할 수 있다.

[0043] 도 6의 예에서, 세라믹 기판(106)은 수직 에지들(150)을 정의하기 위해 전체적으로 90도의 절단을 갖는 것으로 도시된다. 일부 실시예들에서, 개별화 동작들은 그러한 에지들을 따르는 수직이 아닌 표면들을 산출할 수 있다. 예를 들어, 도 7은 일부 실시예들에서 세라믹 기판의 개별 유닛들(예로서, 106a, 106b)의 어레이가 절단 라인(180)을 따라 처리되고 개별화될 수 있다는 것을 나타낸다. 그러한 개별화 구성은 예를 들어 기판 재료가 비교적 유연할 때 소성 프로세스 전에 윤곽 라인(180)을 따라 형성되는 V형 그루브(182)에 의해 가능해질 수 있다. 소성 프로세스의 완료시에, 결과적인 경화된 세라믹 기판은 예를 들어 윤곽 라인(180)을 따라 개별 유닛들을 분리함으로써 개별화될 수 있다. 그러한 분리 작업은 V형 그루브들에 의해 가능해질 수 있다.

[0044] 그러한 개별화된 세라믹 기판들(106a, 106b)에서, V 그루브(182)의 표면들(184a, 184b)을 따르는 도전층들(160)의 노출된 부분들은 그들 각각의 컨포멀 도전성 코팅들과 전기적 접촉들을 형성할 수 있다.

[0045] 도 8은 패키징된 RF 모듈을 제조하도록 구현될 수 있는 프로세스(200)를 나타낸다. 블록 202에서, 도전층 및 접지 평면을 갖는 세라믹 기판이 형성 또는 제공될 수 있다. 도전층과 접지 평면은 전기적으로 접속될 수 있다. 블록 204에서, 세라믹 기판 상에 다이가 실장될 수 있다. 블록 206에서, 컨포멀 도전성 코팅이 다이 위에 그리고 도전층과 전기적으로 접촉하여 이로써 다이에 대한 RF차폐를 제공하도록 형성될 수 있다.

[0046] 일부 실시예들에서, 세라믹 기판은 도 8의 프로세스(200)의 단계들 중 적어도 일부 동안 패널의 형태를 가질 수 있다. 그러한 패널은 스택 내에 배열된 복수의 세라믹 층을 포함할 수 있으며, 패널은 라인들의 그리드에 의해 정의된 유닛들의 어레이를 포함할 수 있다. 그러한 라인들의 그리드는 반드시 패널 상에 물리적으로 존재할 필요는 없으며, 예를 들어 개별화 명령어들 및/또는 데이터로서 구현될 수 있다는 것을 이해할 것이다. 그러한 라인들을 따르는 개별화는 유닛들을 복수의 개별 유닛으로 분리할 수 있다. 컨포멀 도전성 코팅이 세라믹 기판의 측벽들에 도포될 수 있는 도 4-7의 예들과 관련하여, 그러한 코팅 단계는 개별화 단계 후에 수행될 수 있다. 일부 실시예들에서, 다이의 실장은 개별화 단계 전에 유닛들 각각에 대해 수행될 수 있다.

[0047] 도 4를 참조하여 본 명세서에서 설명된 예에서, 세라믹 기판(106) 상에 실장된 다이는 캡슐화되지 않은 플립칩(104)으로서 도시된다. 본 명세서에서 설명되는 바와 같이, 그러한 세라믹 기판은 캡슐화되지 않은 플립칩 위에 형성된 컨포멀 도전성 코팅의 접지를 가능하게 할 수 있다.

[0048] 도 9는 본 명세서에서 설명되는 바와 같은 하나 이상의 특징부를 갖는 세라믹 기판(106)이 세라믹 기판(106) 상에 실장된 하나 이상의 커먼트의 캡슐화를 이용하는 패키징 응용들에서도 이용될 수 있다는 것을 나타낸다. 예를 들어, 차폐된 패키징된 장치(100)는 도 4의 예에서와 유사한 방식으로 구성될 수 있는 세라믹 기판(106) 상에 실장된, RF기능을 제공하도록 구성되는 다이(210)를 포함할 수 있다. 다이(210)는 오버볼드(212)에 의해 캡슐화되는 것으로 도시되며, 컨포멀 도전성 코팅(102)은 오버볼드(212)의 상면과 측벽들 및 세라믹 기판(106)의 측벽들을 전체적으로 커버하는 것으로 도시된다. 도 4를 참조하여 설명된 바와 같이, 도전층들(160, 162)은 컨포멀 도전성 코팅(102)과 세라믹 기판(106) 내의 접지 평면 간의 전기 접속을 제공하도록 구성될 수 있다.

[0049] 일부 구현들에서, 본 명세서에서 설명되는 하나 이상의 특징부를 갖는 장치가 무선 장치와 같은 RF장치 내에 포함될 수 있다. 일부 실시예들에서, 그러한 무선 장치는 예를 들어 셀룰러 전화, 스마트폰, 전화 기능을 갖거나 갖지 않는 핸드헬드 무선 장치, 무선 태블릿 등을 포함할 수 있다.

[0050] 도 10은 본 명세서에서 설명되는 하나 이상의 유리한 특징부를 갖는 예시적인 무선 장치(400)를 나타낸다. 본 명세서에서 설명되는 바와 같은 하나 이상의 특징부를 갖는 모듈과 관련하여, 그러한 모듈은 다수의 상이한 응용을 위해 구현될 수 있다. 예를 들어, 접선 박스(100)에 의해 전체적으로 도시된 바와 같이, 차폐된 패키징된 모듈이 안테나 스위치 모듈로서 구현될 수 있다. 그러한 모듈은 도 10에 도시된 것보다 많거나 적은 커먼트를 포함할 수 있다는 것을 이해할 것이다.

[0051] 전력 증폭기들(PA들)(310)은 증폭 및 전송될 RF신호들을 생성하고, 수신된 신호들을 처리하기 위해 공지 방식으로 구성되고 동작할 수 있는 송수신기(410)로부터 그들 각각의 RF신호들을 수신할 수 있다. 송수신기(410)는 사용자에게 적합한 데이터 및/또는 음성 신호들과 송수신기(410)에 적합한 RF신호들 간의 변환을 제공하도록 구성되는 기저대역 서브시스템(408)과 상호작용하는 것으로 도시된다. 송수신기(410)는 또한 무선 장치의 동작을 위한 전력을 관리하도록 구성되는 전력 관리 커먼트(406)에 접속되는 것으로 도시된다. 그러한 전력 관리는 기저대역 서브시스템(408)의 동작들도 제어할 수 있다.

[0052] 기저대역 서브시스템(408)은 사용자에게 제공되고 그로부터 수신되는 음성 및/또는 데이터의 다양한 입력 및 출력을 가능하게 하기 위한 사용자 인터페이스(402)에 접속되는 것으로 도시된다. 기저대역 서브시스템(408)은

무선 장치의 동작을 가능하게 하고/하거나 사용자에 대한 정보의 저장을 제공하기 위한 데이터 및/또는 명령어들을 저장하도록 구성되는 메모리(404)에도 접속될 수 있다.

[0053] 예시적인 무선 장치(400)에서, PA들(310)의 출력들은 (각각의 매치 회로들(306)을 통해) 매칭되고, 대역 선택 스위치(308), 그들 각각의 듀플렉서들(412) 및 안테나 스위치(414)를 통해 안테나(416)로 라우팅되는 것으로 도시된다. 일부 실시예들에서, 각각의 듀플렉서(412)는 공동 안테나(예로서, 416)를 이용하여 송신 및 수신 동작들이 동시에 수행되는 것을 가능하게 할 수 있다. 도 10에서, 수신된 신호들은 예를 들어 저잡음 증폭기(LNA)를 포함할 수 있는 "Rx" 경로들(도시되지 않음)로 라우팅되는 것으로 도시된다.

[0054] 다수의 다른 무선 장치 구성들이 본 명세서에서 설명되는 하나 이상의 특징부를 이용할 수 있다. 예를 들어 무선 장치는 다중 대역 장치일 필요가 없다. 다른 예에서, 무선 장치는 다이버시티 안테나와 같은 추가 안테나들 및 와이파이, 블루투스 및 GPS와 같은 추가 접속 특징부들을 포함할 수 있다.

[0055] 상황이 명확히 달리 요구하지 않는 한, 명세서 및 청구항들 전반에서, "포함한다", "포함하는" 등과 같은 단어들은 배타적이거나 완전하다는 의미가 아니라 포괄적인 의미로, 즉 "포함하지만, 한정되지 않는"의 의미로 해석되어야 한다. 본 명세서에서 일반적으로 사용되는 바와 같은 "결합"이라는 단어는 직접 접속될 수 있거나 하나 이상의 중간 요소를 통해 접속될 수 있는 둘 이상의 요소를 지칭한다. 게다가, 단어 "본 명세서에서", "위에서", "아래에서" 및 유사한 의미의 단어들은 본 명세서에서 사용될 때 본원의 임의의 특정 부분들이 아니라 본원 전체를 지칭해야 한다. 상황이 허가하는 경우, 단수 또는 복수를 이용하는 위의 설명에서의 단어들은 각각 복수 또는 단수도 포함할 수 있다. 둘 이상의 아이템들의 리스트와 관련된 단어 "또는"은 다음과 같은 단어 해석들, 즉 리스트 내의 임의의 아이템, 리스트 내의 모든 아이템 및 리스트 내의 아이템들의 임의 조합 모두를 커버한다.

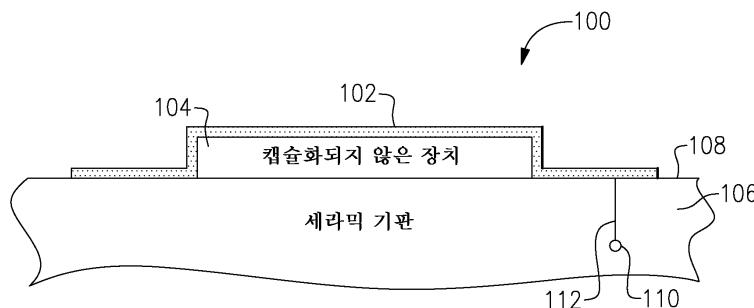
[0056] 본 발명의 실시예들의 전술한 설명은 완전하다는 것을 의도하지 않으며, 본 발명을 전술한 바로 그 형태로 한정하는 것도 의도하지 않는다. 본 발명의 특정 실시예들 및 본 발명에 대한 예들이 위에서 예시의 목적으로 설명되었지만, 관련 분야의 기술자들이 인식하는 바와 같이, 본 발명의 범위 내에서 다양한 균등한 변경들이 가능하다. 예를 들어, 프로세스들 또는 블록들이 주어진 순서로 제공되지만, 대안 실시예들은 상이한 순서로 단계들을 갖는 루틴들을 수행하거나, 블록들을 갖는 시스템들을 이용할 수 있으며, 일부 프로세스들 또는 블록들은 삭제, 이동, 추가, 세분, 결합 및/또는 변경될 수 있다. 이러한 프로세스들 또는 블록들 각각은 다양한 상이한 방식으로 구현될 수 있다. 또한, 프로세스들 또는 블록들이 때때로 직렬로 수행되는 것으로 도시되지만, 이러한 프로세스들 또는 블록들은 병렬로 대신 수행될 수 있거나 상이한 시간들에 수행될 수 있다.

[0057] 본 명세서에서 제공되는 본 발명의 가르침들은 전술한 시스템이 아니라 다른 시스템들에 적용될 수 있다. 전술한 다양한 실시예들의 요소들 및 동작들은 추가 실시예들을 제공하도록 결합될 수 있다.

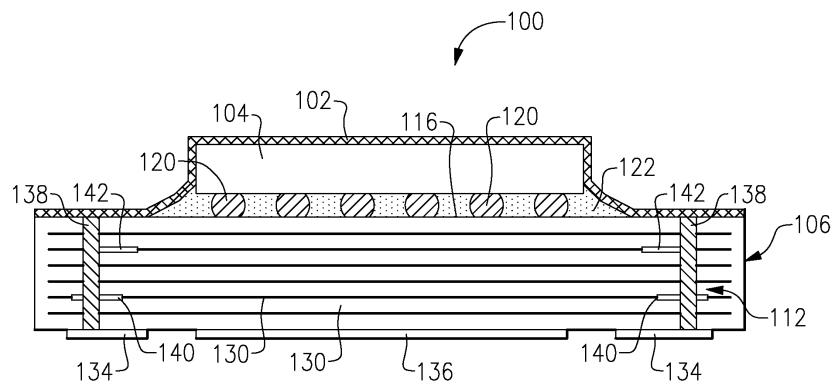
[0058] 본 발명의 일부 실시예들이 설명되었지만, 이러한 실시예들은 예시적으로 제공되었을 뿐이며, 본 발명의 범위를 한정하는 것을 의도하지 않는다. 사실상, 본 명세서에서 설명되는 새로운 방법들 및 시스템들은 다양한 다른 형태들로 구현될 수 있으며; 더구나 본 명세서에서 설명된 방법들의 형태에서의 다양한 생략, 교체 및 변경이 본 발명의 사상으로부터 벗어나지 않고서 이루어질 수 있다. 첨부된 청구항들 및 그들의 균등물들은 본 발명의 범위 및 사상 내에 속하는 바와 같은 그러한 형태들 또는 변경들을 커버하는 것을 의도한다.

도면

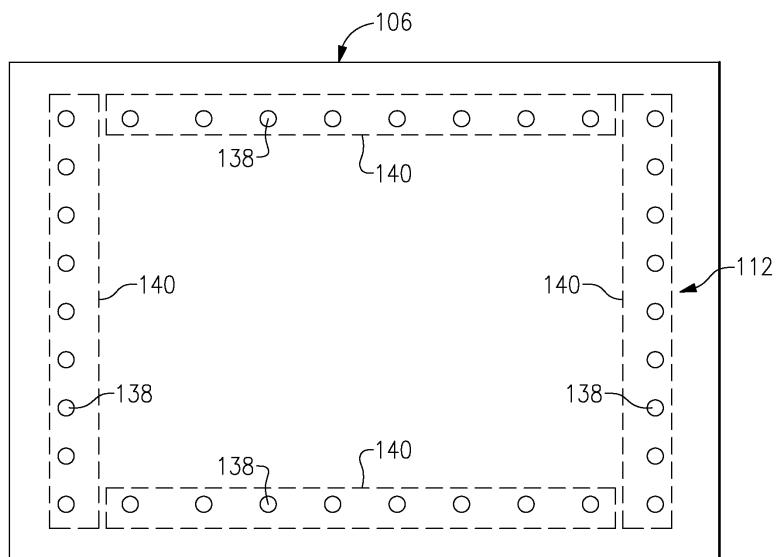
도면1



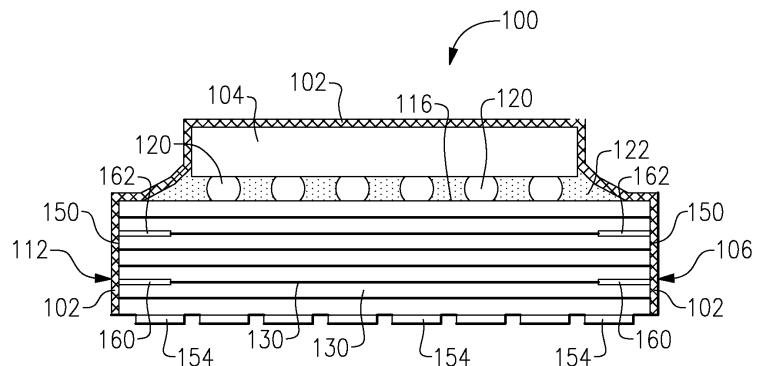
도면2



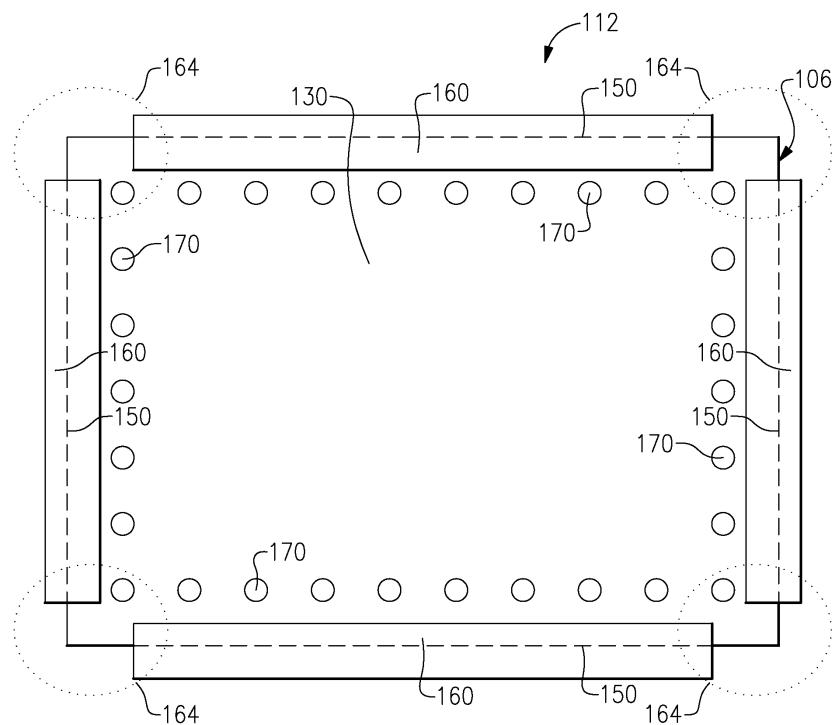
도면3



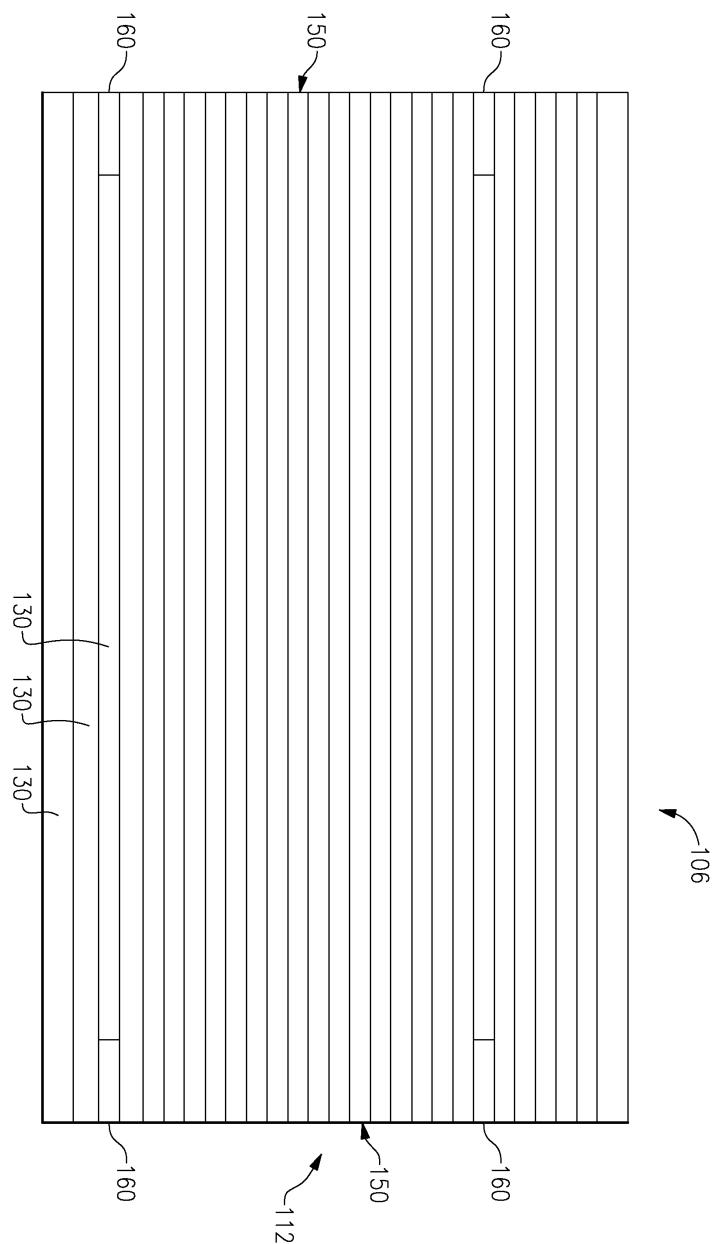
도면4



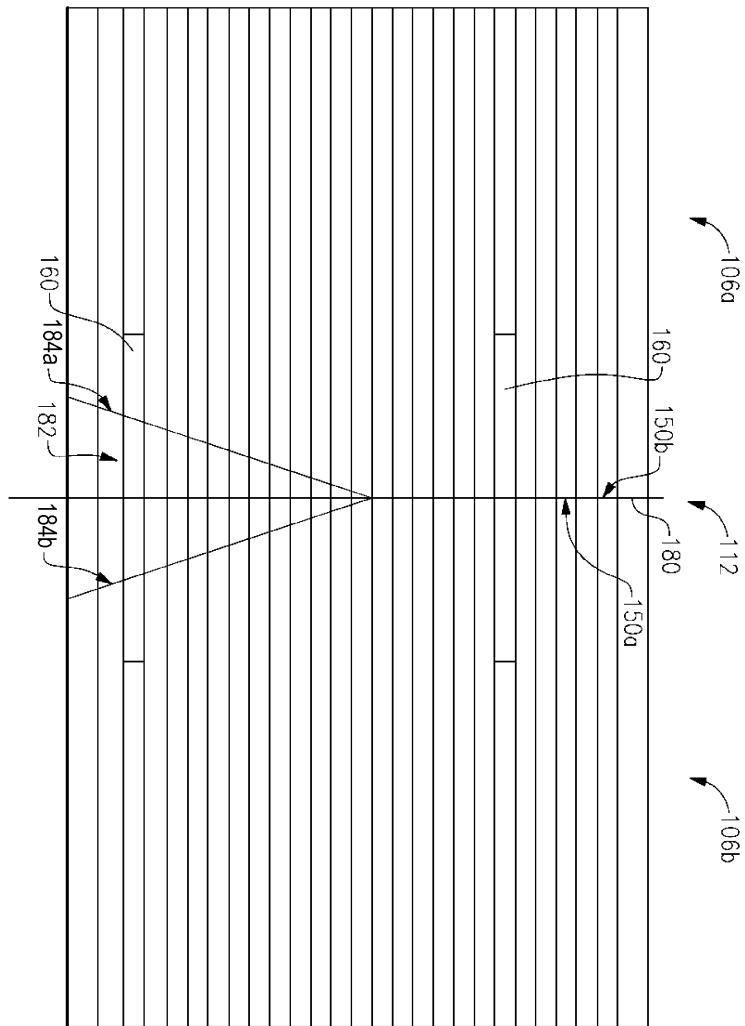
도면5



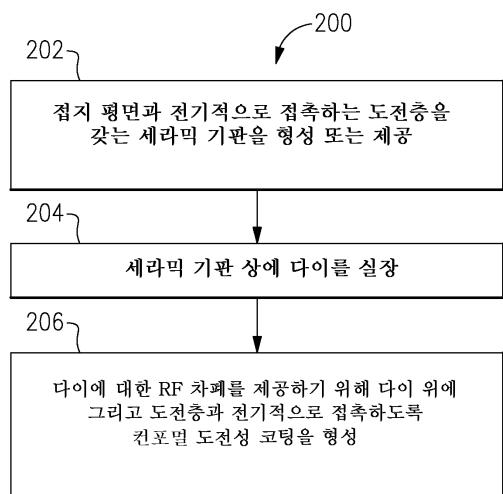
도면6



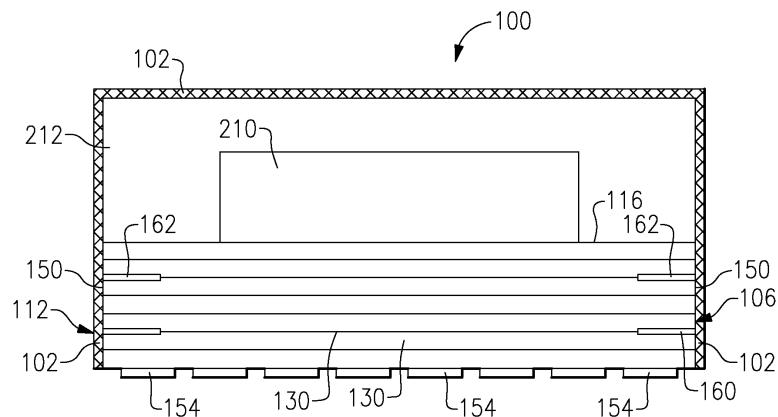
도면7



도면8



도면9



도면10

