

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-143221

(P2007-143221A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.

H02M 7/537 (2006.01)

F I

H02M 7/537

B

テーマコード (参考)

5H007

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願2005-330168 (P2005-330168)

(22) 出願日 平成17年11月15日 (2005.11.15)

(71) 出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100112852

弁理士 武藤 正

(72) 発明者 天野 正弥

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

Fターム(参考) 5H007 AA06 AA17 BB06 CA00 CA01

CA02 CC01 DA05 DB01 DB12

DC08 GA03

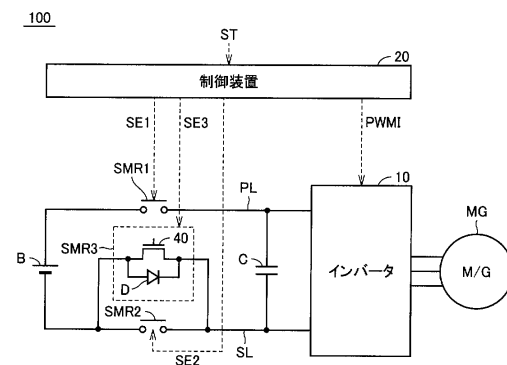
(54) 【発明の名称】 電源制御装置

(57) 【要約】

【課題】突入電流を防止するための制限抵抗を廃止し、かつ、低コストの電源制御装置を提供する。

【解決手段】制御装置20は、起動指令STを受けると、システムメインリレーSMR1、SMR3をオンさせてコンデンサCを充電するプリチャージ処理を実行する。ここで、この負荷駆動装置100においては、起動時に放電状態にあるコンデンサCへの突入電流を防止するための制限抵抗が設けられていないところ、制御装置20は、システムメインリレーSMR3のパワーMOSFET40が最大定格電力を超えない範囲であって、かつ、飽和領域で動作するようにパワーMOSFET40のゲート電圧を制御する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

直流電源と、
前記直流電源の一方の極と負荷装置との間に設けられるリレーと、
前記リレーに並列に接続される半導体スイッチング素子と、
前記リレーをオンさせる前に前記半導体スイッチング素子を介して前記直流電源から前記負荷装置へ電荷を供給するプリチャージ処理を実行する制御手段とを備え、
前記制御手段は、前記プリチャージ処理の実行時、前記半導体スイッチング素子の損失電力が前記半導体スイッチング素子の最大定格電力を超えないように、前記半導体スイッチング素子の制御電圧を制御する、電源制御装置。

10

【請求項 2】

前記半導体スイッチング素子は、電界効果トランジスタから成り、
前記制御手段は、前記電界効果トランジスタが飽和領域で動作するように前記電界効果トランジスタのゲート電圧を制御する、請求項 1 に記載の電源制御装置。

【請求項 3】

前記半導体スイッチング素子は、バイポーラトランジスタから成り、
前記制御手段は、前記バイポーラトランジスタが活性領域で動作するように前記バイポーラトランジスタのベース電圧を制御する、請求項 1 に記載の電源制御装置。

【請求項 4】

直流電源と、
前記直流電源の一方の極と負荷装置との間に設けられるリレーと、
前記リレーに並列に接続される半導体スイッチング素子と、
前記リレーをオンさせる前に前記半導体スイッチング素子を介して前記直流電源から前記負荷装置へ電荷を供給するプリチャージ処理を実行する制御手段と、
前記半導体スイッチング素子の温度を検出する温度検出手段とを備え、
前記制御手段は、前記プリチャージ処理の実行時、前記半導体スイッチング素子の温度が高くなるのに応じて前記半導体スイッチング素子の通電量が減少するように、前記半導体スイッチング素子の制御電圧を制御する、電源制御装置。

20

【請求項 5】

直流電源と、
前記直流電源の一方の極と負荷装置との間に設けられるリレーと、
前記リレーに並列に接続される半導体スイッチング素子と、
前記リレーをオンさせる前に前記半導体スイッチング素子を介して前記直流電源から前記負荷装置へ電荷を供給するプリチャージ処理を実行する制御手段と、
前記半導体スイッチング素子の温度を検出する温度検出手段とを備え、
前記制御手段は、前記プリチャージ処理の実行時、前記半導体スイッチング素子の温度が上昇すると前記半導体スイッチング素子をスイッチング制御する、電源制御装置。

30

【請求項 6】

前記制御手段は、前記プリチャージ処理の実行時、前記半導体スイッチング素子の温度が高くなるのに応じて前記半導体スイッチング素子のオンデューティを小さくする、請求項 5 に記載の電源制御装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、電源制御装置に関し、特に、直流電源から負荷装置への電力供給開始時に突入電流の発生を防止するプリチャージ処理を実行する電源制御装置に関する。

【背景技術】**【0002】**

図 1 2 は、従来の電源制御装置を備えた負荷駆動装置の全体ブロック図である。図 1 2 を参照して、この負荷駆動装置 2 0 0 は、直流電源 2 1 0 と、システムメインリレー 2 2

50

0～240と、システムメインリレー240に直列に接続される制限抵抗250と、直流電源210から電力の供給を受けてモータジェネレータ270を駆動するインバータ260と、インバータの入力電圧を平滑化するコンデンサ280と、制御装置290とを備える。

【0003】

システムメインリレー240は、パワートランジスタとそれに逆並列に接続されるダイオードとを含む。直列接続されたシステムメインリレー240および制限抵抗250は、システムメインリレー230に並列に接続される。

【0004】

そして、直流電源210、システムメインリレー220～240、制限抵抗250および制御装置290は、この負荷駆動装置200における電源制御装置を形成し、インバータ260、モータジェネレータ270およびコンデンサ280は、この負荷駆動装置200において電源制御装置から電力の供給を受ける負荷装置を形成する。

【0005】

この負荷駆動装置200の起動指令が制御装置290に与えられると、制御装置290は、まず、システムメインリレー220とシステムメインリレー240のパワートランジスタとをオンさせる。そうすると、システムメインリレー220、コンデンサ280、システムメインリレー240および制限抵抗250を介して直流電源210の正極から負極までの回路が形成され、直流電源210からコンデンサ280への充電が開始される。

【0006】

ここで、この負荷駆動装置200においては、制限抵抗250が設けられているので、直流電源210からコンデンサ280への突入電流が防止され、システムメインリレー220、230の溶着を防止することができる。

【0007】

そして、コンデンサ280の充電が進行したところで、制御装置290は、システムメインリレー230をオンさせ、その後システムメインリレー240のパワートランジスタをオフさせる。

【0008】

このように、上記の電源制御装置においては、制限抵抗250を設けることにより突入電流の発生を防止しているところ、システムの起動時にしか用いられない制限抵抗250は、コストを増加させる要因の一つとなっていた。

【0009】

そこで、特開平5-111240号公報(特許文献1)は、制限抵抗を廃止しつつ突入電流を防止可能な電源制御装置を提案している。この特開平5-111240号公報では、主バッテリーとDC-DCコンバータとの間に設けられたトランジスタをPWM(Pulse Width Modulation)動作させることにより、DC-DCコンバータへの流入電流の実効値を抑えて突入電流の防止を図る技術が開示されている(特許文献1参照)。

【0010】

また、特開2003-92807号公報(特許文献2)では、駆動用電池とインバータとの間に設けられたプリチャージ回路を用いてコンデンサを定電流で充電し、プリチャージ回路内のトランジスタの温度が一定以上の温度になると、定電流を低減させてプリチャージ回路内のトランジスタを保護する技術が開示されている(特許文献2参照)。

【特許文献1】特開平5-111240号公報

【特許文献2】特開2003-92807号公報

【特許文献3】特開平10-164709号公報

【特許文献4】特開平7-175533号公報

【特許文献5】特開平5-344605号公報

【特許文献6】特開平9-275679号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

しかしながら、特開平 5 - 1 1 1 2 4 0 号公報に開示される技術は、突入電流を防止するために単にトランジスタを P W M 動作させるのにとどまっており、トランジスタの最大定格や温度などについては考慮されていない。

【 0 0 1 2 】

また、特開 2 0 0 3 - 9 2 8 0 7 号公報に開示されるプリチャージ回路は、回路構成が複雑であり、コストの低減を十分に図ることはできない。

【 0 0 1 3 】

そこで、この発明は、かかる課題を解決するためになされたものであり、その目的は、突入電流を防止するための制限抵抗を廃止し、かつ、低コストの電源制御装置を提供することである。 10

【 0 0 1 4 】

また、この発明の別の目的は、突入電流を防止するための制限抵抗を廃止し、かつ、システムメインリレーの過熱を防止する電源制御装置を提供することである。

【課題を解決するための手段】

【 0 0 1 5 】

この発明によれば、電源制御装置は、直流電源と、直流電源の一方の極と負荷装置との間に設けられるリレーと、リレーに並列に接続される半導体スイッチング素子と、リレーをオンさせる前に半導体スイッチング素子を介して直流電源から負荷装置へ電荷を供給するプリチャージ処理を実行する制御手段とを備える。制御手段は、プリチャージ処理の実行時、半導体スイッチング素子の損失電力が半導体スイッチング素子の最大定格電力を超えないように、半導体スイッチング素子の制御電圧を制御する。 20

【 0 0 1 6 】

この発明による電源制御装置においては、直流電源から負荷装置への突入電流を防止するためにプリチャージ処理が実行される。制御手段は、プリチャージ処理の実行時、半導体スイッチング素子の損失電力が半導体スイッチング素子の最大定格電力を超えないように、半導体スイッチング素子の制御電圧を制御するので、突入電流を防止するための制限抵抗を備えることなく、かつ、その他の回路を追加することなく、突入電流の発生が防止される。

【 0 0 1 7 】

したがって、この発明によれば、突入電流を防止するための制限抵抗を廃止し、かつ、低コストの電源制御装置を実現できる。また、制限抵抗を廃止し、かつ、半導体スイッチング素子の過熱を防止可能な電源制御装置を実現できる。 30

【 0 0 1 8 】

好ましくは、半導体スイッチング素子は、電界効果トランジスタから成る。制御手段は、電界効果トランジスタが飽和領域で動作するように電界効果トランジスタのゲート電圧を制御する。

【 0 0 1 9 】

この電源制御装置においては、電界効果トランジスタが飽和領域で動作するように電界効果トランジスタのゲート電圧を制御するので、小容量の電界効果トランジスタを選定可能である。したがって、この発明によれば、コストをさらに低減できる。 40

【 0 0 2 0 】

また、好ましくは、半導体スイッチング素子は、バイポーラトランジスタから成る。制御手段は、バイポーラトランジスタが活性領域で動作するようにバイポーラトランジスタのベース電圧を制御する。

【 0 0 2 1 】

この電源制御装置においては、バイポーラトランジスタが活性領域で動作するようにバイポーラトランジスタのベース電圧を制御するので、小容量のバイポーラトランジスタを選定可能である。したがって、この発明によれば、コストをさらに低減できる。

【 0 0 2 2 】

また、この発明によれば、電源制御装置は、直流電源と、直流電源の一方の極と負荷装置との間に設けられるリレーと、リレーに並列に接続される半導体スイッチング素子と、リレーをオンさせる前に半導体スイッチング素子を介して直流電源から負荷装置へ電荷を供給するプリチャージ処理を実行する制御手段と、半導体スイッチング素子の温度を検出する温度検出手段とを備える。制御手段は、プリチャージ処理の実行時、半導体スイッチング素子の温度が高くなるのに応じて半導体スイッチング素子の通電量が減少するように、半導体スイッチング素子の制御電圧を制御する。

【0023】

この発明による電源制御装置においては、プリチャージ処理の実行時、半導体スイッチング素子の温度が上昇すると、半導体スイッチング素子を流れる電流量が減少する。したがって、この発明によれば、突入電流を防止するための制限抵抗を廃止し、かつ、半導体スイッチング素子の過熱を確実に防止可能な電源制御装置を実現できる。

10

【0024】

また、この発明によれば、電源制御装置は、直流電源と、直流電源の一方の極と負荷装置との間に設けられるリレーと、リレーに並列に接続される半導体スイッチング素子と、リレーをオンさせる前に半導体スイッチング素子を介して直流電源から負荷装置へ電荷を供給するプリチャージ処理を実行する制御手段と、半導体スイッチング素子の温度を検出する温度検出手段とを備える。制御手段は、プリチャージ処理の実行時、半導体スイッチング素子の温度が上昇すると半導体スイッチング素子をスイッチング制御する。

【0025】

この発明による電源制御装置においては、プリチャージ処理の実行時、半導体スイッチング素子の温度が上昇すると、制御手段により半導体スイッチング素子をスイッチング制御するので、半導体スイッチング素子を流れる平均電流量が減少する。したがって、この発明によれば、突入電流を防止するための制限抵抗を廃止し、かつ、半導体スイッチング素子の過熱を確実に防止可能な電源制御装置を実現できる。

20

【0026】

好ましくは、制御手段は、プリチャージ処理の実行時、半導体スイッチング素子の温度が高くなるのに応じて半導体スイッチング素子のオンデューティを小さくする。

【0027】

この電源制御装置においては、プリチャージ処理の実行時、半導体スイッチング素子を流れる平均電流量が半導体スイッチング素子の温度上昇に応じて減少する。したがって、この発明によれば、半導体スイッチング素子の通電量を適切に抑制しつつ、半導体スイッチング素子の過熱を確実に防止することができる。

30

【発明の効果】

【0028】

この発明によれば、突入電流を防止するための制限抵抗を廃止し、かつ、低コストの電源制御装置を実現できる。また、突入電流を防止するための制限抵抗を廃止し、かつ、システムメインリレーの過熱を防止可能な電源制御装置を実現できる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

40

【0030】

[実施の形態1]

図1は、この発明の実施の形態1による電源制御装置を備えた負荷駆動装置の全体ブロック図である。図1を参照して、この負荷駆動装置100は、直流電源Bと、システムメインリレーSMR1～SMR3と、コンデンサCと、インバータ10と、制御装置20と、電源ラインPLと、接地ラインSLとを備える。

【0031】

システムメインリレーSMR1は、直流電源Bの正極と電源ラインPLとの間に接続さ

50

れる。システムメインリレー S M R 2 は、直流電源 B の負極と接地ライン S L との間に接続される。システムメインリレー S M R 3 は、パワー M O S F E T (metal oxide semiconductor field-effect transistor) 4 0 と、パワー M O S F E T 4 0 に並列に接続されるダイオード D とを含む。そして、システムメインリレー S M R 3 は、直流電源 B の負極と接地ライン S L との間にシステムメインリレー S M R 2 に並列に接続される。

【 0 0 3 2 】

コンデンサ C は、電源ライン P L と接地ライン S L との間に接続される。インバータ 1 0 は、電源ライン P L と接地ライン S L との間に並列に接続される U 相アーム、V 相アームおよび W 相アームを含む (図示せず)。そして、U, V, W 各相アームにおける上アームと下アームとの接続点は、この負荷駆動装置 1 0 0 によって駆動されるモータジェネレータ M G の U, V, W 各相コイル (図示せず) にそれぞれ接続される。 10

【 0 0 3 3 】

そして、直流電源 B、システムメインリレー S M R 1 ~ S M R 3 および制御装置 2 0 は、この負荷駆動装置 1 0 0 における電源制御装置を形成し、インバータ 1 0、モータジェネレータ M G およびコンデンサ C は、この負荷駆動装置 1 0 0 において電源制御装置から電力の供給を受ける負荷装置を形成する。

【 0 0 3 4 】

直流電源 B は、たとえば、ニッケル水素やリチウムイオン等の二次電池から成り、システムメインリレーを介して電源ライン P L へ直流電力を供給する。なお、直流電源 B は、大容量のキャパシタや燃料電池 (Fuel Cell) などであってもよい。 20

【 0 0 3 5 】

システムメインリレー S M R 1, S M R 2 は、機械式リレーまたは半導体リレーから成る。一方、システムメインリレー S M R 3 は、上述したように半導体リレー (パワー M O S F E T 4 0) から成る。システムメインリレー S M R 1 ~ S M R 3 は、それぞれ制御装置 2 0 からの信号 S E 1 ~ S E 3 によって制御される。具体的には、システムメインリレー S M R 1, S M R 2 は、それぞれ H (論理ハイ) レベルの信号 S E 1, S E 2 によってオンされ、それぞれ L (論理ロー) レベルの信号 S E 1, S E 2 によってオフされる。また、システムメインリレー S M R 3 のパワー M O S F E T 4 0 は、信号 S E 3 をゲート端子に受け、信号 S E 3 の電圧レベルに応じてドレイン電流を変化させる。

【 0 0 3 6 】

コンデンサ C は、電源ライン P L と接地ライン S L との間の電圧変動を平滑化する。インバータ 1 0 は、制御装置 2 0 からの信号 P W M I に基づいて、電源ライン P L から受ける直流電圧を交流電圧に変換してモータジェネレータ M G へ出力する。

【 0 0 3 7 】

制御装置 2 0 は、この負荷駆動装置 1 0 0 の起動を指示する起動信号 S T を受けると、放電状態にあるコンデンサ C を充電するプリチャージ処理を実行する。具体的には、制御装置 2 0 は、起動信号 S T を受けると、まずシステムメインリレー S M R 1, S M R 3 をオンさせ、コンデンサ C の充電が進むとシステムメインリレー S M R 2 をオンさせる。

【 0 0 3 8 】

ここで、この負荷駆動装置 1 0 0 においては、システム起動時に放電状態にあるコンデンサ C への突入電流を防止するための制限抵抗が設けられていないところ、制御装置 2 0 は、突入電流を防止するために、システムメインリレー S M R 3 のパワー M O S F E T 4 0 が最大定格電力を超えない範囲であって、かつ、飽和領域で動作するようにパワー M O S F E T 4 0 のゲート電圧を制御する。 40

【 0 0 3 9 】

また、制御装置 2 0 は、プリチャージ処理が終了すると、モータジェネレータ M G を駆動するための制御を開始する。具体的には、制御装置 2 0 は、モータジェネレータ M G のトルク指令、各相モータ電流およびインバータ入力電圧に基づいて、モータジェネレータ M G を駆動するための信号 P W M I を生成し、その生成した信号 P W M I をインバータ 1 0 へ出力する。なお、モータジェネレータ M G の各相モータ電流およびインバータ入力電 50

圧は、それぞれ図示されない電流センサおよび電圧センサによって検出される。

【0040】

図2は、プリチャージ処理が実行されているときの電源制御装置の等価回路図である。図2を参照して、プリチャージ処理の実行時は、図に示されるような閉回路が構成される。ここで、抵抗RBは、直流電源Bの内部抵抗を示す。

【0041】

いま、直流電源Bの端子間電圧をE、内部抵抗値をrとし、パワーMOSFET40のドレイン電圧をVDS、ドレイン電流をIDとすると、プリチャージ処理開始時（すなわち、コンデンサCの端子間電圧は0V）のパワーMOSFET40のドレイン電流IDは、次式（1）で表わされる。

10

$$\text{ドレイン電流 } ID = (E - VDS) / r \quad \dots (1)$$

【0042】

図3は、図1に示したパワーMOSFET40の特性図である。図3を参照して、横軸は、パワーMOSFET40のドレイン電圧VDSを示し、縦軸は、ドレイン電流IDを示す。実線k1やk2, k3で示される領域、すなわちドレイン電流IDがドレイン電圧VDSにほとんど依存せずゲート電圧VGSだけで定まる定電流特性を示す領域は、一般的に「飽和領域」と称され、実線k4で示される領域、すなわちドレイン電圧VDSとともにドレイン電流IDが大きく増加する領域は、一般的に「非飽和領域」と称される。

【0043】

点線k5は、パワーMOSFET40の最大定格電力を示す。点線k6は、プリチャージ処理開始時のドレイン電圧VDSとドレイン電流IDとの関係を示し、上記（1）式に相当する。点線k7は、比較として、パワーMOSFETに突入電流防止用の制限抵抗（抵抗値R）が直列に接続された場合のドレイン電圧VDSとドレイン電流IDとの関係を示す。

20

【0044】

制限抵抗を備えた従来の電源制御装置においては、パワーMOSFETの最大定格電力を示す点線k5を点線k7が下回るように制限抵抗の抵抗値Rが定められる。そして、プリチャージ処理開始時のドレイン電流IDが点P1に対応する値（最大値）になるように、パワーMOSFETのゲート電圧VGSがVGS1に設定される。

【0045】

30

これに対して、制限抵抗を廃止したこの実施の形態1における電源制御装置の場合、プリチャージ処理開始時のドレイン電流IDが点P2に対応する値（最大値）になるようにパワーMOSFETのゲート電圧VGSをVGS2に設定すると、パワーMOSFET40の損失電力が点線k5で示されるパワーMOSFET40の最大定格電力を超えてしまい、パワーMOSFET40が破損するおそれがある。

【0046】

そこで、この実施の形態1においては、プリチャージ処理開始時のドレイン電流IDが点P3に対応する値になるようにパワーMOSFET40のゲート電圧VGSをVGS3に設定する。これにより、プリチャージ処理時のパワーMOSFET40の損失電力を点線k5で示される最大定格電力以下に抑えることができ、パワーMOSFET40の破損を防止することができる。

40

【0047】

さらに、パワーMOSFET40のゲート電圧VGSをVGS3に設定することにより、パワーMOSFET40は飽和領域で動作する。したがって、この実施の形態1においては、パワーMOSFETが非飽和領域（実線k4上）で動作する従来の電源制御装置に比べて小容量のパワーMOSFETを選択することができるので、さらに装置の小型化および低コスト化を図ることができる。

【0048】

図4は、図1に示した制御装置20により実行されるプリチャージ処理のフローチャートである。図4を参照して、制御装置20は、起動信号STに基づいて、負荷駆動装置1

50

00の起動指示の有無を判定する(ステップS10)。制御装置20は、起動指示はないと判定すると(ステップS10においてNO)、一連の処理を終了する。

【0049】

ステップS10において負荷駆動装置100の起動指示があったと判定されると(ステップS10においてYES)、制御装置20は、システムメインリレーSMR3のパワーMOSFET40のゲート電圧を算出する(ステップS20)。具体的には、制御装置20は、たとえば図3の特性図を用いて、上記の(1)式を満たし、かつ、パワーMOSFET40の最大定格電力を超えない点P3に対応するゲート電圧VGS3を算出する。

【0050】

そして、制御装置20は、その算出したゲート電圧をシステムメインリレーSMR3のパワーMOSFET40のゲート端子へ出力するとともに、システムメインリレーSMR1をオンさせる(ステップS30)。そうすると、システムメインリレーSMR1およびSMR3のパワーMOSFET40を介して直流電源BからコンデンサCへの充電が開始される。

【0051】

コンデンサCの充電が完了すると(ステップS40においてYES)、制御装置20は、システムメインリレーSMR2をオンさせる(ステップS50)。その後、制御装置20は、パワーMOSFET40へ出力していたゲート電圧を0にしてシステムメインリレーSMR3をオフさせ(ステップS60)、一連のプリチャージ処理を終了する。

【0052】

なお、上記においては、プリチャージ処理中、システムメインリレーSMR3のパワーMOSFET40のゲート電圧は、ステップS20において算出されたゲート電圧VGS3に固定される。これに対して、ステップS40においてコンデンサCの充電が完了していないと判定されたとき(ステップS40においてNO)、制御装置20は、再びステップS20へ処理を戻し、パワーMOSFET40のゲート電圧を逐次演算するようにしてもよい。

【0053】

パワーMOSFET40のゲート電圧を逐次演算する効果は以下のとおりである。再び図3を参照して、コンデンサCの充電が進行すると、ドレイン電圧VDSとドレイン電流IDとの関係は、点P3から実線k3に沿ってドレイン電圧VDSが低下する方向に推移していくので、点線k5で示される最大定格電力に対する余裕は大きくなる。そこで、パワーMOSFET40のゲート電圧を逐次演算することにより、ドレイン電圧VDSとドレイン電流IDとの関係を点線k5で示される最大定格電力に沿うように推移させることができる(逐次算出されるゲート電圧VGSは徐々に上昇する。)。これにより、最大定格電力を超えない範囲でパワーMOSFET40のドレイン電流IDをできる限り大きくすることができ、プリチャージ処理の時間を短縮することができる。

【0054】

以上のように、この実施の形態1によれば、突入電流を防止するための制限抵抗を廃止することができるので、低コストの電源制御装置を実現できる。また、システムメインリレーSMR3のパワーMOSFET40の損失電力が最大定格電力を超えないようにパワーMOSFET40のゲート電圧を制御するようにしたので、パワーMOSFET40の過熱を防止することができる。

【0055】

さらに、パワーMOSFET40は、飽和領域で動作するので、パワーMOSFET40に小容量のものを選定することができ、その結果、電源制御装置の小型化および低コスト化を図ることができる。

【0056】

[実施の形態1の変形例]

図5は、この発明の実施の形態1の変形例による電源制御装置を備えた負荷駆動装置の全体ブロック図である。図5を参照して、この負荷駆動装置100Aは、図1に示した負

10

20

30

40

50

荷駆動装置 100 の構成において、システムメインリレー S M R 3 に代えてシステムメインリレー S M R 3 A を備える。システムメインリレー S M R 3 A は、図 1 に示したシステムメインリレー S M R 3 の構成において、パワー M O S F E T 40 に代えてバイポーラトランジスタ 50 を含む。バイポーラトランジスタ 50 は、たとえば I G B T (Insulated Gate Bipolar Transistor) から成る。

【 0 0 5 7 】

図 6 は、図 5 に示したバイポーラトランジスタ 50 の特性図である。図 6 を参照して、横軸は、バイポーラトランジスタ 50 のコレクタ電圧 V C E を示し、縦軸は、コレクタ電流 I C を示す。実線 k 1 1 や k 1 2 , k 1 3 で示される領域、すなわちコレクタ電流 I C がコレクタ電圧 V C E にほとんど依存せずベース電圧 V B E だけで定まる定電流特性を示す領域は、一般的に「活性領域」と称され、実線 k 1 4 で示される領域、すなわちコレクタ電圧 V C E とともにコレクタ電流 I C が大きく増加する領域は、一般的に「線形領域」(あるいは「飽和領域」と称される。

10

【 0 0 5 8 】

点線 k 1 5 は、バイポーラトランジスタ 50 の最大定格電力を示す。点線 k 1 6 は、プリチャージ処理開始時のコレクタ電圧 V C E とコレクタ電流 I C との関係を示す。点線 k 1 7 は、比較として、バイポーラトランジスタに突入電流防止用の制限抵抗 (抵抗値 R) が直列に接続された場合のコレクタ電圧 V C E とコレクタ電流 I C との関係を示す。

【 0 0 5 9 】

図 6 に示されるように、バイポーラトランジスタ 50 においても、図 3 に示したパワー M O S F E T 40 の場合と同様な電圧 - 電流特性を示す。したがって、プリチャージ処理開始時のコレクタ電流 I C が点 P 1 3 に対応する値になるようにバイポーラトランジスタ 50 のベース電圧 V B E を V B E 3 に設定することにより、バイポーラトランジスタ 50 の損失電力を点線 k 1 5 で示される最大定格電力以下に抑えることができ、バイポーラトランジスタ 50 の破損を防止することができる。

20

【 0 0 6 0 】

また、バイポーラトランジスタ 50 のベース電圧 V B E を V B E 3 に設定することにより、バイポーラトランジスタ 50 は活性領域で動作する。したがって、この実施の形態 1 の変形例においても、小容量のバイポーラトランジスタを選択することができるので、装置の小型化および低コスト化を図ることができる。

30

【 0 0 6 1 】

以上のように、この実施の形態 1 の変形例によっても、実施の形態 1 と同様の効果を得ることができる。

【 0 0 6 2 】

[実施の形態 2]

図 7 は、この発明の実施の形態 2 による電源制御装置を備えた負荷駆動装置の全体ブロック図である。図 7 を参照して、この負荷駆動装置 100 B は、図 1 に示した実施の形態 1 における負荷駆動装置 100 の構成において、温度センサ 30 をさらに備え、制御装置 20 に代えて制御装置 20 A を備える。

【 0 0 6 3 】

温度センサ 30 は、システムメインリレー S M R 3 のパワー M O S F E T 40 の近傍に配設され、パワー M O S F E T 40 の温度 T を検出して制御装置 20 へ出力する。この温度センサ 30 としては、たとえば、サーミスタなどを用いてパワー M O S F E T 40 の温度を検出するものであってもよいし、パワー M O S F E T 40 に近接してダイオードを配置し、ダイオードの端子間電圧が温度依存性を有することを利用して温度検出するものであってもよい。

40

【 0 0 6 4 】

制御装置 20 A は、実施の形態 1 における制御装置 20 と同様に、起動信号 S T を受けるとプリチャージ処理を実行する。ここで、制御装置 20 A は、プリチャージ処理を開始すると、システムメインリレー S M R 3 のパワー M O S F E T 40 のゲート電圧 V G S を

50

最大電圧に設定するが、温度センサ 30 によって検出されるパワー MOS FET 40 の温度 T が上昇すると、その温度上昇に応じてゲート電圧 V_{GS} を低下させる。これにより、パワー MOS FET 40 のドレイン電流 I_D が抑えられ、パワー MOS FET 40 の温度上昇が抑制される。なお、パワー MOS FET 40 のゲート電圧 V_{GS} は、実施の形態 1 と同様に、信号 $SE3$ としてパワー MOS FET 40 に与えられる。

【0065】

図 8 は、図 7 に示した制御装置 20 A により制御されるパワー MOS FET 40 のゲート電圧を示す。図 8 を参照して、制御装置 20 A は、パワー MOS FET 40 の温度 T がその温度上昇を示す温度 T_0 を超えると、温度 T の上昇に応じてパワー MOS FET 40 のゲート電圧 V_{GS} を最大電圧 V_0 から低下させる。なお、この最大電圧 V_0 は、図 3 に示したパワー MOS FET 40 の特性図で示せば、点 P_2 に対応するゲート電圧 V_{GS2} に相当する。

10

【0066】

図 9 は、図 7 に示した制御装置 20 A により実行されるプリチャージ処理のフローチャートである。図 9 を参照して、このフローチャートに示される処理構造は、図 4 に示した処理構造において、ステップ S_{20} に代えてステップ S_{22} , S_{24} を含む。すなわち、ステップ S_{10} において負荷駆動装置 100 B の起動指示があったと判定されると（ステップ S_{10} において YES ）、制御装置 20 A は、温度センサ 30 によって検出されるシステムメインリレー $SMR3$ のパワー MOS FET 40 の温度 T を温度センサ 30 から取得する（ステップ S_{22} ）。

20

【0067】

そして、制御装置 20 A は、温度センサ 30 から取得したパワー MOS FET 40 の温度 T に基づいて、システムメインリレー $SMR3$ のパワー MOS FET 40 のゲート電圧 V_{GS} を算出する（ステップ S_{24} ）。具体的には、たとえば図 8 に示したパワー MOS FET 40 の温度 T とゲート電圧 V_{GS} との関係を予めマップ化しておき、制御装置 20 A は、そのマップを用いて、温度センサ 30 からの温度 T に基づいてゲート電圧 V_{GS} を算出する。そして、制御装置 20 A は、ステップ S_{30} へ処理を進める。

【0068】

なお、プリチャージ処理中、制御装置 20 A は、温度センサ 30 からの温度 T に基づいてゲート電圧 V_{GS} を逐次算出する。すなわち、ステップ S_{40} においてコンデンサ C の充電が完了していないと判定されると（ステップ S_{40} において NO ）、制御装置 20 A は、ステップ S_{22} へ処理を戻す。

30

【0069】

なお、上記においては、プリチャージ用の半導体トランジスタにパワー MOS FET 40 を用いたが、実施の形態 1 に対するその変形例のように、パワー MOS FET 40 に代えてバイポーラトランジスタ 50 を用いてもよい。

【0070】

以上のように、この実施の形態 2 によれば、突入電流を防止するための制限抵抗を廃止し、プリチャージ用リレーとして用いられるパワー MOS FET 40 の温度が上昇したときはパワー MOS FET 40 に流れる電流量が減少するようにパワー MOS FET 40 のゲート電圧を制御するようにしたので、パワー MOS FET 40 の過熱を確実に防止することができる。

40

【0071】

[実施の形態 3]

実施の形態 2 では、システムメインリレー $SMR3$ のパワー MOS FET 40 の温度が上昇すると、その温度上昇に応じてパワー MOS FET 40 のゲート電圧 V_{GS} を低下させるものとしたが、この実施の形態 3 では、パワー MOS FET 40 の温度が上昇するとパワー MOS FET 40 をオン / オフさせ、かつ、パワー MOS FET 40 の温度上昇に応じてパワー MOS FET 40 のオンデューティを小さくする。

【0072】

50

この実施の形態 3 における負荷駆動装置の全体構成は、図 7 に示した実施の形態 2 における負荷駆動装置 100B と同じである。

【0073】

図 10 は、この実施の形態 3 における制御装置 20B により制御されるパワー MOSFET 40 のオンデューティ D_{ON} を示す。図 10 を参照して、制御装置 20B は、パワー MOSFET 40 の温度 T がその温度上昇を示す温度 T₀ を超えると、パワー MOSFET 40 を流れる平均電流量が減少するように、パワー MOSFET 40 をスイッチング制御する。ここで、制御装置 20B は、パワー MOSFET 40 の温度上昇に応じて、パワー MOSFET 40 のオンデューティ D_{ON} を低下させる。

【0074】

図 11 は、この実施の形態 3 における制御装置 20B により実行されるプリチャージ処理のフローチャートである。図 11 を参照して、このフローチャートに示される処理構造は、図 9 に示した処理構造において、ステップ S24, S30 に代えてそれぞれステップ S26, S32 を含む。すなわち、制御装置 20B は、ステップ S22 においてシステムメインリレー SMR3 のパワー MOSFET 40 の温度 T を温度センサ 30 から取得すると、温度センサ 30 から取得したパワー MOSFET 40 の温度に基づいて、システムメインリレー SMR3 のパワー MOSFET 40 のオンデューティ D_{ON} を算出する（ステップ S26）。具体的には、たとえば図 10 に示したパワー MOSFET 40 の温度 T とオンデューティ D_{ON} との関係を予めマップ化しておき、制御装置 20B は、そのマップを用いて、温度センサ 30 からの温度 T に基づいてオンデューティ D_{ON} を算出する。

【0075】

パワー MOSFET 40 のオンデューティ D_{ON} が算出されると、制御装置 20B は、その算出したオンデューティ D_{ON} でパワー MOSFET 40 をスイッチング制御するとともに、システムメインリレー SMR1 をオンさせる（ステップ S32）。そして、制御装置 20B は、ステップ S40 へ処理を進める。

【0076】

なお、プリチャージ処理中、制御装置 20B は、温度センサ 30 からの温度 T に基づいてパワー MOSFET 40 のオンデューティ D_{ON} を逐次算出する。すなわち、ステップ S40 においてコンデンサ C の充電が完了していないと判定されると（ステップ S40 において NO）、制御装置 20B は、ステップ S22 へ処理を戻す。

【0077】

なお、上記においても、プリチャージ用の半導体トランジスタにパワー MOSFET 40 を用いたが、実施の形態 1 に対するその変形例のように、パワー MOSFET 40 に代えてバイポーラトランジスタ 50 を用いてもよい。

【0078】

以上のように、この実施の形態 3 によれば、突入電流を防止するための制限抵抗を廃止し、プリチャージ用リレーとして用いられるパワー MOSFET 40 の温度が上昇したときはパワー MOSFET 40 に流れる平均電流量が減少するようにパワー MOSFET 40 をスイッチング制御するようにしたので、パワー MOSFET 40 の過熱を確実に防止することができる。

【0079】

なお、上記の各実施の形態においては、プリチャージ処理用のシステムメインリレー SMR3 は、直流電源 B の負極に接続されるシステムメインリレー SMR2 に並列に接続されるものとしたが、直流電源 B の正極に接続されるシステムメインリレー SMR1 に並列に接続してもよい。

【0080】

なお、上記において、システムメインリレー SMR1 または SMR2 は、この発明における「リレー」に対応し、システムメインリレー SMR3 のパワー MOSFET 40 またはシステムメインリレー SMR3A のバイポーラトランジスタ 50 は、この発明における

10

20

30

40

50

「半導体スイッチング素子」に対応する。また、コンデンサC、インバータ10およびモータジェネレータMGは、この発明における「負荷装置」を形成し、制御装置20、20A、20Bは、この発明における「制御手段」に対応する。そして、直流電源B、システムメインリレーSMR1～SMR3（またはSMR3A）および制御装置20（または20A、20B）は、この発明における「電源制御装置」を形成する。また、温度センサ30は、この発明における「温度検出手段」に対応する。

【0081】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0082】

【図1】この発明の実施の形態1による電源制御装置を備えた負荷駆動装置の全体ブロック図である。

【図2】プリチャージ処理が実行されているときの電源制御装置の等価回路図である。

【図3】図1に示すパワーMOSFETの特性図である。

【図4】図1に示す制御装置により実行されるプリチャージ処理のフローチャートである。

【図5】この発明の実施の形態1の変形例による電源制御装置を備えた負荷駆動装置の全体ブロック図である。

【図6】図5に示すバイポーラトランジスタの特性図である。

【図7】この発明の実施の形態2による電源制御装置を備えた負荷駆動装置の全体ブロック図である。

【図8】図7に示す制御装置により制御されるパワーMOSFETのゲート電圧を示した図である。

【図9】図7に示す制御装置により実行されるプリチャージ処理のフローチャートである。

【図10】この実施の形態3における制御装置により制御されるパワーMOSFETのオンデューティーを示した図である。

【図11】この実施の形態3における制御装置により実行されるプリチャージ処理のフローチャートである。

【図12】従来の電源制御装置を備えた負荷駆動装置の全体ブロック図である。

【符号の説明】

【0083】

10 インバータ、20、20A、20B 制御装置、30 温度センサ、40 パワーMOSFET、50 バイポーラトランジスタ、100、100A、100B 負荷駆動装置、B 直流電源、SMR1～SMR3、SMR3A システムメインリレー、D ダイオード、C コンデンサ、PL 電源ライン、SL 接地ライン、MG モータジェネレータ、RB 抵抗。

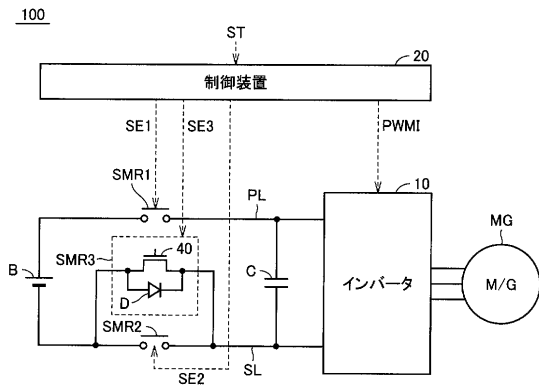
10

20

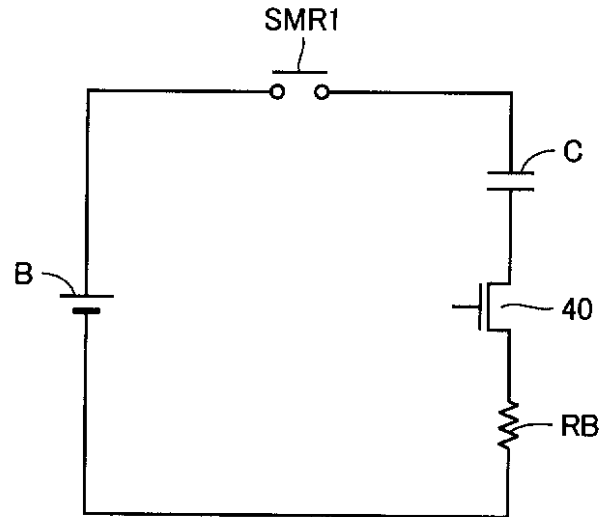
30

40

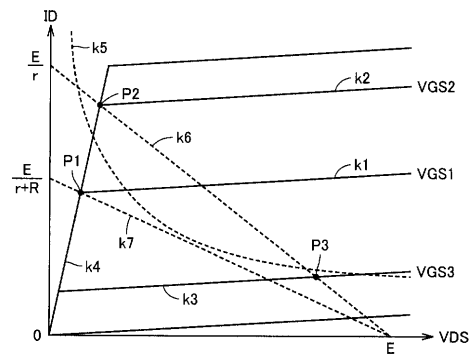
【図 1】



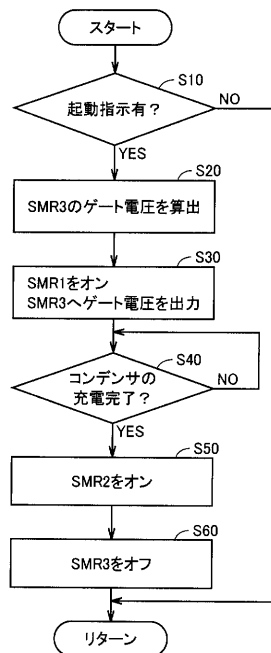
【図 2】



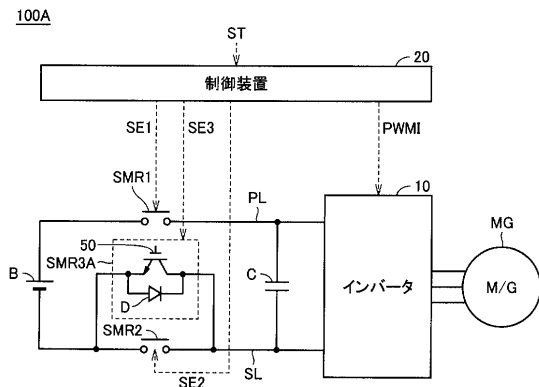
【図 3】



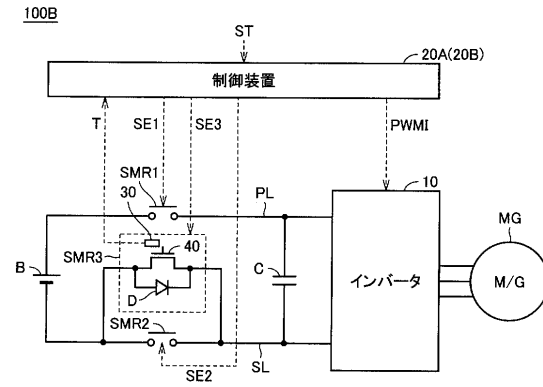
【図 4】



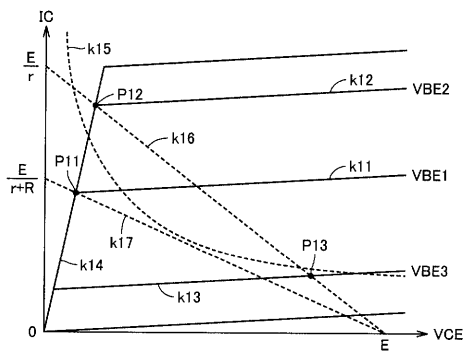
【図 5】



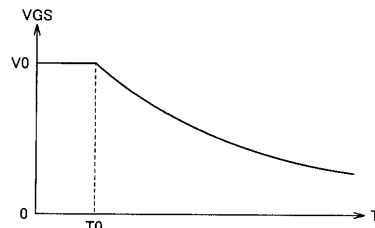
【図 7】



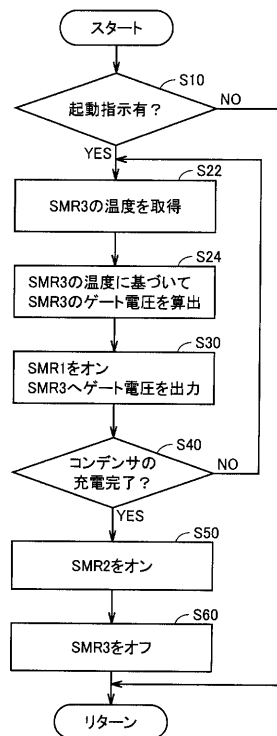
【図 6】



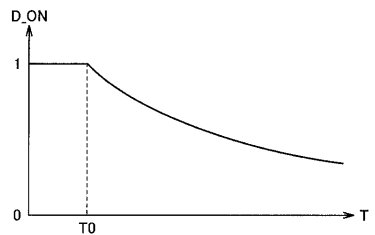
【図 8】



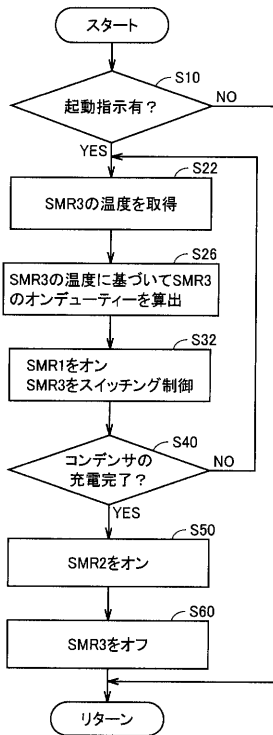
【図 9】



【図 10】



【図 1 1】



【図 1 2】

