

公告本

申請日期	90 > >
案 號	90102178
類 別	G11C > 9/00

A4
C4

495759

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	資訊記憶體之更新元件用之測試方法
	英 文	METHOD TO TEST THE REFRESH-DEVICE OF AN INFORMATION-MEMORY
二、發明 創作人	姓 名	1. 立克特迪特雷夫(RICHTER, Detlev) 2. 史畢克爾沃夫崗(SPIRKL, Dr. Wolfgang)
	國 籍	1.-2. 皆屬德國
	住、居所	1. 德國慕尼黑 D-81825 東尼史密特街 11 號 2. 德國哲梅林 D-82110 克里格街 23d 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	1. 麥可勾威什(Michael Gollwitzer) 2. 荷斯特卻佛(Dr. Horst Schäfer)

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6
B6

本案已向：

德國(地區) 申請專利，申請日期： 案號： 2000年2月4日 10004958.3號，☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

本發明涉及一種資訊記憶體，其需要一種更新元件以便在某種時段間距中使記憶胞中所保存之資訊更新。本發明亦涉及此種更新元件之測試方法，其係以申請專利範圍第 1 項之前言為基準。但本發明之主要應用領域是所謂 DRAM，特別是此類之半導體記憶體。

就一種由資訊之寫入而造成之記憶胞狀態保持穩定之程度而言，其是與資訊記憶體中所使用之記憶胞之本質有關。若記憶胞由雙穩態之電路（正反器）所構成，則只要電源不中斷，則所寫入之資訊即保存著。但其它形式之某些記憶胞會隨時間而使寫入之資訊遺失，因此須隨時更新。

這例如適用於一些記憶胞中，其中原來之記憶元件是電容（其具有不同之充電狀態），所寫入之資訊是由電荷之位準來表示。由於電容器之不同避免之漏電現象，則所儲存之電荷會隨時間而減少，使此種由所儲存之電荷所表示之資訊不再可明確地辨認。記憶胞狀態在讀出時會被誤解。若此種記憶胞操作成表示 1 和 0 之二進位記憶胞（此時只在二個狀態“充電”（高位準）和“放電”（低位準）之間變換），則在一段時間之後具有“1”之記憶胞之電荷逐漸消逝而在此記憶胞中讀出“0”。若各記憶胞分別用來儲存多於二個之各別之資訊值，則類似上述之問題會更嚴重，此時一些資訊值會對應於此電荷之固定之中間位準。

除了上述之電容式記憶胞之外，亦需要其它需更新之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (2)

記憶胞。這通常適用於全部形式之記憶胞，其中至少一種資訊寫入狀態是會消失的。這些狀態因此可以是任意之物理量或化學量。

更新在原理上包含下述過程：在記憶胞狀態可消失至某種程度使其中所表示之資訊不再可明確辨認之前，此記憶胞狀態須即時地可感測；然後由此種已感測到之記憶胞狀態中所得之資訊被寫入相關之記憶胞中而達成更新作用。

記憶胞中資訊之保持時間(retention time)(此時記憶胞中寫入之資訊可明顯地辨認)是與構造有關的且在相同之記憶模組中每一記憶胞亦可差異很大。在商用之電容性 DRAMs 中，可確保 "1" 之最少之保持時間(此時資訊是以高(H)位準表示)大部份是數毫秒之間，實際上在一些記憶胞中 "1" 之保持時間偶而可大很多，在某些情況中甚至可達數秒。在選取此種更新所需之時距時，由於構造上之原因必須依據所確保之最小之保持時間來決定，即，各更新之間之期間不可大於此種最小之保持時間。

資訊記憶體(其記憶胞需要更新)須以習知之方式使用一種更新元件，其包含以下之組件：更新-選擇元件，用來選取一些待更新之記憶胞；感測元件，用來感測每一由更新-選擇元件所選取之記憶胞；再記憶元件；使每一已選取之記憶胞設定成一種更新狀態。這樣所構成之更新元件通常自動地以下述方式操作：該選擇

五、發明說明 (3)

元件依據使用者所設定之序列程式來選取全部記憶胞，使感測元件可感測每一所選取之記憶胞之狀態且再記憶元件使相關之記憶胞重新設定成此種序列程式必須由使用者來設定，使記憶胞在較記憶體之最小-保持時間還長時不致於仍未被更新。

在設計分析及生產測試時必須檢測：此更新元件能可靠地且可在全部所選取之記憶胞上進行所期望之更新。感測功能之作用是可感測：此更新-選擇元件未能準確地遵循所設定之程式。這特別是在上述之選擇元件中一種週期性驅動之更新計數器用來週期性地重複計算這些即將更新之記憶胞或記憶胞組(group)之位址且此計數器之溢位功能不能正確地操作或此計數口以其它方式而發生不均勻現象時特別會發生。其它之感測功能是可感測：一種感測時所選取之記憶胞未由該再記憶元件所存取時。

爲了測試此更新元件，則儲存一種習知之易於消失之資訊於整個記憶胞陣列中是不夠的，須在最小保持時間結束之前在全部記憶胞中進行一種更新週期且隨後檢測：全部之記憶胞是否總是含有相對應之資訊。這些記憶胞（其實際之保持時間較最小保持時間大很多）在檢測時可保持其資訊，若其在更新週期中已被忽略。

爲了提供一種有效之測試效果，則通常在資訊儲存之後依順序進行許多更新週期，其間之時距不大於最小保持時間，但整體之進行時間較所預期之最大保持時間還

五、發明說明(⁴)

長。因此，可依據隨後所感測之記憶胞之資訊內容來決定：在更新週期中是否有記憶胞規則地被忽略。但這些方法需要較長之測試時間且特別是在較大之記憶體中此種測試只區段性地在較小之記憶體方塊中進行時不使用這些方法。

另一方式是：不是以檢測此種更新結果為滿足，而是只檢測此更新計數器之工作方式。但這樣不能辨認一些錯誤狀態（例如，所選取之記憶胞實際上不會到來）。一種在更新計數器和位址解碼器之間的接線上之錯誤仍未被查覺，多工器中之錯誤同樣未被查覺，多工器通常用來在正常位址和參考位址之間進行選擇。此外，計數器之檢測需要對各別已存在之計數狀態（瞬間計數值）進行偵測，以便可在計數器操作中確定一些錯誤。在許多更新計數器中未設有元件以顯示此計數器狀態或顯示一種已界定之重置(reset)狀態，在此種情況下另外需要一些測試用之偵測硬體（例如，特殊之掃描鏈(chain)）。

本發明之目的是提供一種方法以測試資訊記憶體之更新元件，其在短時間中提供一種敘述，據此可決定：此更新元件之全部組件是否已依規定來操作。此目的是由本發明申請專利範圍第1項之特徵來達成。本發明有利之其它形式描述在申請專利範圍各附屬項中。

本發明之測試方法基本上包含以下各步驟：

一測試開始時先確認這些測試時將加入之記憶胞之狀

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

態；

- 一 在最小保持時間結束之前在上述確認過程之後使再記憶元件操作在測試-操作模式中，此時每一加入之記憶胞之由其所設定之更新狀態分別是一種預設之狀態，其是與先前已確認之狀態不同；
- 一 檢測：已加入之記憶胞之由再記憶元件之上述操作所設定之狀態是否對應於預設之狀態。

本發明以二個認知為基準，其中之一是，上述問題在更新測試時只涉及：再記憶元件之特定之操作使一種與先前所感測之資訊相同之資訊再儲存至各別選取之記憶胞中。另一個認知是：適當地拋棄此種特定之操作（即，此種測試-操作模式，其任務是再儲存一種明顯地不同於所感測之資訊之資訊）實際上可揭示此更新元件之全部組件之所有可能之錯誤。即，每一錯誤（其可影響一種即時更新操作之結果）在再記憶元件之上述測試-操作模式之結果中都可辨認。藉由本發明之測試-操作模式，則可對付上述問題，儘管此測試結果仍保持著未受限制之表現力。

測試開始時所進行之記憶胞狀態之確認之目的是：只要這些狀態未知，則可用來感測相關記憶胞之狀態，這例如藉由所儲存之資訊之正常讀出來進行。但此種確認亦可以下述方式來達成：習知之任意資訊藉由正常之寫入操作而寫入記憶胞中（讀出過程因此是多餘的）。

習知之資訊對所有相關之記憶胞未必相同，但較佳是

經濟部智慧財產局員工消費合作社印製

五、發明說明 (6)

使全部之這些記憶胞都具有相同之已知之狀態。這樣所具有之優點是：隨後在再記憶元件之測試操作模式中即將設定之記憶胞狀態可相同，這樣可使操作簡化且使隨後之計算簡化。在此種再記憶元件中可在適當之位置（此處另外施加一種位準，其描述記憶胞先前狀態之資訊）只饋入任意定義之固定位準，其會造成一種與已寫入之狀態不同之記憶胞狀態。此種新的（更新之）記憶胞狀態甚至不能明確地描述一種記憶體資訊，其亦可以是任意之中間狀態，為了簡化計算過程，則此種即將設定之新記憶胞狀態須對應於可能之記憶體資訊之一，其在二進位記憶胞中是"1"，若先前已寫入之資訊是"0"時。

在此種特殊之實施形式中，相關之全部記憶胞在一個週期（其在再記憶元件之測試操作模式中完成）之後含有"1"，若該更新元件無錯誤時。若不知在何處出現"0"時，則就相關之記憶胞（或記憶胞組）而言可推知該更新元件之功能錯誤。

如上所述，該更新-選擇元件通常含有一種更新計數器，其可藉由更新時脈脈衝而週期性地經由計數範圍而繼續計數，此計數範圍包含 N 個值(0 至 N-1)，以便在更新所需之週期性重複過程中對此記憶體之 N 個記憶胞(組)所成之集合進行定址。在此種情況下較佳是進行本發明之測試方法，使已知之資訊寫入該測試時所加入之記憶胞中之後且在最小保持時間結束之前此更新計數器

五、發明說明 (7)

可藉由依順序之時脈脈衝而繼續計數，在測試-操作模式中在再記憶元件受驅動時使相繼之已定址之記憶胞設定成此種由此操作模式所預設之“新”狀態。然後檢測：這些新狀態實際上已到達何種程度。

若已進行此種測試超過 N 個時脈脈衝，則可認為：即將加入之記憶胞(組)所成集合之 N 個元件所用之全部 N 個位址 W_0 至 W_{N-1} 已進行定址。此種認定當然只有當計數器和此種使計數值轉變成各別相對應之位址所用之解碼器正確操作時才是合理的。若此種理想情況滿足，則一種恰巧有 N 個時脈脈衝之測試週期顯示：就每一所產生之位址而言此集合之所屬之各元件實際上是否已由再記憶元件所達成。即，只有當計數器及解碼器無錯誤時，則以 N 個時脈來進行之簡易測試才是有意義的。

反之，若上述情況不成立，則較佳是以特殊之策略來進行本發明之方法，以便同樣可考慮或完全辨認一些可能之錯誤（其可在更新位址產生時發生）。這些錯誤可以是：

- i. 計數器跳過計數值或短暫地在一個或多個脈衝中停止；
- ii. 計數器之溢位（即，由末端返回計數區之起始端）不正確地作用，其是由於使用額外之時脈所造成；
- iii. 位址產生用之數值解碼器不正確地作用或與計數器輸出端不相連接；
- iv. 可能存在之轉換器（多工器）是有缺陷的，這些轉

五、發明說明 (8)

換器用來在正常位址和更新位址之間作選擇。

在最不利之情況（此時計數器中不存在該計數值發佈所用之元件或不存在一種已界定之數值預設（大約適當地重置成 0 時所用之元件）中，最好進行以下之測試流程：首先，藉由正常之寫入使測試時所加入之集合之全部 N 個即將選取之元件（記憶胞或記憶組）設定成一種習知之狀態（例如，L 位準）。然後在最小保持時間內以及使再記憶元件在測試-操作模式中操作時施加 N 個依序之時脈至更新計數器，讀出此 N 個元件之“新”狀態。隨後亦在最小保持時間內但在再記憶元件在更新-操作模式中操作時施加 Y 個時脈至計數器，其中 Y 是任意不同於 N 之整數倍之其它數（較佳是選取 $Y=N/2$ ）。然後重新使全部 N 個即將選取之元件設定成一種已知之狀態，且重新在最小保持時間內又使再記憶元件在測試-操作模式中操作時施加 N 個依序之時脈至更新計數器，然後讀出 N 個元件之所達成之狀態。

若此更新元件之所有各部份都無缺陷，則上述之二個讀出過程在所有之 N 個元件分別顯示此種由再記憶元件所預設之記憶胞狀態。須確保 Y 個即時更新操作所形成之中間電路，使二個 N 部份組成之測試週期之至少一個含有該更新計數器之一個溢位(overflow)，以表示該測試結果中可能存在之溢位錯誤。即，須確保：只要溢位未在第一測試週期中處理完成，即在第二測試週期時此溢位須處理完成。較佳是選取數字 $Y=N/2$ ，因為此數是離

五、發明說明 (9)

N 之整數倍 (包括 0) 最大可能之距離中最小之數。因此，在計數器操作時若發生跳躍及中止現象時可有最佳之機率使此測試週期或另一測試週期中之溢位被處理完成。

在先前所述之測試流程中，此種測試總共需要 $2N + N/2$ 個時脈。此二個讀出過程指出以下之結論：再記憶元件基本上是否已完成 N 元件中之每一個且此計數器之溢位功能是否正確地操作。例如，若在此二個測試週期之每一個之前使二進位狀態 "0" (L 位準) 寫入全部之 N 個元件且由該再記憶元件所預設之狀態寫入 "1" (H 位準)，則此二個讀出過程中之每一個都在全部之元件上顯示二進位狀態 "1" (H 位準)，若所有各部份都正確操作時。在所預期之 "1" 或 "0" 未被讀出之處，則此更新元件存在一種錯誤功能。

若在計數器中設置一些以告知計數狀態或預設一種明確之數值，則此測試流程可較前述之情況縮短。首先須確認此更新計數器之計數狀態，即，讀出此狀態或設定成一種習知之數值 A (例如，0)，測試時已加入之集合之全部 N 個即將選取之元件 (記憶胞或記憶胞組) 藉由正常寫入成一種已知之狀態 (例如，全部是 L 位準) 而設定完成。然後在最小保持時間且此再記憶元件在測試 - 操作模式中操作時施加 $X < N$ 個依序之時脈至更新計數器，然後第一次讀出全部 N 個元件之狀態。接著又使全部 N 個元件設定在一種已知之狀態 (例如，L 位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (¹⁰)

準)。然後在最小保持時間且此再記憶元件在測試-操作模式中操作時施加 $N-X+1$ 個依序之時脈至更新計數器，然後第二次讀出全部 N 個元件之狀態。

依據此數 $A+X$ 是否小於或大於 N ，則計數器之溢位在第二或第一測試週期時須處理完成。在更新元件之全部各部份都正確地操作時會形成以下之情況：

1)在第一情況 ($A+X < N$)時

1a)第一讀出過程在位址 W_A 至 W_{A+X-1} 中顯示此再記憶元件在測試-操作模式中所設定之狀態且在其餘之位址時顯示先前所確認之狀態，

1b)第二讀出過程在位址 W_{A+X} 至 W_{N-1} 及 W_0 至 W_A 時顯示此再記憶元件在測試-操作模式中所設定之狀態且在其餘之位址時顯示先前所確認之狀態。

2)在第二情況 ($A+X > N$)時

2a)第一讀出過程在位址 W_A 至 W_{N-1} 及 W_0 至 $W_{A+X-N-1}$ 中顯示此再記憶元件在測試-操作模式中所設定之狀態且在其餘之位址時顯示先前所確認之狀態，

2b)第二讀出過程在位址 W_{A+X-N} 至 W_A 時顯示此再記憶元件在測試-操作模式中所設定之狀態且在其餘之位址時顯示先前所確認之狀態。

在此種測試流程中，此測試總共只需 $N+1$ 個時脈。此二種讀出過程總共顯示：此再記憶元件基本上已處理完成全部之元件。在計數器之溢位已處理完成之此一測試

五、發明說明 (11)

週期之後此讀出過程顯示：溢位功能是否已正確地操作。

若整個系統在每一重置(reset)時（例如，系統起始時）使更新計數器明確地設定成 0，則在測試流程開始時由此種計數狀態（即， $A=0$ ）開始。舉例而言， $X=N-1$ 且在此二個測試週期之每一個開始之前此二進位狀態"0"（L 位準）寫入至全部之 N 個元件以及此種由再記憶元件所預期之狀態顯示"1"（H 位準）。在此種情況下在正確操作時第一讀出過程在位址 W_0 至 W_{N-2} 顯示二進位狀態"1"（H 位準）且在位址 W_{N-1} 顯示二進位狀態"0"（L 位準）；第二讀出過程位址 W_{N-1} 和 W_0 時顯示"1"且在位址 W_1 至 W_{N-2} 時顯示"0"。在未讀出所預期之"1"或"0"之處，則可推知此更新元件之功能錯誤。

在第二測試週期時施加較 $N-X+1$ 個還多之時脈。但通常恰巧 $N-X+1$ 個時脈即已足夠在 1 個時脈中可靠地辨認此更新計數器在操作時之跳躍或中止現象。

在一般之 DRAM 記憶體（其具有 N 列和 M 行之記憶胞所形成之矩陣）中，正常操作時由更新計數器選取一整列（M 個記憶胞）以進行更新，這是藉由相關之列位址線（字元線）之選擇性導通且使整個行位址線（位元線）導通而達成。在存在 N 列及字元線位址是 W_0 至 W_{N-1} 時，由更新計數器所選取之集合之 N 個元件之每一個分別含有 M 個記憶胞。爲了測試：定址作用是否正常地由更新計數中所完成，則在本發明之方法中在測試週期

五、發明說明 (¹²)

時在每一列中只注意這些記憶胞中之一即已止夠，其方式是在記憶胞狀態確認時在測試（例如，寫入）之前且在記憶胞狀態檢測時在測試（即，讀出）之後只對同一個行位址進行控制。

在記憶體模組中，記憶體通常劃分成多個排(bank)，即，字元線劃分成許多區域，使得在同一時間中在每一排中只導通一條字元線。因此，就更新操作而言，若 b 是這些排之數目，則可同時更新 b 條字元線上之記憶胞。

若每一排設有一個特定之更新計數器，則本發明之更新測試對每一排都可以相同之方式進行而不須改變，且可同時進行或依序進行。在另一種情況中，若 b 排只有一個計數器，則會造成複雜之特性。只有已選取之排才會被更新，但該共同之計數器在每一更新過程中都會增加其計數值。例如，若二個排 A 和 B(b=2)分別以 N 條字元線交替地更新，則由此排 A 開始，在 N 個更新事件之後每一字元線利用奇數個 A 排來更新且每一字元線利用偶數個 B 排來更新。此種特性可利用本發明之更新測試方法來檢測，這是藉由上述測試圖樣適當地擴大來達成。特別是依據各記憶胞狀態（其依據本發明之更新元件之測試-操作模式而讀出）可在並行式更新、依序式更新和依據混合圖樣之更新中辨認此更新元件之錯誤功能，若該測試圖樣相對應地擴大時。

爲了進行本發明之測試方法，則該待測試之更新元件

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

上不需其它硬體。所需之唯一之修改是設計一種切換可能性以便在再記憶元件之正常更新-操作模式和測試-操作模式之間切換。特別是在本發明之較佳實施形式中以相同之資訊（例如，L位準）寫入該全部已加入之記憶胞中以進行測試操作之前在確認各記憶胞狀態時，切換至測試-操作模式中是簡易的：其只需唯一之可與L位準區別之位準（例如，H位準）且在預定之時間施加至再記憶元件之輸出端。

在一般具有二進位電容式儲存功能之半導體 DRAMs 中，使用一種電晶體開關作為再記憶元件，其存在於讀出放大器中且在讀出記憶胞資訊時處於一種切換狀態中，此時其“輸出電極”處於一種可顯示所讀出資訊之位準中。在正常讀出操作時直接在讀出（此時字元線（列位址線）仍導通）之後短暫地使該電極仍與相關之位元線（行位址線）保持連接，以便使所讀出之資訊又寫入相關之記憶胞中。相同之過程亦在正常更新操作（其基本上與讀出操作並無不同，當然可輕易地處理此讀出放大器之輸出信號）時進行。為了進行本發明之測試-操作模式，則由外部控制上述之電晶體開關或對其輸出電極或相關之位元線施加一種電壓，以便在再寫入時產生此種測試-操作模式時所預設之記憶胞狀態。這可以一種很簡單之方式來進行，如以下將依據圖式所述者。

圖式簡單說明：

第 1 圖 DRAM 記憶體模組之一部份，其具有電容性儲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (¹⁴)

存功能。

圖中顯示一個記憶胞，其可由字元線 WL_n （列位址線）和位元線 BL_m （行位址線）來定址。此記憶胞由電容 $C_{n,m}$ 所構成， $C_{n,m}$ 之一邊連接至參考電位（接地）且另一邊經由此記憶胞之電晶體（選擇電晶體） $T_{n,m}$ 之通道而連接至位元線 BL_m ，電晶體 $T_{n,m}$ 以此種與其閘極相連接之字元線 WL_n 來控制。此記憶體模組當然含有許多其它相同形式之記憶胞，其形成一種由列和行所構成之矩陣，每一列都有相對應之字元線，每一行都有相對應之位元線。此圖中除了字元線 WL_n 之外只有各別直接相鄰之 WL_{n-1} 、 WL_{n+1} ，且除了位元線 BL_m 之外只顯示直接相鄰之 BL_{m-1} 、 BL_{m+1} 。每一條位元線（或每一位元線對，在成對之位元線或二部份之位元線時）連接至所屬之寫入／讀出電路，其另外含有一種讀出放大器（以便感測此記憶體電容之充電狀態）以及一種開關系統（以便使記憶體電容充電至所選取之電壓位準）。此種電路之操作（用來正常地寫入及讀出此記憶體內容，且在讀出之後又使資訊再儲存回去）通常已為人所知，此處因此不需詳述。此圖中只顯示此種連接至位元線 (BL_m) 之電路之一部份，其對本發明之測試操作及正常之更新操作之了解有所幫助。在隨後之說明中將簡單地由唯一之位元線（不是一般之位元線對）開始敘述。

任意記憶胞（例如，圖示之記憶胞）上一般之更新操作以電容 $C_{n,m}$ 依據下述方式進行：

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (¹⁵)

- 步驟 1：在“預充電”狀態中在電壓位準 V_i 時起動相關之位元線（恰巧像正常讀出過程時一樣），此電壓 V_i 由產生器 G 所設定。預充電開關 $S1_m$ 連接在產生器 G 和位元線 BL_m 之間。
- 步驟 2：使開關 $S1_m$ 斷開。藉由字元線 WL_n 之控制使選擇電晶體 $T_{n,m}$ 導通且因此使電容 $C_{n,m}$ 連接至位元線 BL_m 。若記憶胞中儲存較低之位準（L 位準） V_L ，即，二進位值“0”，則位元線電壓調整至位準 V_i-dV 。若記憶胞中儲存高位準（H 位準） V_H ，位元線電壓調整至位準 V_i+dV 。典型之方式是選取此種預充電位準 $V_i=(V_L+V_H)/2$ 。
- 步驟 3：現存之位元線電壓和預充電電壓 V_i 之間的差值在讀出放大器 LV_m 中放大。藉由已斷開之再充電開關 $S2_m$ （其配置在讀出放大器 LV_m 之輸出端和位元線 BL_m 之間）之閉合，則已放大之差值經由位元線 BL_m 和通常仍保持導通之選擇電晶體 $T_{n,m}$ 而又寫回至電容 $C_{n,m}$ 中。在電容中又有此種“已更新”之記憶體位準可供使用。
- 步驟 4：藉由字元線 WL_n 之去(de)激發及因此使選擇電晶體 $T_{n,m}$ 關閉，則電容 $C_{n,m}$ 由位元線 BL_m 切離，且藉由預充電開關 $S1_m$ 之閉合及再充電開關 $S2_m$ 之斷開而使位元線 BL_m 又處於預充電電壓 V_i （步驟 1）。

五、發明說明 (¹⁶)

繼續：對隨後所選取之字元線重複進行步驟 1 至 4，例如，對此字元線 WL_{n+1} 而言使電容 $C_{n,m}$ （未顯示）被更新。

實際上通常是使一列之全部記憶胞同時更新，其方式是依據前述之步驟 1 至 4 同時控制全部之位元線。

在使用圖式中之各元件時可簡易地（不需要添加其它之硬體元件）進行本發明之更新測試。因此可輕易地改變位元線之控制，使產生器 G 之輸出電壓 V_i （並非讀出放大器 LV_m 之輸出電壓）直接寫入記憶胞中。此時以上述順序進行步驟 1 至 4 即已足夠，唯一須修正之處是：預充電開關 $S1_m$ 總是閉合且再充電開關總是斷開（即，不導通）。字元線 WL_n 之每一控制都是對所選取之字元線之一種寫入過程，所寫入之資訊由產生器 G 之輸出電壓 V_i 所支配。

爲了達成本發明之測試-操作模式，則對每一所選取之字元線進行上述之已修正後之一序列之步驟。換言之：由開關 $S1_m$ 和 $S2_m$ 及其（未顯示之）控制電路所形成之再記憶元件可設定在本發明之測試-操作模式中，其方式是此開關（其在更新-操作模式中可使所感測之記憶胞資訊又儲存回去）之切換間隙須改變，使開關 $S2_m$ 持續地斷開且開關 $S1_m$ 持續地閉合，此產生器 G 調整至電壓 V_i ，其在記憶胞寫入時會造成該測試-操作模式中所預設之記憶胞狀態（此時產生器 G 當然須相對應地調整）。若電壓 V_i 設定成 $V_i=V_L$ ，則 "0" 寫入記憶胞

五、發明說明 (17)

中；在 $V_i=V_H$ 時，"1"寫入記憶胞中。在上述之實施例中，在更新測試開始時已設定之記憶胞狀態等於"0"，則此時 $V_i=V_H$ 。

符號說明

BL_{m-1} 、 BL_m 、 BL_{m+1} … 位元線

WL_{n-1} 、 WL_n 、 WL_{n+1} … 字元線

$C_{n,m}$ … 記憶體電容

$T_{n,m}$ … 記憶胞電晶體

LV_m … 讀出放大器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 資訊記憶體之更新元件用之
測試方法)

本發明涉及一種資訊記憶體之更新元件所用之測試方法，此更新元件包含：一種更新-選擇元件，用來選取記憶體之待更新之記憶胞；一種感測元件，用來感測每一由該選擇元件所選取之記憶胞之狀態；一種再記憶元件，使每一所選取之記憶胞設定至一種更新狀態，其在此再記憶元件之進行此更新作用所用之更新-操作模式中表示此種由所感測之狀態所導出之資訊，此種方法之特徵為：在開始此種測試時確認此種測試中可加入之各記憶胞之狀態；在所確定之最小保持時間結束之前在上述確認過程之後使該再記憶元件在測試-操作模式中操作，此時每一已加入之記憶胞之由其所設定之更新狀態分別是一種預定之狀態，其感覺上是與先前已確認之狀態不同；須檢測：已加入之各記憶胞之由再記憶元件之操作所設定之各狀態是否對應於各預定之狀態。

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

四、中文發明摘要 (發明之名稱：

)

METHOD TO TEST THE REFRESH-
DEVICE OF AN INFORMATION-
MEMORY

This invention is related to a method to test the refresh-device of an information-memory, which includes: a refresh-selection device to select refreshable cells of the memory; a sensing-device to sense the state of each cell selected by the selection-device; a re-memory-device to set each selected cell in a fresh-state, which in the refresh-operation mode, which cause the refreshing, of the re-memory-device represents the information derived from the sensed state. According to this invention, at the beginning of the test the states of the participated cells at test are verified; before the end of the guaranteed least retention-time of the memory-cells after said verification, the re-memory-device is operated in a test-operation mode, in which the fresh-state, set by the re-memory-device, of each participated cell is respectively a pre-given state, which is sensibly different from the previous verified state. Then it will be test whether the states, which are set by the operation of the re-memory-device, of the participated cells correspond to the pre-given states.

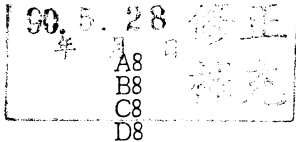
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製



(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(90年5月修正)

1. 一種資訊記憶體之更新元件用之測試方法，其用來在所確保之最小保持時間結束之前使儲存在記憶體之許多記憶胞中之資訊（作為各記憶胞之狀態）被更新，該更新元件包含以下各元件：

一種更新-選擇元件，用來選取記憶體之待更新之記憶胞；

一種感測元件，用來感測每一由該選擇元件所選取之記憶胞之狀態；

一種再記憶元件，使每一所選取之記憶胞設定至一種更新狀態，其在此再記憶元件之進行此更新作用所用之更新-操作模式中表示此種由所感測之狀態所導出之資訊，

此種方法之特徵為：

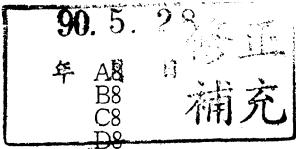
在開始此種測試時確認此種測試中可加入之各記憶胞之狀態；

在所確定之最小保持時間結束之前在上述確認過程之後使該再記憶元件在測試-操作模式中操作，此時每一已加入之記憶胞之由其所設定之更新狀態分別是一種預定之狀態，其感覺上是與先前已確認之狀態不同；

須檢測：已加入之各記憶胞之由再記憶元件之操作所設定之各狀態是否對應於各預定之狀態。

2. 如申請專利範圍第1項之方法，其中在測試開始時對各記憶胞狀態所進行之確認過程是藉由已知之資訊寫

修正本有無變更事項請於背面之注意事項再填寫本頁



(請先閱讀背面之注意事項再填寫本頁)

裝

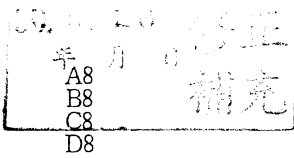
訂

線

六、申請專利範圍

入相關之記憶胞中來達成。

- 3. 如申請專利範圍第 2 項之方法，其中須設計該已知之資訊，使其在寫入時全部之已加入之記憶胞都具有相同之狀態；在該再記憶元件之測試-操作模式中所設置之更新狀態對全部已加入之記憶胞而言是相同的。
- 4. 如申請專利範圍第 3 項之方法，其中在該再記憶元件之測試-操作模式中所設置之更新狀態在可能狀態之整個範圍中任何地方都是一種與該已確認之狀態在感覺上是不同之狀態。
- 5. 如申請專利範圍第 3 項之方法，其中該選擇元件含有一種更新-位址計數器，其可藉由更新-時脈而週期性地經由其計數區而繼續計數，此計數區包含 N 個數值，以便在週期性重複之更新中對此記憶體之 N 個記憶胞或記憶胞組所形成之集合進行定址，其中包含以下之步驟：
 - 5A) 在可由更新計數器定址之集合之 N 個元件之每一個內部中在所探討之至少一個記憶胞之位址中寫入一種已知之資訊；
 - 5B) 在所確定之最小保持時間結束之前且該再記憶元件在測試-操作模式中操作時施加 X 個更新-時脈；
 - 5C) 在施加 X 個更新-時脈之後檢測：所探討之記憶胞之由該再記憶元件之此種操作所設定之各狀態是否對應於預設之各狀態。



(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

6. 如申請專利範圍第 4 項之方法，其中該選擇元件含有一種更新-位址計數器，其可藉由更新-時脈而週期性地經由其計數區而繼續計數，此計數區包含 N 個數值，以便在週期性重複之更新中對此記憶體之 N 個記憶胞或記憶胞組所形成之集合進行定址，其中包含以下之步驟：
- 5A) 在可由更新計數器定址之集合之 N 個元件之每一個內部中在所探討之至少一個記憶胞之位址中寫入一種已知之資訊；
 - 5B) 在所確定之最小保持時間結束之前且該再記憶元件在測試-操作模式中操作時施加 X 個更新-時脈；
 - 5C) 在施加 X 個更新-時脈之後檢測：所探討之記憶胞之由該再記憶元件之此種操作所設定之各狀態是否對應於預設之各狀態。
7. 如申請專利範圍第 5 項之方法，其中
- 步驟 5A 至 5C 首先是以 $X=N$ 來進行；
 - 然後在該再記憶元件於更新-操作模式中操作時施加 Y 個更新-時脈，其中 Y 是一種與 N 之整數倍不同之數；
 - 然後以 $X=N$ 重複步驟 5A 至 5C。
8. 如申請專利範圍第 7 項之方法，其中 Y 等於 $N/2$ 。
9. 如申請專利範圍第 5 項之方法，其中在更新計數器上可預設一種已定義之數值或可辨認一種瞬間存在之

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

數值；此時

首先以 $X < N$ 進行步驟 5A 至 5C；

然後重複步驟 5A 至 5C，但施加至少此數目 $N - X + 1$
(不是 X) 之更新-時脈。

10.如申請專利範圍第 9 項之方法，其中 X 等於 $N - 1$ 。

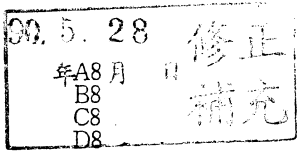
11.如申請專利範圍第 1 至 10 項中任一項之方法，其中
該再記憶元件含有一種開關元件($S1_m, S2_m$)，其在更新-
操作模式中對各別所選取之記憶胞($C_{n,m}$)產生動作，使
信號源(G)之輸出信號(V_i)可有效地作用在該記憶
胞，該輸出信號可使該記憶胞中所儲存之資訊讀出至
所屬之讀出放大器(LV)中，且在此信號去(de-)耦合之
後使讀出放大器之輸出被耦合以便使所讀出之資訊
又寫入此記憶胞中，此時

在更新-操作模式中使信號源(G)之輸出信號(V_i)設
定成一種值，其在對所選取之記憶胞($C_{n,m}$)進行存取時
會形成此種測試-操作模式中所預設之記憶胞狀態，

激發此開關元件($S1_m, S2_m$)，在存取期間此信號源之
輸出信號耦合至該記憶胞且使讀出放大器(LV)之輸出
由該記憶胞去(de-)耦合。

12.一種資訊記憶體之更新元件用之測試方法，其用來
在所確保之最小保持時間結束之前使儲存在記憶體
之許多記憶胞中之資訊（作為各記憶胞之狀態）被更
新，該更新元件包含以下各元件：

一種更新-選擇元件，用來選取記憶體之待更新之記



(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

憶胞；

一種感測元件，用來感測每一由該選擇元件所選取之記憶胞之狀態；

一種再記憶元件，使每一所選取之記憶胞設定至一種更新狀態，其在此再記憶元件之進行此更新作用所用之更新-操作模式中表示此種由所感測之狀態所導出之資訊，

在開始此種測試時確認此種測試中可加入之各記憶胞之狀態；

在所確定之最小保持時間結束之前在上述確認過程之後使該再記憶元件在測試-操作模式中操作，此時每一已加入之記憶胞之由其所設定之更新狀態分別是一種預定之狀態，其感覺上是與先前已確認之狀態不同；

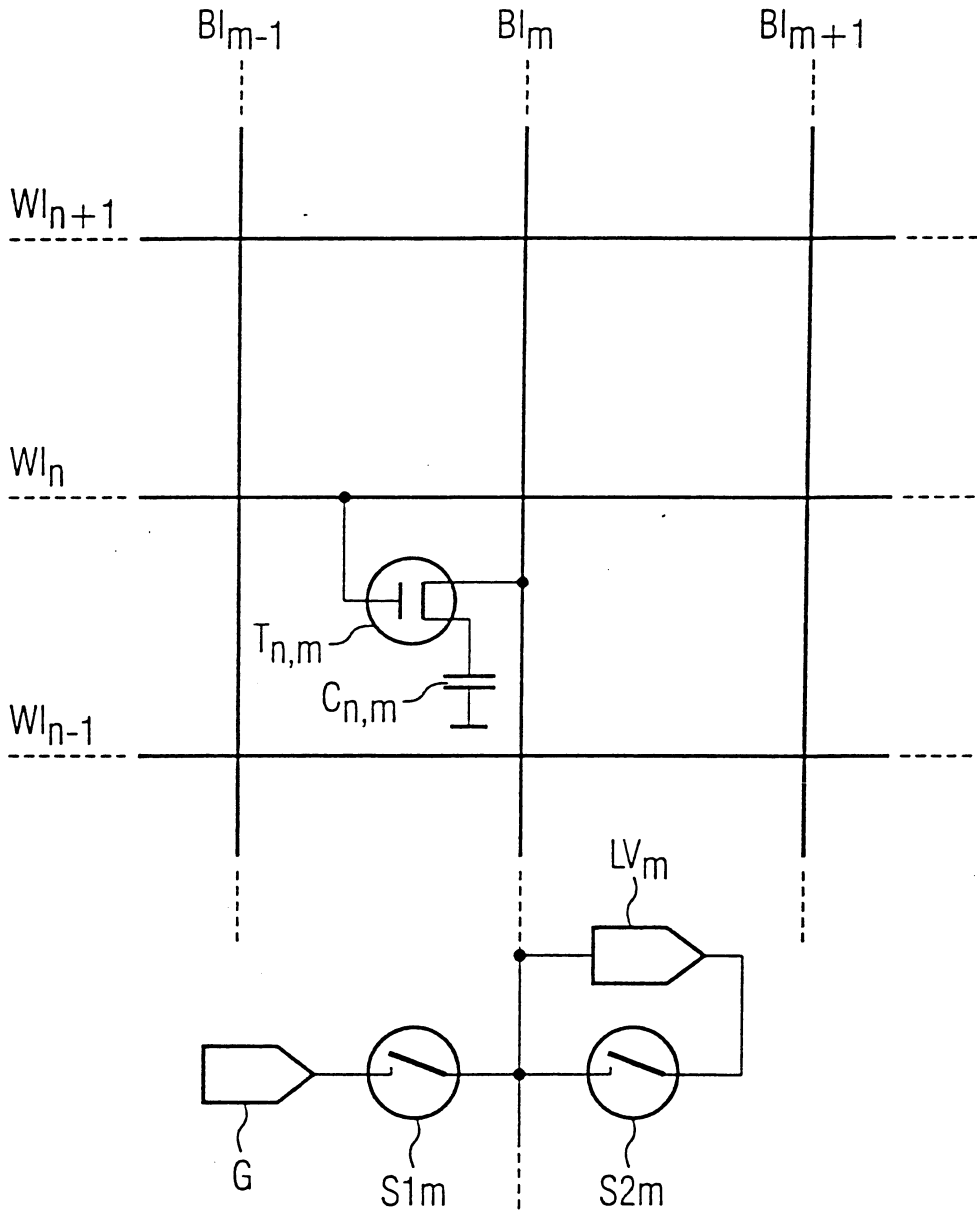
須檢測：已加入之各記憶胞之由再記憶元件之操作所設定之各狀態是否對應於各預定之狀態；特徵為：一該再記憶元件包含一種開關元件($S1_m, S2_m$)，其在更新-操作狀態時對各別所選取之記憶胞($C_{n,m}$)產生動作，以便首先藉由信號源(G)之輸出信號(V_1)而對記憶胞之位元線(BL_m)進行預充電，且然後在信號源(G)去耦合之後使記憶胞中所儲存之資訊藉由所屬字元線(WL_n)之控制而讀出至所屬之讀出放大器(LV)中，且然後使讀出放大器(LV)之輸出被耦合以便使所讀出之資訊又寫入至該記憶胞中，

六、申請專利範圍

- 一在更新-操作模式中此信號源(G)之輸出信號(V_i)設定成一種值，此值在對所選取之記憶胞(C_{n,m})進行存取時會造成此測試-操作模式中所預設之記憶胞狀態，
- 一激發此開關元件(S1_m,S2_m)，在預充電期間此信號源之輸出信號耦合至該記憶胞且使讀出放大器(LV)之輸出由該記憶胞去(de-)耦合。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線



第 1 圖