

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月25日(25.06.2020)



(10) 国際公開番号

WO 2020/129436 A1

(51) 国際特許分類:

H01L 21/822 (2006.01) H01L 29/06 (2006.01)
H01L 27/04 (2006.01) H01L 29/78 (2006.01)
H01L 21/8234 (2006.01) H01L 21/76 (2006.01)
H01L 27/06 (2006.01) H01L 29/739 (2006.01)

(21) 国際出願番号: PCT/JP2019/043167

(22) 国際出願日: 2019年11月1日(01.11.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-237396 2018年12月19日(19.12.2018) JP

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).

(72) 発明者: 白川 徹 (SHIRAKAWA, Tohru); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

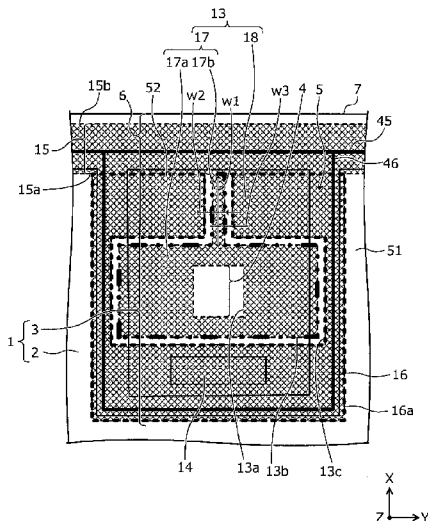
(74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町 3 番 1 2 号 紀尾井町ビル 7 階 酒井総合特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: An active region (1) comprises first and second cell regions (2, 3) in which a main IGBT (20) and a sense IGBT (30) are disposed, respectively. The second cell region (3) includes a detection region (4) in which the sense IGBT (30) is disposed, and an extraction region (5) surrounding the detection region (4). On a semiconductor substrate (7) in the extraction region (5), a resistor portion (17) coupled with the sense IGBT (30), which comprises polysilicon, is disposed. The resistor portion (17) coupled with the sense IGBT (30) includes a first portion (17a) connected to the gate electrode of the sense IGBT (30) and a second portion (17b) coupling the first portion (17a) to a gate runner (15), and constitutes an embedded resistance in which the second portion (17b) has a resistance value of 10Ω to 5000Ω inclusive. Thus, it is possible to improve the trade-off relationship between an increase in the ESD tolerance of a current sense unit including the sense IGBT (30) and a decrease in transient sense voltage.

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：活性領域（１）は、メインＩＧＢＴ（２０）およびセンスＩＧＢＴ（３０）がそれぞれ配置された第１，２セル領域（２，３）を有する。第２セル領域（３）は、センスＩＧＢＴ（３０）が配置された検出領域（４）と、検出領域（４）の周囲を囲む引抜領域（５）と、を有する。引抜領域（５）における半導体基板（７）上にポリシリコンからなるセンスＩＧＢＴ（３０）と連結する抵抗部（１７）が配置される。センスＩＧＢＴ（３０）と連結する抵抗部（１７）は、センスＩＧＢＴ（３０）のゲート電極に接続された第１部分（１７ａ）と、第１部分（１７ａ）をゲートランナー（１５）に連結する第２部分（１７ｂ）と、を有し、第２部分（１７ｂ）の抵抗値が１０Ω以上５０００Ω以下の内蔵抵抗を構成する。これによって、センスＩＧＢＴ（３０）を含む電流センス部のＥＳＤ耐量の向上と過渡センス電圧の低減とのトレードオフ関係を改善することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 従来、IPM (Intelligent Power Module : インテリジェントパワーモジュール) には、メイン半導体素子であるIGBT (Insulated Gate Bipolar Transistor : 絶縁ゲート型バイポーラトランジスタ、以下、メインIGBTとする) と同一の半導体基板に、メインIGBTを保護するための回路部が設けられている。このメインIGBTを保護するための回路部として、メインIGBTに流れる過電流 (OC : Over Current) を検出する電流センス部を備えることが公知である (例えば、下記特許文献1 参照。)。

[0003] 電流センス部は、メインIGBTと同一構成の単位セル (素子の機能単位) を、メインIGBTよりも少ない個数 (例えばメインIGBTの単位セルの個数の数千分の一) で備えたIGBT (以下、センスIGBTとする) である。センスIGBTは、メインIGBTと同一の半導体基板の所定領域内に配置され、メインIGBTに並列接続されている。メインIGBTのオン時、センスIGBTを流れるコレクタ・エミッタ間電流は、メインIGBTとセンスIGBTとの単位セル数の比率に応じて決まり、メインIGBTを流れるコレクタ・エミッタ間電流よりも電流量が少ない。

[0004] センスIGBTを流れるコレクタ・エミッタ間電流は、センスIGBTの主電極にワイヤーを介して接続された制御IC (Integrated Circuit : 集積回路) により検出される。制御ICは、センスIGBTを流れるコレクタ・エミッタ間電流の電流量に基づいて、メインIGBTのコレクタ・エミッタ間に過電流が流れているか否かを判定する。制御ICは、メインIGBTのコレクタ・エミッタ間に過電流が流れた場合にメインI

GBTのゲートをオフしてメインIGBTの動作を停止することで、メインIGBTのコレクタ・エミッタ間電流を遮断する過電流保護機能を有する。

[0005] 従来の半導体装置の構造について説明する。図28は、従来の半導体装置を半導体基板のおもて面側から見たレイアウトを示す平面図である。図29、30は、図28の電流センス部付近を拡大して示す平面図である。図28～30では、ゲートランナーメタルとゲートランナー115とのコンタクトホール145、および、ゲートランナーメタルの延在部とゲートランナー115の延在部116とのコンタクトホール146を太線で示す。

[0006] また、図28～30では、ゲートランナーメタルおよびゲートランナーメタルの延在部を図示省略する。図29、30は図28の同一箇所であり、それぞれハッチング箇所が異なる。図28、29には、 p^+ 型分離領域141、142をハッチングで示す。図30には、ポリシリコン（poly-Si）からなるセンスポリシリコン層113およびゲートランナー115をハッチングで示す。図31は、図29、30の切断線A-A'における断面構造を示す断面図である。

[0007] 図28～31に示す従来の半導体装置110は、半導体基板（半導体チップ）107に、メインIGBT120と、当該メインIGBT120に流れる電流を検出する電流センス部としてセンスIGBT130と、を備える。メインIGBT120およびセンスIGBT130ともに同一構造のトレンチゲート型IGBTである。半導体基板107には、第1、2セル領域102、103を有する活性領域101と、活性領域101の周囲を囲むエッジ終端領域106と、が設けられている。

[0008] 第1セル領域102において、半導体基板107の内部には、第1セル領域102の周囲を囲むように、 p^+ 型領域（以下、 p^+ 型分離領域とする）141が配置されている。第1セル領域102の、 p^+ 型分離領域141で囲まれた領域に、メインIGBT120の単位セルが配置されている。 p^+ 型分離領域141と n -型ドリフト領域121とのpn接合により、第1セル領域102は第1セル領域102以外の領域と分離されている。第1セル領域102

は、活性領域 101 の第 2 セル領域 103 を除く部分であり、活性領域 101 の表面積の大半を占める。

[0009] また、第 1 セル領域 102 において、半導体基板 107 のおもて面上には、メイン IGBT 120 のエミッタ電極 151 が設けられている。メイン IGBT 120 のエミッタ電極 151 は、第 1 セル領域 102 のほぼ全域を覆う。エミッタ電極 151 の一部でエミッタパッド 111 が構成される。第 1 セル領域 102 の、エッジ終端領域 106 との境界付近に、ゲートパッド 112 が配置されている。ゲートパッド 112 は、ゲートランナー 115 に接続されている。第 2 セル領域 103 には、センス IGBT 130 の単位セルが配置されている。

[0010] 第 2 セル領域 103 は、センス IGBT 130 の単位セルが配置された検出領域 104 と、正孔電流引き抜きのための引抜領域 105 と、を有する。引抜領域 105 において、半導体基板 107 の内部には、 p^+ 型分離領域 141、142 がそれぞれ選択的に設けられている。 p^+ 型分離領域 141 は、検出領域 104 の周囲を囲む。 p^+ 型分離領域 142 は、 p^+ 型分離領域 141 と検出領域 104 との間に、 p^+ 型分離領域 141 から離れて配置され、検出領域 104 の周囲を囲む。 p^+ 型分離領域 142 と n^- 型ドリフト領域 121 との pn 接合により、第 2 セル領域 103 の検出領域 104 は検出領域 104 以外の領域と分離されている。

[0011] 引抜領域 105 において、半導体基板 107 のおもて面上には、フィールド酸化膜 143 を介してセンスポリシリコン層 113 が配置されている。センスポリシリコン層 113 は、検出領域 104 の周囲を囲む。センスポリシリコン層 113 は、後述するゲートランナー 115 の延在部 116 を兼ねる。このセンスポリシリコン層 113 と層間絶縁膜 144 とセンス IGBT 130 のエミッタ電極 152 とで構成される容量は、センス IGBT 130 のゲート・エミッタ間容量 C_{GE} の一部となる。センス IGBT 130 のエミッタ電極 152 は、第 2 セル領域 103 のほぼ全域にわたって設けられ、層間絶縁膜 144 を挟んでセンスポリシリコン層 113 上に延在している。

[0012] エミッタ電極 152 の一部で構成されるセンスエミッタパッド 114 が引抜領域 105 に配置されている。ポリシリコンからなるゲートランナー 115 は、エッジ終端領域 106 に配置され、活性領域 101 の周囲を囲む。また、ゲートランナー 115 は、第 2 セル領域 103 の外周に沿って第 2 セル領域 103 に延在する部分（以下、延在部とする） 116 を有する。ゲートランナー 115 の延在部 116 は、第 2 セル領域 103 の周囲を囲む。ゲートランナー 115 およびゲートランナー 115 の延在部 116 で形成される 1 本のポリシリコン層は、第 1 セル領域 102 の外周に沿って延在し、第 1 セル領域 102 の周囲を囲む。

[0013] 図 29, 30 には、センスポリシリコン層 113 の内周（検出領域 104 側の端部）を、符号 113a を付した破線で示す。ゲートランナー 115 の、活性領域 101 の周囲を囲む部分の内周（活性領域 101 側の端部）および外周（半導体基板 107 の端部側の端部）を、それぞれ符号 115a, 115b を付した破線で示す。ゲートランナー 115 の延在部 116 の活性領域 101 側の端部に符号 116a を付している。センスポリシリコン層 113 は、ゲートランナー 115 およびゲートランナー 115 の延在部 116 と一体に形成されている。ゲートランナー 115 は、層間絶縁膜 144 に形成されたコンタクトホール 146 を介してゲートメタルランナー 153 と電氣的に接続されている。ゲートランナー 115 には、メイン IGBT 120 およびセンス IGBT 130 の各ゲート電極 128, 138 が電氣的に接続されている。

[0014] また、従来の半導体装置として、ゲート電極が埋め込まれたゲートトレンチ間に、エミッタ領域およびベース領域を貫通してドリフト領域に達するエミッタコンタクト用トレンチを有し、当該エミッタコンタクト用トレンチの内部に埋め込まれた導電層を介してエミッタ電極と半導体部とが電氣的に接続されたトレンチゲート型 IGBT が提案されている（例えば、下記特許文献 2 参照。）。下記特許文献 2 では、エミッタコンタクト用トレンチを備えないトレンチゲート型 IGBT よりも実効的なゲート幅が小さくなるため、

I G B T のコレクタ・エミッタ間電流の電流量が少なく、飽和電流が抑制される。

先行技術文献

特許文献

[0015] 特許文献1：特開 2 0 1 5 - 1 7 9 7 0 5 号公報

特許文献2：特許第 5 0 2 5 0 7 1 号公報

発明の概要

発明が解決しようとする課題

[0016] 半導体基板 1 0 7 をベース基板に実装するパッケージ組立て時、または、当該パッケージを製品に組み込む製品組立て時に、導電性の物体同士（人体と部品、または部品同士）の接触や接近により静電気放電（E S D : E l e c t r o - S t a t i c D i s c h a r g e）が発生する。センス I G B T 1 3 0 は、半導体基板 1 0 7 の表面積に対する占有面積が小さいため、ゲート・エミッタ間容量 C G E が非常に小さく、E S D 耐量が低い。このため、センス I G B T 1 3 0 にゲート・エミッタ間の耐圧以上のゲート電圧 V g（例えば 8 0 V 程度）が印加されると、センス I G B T 1 3 0 のゲートトレンチ 1 3 6 内のゲート絶縁膜 1 3 7 が絶縁破壊してしまう。

[0017] 一方、センス I G B T 1 3 0 のゲート・エミッタ間容量 C G E を大きくすることで、センス I G B T 1 3 0 のゲート絶縁膜 1 3 7 に充電される電荷 Q に対するゲート電圧 V g の割合が低くなるため（ $Q = C G E \times V g$ ）、センス I G B T 1 3 0 の E S D 耐量を高くすることができる。しかしながら、センス I G B T 1 3 0 のゲート・エミッタ間容量 C G E を大きくすると、センス I G B T 1 3 0 のスイッチング過渡期間に、センス I G B T 1 3 0 のコレクタ・エミッタ間にかかるセンス電圧が過渡的に高くなる。センス電圧が過渡的に大きくなるのは、センス I G B T 1 3 0 のスイッチング過渡期間に、センス I G B T 1 3 0 のゲートに流れ込むゲート電流 I g が大きくなるからである。

[0018] センス IGBT 130 のゲートに流れ込むゲート電流 I_g は、センス IGBT 130 のゲート・エミッタ間容量 C_{GE} とゲート・エミッタ間電圧の dV/dt (単位時間当たりの電圧変化率) との積で算出される ($I_g = C_{GE} \times dV/dt$)。図 24 は、スイッチング回路を示す等価回路図である。図 25 は、従来の半導体装置の電流・電圧波形をシミュレーションした結果を示す説明図である。図 26 は、図 24 のセンス抵抗にかかるセンス電圧の電圧波形をシミュレーションした結果を示す説明図である。図 25, 26 の横軸はともに同じ時間経過を示している。

[0019] 図 24 に示すスイッチング回路は、並列接続されたメイン IGBT 120 およびセンス IGBT 130 と、センス抵抗 161 と、を備える。センス抵抗 161 の一端は、センス IGBT 130 のエミッタに接続されている。センス抵抗 161 の他端は、メイン IGBT 120 のエミッタに接続されている。また、センス抵抗 161 の他端は、ゲート電圧源 166 を介してメイン IGBT 120 のゲートおよびセンス IGBT 130 のゲートに接続されている。

[0020] メイン IGBT 120 のコレクタおよびセンス IGBT 130 のコレクタは、負荷 L1 の負荷インダクタンス 162 を介してバス電圧源 163 の正極に接続されている。バス電圧源 163 の負極は、メイン IGBT 120 のエミッタおよびセンス IGBT 130 のエミッタに接続されている。メイン IGBT 120 のコレクタ・エミッタ間およびセンス IGBT 130 のコレクタ・エミッタ間において、負荷インダクタンス 162 にダイオード 164 が逆並列に接続されている。

[0021] ダイオード 164 は、メイン IGBT 120 およびセンス IGBT 130 がオフした際に、IGBT 120, 130 のコレクタに流れる電流を還流する機能を有する。ダイオード 164 とメイン IGBT 120 のコレクタおよびセンス IGBT 130 のコレクタとの間に、配線のインダクタンス L2 を想定した誘導負荷 165 が接続されている。ゲート電圧源 166 からゲート抵抗 167 を介してメイン IGBT 120 およびセンス IGBT 130 の各

ゲートにゲート電圧 V_g が印加される。ゲート抵抗 167 は、半導体装置のメイン IGBT 120 およびセンス IGBT 130 に接続される IC 等の外部抵抗 R_{gext} で構成される。

[0022] 図 24 に示すスイッチング回路を用いてシミュレーションしたメイン IGBT 120 とセンス IGBT 130 とを合わせたターンオフ時の電流・電圧波形を図 25 に示す。センス IGBT 130 は、メイン IGBT 120 と同じ構成を有するため、メイン IGBT 120 と同じ条件でメイン IGBT 120 と並列動作（ターンオンまたはターンオフ）する。

[0023] 次に、図 24 に示すスイッチング回路を用いてシミュレーションしたメイン IGBT 120 およびセンス IGBT 130 のターンオフ時にセンス抵抗 161 にかかる電圧（センス電圧） V_{SC} の電圧波形をシミュレーションした結果を図 26 に示す。センス抵抗 161 にかかるセンス電圧 V_{SC} は、センス IGBT 130 のコレクタ・エミッタ間電流 I_{CE} （図 25 の符号 181b で示す箇所）がセンス抵抗 161 に流れることで、センス抵抗 161 の抵抗値 R_{SC} に応じてセンス抵抗 161 の端部間に生じる電位差である。センス抵抗 161 にかかるセンス電圧 V_{SC} は、外部の制御 IC など検出される。

[0024] 図 26 に示す結果から、センス IGBT 130 のコレクタ・エミッタ間電圧 V_{CE} の立ち上がりの際に（図 25 参照）、センス抵抗 161 にかかるセンス電圧 V_{SC} が過渡的に大きくなることが確認された。センス抵抗 161 にかかるセンス電圧 V_{SC} が過渡的に大きくなるのは、センス IGBT 130 のコレクタ・エミッタ間電圧 V_{CE} の dV/dt （図 25 の符号 181a で示す箇所）により、センス IGBT 130 のゲート電流 I_g が増加するためである。以下、過渡的に大きいセンス電圧 V_{SC} を「過渡センス電圧」とする。図 26 の符号 182 で示す箇所は過渡センス電圧のピーク電圧（最大値）である。センス IGBT 130 のゲート電流 I_g が大きくなる原因は、センス IGBT 130 のゲート・エミッタ間容量 C_{GE} およびセンス IGBT 130 の dV/dt の増加による。

[0025] この従来例について、センス IGBT 130 の ESD 耐量と過渡センス電圧との関係を測定した。図 27 は、センス IGBT の ESD 耐量と過渡センス電圧との関係の測定結果を示す説明図である。図 27 の各データ点は、矢印 183 の始点から終点へ向かう方向に、センス IGBT 130 のゲート・エミッタ間容量 C_{GE} が大きくなっている。図 27 に示す結果から、ESD 耐量（後述する ESD 破壊電圧に対する耐量）を確保するためにセンス IGBT 130 のゲート・エミッタ間容量 C_{GE} を大きくすると、センス IGBT 130 のスイッチング過渡期間に、センス IGBT 130 のコレクタ・エミッタ間にかかる過渡センス電圧が高くなることが確認された。

[0026] このようにセンス IGBT 130 のゲート・エミッタ間容量 C_{GE} の増減により、センス IGBT 130 の ESD 耐量の向上と過渡センス電圧の低減とがトレードオフ関係にある。図 27 では、センス IGBT の ESD 耐量と過渡センス電圧との関係を示す近似直線 185 が矢印 184 で示す方向側（右下側）に位置するほど、ESD 耐量の向上と過渡センス電圧の低減とのトレードオフ関係が改善されることを示している。上述したように過渡センス電圧が高くなった場合、メイン IGBT 120 のコレクタ・エミッタ間に定格電流以下の低い電流が流れていたとしても、誤動作により過電流保護機能が働きやすく、当該過電流保護機能によりメイン IGBT 120 の動作が停止する虞がある。

[0027] この発明は、上述した従来技術による問題点を解消するため、電流センス部の ESD 耐量の向上と過渡センス電圧の低減とのトレードオフ関係を改善することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0028] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。半導体基板に活性領域および終端領域が設けられている。前記終端領域は、前記活性領域の周囲を囲む。前記活性領域は、第 1 絶縁ゲート型バイポーラトランジスタが配置された第 1 セル領域と、前記第 1 セル領域に隣接して配置された第 2 セル領域と、を含む。前記

第2セル領域は、前記第1絶縁ゲート型バイポーラトランジスタよりも面積が小さい第2絶縁ゲート型バイポーラトランジスタが配置された第1領域と、前記第1セル領域と前記第1領域とを分離する第2領域と、を含む。前記第2領域は、前記半導体基板の上に、酸化膜を介して設けられた第1ゲート電極層と、前記第1ゲート電極層の上に、層間絶縁膜を介して設けられた、前記第2絶縁ゲート型バイポーラトランジスタのエミッタ電極と、を含む。

[0029] 前記終端領域は、前記半導体基板の上に、前記酸化膜を介してゲートランナーを備える。前記ゲートランナーは、前記活性領域の周囲を囲む。前記ゲートランナーは、前記第1絶縁ゲート型バイポーラトランジスタの第1ゲート電極に電氣的に接続されている。前記第1ゲート電極層は、第1, 2ゲート電極層部を有する。前記第1ゲート電極層部は、前記第2絶縁ゲート型バイポーラトランジスタの第2ゲート電極に電氣的に接続されている。前記第2ゲート電極層部は、前記第2領域の内部において前記第1ゲート電極層部から前記ゲートランナーへ延在する平面形状を有し、かつ 10Ω 以上 5000Ω 以下の抵抗値を有し、前記第1ゲート電極層部と前記ゲートランナーとを電氣的に接続する。

[0030] また、この発明にかかる半導体装置は、上述した発明において、前記第2ゲート電極層部は、前記第1ゲート電極層部から前記ゲートランナーへ直線状に延在する平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーとを連結することを特徴とする。

[0031] また、この発明にかかる半導体装置は、上述した発明において、前記第2ゲート電極層部は、前記第1ゲート電極層部から蛇行して延在し前記ゲートランナーへ至る平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーとを連結することを特徴とする。

[0032] また、この発明にかかる半導体装置は、上述した発明において、前記第2ゲート電極層部は、前記第2領域の外周に沿って前記第1ゲート電極層部から前記ゲートランナーへL字状に延在する平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーとを連結することを特徴とする。

[0033] また、この発明にかかる半導体装置は、上述した発明において、前記第1ゲート電極層部と前記ゲートランナーとの間に、2つの前記第2ゲート電極層部が並列に接続されていることを特徴とする。

[0034] また、この発明にかかる半導体装置は、上述した発明において、前記ゲートランナーは、前記第2領域の外周に沿って延在し、前記第1領域の周囲を囲む延在部を有する。前記第2ゲート電極層部は、前記第1ゲート電極層部から前記ゲートランナーの延在部へ延在する平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーの延在部とを連結することを特徴とする。

[0035] また、この発明にかかる半導体装置は、上述した発明において、第3領域は、前記活性領域のうち、前記第1セル領域および前記第2セル領域を除く部分であり、前記終端領域に隣接して配置されている。前記第3領域において前記半導体基板の上に、前記酸化膜を介して第2ゲート電極層が設けられている。前記第2ゲート電極層の上に、前記層間絶縁膜を介してゲートパッドが設けられている。前記第2ゲート電極層は、第3、4ゲート電極層部を有する。前記第3ゲート電極層部は、前記層間絶縁膜を挟んで前記ゲートパッドに対向する。前記第4ゲート電極層部は、前記第3領域の内部において前記第3ゲート電極層部から前記ゲートランナーへ延在する平面形状を有し、前記第3ゲート電極層部と前記ゲートランナーとを電氣的に接続することを特徴とする。

[0036] また、この発明にかかる半導体装置は、上述した発明において、前記第1絶縁ゲート型バイポーラトランジスタは、前記半導体基板の深さ方向に延びる前記第1ゲート電極を有するトレンチゲート構造であることを特徴とする。

[0037] 上述した発明によれば、第2絶縁ゲート型バイポーラトランジスタのゲートに入力される電圧が第2ゲート電極層部により分圧され小さくなる。これによって、ESD波形のパルスが第2絶縁ゲート型バイポーラトランジスタのゲート絶縁耐圧を超える電圧値となりにくく、センスIGBTのゲート絶縁膜が絶縁破壊しにくい。また、上述した発明によれば、第2ゲート電極層

部は第2絶縁ゲート型バイポーラトランジスタのゲート・エミッタ間容量と
ならないため、過渡センス電圧を従来構造程度に低く抑えることができる。

発明の効果

[0038] 本発明にかかる半導体装置によれば、電流センス部のESD耐量の向上と
過渡センス電圧の低減とのトレードオフ関係を改善することができるという
効果を奏する。

図面の簡単な説明

[0039] [図1]図1は、実施の形態1にかかる半導体装置を半導体基板のおもて面側か
ら見たレイアウトを示す平面図である。

[図2]図2は、図1の第2セル領域を拡大して示す平面図である。

[図3]図3は、図1の第2セル領域を拡大して示す平面図である。

[図4]図4は、図1の第2セル領域を拡大して示す平面図である。

[図5]図5は、図1の第2セル領域を拡大して示す平面図である。

[図6]図6は、図2の切断線A-A'における断面構造を示す断面図である。

[図7]図7は、図2の切断線B-B'における断面構造を示す断面図である。

[図8]図8は、実施の形態2にかかる半導体装置の一部を半導体基板のおもて
面側から見たレイアウトの一例を示す平面図である。

[図9]図9は、実施の形態2にかかる半導体装置の一部を半導体基板のおもて
面側から見たレイアウトの一例を示す平面図である。

[図10A]図10Aは、実施の形態2にかかる半導体装置の一部を半導体基板の
おもて面側から見たレイアウトの一例を示す平面図である。

[図10B]図10Bは、実施の形態2にかかる半導体装置の一部を半導体基板の
おもて面側から見たレイアウトの一例を示す平面図である。

[図11]図11は、実施の形態2にかかる半導体装置の一部を半導体基板のお
もて面側から見たレイアウトの一例を示す平面図である。

[図12A]図12Aは、実施の形態2にかかる半導体装置の一部を半導体基板の
おもて面側から見たレイアウトの一例を示す平面図である。

[図12B]図12Bは、実施の形態2にかかる半導体装置の一部を半導体基板の

おもて面側から見たレイアウトの一例を示す平面図である。

[図13]図13は、実施の形態3にかかる半導体装置の一部を半導体基板のおもて面側から見たレイアウトの一例を示す平面図である。

[図14]図14は、実施の形態3にかかる半導体装置の一部を半導体基板のおもて面側から見たレイアウトの一例を示す平面図である。

[図15]図15は、実施の形態3にかかる半導体装置の一部を半導体基板のおもて面側から見たレイアウトの一例を示す平面図である。

[図16]図16は、実施の形態4にかかる半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。

[図17]図17は、実施の形態4にかかる半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。

[図18]図18は、センスIGBTのESD耐量を評価するためのESD評価装置のマシンモデルの回路構成を示す回路図である。

[図19]図19は、センスIGBTのESD耐量を評価するためのESD評価装置のマシンモデルの回路構成を示す回路図である。

[図20]図20は、実施例1のセンス抵抗の抵抗値とセンスIGBTのESD耐量との関係を示す特性図である。

[図21]図21は、実施例1のセンス抵抗の抵抗値とセンスIGBTのESD耐量との関係を示す特性図である。

[図22]図22は、実施例2のセンスIGBTのESD波形をシミュレーションした結果を示す説明図である。

[図23]図23は、実施例3のセンスIGBTのESD耐量と過渡センス電圧との関係をシミュレーションした結果を示す説明図である。

[図24]図24は、スイッチング回路を示す等価回路図である。

[図25]図25は、従来の半導体装置の電流・電圧波形をシミュレーションした結果を示す説明図である。

[図26]図26は、図24のセンス抵抗にかかるセンス電圧の電圧波形をシミュレーションした結果を示す説明図である。

[図27]図27は、センスIGBTのESD耐量と過渡センス電圧との関係の測定結果を示す説明図である。

[図28]図28は、従来の半導体装置を半導体基板のおもて面側から見たレイアウトを示す平面図である。

[図29]図29は、図28の電流センス部付近を拡大して示す平面図である。

[図30]図30は、図28の電流センス部付近を拡大して示す平面図である。

[図31]図31は、図29、30の切断線AA-A'における断面構造を示す断面図である。

発明を実施するための形態

[0040] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0041] (実施の形態1)

実施の形態1にかかる半導体装置の構造について説明する。図1は、実施の形態1にかかる半導体装置を半導体基板のおもて面側から見たレイアウトを示す平面図である。図2～5は、図1の第2セル領域3を拡大して示す平面図である。図1～5には、ゲートランナーメタル53とゲートランナー15とのコンタクトホール45、および、ゲートランナーメタル53の延在部54とゲートランナー15の延在部16とのコンタクトホール46を太線で示す。図1～4では、ゲートランナーメタル53およびゲートランナーメタル53の延在部54を図示省略する。

[0042] 図2～5は図1の同一箇所であり、それぞれハッチング箇所が異なる。図1、2には、第1、2 p⁺型分離領域41、42をハッチングで示す。図3、4には、ポリシリコン (poly-Si) からなるセンスポリシリコン層1

3およびゲートランナー15をハッチングで示す。図5には、エミッタ電極51、52、ゲートランナーメタル（金属層）53およびゲートランナーメタル53の延在部54をハッチングで示す。図6、7は、それぞれ図2の切断線A-A'および切断線B-B'における断面構造を示す断面図である。

[0043] 図1～5に示す実施の形態1にかかる半導体装置10は、半導体基板（半導体チップ）7に、メインIGBT（第1IGBT）20と、当該メインIGBT20に流れる電流を検出する電流センス部と、を備える。電流センス部は、メインIGBT20と同一構成の単位セル（素子の機能単位）を、メインIGBT20よりも少ない個数で備えたセンスIGBT（第2IGBT）30を含む。実施の形態1にかかる半導体装置10の等価回路は、図19の符号91bを付した矩形枠で囲む部分に相当する。メインIGBT20およびセンスIGBT30ともに同一構造のトレンチゲート型IGBTである。メインIGBT20とセンスIGBT30とは同一構成の単位セルを備えるものが望ましいが、異なる構造であってもよい。メインIGBT20とセンスIGBT30のオン時のコレクタ・エミッタ間電流の比率を設定できればよい。また、メインIGBT20とセンスIGBT30とのオン電圧が同じであることが望ましい。

[0044] 半導体基板7には、活性領域1およびエッジ終端領域6が設けられている。活性領域1は、第1、2セル領域2、3を有し、略矩形状の平面形状をなす。エッジ終端領域6は、活性領域1の周囲を囲む。エッジ終端領域6は、活性領域1と半導体基板7の端部との間の領域であり、半導体基板7のおもて面側の電界を緩和し耐圧を保持する。耐圧とは、素子が使用電圧で誤動作や破壊を起こさない上限側の電圧である。エッジ終端領域6には、フィールドリミットングリング（FLR: Field Limiting Ring）61やフィールドプレート63（図7参照）などの耐圧構造が配置される。

[0045] 第1セル領域2において、半導体基板7の内部には、第1セル領域2の周囲を囲むように、後述する第1p⁺型分離領域41が配置されている。第1セ

ル領域 2 の、第 1 p⁺型分離領域 4 1 で囲まれた領域に、メイン IGBT 2 0 の単位セルが配置されている。第 1 セル領域 2 は、メイン IGBT 2 0 の動作領域である。第 1 セル領域 2 は、活性領域 1 の第 2 セル領域 3 を除く部分であり、活性領域 1 の表面積の大半を占める。具体的には、第 1 セル領域 2 は、一部を内側に凹ませた凹部を有する略矩形状の平面形状をなす。

[0046] また、第 1 セル領域 2 において、半導体基板 7 のおもて面上には、メイン IGBT 2 0 のエミッタ電極 5 1 が設けられている。このエミッタ電極 5 1 は、第 1 セル領域 2 のほぼ全域を覆う。エミッタ電極 5 1 の一部でエミッタパッド 1 1 が構成される。第 1 セル領域 2 の、エッジ終端領域 6 との境界付近において、半導体基板 7 のおもて面上に、層間絶縁膜 4 4 を介してゲートパッドメタル 5 5 (図 1 7 参照) が配置されている。ゲートパッドメタル 5 5 の一部でゲートパッド 1 2 が構成される。ゲートパッド 1 2 には、ゲート電極 2 8, 3 8 にゲート電圧を入力するための入力端子が電氣的に接続される。

[0047] ゲートパッドメタル 5 5 の周囲は、ゲートランナー 1 5 およびゲートランナーメタル 5 3 からそれぞれ延在した部分 (以下、延在部とする) 1 6', 5 4' に囲まれている (図 1 6, 1 7 参照)。ゲートランナーメタル 5 3 の延在部 5 4' は、層間絶縁膜 4 4 のコンタクトホール 4 6' を介してゲートランナー 1 5 の延在部 1 6' に接する。ゲートランナー 1 5 の延在部 1 6' で囲まれた領域における半導体基板 7 の表面領域全体に、第 1 p⁺型分離領域 4 1 が延在している。ゲートパッドメタル 5 5 は、ポリシリコンからなるゲートランナー 1 5 に電氣的に接続されている。

[0048] 第 2 セル領域 3 には、センス IGBT 3 0 の単位セルが配置されている。第 2 セル領域 3 は、エッジ終端領域 6 に隣接した略矩形状の平面形状を有する。具体的には、第 2 セル領域 3 は、第 1 セル領域 2 の凹部内に配置され、その 3 辺が第 1 セル領域 2 に対向し、残りの 1 辺がエッジ終端領域 6 に対向する。第 2 セル領域 3 は、センス IGBT 3 0 の単位セルが配置された検出領域 (第 1 領域) 4 と、正孔電流引き抜きのための引抜領域 (第 2 領域) 5

と、を有する。検出領域4から、センスIGBT30に流れる主電流（コレクタ・エミッタ間電流）が引き抜かれて検出される。

[0049] センスIGBT30に流れる主電流の電流量およびセンスIGBT30の単位セル数に基づいて、メインIGBT20に流れる主電流が算出され、メインIGBT20に流れる主電流が過電流であるか否かが判断される。第2セル領域3には、メインIGBT20は配置されていない。検出領域4は、例えば略矩形状の平面形状を有する。引抜領域5は、例えば略矩形状に検出領域4の周囲を囲む。引抜領域5には、半導体基板7の表面領域に、第1 p^+ 型分離領域41、42が互いに離れて配置されている。

[0050] 第1 p^+ 型分離領域41は、引抜領域5の表面積の大半を占めており、例えば略矩形状に検出領域4の周囲を囲む。また、第1 p^+ 型分離領域41は、引抜領域5から第1セル領域2へ延在している。第2 p^+ 型分離領域42は、第1 p^+ 型分離領域41と検出領域4との間に配置され、検出領域4の周囲を囲む。第1、2 p^+ 型分離領域41、42は、それぞれメインIGBT20のエミッタ電極51およびセンスIGBT30のエミッタ電極52に電氣的に接続されている。

[0051] 第1 p^+ 型分離領域41と n^- 型ドリフト領域21（図5、6参照）との pn 接合により、第1セル領域2は第1セル領域2以外の領域と分離されている。第2 p^+ 型分離領域42と n^- 型ドリフト領域21との pn 接合により、第2セル領域3の検出領域4は検出領域4以外の領域と分離されている。また、第1、2 p^+ 型分離領域41、42は、メインIGBT20のターンオフ時におけるエッジ終端領域6でのアバランシェ発生時に、エッジ終端領域6で発生して半導体基板7内を第1、2セル領域2、3側へ向かって流れる正孔（ホール）電流をそれぞれエミッタ電極51、52へ引き抜く機能を有する。

[0052] また、引抜領域5において、半導体基板7のおもて面上には、フィールド酸化膜43bを介してポリシリコン（poly-Si）からなるセンスポリシリコン層（第1ゲート電極層）13が配置されている。センスポリシリコン層13は、フィールド酸化膜43bを介して引抜領域5のほぼ全域を覆う

。センスポリシリコン層 13 は、ポリシリコンからなる内蔵抵抗部 17 およびセンス容量部 18 を有する（図 4 参照）。内蔵抵抗部 17 およびセンス容量部 18 は、互いに離して配置されている。図 4 では、内蔵抵抗部 17 およびセンス容量部 18 の範囲をそれぞれ太い二点鎖線および太い破線で囲む。

[0053] 内蔵抵抗部 17 は、センス IGBT 30 のゲート電極 38（図 6，7 参照）とゲートランナー 15 との接続部である。内蔵抵抗部 17 は、センス IGBT 30 のゲート電極 38（図 7 参照）に電氣的に接続された第 1 部分（第 1 ゲート電極層部）17a と、当該第 1 部分 17a をゲートランナー 15 に連結する第 2 部分（第 2 ゲート電極層部）17b と、を有する（図 3，4 参照）。内蔵抵抗部 17 の第 1，2 部分 17a，17b の直列抵抗がセンス IGBT 30 の内蔵抵抗として機能し、その抵抗値は内蔵抵抗部 17 の第 1，2 部分 17a，17b の抵抗値の総和である。

[0054] メイン IGBT 20 のゲート電極 28 とセンス IGBT 30 のゲート電極 38 との間に、センス IGBT 30 の内蔵抵抗として機能する内蔵抵抗部 17 が電氣的に接続された状態となっている。内蔵抵抗部 17 の第 1 部分 17a は、検出領域 4 の周囲を囲む。内蔵抵抗部 17 の第 1 部分 17a の外周端部の輪郭形状は、検出領域 4 よりも大きい略矩形状である。

[0055] 内蔵抵抗部 17 の第 1 部分 17a の外周端部 13b は、後述する第 2 方向 Y へ検出領域 4 から離れていることがよい。内蔵抵抗部 17 の第 1 部分 17a の外周端部 13b が検出領域 4 から離れていることで、センス IGBT 30 のトレンチ 36 によって生じる内蔵抵抗値のアンバランスを低減させることができる。内蔵抵抗部 17 の第 1 部分 17a の内周端部（検出領域 4 側の端部）13a は、引抜領域 5 から検出領域 4 へ延在してセンス IGBT 30 のゲート電極 38 に接する（図 7 参照）。

[0056] 内蔵抵抗部 17 の第 2 部分 17b は、内蔵抵抗部 17 の第 1 部分 17a とゲートランナー 15 との間に位置し、内蔵抵抗部 17 の第 1 部分 17a とゲートランナー 15 とを連結する。内蔵抵抗部 17 の第 2 部分 17b は、ゲートランナー 15 との連結箇所ゲートランナー 15 と直角をなす軸（切断線

B－B' に平行な軸)を中心に線対称に配置されていることがよく、引抜領域5の内部において例えば当該軸に平行でかつ半導体基板7のおもて面に平行な方向(以下、第1方向とする)Xに直線状に延在する。

[0057] 内蔵抵抗部17は、第2部分17bの第1方向Xの長さ w_1 が長いほど、第2部分17bの、第1方向Xと直交する方向でかつ半導体基板7のおもて面に平行な方向(以下、第2方向とする)Yの幅 w_2 が狭いほど、かつ内蔵抵抗部17の、半導体基板7のおもて面に垂直な方向(厚さ方向Z)の厚さ t (図7参照)が薄いほど高抵抗となる。内蔵抵抗部17の第2部分17bの抵抗値は、 $\rho \times w_1 / (w_2 \times t)$ で算出される。ここで、 ρ はセンスポリシリコン層13の抵抗率であり、 w_1 は内蔵抵抗部17の第2部分17bの第1方向Xの長さであり、 $(w_2 \times t)$ は内蔵抵抗部17の第2部分17bの表面積である。内蔵抵抗部17の抵抗値は、10Ω以上5000Ω以下程度であることがよい。

[0058] センス容量部18は、内蔵抵抗部17と所定距離 w_3 だけ離れて配置され、当該内蔵抵抗部17の周囲を囲む。図2～4には、内蔵抵抗部17の第1部分17aの外周端部を、符号13bを付した太い二点鎖線で示す。センス容量部18の内周を、符号13cを付した太い破線で示す。センス容量部18は、後述するゲートランナー15の延在部16と接続されている。このセンス容量部18と層間絶縁膜44およびエミッタ電極52とで構成される容量は、センスIGBT30のゲート・エミッタ間容量 C_{GE} の一部となる。センスポリシリコン層13上には、層間絶縁膜44(図6参照)を介して、センスIGBT30のエミッタ電極52が延在している。また、センスIGBT30の容量を小さくしたい場合、センス容量部18は設けられていなくてもよい。

[0059] センスIGBT30のエミッタ電極52は、第2セル領域3のほぼ全域にわたって設けられている。センスIGBT30のエミッタ電極52は、メインIGBT20のエミッタ電極51と離して配置されている。センスエミッタパッド14は、エミッタ電極52の、パッシベーション膜47の開口部4

8bに露出された部分であり、エミッタ電極52の一部で構成される。例えば、センスエミッタパッド14とゲートランナー15との間に内蔵抵抗部17が配置される。センスエミッタパッド14は、層間絶縁膜44を挟んでセンス容量部18に対向する。

[0060] ゲートランナー15は、エッジ終端領域6に配置され、活性領域1の周囲を囲む。また、ゲートランナー15は、第2セル領域3の外周に沿って第2セル領域3に延在する部分（以下、延在部とする）16を有する。ゲートランナー15の延在部16は、センスポリシリコン層13の一部である。ゲートランナー15の延在部16は、第2セル領域3の周囲を囲む。ゲートランナー15およびゲートランナー15の延在部16で形成される1本のポリシリコン層は、第1セル領域2の外周に沿って延在し、第1セル領域2の周囲を囲む。

[0061] ゲートランナーメタル53およびゲートランナーメタル53の延在部54は、それぞれ、厚さ方向Zに、層間絶縁膜44を挟んでゲートランナー15およびゲートランナー15の延在部16に対向し、厚さ方向Zに層間絶縁膜44を貫通するコンタクトホール45、46を介してゲートランナー15およびゲートランナー15の延在部16に接する。

[0062] 図2～4には、センスポリシリコン層13の内周（検出領域4側の端部）を、符号13aを付した破線で示す。図2～5には、ゲートランナー15の、活性領域1の周囲を囲む部分の内周（活性領域1側の端部）および外周（半導体基板7の端部側の端部）を、それぞれ符号15a、15bを付した破線で示す。ゲートランナー15の延在部16の活性領域1側の端部に符号16aを付している。ゲートランナー15には、メインIGBT20およびセンスIGBT30の各ゲート電極28、38（図6、7参照）が電氣的に接続されている。

[0063] 次に、実施の形態1にかかる半導体装置10の断面構造について説明する。図6、7に示すように、実施の形態1にかかる半導体装置10は、活性領域1の第1、2セル領域に、それぞれメインIGBT20の複数の単位セル

およびセンス IGBT 30 の複数の単位セルを備える。メイン IGBT 20 の単位セルは、半導体基板 7 のおもて面側に設けられた p 型ベース領域 22、n⁺型エミッタ領域 24、p⁺型コンタクト領域 25、トレンチ 26、ゲート絶縁膜 27 およびゲート電極 28 で構成される。メイン IGBT 20 の単位セルは、トレンチ 26 の内部にゲート絶縁膜 27 を介して埋め込まれ、半導体基板 7 の深さ方向（厚さ方向 Z）に延びるゲート電極 28 を有する一般的なトレンチゲート構造を備える。

[0064] メイン IGBT 20 の単位セルは、第 1 セル領域 2 の、第 1 p⁺型分離領域 41 で囲まれた領域に配置されている。p 型ベース領域 22、n⁺型エミッタ領域 24 および p⁺型コンタクト領域 25 は、半導体基板 7 のおもて面の表面領域に設けられている。n⁺型エミッタ領域 24 および p⁺型コンタクト領域 25 は、隣り合うトレンチ 26 間（メサ領域）において、半導体基板 7 のおもて面から p 型ベース領域 22 よりも浅い位置に設けられている。第 1 セル領域 2 の外周付近におけるメサ領域に、n⁺型エミッタ領域 24 は配置されておらず、p⁺型コンタクト領域 25 のみが配置されている。

[0065] 半導体基板 7 の内部において、半導体基板 7 のおもて面から p 型ベース領域 22 よりも深い位置に n⁻型ドリフト領域 21 が設けられている。p 型ベース領域 22 と n⁻型ドリフト領域 21 との間に、オン時に少数キャリアとなる電荷（正孔）が蓄積される領域（以下、蓄積領域とする）23 が設けられていてもよい。蓄積領域 23 は、n⁻型ドリフト領域 21 よりも不純物濃度の高い n 型領域である。トレンチ 26 は、例えば上述した第 1 方向 X に延在するストライプ状に配置されている。ゲート電極 28 は、トレンチ 26 の内部にゲート絶縁膜 27 を介して設けられている。

[0066] ゲート電極 28 が埋め込まれた 1 つのトレンチ 26 と、当該トレンチ 26 に隣接するメサ領域と、でメイン IGBT 20 の 1 つの単位セルが構成される。第 1 p⁺型分離領域 41 は、第 1 セル領域 2 の外周付近において、p 型ベース領域 22 および p⁺型コンタクト領域 25 に接する。第 1 p⁺型分離領域 41 の深さは、トレンチ 26 の深さよりも深い。メイン IGBT 20 のエミッ

タ電極 5 1 は、厚さ方向 Z に層間絶縁膜 4 4 を貫通するコンタクトホールを介して、 n^+ 型エミッタ領域 2 4、 p^+ 型コンタクト領域 2 5 および第 1 p^+ 型分離領域 4 1 に接する。

[0067] エミッタ電極 5 1 は、バリアメタルおよびコンタクトプラグを介して n^+ 型エミッタ領域 2 4、 p^+ 型コンタクト領域 2 5 および第 1 p^+ 型分離領域 4 1 に電氣的に接続されていてもよい。バリアメタルは、半導体部（半導体基板 7）との密着性が高く、かつ半導体部とのオーミック接触する金属からなる。具体的には、バリアメタルは、例えばチタン（Ti）膜および窒化チタン（TiN）膜を順に積層させてなる積層膜であってもよい。コンタクトプラグは、例えば、埋め込み性の高いタングステン（W）を材料とする金属膜であり、層間絶縁膜 4 4 のコンタクトホールにバリアメタルを介して埋め込まれる。

[0068] エミッタ電極 5 1 は、例えばアルミニウムシリコン（Al-Si）電極である。エミッタ電極 5 1 は、層間絶縁膜 4 4 によりゲート電極 2 8 と電氣的に絶縁されている。エミッタ電極 5 1 は、パッシベーション膜 4 7 で覆われている。エミッタ電極 5 1 の、パッシベーション膜 4 7 の開口部 4 8 a に露出された部分でエミッタパッド 1 1 が構成される。半導体基板 7 の裏面の表面層には、半導体基板 7 の裏面全面にわたって、メイン IGBT 2 0 の p^+ 型コレクタ領域 2 9 が設けられている。半導体基板 7 の裏面全面にわたって、メイン IGBT 2 0 のコレクタ電極 5 6 が設けられている。

[0069] センス IGBT 3 0 の単位セルは、第 2 セル領域 3 の検出領域 4 の、第 2 p^+ 型分離領域 4 2 で囲まれた領域に配置されている。センス IGBT 3 0 の単位セルは、半導体基板 7 のおもて面側に設けられた p 型ベース領域 3 2、 n^+ 型エミッタ領域 3 4、 p^+ 型コンタクト領域 3 5、トレンチ 3 6、ゲート絶縁膜 3 7 およびゲート電極 3 8 で構成される。センス IGBT 3 0 の単位セルは、メイン IGBT 2 0 の単位セルと同様に、トレンチ 3 6 の内部に埋め込まれ、半導体基板 7 の深さ方向に延びるゲート電極 3 8 を有する一般的なトレンチゲート構造を備える。

- [0070] n^+ 型エミッタ領域34および p^+ 型コンタクト領域35は、隣り合うトレンチ36間（メサ領域）において、半導体基板7のおもて面から p 型ベース領域32よりも浅い位置に設けられている。第2セル領域3の検出領域4の外周付近におけるメサ領域に、 n^+ 型エミッタ領域34は配置されておらず、 p^+ 型コンタクト領域35のみが配置されている。半導体基板7のおもて面から p 型ベース領域32よりも深い位置に、第1セル領域2から n -型ドリフト領域21が延在する。
- [0071] p 型ベース領域32と n -型ドリフト領域21との間に、蓄積領域が設けられていてもよい。センスIGBT30に蓄積領域を設けなくてもよい理由は、次の通りである。センスIGBT30の蓄積領域を設けないことで、センスIGBT30におけるIE（Injection Enhanced：電子注入促進）効果を小さくすることができ、少数キャリア蓄積によるターンオフ耐量の低下を抑制することができるからである。
- [0072] トレンチ36は、例えば、メインIGBT20のトレンチ26が延在する方向と同じ第1方向Xに延在するストライプ状に配置されている。ゲート電極38は、トレンチ36の内部にゲート絶縁膜37を介して設けられている。ゲート電極38が埋め込まれた1つのトレンチ36と、当該トレンチ36に隣接するメサ領域と、でセンスIGBT30の1つの単位セルが構成される。 p 型ベース領域32、 n^+ 型エミッタ領域34、 p^+ 型コンタクト領域35およびトレンチ36の深さは、メインIGBT20の対応する各部の深さと同じである。
- [0073] 第2 p^+ 型分離領域42は、第2セル領域3の外周付近において、 p 型ベース領域32および p^+ 型コンタクト領域35に接する。第2 p^+ 型分離領域42の深さは、第1 p^+ 型分離領域41の深さと同じである。第2 p^+ 型分離領域42の内部を第1方向Xに検出領域4から引抜領域5へ向かって p 型ベース領域32および p^+ 型コンタクト領域35が延在していてもよい。第2 p^+ 型分離領域42は、引抜領域5から延在して、最も引抜領域5側に配置されたトレンチ36に達していてもよいし、当該トレンチ36を内包していてもよい。

- [0074] センス IGBT 30 のエミッタ電極 52 は、厚さ方向 Z に層間絶縁膜 44 を貫通するコンタクトホールを介して、 n^+ 型エミッタ領域 34、 p^+ 型コンタクト領域 35 および第 2 p^+ 型分離領域 42 に接する。エミッタ電極 52 は、バリアメタルおよびコンタクトプラグを介して n^+ 型エミッタ領域 34、 p^+ 型コンタクト領域 35 および第 2 p^+ 型分離領域 42 に電氣的に接続されていてもよい。エミッタ電極 52、バリアメタルおよびコンタクトプラグの材料は、メイン IGBT 20 のエミッタ電極 51、バリアメタルおよびコンタクトプラグの材料と同じである。
- [0075] エミッタ電極 52 は、層間絶縁膜 44 によりゲート電極 38 と電氣的に絶縁されている。エミッタ電極 52 は、パッシベーション膜 47 で覆われている。エミッタ電極 52 の、パッシベーション膜 47 の開口部 48b に露出された部分でセンスエミッタパッド 14 が構成される。センスエミッタパッド 14 は、例えば第 2 セル領域 3 の引抜領域 5 に配置されていてもよい。メイン IGBT 20 の p^+ 型コレクタ領域 29 およびコレクタ電極 56 は、それぞれセンス IGBT 30 の p^+ 型コレクタ領域およびコレクタ電極を兼ねる。
- [0076] 第 2 セル領域 3 の引抜領域 5 には、半導体基板 7 のおもて面の表面領域に、第 1、2 p^+ 型分離領域 41、42 が選択的に設けられている。第 1、2 p^+ 型分離領域 41、42 は、半導体基板 7 のおもて面上に設けられたフィールド酸化膜もしくは LOCOS (Local Oxidation of Silicon) などの局部絶縁膜 43a により分離されている。第 1 p^+ 型分離領域 41 は、引抜領域 5 から第 1 セル領域 2 の外周部へ延在している。第 2 p^+ 型分離領域 42 は、第 1 p^+ 型分離領域 41 よりも検出領域 4 側に配置され、引抜領域 5 から検出領域 4 の外周部へ延在している。
- [0077] 引抜領域 5 には、半導体基板 7 のおもて面上に、フィールド酸化膜 43b を挟んで、センスポリシリコン層 13 の内蔵抵抗部 17 およびセンス容量部 18 が設けられている。内蔵抵抗部 17 の第 1 部分 17a は、厚さ方向 Z にフィールド酸化膜 43b および局部絶縁膜 43a を挟んで第 1、2 p^+ 型分離領域 41、42 に対向する。内蔵抵抗部 17 の第 1 部分 17a は、センス I

GBT30のトレンチ36の例えば第1方向Xの端部において当該トレンチ36の内部へ延在してゲート電極38に接する。

[0078] 内蔵抵抗部17の第2部分17bは、内蔵抵抗部17の第1部分17aよりもエッジ終端領域6側に配置され、内蔵抵抗部17の第1部分17aに連結されている。内蔵抵抗部17の第2部分17bは、厚さ方向Zにフィールド酸化膜43bを挟んで第1p⁺型分離領域41に対向する。センス容量部18は、内蔵抵抗部17よりも第1セル領域2側に、内蔵抵抗部17から離れて配置されている。センス容量部18は、厚さ方向Zにフィールド酸化膜43bを挟んで第1p⁺型分離領域41に対向する。

[0079] 内蔵抵抗部17の第2部分17bは、エッジ終端領域6側へ延在して、ゲートランナー15に連結されている。センス容量部18は、ゲートランナー15の延在部16を兼ねており、ゲートランナー15に連結されている。内蔵抵抗部17の第1、2部分17a、17bおよびセンス容量部18上に、層間絶縁膜44を挟んで検出領域4からセンスIGBT30のエミッタ電極52が延在している。センス容量部18上に、層間絶縁膜44を挟んで第1セル領域2からメインIGBT20のエミッタ電極51が延在している。

[0080] 内蔵抵抗部17の第1、2部分17a、17bおよびセンス容量部18は、層間絶縁膜44によりエミッタ電極51、52と電氣的に絶縁されている。ゲートランナーメタル53およびゲートランナーメタル53の延在部54は、それぞれ、層間絶縁膜44のコンタクトホール45、46を介してゲートランナー15およびゲートランナー15の延在部16に接する。図6、7には、コンタクトホール45、46をそれぞれ2本ずつ設けた場合を図示するが、コンタクトホール45、46の個数は種々変更可能である。

[0081] エッジ終端領域6において、半導体基板7のおもて面の表面領域に、1つ以上のフィールドリミットングリング61が活性領域1の周囲を囲む同心円状に設けられている。各フィールドリミットングリング61上には、フィールド酸化膜43bを介してポリシリコン層62が設けられている。ポリシリコン層62上には、層間絶縁膜44を介してフィールドプレート63が

設けられている。フィールドプレート63は、層間絶縁膜44のコンタクトホールを介してポリシリコン層62に接する。

[0082] 例えば、従来構造（図24，28～31参照）のIGBT120，130のゲートパッド112とセンスエミッタパッド114間に印加されるESD（静電気放電）のマシーンモデルの回路構成を想定する。ESDのマシーンモデルは、図18に参照されるようにIGBTのゲートパッド112に接続されたRLC回路（抵抗器（R）、インダクタンス（L_m）およびコンデンサ（C））となる。そのため、ESD波形はRLC回路の共振条件を満たし発振する（図22参照）。

[0083] この発振によりESD波形の最初のパルスの電圧がセンスIGBT130のゲート絶縁耐圧を超える電圧値になると、センスIGBT130のゲートトレンチ136の内のゲート絶縁膜137が絶縁破壊する。したがって、センスIGBT130のESD耐量は、ESD波形の最初のパルスの電圧値がセンスIGBT130のゲート絶縁耐圧以下になるように設定する必要がある。

[0084] 一方、実施の形態1によれば、センスIGBTのゲートに、ポリシリコンからなる内蔵抵抗部の第2部分で構成された高抵抗な内蔵抵抗が接続されている。この内蔵抵抗部により、ESDの最初のパルス電圧の dV/dt が下がるため、ESD波形の最初のパルスのピーク電圧が低下する。これによって、ESD波形の最初のパルスのピーク電圧がセンスIGBTのゲート絶縁耐圧を超える電圧値となりにくく、センスIGBTのゲートトレンチの内のゲート絶縁膜が絶縁破壊しにくいため、ESD耐量を向上させることができる。

[0085] また、実施の形態1によれば、ポリシリコンからなる内蔵抵抗部を設けたことによって、センスIGBTのゲート・エミッタ間容量C_{GE}は増加しない。このため、内蔵抵抗部によりESD耐量を向上させても、センスIGBTのゲート・エミッタ間容量C_{GE}の大きさに比例して高くなる過渡センス電圧を内蔵抵抗を設けない従来構造と同程度にすることができる。これによ

って、過渡センス電圧を低く維持したまま、ESD耐量のみを向上させることができるため、電流センス部のESD耐量の向上と過渡センス電圧の低減とのトレードオフ関係を改善することができる。

[0086] (実施の形態2)

次に、実施の形態2にかかる半導体装置の構造について説明する。図8～12は、実施の形態2にかかる半導体装置の一部を半導体基板のおもて面側から見たレイアウトの一例を示す平面図である。実施の形態2にかかる半導体装置10'全体を半導体基板7のおもて面側から見たレイアウトは実施の形態1にかかる半導体装置10(図1参照)と同様である。図8～12には、図1の第2セル領域3を拡大し、センスポリシリコン層13およびゲートランナー15をハッチングで示す。図8～12では、内蔵抵抗部17の第2部分17bの範囲を太い二点鎖線で囲む。また、図8～12では、エミッタ電極51, 52(図1, 4, 5参照)を図示省略する。

[0087] 実施の形態2にかかる半導体装置10'が実施の形態1にかかる半導体装置10と異なる点は、内蔵抵抗部17の第1部分17a'の、引抜領域5における占有面積が小さい点である。内蔵抵抗部17の第1部分17a'は、内蔵抵抗部17の第2部分17bとセンスIGBT30のゲート電極38とを連結可能な程度に配置されていればよい。例えば、内蔵抵抗部17の第1部分17a'は、検出領域4と引抜領域5との境界に沿って設けられ、略矩形状に検出領域4の周囲を囲む。内蔵抵抗部17の第1部分17a'の外周端部の輪郭形状は、検出領域4よりも若干大きい略矩形状である。

[0088] 内蔵抵抗部17の第2部分17bは、実施の形態1と同様に、第1方向Xに延在する直線状の平面形状を有する。内蔵抵抗部17の第2部分17bは、実施の形態1と同様に、内蔵抵抗部17の第1部分17a'とゲートランナー15との間に位置して、内蔵抵抗部17の第1部分17a'とゲートランナー15とを連結する(図8)。

[0089] 内蔵抵抗部17の第2部分17b'により、内蔵抵抗部17の第1部分17a'とゲートランナー15の延在部16とが連結されてもよい(図9)。

この場合、例えば、内蔵抵抗部 17 の第 2 部分 17 b' は、内蔵抵抗部 17 の第 1 部分 17 a' とゲートランナー 15 の延在部 16 との間に位置する。ゲートランナー 15 の延在部 16 に囲まれた領域内間であって、エミッタ電極 52 内にセンスエミッタパッド 14 が配置される。

[0090] また、内蔵抵抗部 17 の第 2 部分 19 は、内蔵抵抗部 17 の第 1 部分 17 a' から X 方向もしくは Y 方向に蛇行して延在しゲートランナー 15 に至る平面形状を有していてもよい（図 10 B, 10 A）。この場合、内蔵抵抗部 17 の第 2 部分 19 は、検出領域 4 の中心に対向する位置において、内蔵抵抗部 17 の第 1 部分 17 a' に連結されていることが好ましい。

[0091] センス容量部 18' は、内蔵抵抗部 17 の第 1 部分 17 a' の占有面積を小さくした分だけ、引抜領域 5 における占有面積を大きくしてもよい（図 8, 9, 10 A, 10 B）。引抜領域 5 にセンス容量部 18' を設けずにゲートランナー 15 の延在部 16 のみが構成される構成としてもよい（図 11, 12 A, 12 B）。センス容量部 18' を設けずゲートランナー 15 の延在部 16（コンタクトホール 46 に沿って設けられたハッチング部分）のみが構成される場合、深さ方向に層間絶縁膜およびフィールド酸化膜を挟んで対向するセンスエミッタパッド 14 と半導体基板 7 との間に、センスポリシリコン層 13 は存在しない（図 11, 12 A, 12 B）。

[0092] また、引抜領域 5 にセンス容量部 18' を設けずゲートランナー 15 の延在部 16 のみが構成される場合、内蔵抵抗部 17 の第 2 部分 19' は、一端がゲートランナー 15 に連結され、内蔵抵抗部 17 の第 1 部分 17 a' の周囲を囲むように略一周するように延在し、他端が第 1 部分 17 a' に連結されていてもよい（図 12 B）。この場合、内蔵抵抗部 17 の第 2 部分 19' の他端は、検出領域 4 の中心に対向する位置において、内蔵抵抗部 17 の第 1 部分 17 a' に連結されていることが好ましい。

[0093] 図示省略するが、図 9 に示す実施の形態 2 にかかる半導体装置 10' に図 10 A, 10 B に示す実施の形態 2 にかかる半導体装置 10' を適用して、内蔵抵抗部 17 の第 2 部分 19 が、内蔵抵抗部 17 の第 1 部分 17 a' から

蛇行して延在しゲートランナー15の延在部16に至る平面形状を有していてもよい。図9に示す実施の形態2にかかる半導体装置10'に図11に示す実施の形態2にかかる半導体装置10'を適用して、センス容量部18'を設けずにゲートランナー15の延在部16のみが構成されてもよい。

[0094] 図9に示す実施の形態2にかかる半導体装置10'に図10A, 10B, 11に示す実施の形態2にかかる半導体装置10'を適用して、内蔵抵抗部17の第2部分19を、内蔵抵抗部17の第1部分17a'から蛇行して延在しゲートランナー15の延在部16に至る平面形状にし、かつセンス容量部18'を設けずにゲートランナー15の延在部16のみが構成されてもよい。実施の形態1にかかる半導体装置10において、センス容量部18を設けず、図11に示す実施の形態2にかかる半導体装置10'のゲートランナー15の延在部16を配置してもよい。

[0095] 以上、説明したように、実施の形態2によれば、内蔵抵抗部の第2部分により内蔵抵抗部の第1部分とゲートランナーとが電氣的に接続されていれば、内蔵抵抗部がセンスIGBTの内蔵抵抗として機能する。このため、内蔵抵抗部の第1, 2部分およびセンス容量部の平面形状を種々変更したとしても、実施の形態1と同様の効果を得ることができる。

[0096] (実施の形態3)

次に、実施の形態3にかかる半導体装置の構造について説明する。図13～15は、実施の形態3にかかる半導体装置の一部を半導体基板のおもて面側から見たレイアウトの一例を示す平面図である。実施の形態3にかかる半導体装置70全体を半導体基板7のおもて面側から見たレイアウトは実施の形態1にかかる半導体装置10(図1参照)と同様である。図13～15には、図1の第2セル領域3を拡大し、センスポリシリコン層13およびゲートランナー15をハッチングで示す。図13～15では、内蔵抵抗部17の第2部分71, 73, 74, 73', 74'の範囲を太い二点鎖線で囲む。また、図13～15では、エミッタ電極51, 52(図1, 4, 5参照)を図示省略する。

- [0097] 実施の形態3にかかる半導体装置70が図8に示す実施の形態2にかかる半導体装置10'と異なる点は、引抜領域5内に、内蔵抵抗部17の第2部分71を狭い幅w11で長く延在させて高抵抗にした点である。図13に示す実施の形態3にかかる半導体装置70において、センス容量部72は、ゲートランナー15に連結されている。センス容量部72は、ゲートランナー15の延在部16に接していない。センス容量部72は、引抜領域5の表面積の大半を占める。
- [0098] 検出領域4は、センス容量部72よりもゲートランナー15から離れて配置され、その周囲を引抜領域5に囲まれている。内蔵抵抗部17の第1部分17a'は、実施の形態2と同様に、検出領域4と引抜領域5との境界に沿って設けられ、略矩形状に検出領域4の周囲を囲む。内蔵抵抗部17の第1部分17a'の外周端部の輪郭形状は、実施の形態2と同様に、検出領域4よりも若干大きい略矩形状である。
- [0099] 内蔵抵抗部17の第1部分17a'は、検出領域4の周囲を囲む全周にわたって同じ幅w12で設けられていてもよいし、矩形状の各辺のうち所定の辺だけ異なる幅w12'で設けられていてもよい。内蔵抵抗部17の第2部分71は、L字状の平面形状を有する。例えば、内蔵抵抗部17の第2部分71は、ゲートランナー15からセンス容量部72とゲートランナー15の延在部16との間を、第2セル領域3の外周の、第1セル領域2に対向する2辺に沿って延在する。
- [0100] 内蔵抵抗部17の第2部分71のL字の一端は、ゲートランナー15に連結されている。内蔵抵抗部17の第2部分71のL字の他端は、内蔵抵抗部17の第1部分17a'に連結されている。内蔵抵抗部17の第1部分17a'は、3辺において周囲をセンス容量部72に囲まれていてもよい。内蔵抵抗部17の第1部分17a'とゲートランナー15との間にセンスエミッタパッド14が配置されている。センスエミッタパッド14は、層間絶縁膜を挟んでセンス容量部72に対向する。
- [0101] 図14、15に示す実施の形態3にかかる半導体装置70が図13に示す

実施の形態3にかかる半導体装置70と異なる点は、引抜領域5内に、内蔵抵抗部17の、L字状の平面形状を有する第2部分が2つ配置される点である。内蔵抵抗部17の2つの第2部分の合成抵抗がセンスIGBT30の内蔵抵抗として機能する。内蔵抵抗部17の2つの第2部分は、例えば、次のように配置される。

[0102] 図14に示すように、内蔵抵抗部17の一方の第2部分73は、ゲートランナー15からセンス容量部72'とゲートランナー15の延在部16との間を、第2セル領域3の外周の、第1セル領域2に対向する2辺に沿って延在する。内蔵抵抗部17の一方の第2部分73のL字の一端は、ゲートランナー15に連結されている。内蔵抵抗部17の一方の第2部分73のL字の他端は、内蔵抵抗部17の第1部分17a'のゲートランナー15側に連結されている。

[0103] 内蔵抵抗部17の他方の第2部分74は、センス容量部72'を挟んで、内蔵抵抗部17の一方の第2部分73に対向する位置に配置されている。内蔵抵抗部17の他方の第2部分74は、ゲートランナー15側からセンス容量部72'とゲートランナー15の延在部16との間を、第2セル領域3の外周の、第1セル領域2に対向する3辺のうち、一方の第2部分73が配置されていない1辺から当該1辺に連続する1辺に沿って延在する。

[0104] 内蔵抵抗部17の他方の第2部分74のL字の一端は、センスポリシリコン層13の一部75を介してゲートランナー15に連結されている。内蔵抵抗部17の他方の第2部分74のL字の他端は、内蔵抵抗部17の第1部分17a'のゲートランナー15の延在部16側に連結されている。センス容量部72'は、例えば、略矩形状の平面形状を有する。

[0105] 図15に示すように、内蔵抵抗部17の第2部分73'、74'のL字の他端をともに内蔵抵抗部17の第1部分17a'とセンス容量部72'との間に延在させてもよい。この場合、例えば、内蔵抵抗部17の第2部分73'、74'のL字の一端はそれぞれゲートランナー15の異なる箇所に連結されている。内蔵抵抗部17の第2部分73'、74'のL字の他端はとも

に、内蔵抵抗部 17 の第 1 部分 17 a' に連結されている。

[0106] 以上、説明したように、実施の形態 3 によれば、実施の形態 1, 2 と同様の効果を得ることができる。また、実施の形態 3 によれば、引抜領域内に、内蔵抵抗部の第 2 部分を狭い幅で長く延在させることで、センス IGBT の内蔵抵抗を高抵抗にすることができる。

[0107] (実施の形態 4)

次に、実施の形態 4 にかかる半導体装置の構造について説明する。図 16, 17 は、実施の形態 4 にかかる半導体装置の一部を半導体基板のおもて面側から見たレイアウトを示す平面図である。実施の形態 4 にかかる半導体装置 80 全体を半導体基板 7 のおもて面側から見たレイアウトは実施の形態 1 にかかる半導体装置 10 (図 1 参照) と同様である。図 16, 17 は、図 1 のメイン IGBT のゲートパッド 12 付近を拡大して示す平面図である。図 16, 17 は図 1 の同一箇所であり、それぞれハッチング箇所が異なる。図 16 では、エミッタ電極 51 およびゲートパッドメタル 55 (図 17 参照) を図示省略する。

[0108] 図 16 には、ポリシリコン層 83 およびゲートランナー 15 をハッチングで示す。図 17 には、ゲートランナーメタル 53、ゲートランナーメタル 53 の延在部 54' およびゲートパッドメタル 55 をハッチングで示す。図 16 では、内蔵抵抗部 81 の第 2 部分 81 b の範囲を太い二点鎖線で囲む。図 16, 17 では、層間絶縁膜 44 に形成された、ゲートランナーメタル 53 とゲートランナー 15 と各コンタクトホール 45、ゲートランナーメタル 53 の延在部 54' とゲートランナー 15 の延在部 16' とコンタクトホール 46'、およびゲートパッドメタル 55 とポリシリコン層 83 とのコンタクト 45' を太線で示す。

[0109] 実施の形態 4 にかかる半導体装置 80 が実施の形態 1 にかかる半導体装置 10 と異なる点は、第 2 セル領域 3 に代えて、ゲートパッド 12 が配置された領域 (第 3 領域) にポリシリコン層 83 が配置されている点である。実施の形態 4 にかかる半導体装置 80 の等価回路は、図 18 の符号 91 a を付し

た矩形枠で囲む部分に相当する。ポリシリコン層 8 3 は、半導体基板 7 のおもて面上にフィールド酸化膜 4 3 b を介して設けられている。ポリシリコン層 8 3 は、内蔵抵抗部 8 1 およびゲートランナー 1 5 の延在部 1 6' を有する。内蔵抵抗部 8 1 は、互いに離れて配置されたゲートパッドメタル 5 5 とゲートランナー 1 5 とを電氣的に接続する接続部である。

[0110] 実施の形態 4 にかかる半導体装置 8 0 においては、メイン IGBT 2 0 のゲート電極 2 8 に、ゲートランナー 1 5 を介して内蔵抵抗部 8 1 が接続された状態となる。内蔵抵抗部 8 1 は、ゲートパッド 1 2 に電氣的に接続された第 1 部分（第 3 ゲート電極層部）8 1 a と、当該第 1 部分 8 1 a をゲートランナー 1 5 に電氣的に接続する第 2 部分（第 4 ゲート電極層部）8 1 b と、を有する。内蔵抵抗部 8 1 の第 1 部分 8 1 a は、層間絶縁膜 4 4 を挟んでゲートパッド 1 2 全体に対向する。ゲートパッド 1 2 は、ゲートパッドメタル 5 5 の、パッシベーション膜 4 7 の開口部に露出された部分で構成される。ゲートパッドメタル 5 5 は、層間絶縁膜 4 4 を介してポリシリコン層 8 3 上に設けられている。

[0111] 内蔵抵抗部 8 1 の第 1 部分 8 1 a が層間絶縁膜 4 4 を挟んでゲートパッド 1 2 の全面に対向していればよく、内蔵抵抗部 8 1 の第 1 部分 8 1 a の外周端部の輪郭形状は少なくともゲートパッド 1 2 よりも若干大きい略矩形状であればよい。内蔵抵抗部 8 1 の第 2 部分 8 1 b は、内蔵抵抗部 8 1 の第 1 部分 8 1 a とゲートランナー 1 5 の延在部 1 6' とを連結する。実施の形態 4 にかかる半導体装置 8 0 においては、実施の形態 2 と同様に、内蔵抵抗部 8 1 の第 1 部分 8 1 a の抵抗値は第 2 部分 8 1 b の抵抗値よりも小さく、内蔵抵抗部 8 1 の第 2 部分 8 1 b がセンス IGBT 3 0 の内蔵抵抗として主に機能する。

[0112] 内蔵抵抗部 8 1 の第 2 部分 8 1 b は、例えば、内蔵抵抗部 8 1 の第 1 部分 8 1 a とゲートランナー 1 5 の延在部 1 6' との間に位置し、内蔵抵抗部 8 1 の第 1 部分 8 1 a からゲートランナー 1 5 の延在部 1 6' へ延在する直線状の平面形状を有する。図示省略するが、内蔵抵抗部 8 1 の第 2 部分 8 1 b

は、例えば、内蔵抵抗部 81 の第 1 部分 81 a とゲートランナー 15 との間に位置して、内蔵抵抗部 81 の第 1 部分 81 a とゲートランナー 15 とを連結してもよい。

[0113] ゲートランナー 15 の延在部 16' は、略 U 字状の平面形状を有し、U 字の両端部がそれぞれゲートランナー 15 の異なる箇所に連結されている。ゲートランナー 15 と当該ゲートランナー 15 の延在部 16' とで、内蔵抵抗部 81 の周囲を囲む略矩形状の平面形状が形成されている。

[0114] 実施の形態 1 ～ 3 にかかる半導体装置 10, 10', 70 に実施の形態 4 にかかる半導体装置 80 を適用して、第 2 セル領域 3 と、ゲートパッド 12 が配置された領域と、の両方にそれぞれ内蔵抵抗部 17, 81 が配置されていてもよい。

[0115] 以上、説明したように、実施の形態 4 によれば、内蔵抵抗部によってゲートパッドとゲートランナーとを連結させた場合においても、実施の形態 1 ～ 3 と同様の効果を得ることができる。また、実施の形態 4 によれば、ゲートパッドが配置された領域に内蔵抵抗部を付けることでセンス IGBT にゲート抵抗が接続された構成となるが、メイン IGBT にもゲート抵抗が接続された構成となる。これによって、メイン IGBT のゲート電圧のミラー期間が大きくなり、スイッチング損失が悪化する。そのため、センス IGBT のゲートランナーと検出領域との間に内蔵抵抗部を付けたほうがスイッチングの損失悪化を防ぐことができる。

[0116] (実施例 1)

次に、センス IGBT 30 の ESD 耐量について検証した。図 18, 19 は、センス IGBT の ESD 耐量を評価するための ESD 評価装置のマシンモデルの回路構成を示す回路図である。図 20, 21 は、実施例 1 のセンス抵抗の抵抗値とセンス IGBT の ESD 耐量との関係を示す特性図である。図 20, 21 は、それぞれ図 18, 19 に示す ESD 評価回路 90 a, 90 b を用いて測定されている。

[0117] 図 18 に示す半導体装置 91 a は、実施の形態 4 にかかる半導体装置 80

(図16, 17参照)に相当し、並列接続されたメインIGBT20およびセンスIGBT30と、メインIGBT20のゲートとスイッチ92との間に接続された内蔵抵抗RGと、を備える。半導体装置91aの内蔵抵抗RGは、内蔵抵抗部81の第2部分81bに相当する。

[0118] 図18に示すESD評価回路90aのスイッチ92をオンすると一定の電圧になるまでコンデンサ96に充電された電荷がメインIGBT20およびセンスIGBT30に供給される(この一定になった電圧を、以下、ESDの印加電圧とする)。また、センスIGBT30のエミッタは接地されているが、メインIGBT20のエミッタは接地されていないため、センスIGBT30のゲート・エミッタ間にのみ電荷が供給される。

[0119] 電流源93の正極はスイッチ92に接続され、負極は接地されている。電流源93の正極とスイッチ92との間に、装置の配線のインダクタンス L_m を想定した配線インダクタンス94と、配線の抵抗 R_m を想定した抵抗負荷95と、が直列に接続されている。電流源93の正極と配線インダクタンス94との間において、電流源93の正極・負極間に配線等による寄生容量を想定したコンデンサ96が接続されている。

[0120] 図19に示すESD評価回路90bが図18に示すESD評価回路90aと異なる点は、内蔵抵抗RGがメインIGBT20およびセンスIGBT30のゲート間に接続されている点である。図19の半導体装置91bは、実施の形態1にかかる半導体装置10(図2~5参照)に相当し、並列接続されたメインIGBT20およびセンスIGBT30と、メインIGBT20およびセンスIGBT30のゲート間に接続された内蔵抵抗RGと、を備える。半導体装置91bの内蔵抵抗RGは、内蔵抵抗部17の第2部分17bに相当する。

[0121] 図19に示すESD評価回路90bのコンデンサ96に充電された電荷は、スイッチ92をオンすると、センスの内蔵抵抗RGを介してセンスIGBT30のゲートに充電(チャージ)される。このときの電圧がセンスIGBT30のゲート絶縁耐圧を超える電圧値になると、ゲート絶縁膜37が絶縁

破壊する。

[0122] 図18に示すESD評価回路90aを用いて、半導体装置91aの内蔵抵抗RGの抵抗値を種々変更して、センスIGBT30の内蔵抵抗RGの抵抗値とESD耐量との関係（以下、実施例1とする）を図20に示す。図18, 19に示すESD評価回路90a, 90bを用いて、それぞれ半導体装置91a, 91bのセンスIGBT30の内蔵抵抗RGの抵抗値と、センスIGBT30のゲート・エミッタ間のピーク電圧と、の関係をシミュレーションした結果を図21に示す。

[0123] 図20に示す結果から、内蔵抵抗RGの抵抗値が高いほど、センスIGBT30のESD耐量を高くすることができることが確認された。図20中の矢印の方向は、センスIGBT30のESD耐量が高くなる方向を示している。また、図20に示す結果から、センスIGBT30のESD破壊電圧は、内蔵抵抗RGの抵抗値の高さに比例して高くなることが確認された。図21に示す結果から、内蔵抵抗RGの抵抗値が高いほど、センスIGBT30のゲート・エミッタ間のピーク電圧を低くすることができることが確認された。図18, 19のいずれのESD評価回路90a, 90bにおいてもほぼ同じ結果となることがわかる。

[0124] 図20, 21の横軸は内蔵抵抗RGの抵抗値[Ω]である。図20の縦軸には、ゲート絶縁膜37の絶縁破壊時にセンスIGBT30に供給されていたESDの印加電圧（以下、ESD破壊電圧とする）を任意単位（arbitrary unit (a. u.)）で示す。図21の縦軸には、センスIGBT30のゲート・エミッタ間のピーク電圧を任意単位で示す。

[0125] （実施例2）

次に、センスIGBT30へのESDの印加電圧と内蔵抵抗RGの抵抗値との関係について検証した。上述した図19に示すESD評価回路90bを用いて、半導体装置91bの内蔵抵抗RGの抵抗値を種々変更して、センスIGBT30のゲートで発生するESD波形をシミュレーションした結果（以下、実施例2とする）を図22に示す。図22は、実施例2のセンスIG

B T の E S D 波形をシミュレーションした結果を示す説明図である。図 2 2 の横軸は経過時間 [秒 (s)] であり、縦軸にはセンス I G B T 3 0 のゲート・エミッタ間電圧を任意単位で示す。従来例 (図 2 8 ~ 3 1 参照) のゲートで発生する E S D 波形は図示省略する。従来例は、本発明の内蔵抵抗 R G (内蔵抵抗部 8 1 の第 2 部分 8 1 b) を有していない点の実施例 2 と異なる。

[0126] 従来例では、センス I G B T 1 3 0 のゲートに印加される電圧が発振し、最初のパルスの電圧 (図 2 2 の符号 9 9 で示す箇所に相当) によって生じる E S D の印加電圧が高くなった。そのためセンス I G B T 1 3 0 のゲート絶縁耐圧を超える電圧値となったときに、センス I G B T 1 3 0 のゲート絶縁膜 3 7 が絶縁破壊することが確認された。一方、図 2 2 に示す結果から、実施例 2 においては、センス I G B T 3 0 のゲートに印加される電圧が発振するが、従来例と比べて、最初のパルスの電圧値が小さくなることが確認された。それに加えて、ポリシリコンからなる内蔵抵抗 R G の抵抗値を高くするほど、最初のパルスの電圧値を小さくすることができることがわかる。この最初のパルスの電圧ピークが小さくなれば、ゲート絶縁膜 3 7 が絶縁破壊しにくくなり、E S D 耐量が向上すると考えられる。

[0127] 一方、図 2 1 の結果より、半導体装置 9 1 a の E S D 評価回路 9 0 a と半導体装置 9 1 b の E S D 評価回路 9 0 b は、最初のパルスの電圧ピークが同じ値になったため、半導体装置 9 1 a と半導体装置 9 1 b とで E S D 耐量は同じ効果を得ることができると考えられる。内蔵抵抗 R G を半導体装置 9 1 a に付けた場合は、メイン I G B T 2 0 とセンス I G B T 3 0 のゲート抵抗が増加するが、メイン I G B T 2 0 のゲート・エミッタ間容量 C G E が大きいためスイッチングのミラー期間が長くなり、スイッチング損失が悪化する。

[0128] 一方、半導体装置 9 1 b に内蔵抵抗 R G を付けた場合は、センス I G B T 3 0 のゲート抵抗のみが増加するが、センス I G B T 3 0 は、メイン I G B T 2 0 に対してゲート・エミッタ間容量 C G E が $1/1000$ と小さいため

、センス IGBT30 のスイッチングのミラー期間が非常に小さい。そのため、半導体装置 91b に内蔵抵抗 R_G を付けてもミラー期間の増加が少なくなり、スイッチング損失の悪化を少なくすることができる。したがって、低スイッチング損失を想定すると、半導体装置 91b に内蔵抵抗 R_G を付けることが望ましい。

[0129] 好ましくは、内蔵抵抗 R_G の抵抗値は、10Ω 以上 5000Ω 以下とする。とよい。その理由として、以下 2 つの理由が挙げられる。1 つ目の理由は、ポリシリコンからなる内蔵抵抗 R_G の抵抗値が高すぎると、内蔵抵抗 R_G に流れる電流により内蔵抵抗 R_G で熱集中して破壊しやすくなるからである。従来例では検出領域 104 で破壊が起きるのに対して、本発明においては、上述したように内蔵抵抗 R_G で熱集中により内蔵抵抗 R_G で熱破壊が起きるため、ESD 耐量（図 20 の縦軸の ESD 破壊電圧に相当）が低下する。2 つ目の理由は、内蔵抵抗 R_G が 5000Ω より大きいと、センス IGBT30 のゲート電圧のミラー期間が長くなり、スイッチング損失が悪くなるからである。以上のことより、内蔵抵抗 R_G の抵抗値が 5000Ω 以下であれば、熱破壊およびスイッチング損失の影響度をともに少なくすることができる。

[0130] （実施例 3）

次に、センス IGBT30 の ESD 耐量と過渡センス電圧（センス抵抗 161 にかかるセンス電圧 V_{SC}：図 24 参照）との関係について検証した。上述した図 18 に示す ESD 評価回路 90a を用いて、半導体装置 91a の内蔵抵抗 R_G の抵抗値（150Ω、200Ω、250Ω）と、センス IGBT30 の ESD 耐量と過渡センス電圧との関係をシミュレーションした結果（以下、実施例 3 とする）を図 23 に示す。また、図 23 には、図 24 に示すスイッチング回路を用いて、従来例のセンス IGBT130 の ESD 耐量と過渡センス電圧との関係をシミュレーションした結果を示す。図 23 は、実施例 3 のセンス IGBT の ESD 耐量と過渡センス電圧との関係をシミュレーションした結果を示す説明図である。図 23 の横軸および縦軸ともに任

意単位である。

[0131] 図23に示す結果から、従来例では、センスIGBT130においてゲート・エミッタ間の容量を増加させると、ESD耐量が高くなるが、過渡センス電圧も高くなる。それに対して、実施例3においては、内蔵抵抗RGを備えることで、内蔵抵抗RGを備えないこと以外が同じ条件である従来例と比べて、過渡センス電圧を維持した状態で、ESD耐量のみを向上させることができる。また、実施例3においては、センスIGBT30の内蔵抵抗RGを大きくするにつれて、過渡センス電圧を維持した状態で、ESD耐量のみが向上されることが確認できた。したがって、内蔵抵抗RGを付けることによって、過渡センス電圧とESD耐量のトレードオフを改善することができる。

[0132] 以上において本発明は、上述した実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。また、本発明は、導電型（n型、p型）を反転させても同様に成り立つ。

産業上の利用可能性

[0133] 以上のように、本発明にかかる半導体装置は、メインIGBTと同一の半導体基板に、メインIGBTに流れる過電流を検出するセンスIGBTを備えた半導体装置に有用であり、特に制御ICを内蔵するIPMに適している。

符号の説明

- [0134]
- 1 活性領域
 - 2 活性領域の第1セル領域
 - 3 活性領域の第2セル領域
 - 4 活性領域の第2セル領域の検出領域
 - 5 活性領域の第2セル領域の引抜領域
 - 6 エッジ終端領域
 - 7 半導体基板
- 10, 10', 70, 80, 91a, 91b 半導体装置

- 1 1 エミッタパッド
- 1 2 ゲートパッド
- 1 3 センスポリシリコン層
- 1 3 b 内蔵抵抗部の第 1 部分の外周端部
- 1 4 センスエミッタパッド
- 1 5 ゲートランナー
- 1 6, 1 6' ゲートランナーの延在部
- 1 7, 8 1 内蔵抵抗部
- 1 7 a, 1 7 a', 8 1 a 内蔵抵抗部の第 1 部分
- 1 7 b, 1 7 b', 1 9, 1 9', 7 1, 7 3, 7 3', 7 4, 7 4',
- 8 1 b 内蔵抵抗部の第 2 部分
- 1 8, 1 8' センス容量部
- 2 1 n⁻型ドリフト領域
- 2 2, 3 2 p 型ベース領域
- 2 3 蓄積領域
- 2 4, 3 4 n⁺型エミッタ領域
- 2 5, 3 5 p⁺型コンタクト領域
- 2 6, 3 6 トレンチ
- 2 7, 3 7 ゲート絶縁膜
- 2 8, 3 8 ゲート電極
- 2 9 p⁺型コレクタ領域
- 4 1, 4 2 p⁺型分離領域
- 4 3 a 局部絶縁膜
- 4 3 b フィールド酸化膜
- 4 4 層間絶縁膜
- 4 5, 4 6, 4 6' コンタクトホール
- 4 7 パッシベーション膜
- 4 8 a, 4 8 b パッシベーション膜の開口部

- 5 1, 5 2 エミッタ電極
- 5 3 ゲートランナーメタル
- 5 4, 5 4' ゲートランナーメタルの延在部
- 5 5 ゲートパッドメタル
- 5 6 コレクタ電極
- 6 1 フィールドリミットングリング
- 6 2 ポリシリコン層
- 6 3 フィールドプレート
- 7 2, 7 2' センス容量部
- 7 5 ポリシリコン層の一部
- 8 3 ポリシリコン層
- 9 0 a, 9 0 b ESD評価回路
- 9 2 スイッチ
- 9 3 電流源
- 9 4 配線インダクタンス
- 9 5 抵抗負荷
- 9 6 コンデンサ
- R S センス抵抗
- X 半導体基板のおもて面に平行な方向（第1方向）
- Y 第1方向と直交する方向でかつ半導体基板のおもて面に平行な方向（第2方向）
- Z 厚さ方向
- w 1 内蔵抵抗部の第2部分の長さ
- w 2 内蔵抵抗部の第2部分の幅
- w 3 内蔵抵抗部とセンス容量部との距離
- w 1 1 内蔵抵抗部の第2部分の幅
- t 内蔵抵抗部の厚さ

請求の範囲

[請求項1]

半導体基板に設けられた活性領域と、
前記半導体基板に設けられ、前記活性領域の周囲を囲む終端領域と、
、
を備え、
前記活性領域は、
第1絶縁ゲート型バイポーラトランジスタが配置された第1セル領域と、
前記第1セル領域に隣接して配置された第2セル領域と、を含み、
前記第2セル領域は、前記第1絶縁ゲート型バイポーラトランジスタよりも面積の小さい第2絶縁ゲート型バイポーラトランジスタが配置された第1領域と、
前記第1セル領域と前記第1領域とを分離する第2領域と、を含み、
、
前記第2領域は、
前記半導体基板の上に酸化膜を介して設けられた第1ゲート電極層と、
前記第1ゲート電極層の上に、層間絶縁膜を介して設けられた、前記第2絶縁ゲート型バイポーラトランジスタのエミッタ電極と、を含み、
前記終端領域は、前記半導体基板の上に前記酸化膜を介して設けられ、前記活性領域の周囲を囲み、前記第1絶縁ゲート型バイポーラトランジスタの第1ゲート電極に電氣的に接続されたゲートランナーを備え、
前記第1ゲート電極層は、
前記第2絶縁ゲート型バイポーラトランジスタの第2ゲート電極に電氣的に接続された第1ゲート電極層部と、
前記第2領域の内部において前記第1ゲート電極層部から前記ゲ-

トランナーへ延在する平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーとを電氣的に接続する第2ゲート電極層部と、を有し、

前記第2ゲート電極層部の抵抗値は、 10Ω 以上 5000Ω 以下であることを特徴とする半導体装置。

[請求項2] 前記第2ゲート電極層部は、前記第1ゲート電極層部から前記ゲートランナーへ直線状に延在する平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーとを連結することを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記第2ゲート電極層部は、前記第1ゲート電極層部から蛇行して延在し前記ゲートランナーへ至る平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーとを連結することを特徴とする請求項1に記載の半導体装置。

[請求項4] 前記第2ゲート電極層部は、前記第2領域の外周に沿って前記第1ゲート電極層部から前記ゲートランナーへL字状に延在する平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーとを連結することを特徴とする請求項1に記載の半導体装置。

[請求項5] 前記第1ゲート電極層部と前記ゲートランナーとの間に、2つの前記第2ゲート電極層部が並列に接続されていることを特徴とする請求項1に記載の半導体装置。

[請求項6] 前記ゲートランナーは、前記第2領域の外周に沿って延在し、前記第1領域の周囲を囲む延在部を有し、

前記第2ゲート電極層部は、前記第1ゲート電極層部から前記ゲートランナーの延在部へ延在する平面形状を有し、前記第1ゲート電極層部と前記ゲートランナーの延在部とを連結することを特徴とする請求項1に記載の半導体装置。

[請求項7] 前記活性領域のうち、前記第1セル領域および前記第2セル領域を除く部分であり、前記終端領域に隣接して配置された第3領域と、

前記第3領域において前記半導体基板の上に前記酸化膜を介して設けられた第2ゲート電極層と、

前記第2ゲート電極層の上に、前記層間絶縁膜を介して設けられたゲートパッドと、

をさらに備え、

前記第2ゲート電極層は、

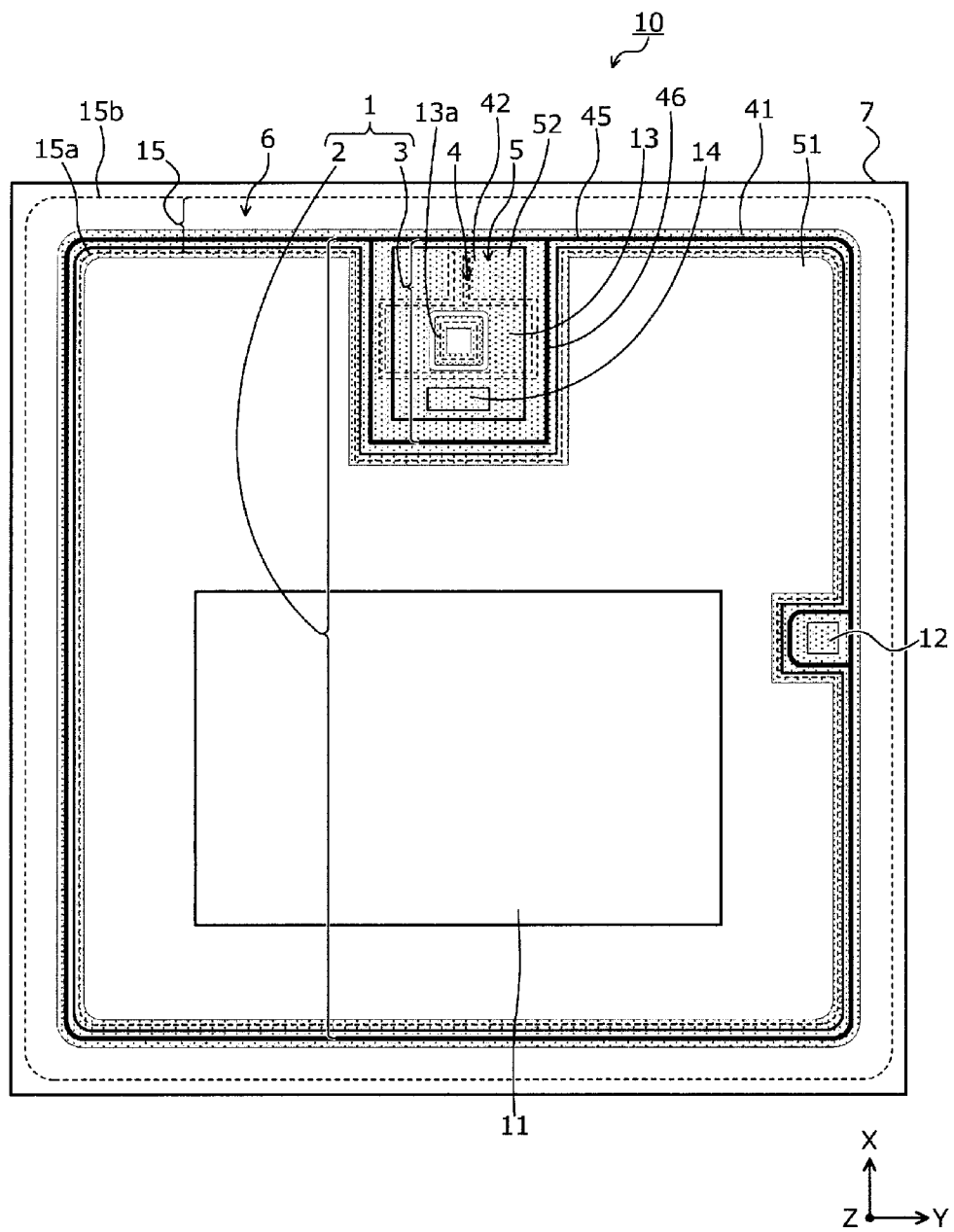
前記層間絶縁膜を挟んで前記ゲートパッドに対向する第3ゲート電極層部と、

前記第3領域の内部において前記第3ゲート電極層部から前記ゲートランナーへ延在する平面形状を有し、前記第3ゲート電極層部と前記ゲートランナーとを電氣的に接続する第4ゲート電極層部と、を有することを特徴とする請求項1に記載の半導体装置。

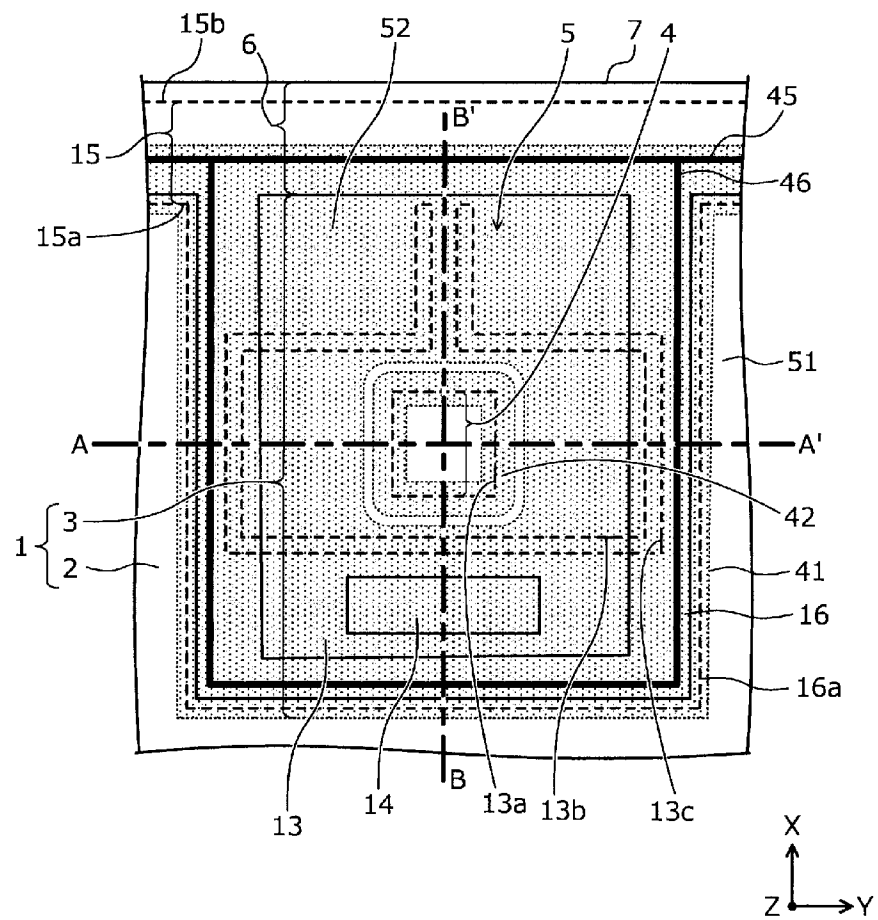
[請求項8]

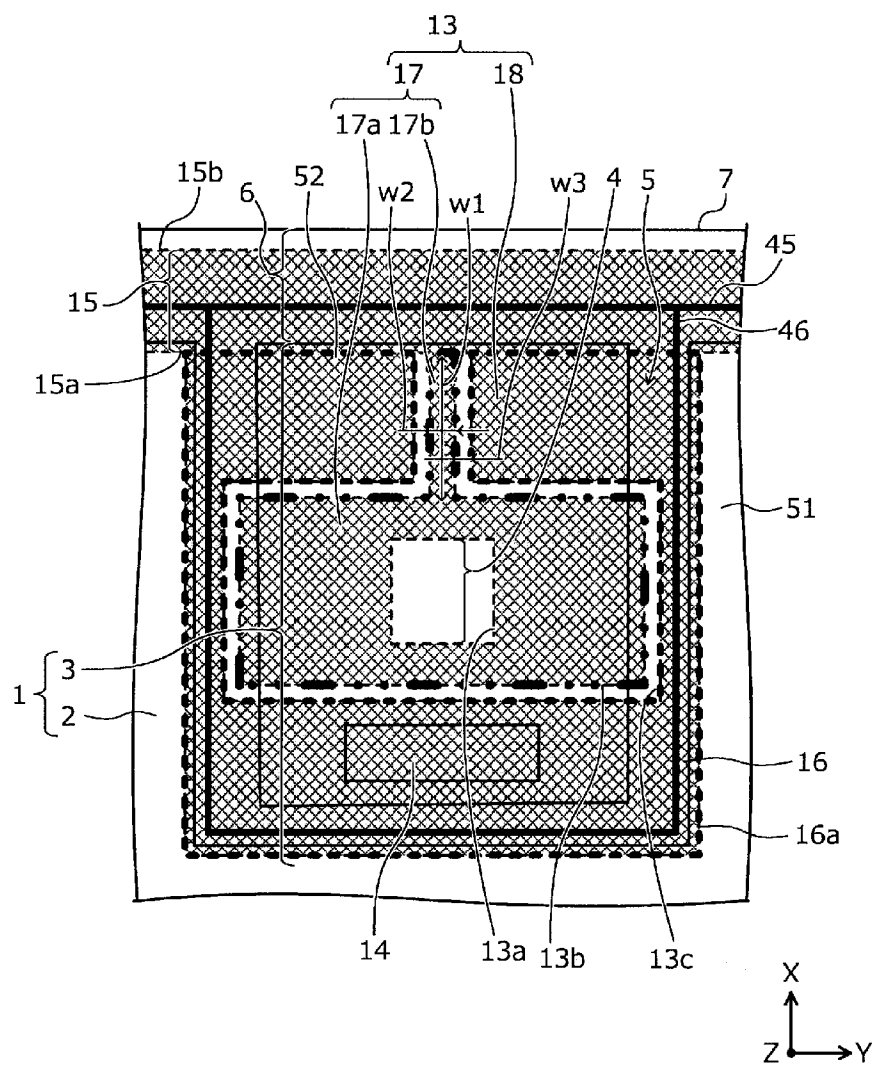
前記第1絶縁ゲート型バイポーラトランジスタは、前記半導体基板の深さ方向に延びる前記第1ゲート電極を有するトレンチゲート構造であることを特徴とする請求項1～7のいずれか一つに記載の半導体装置。

[図1]

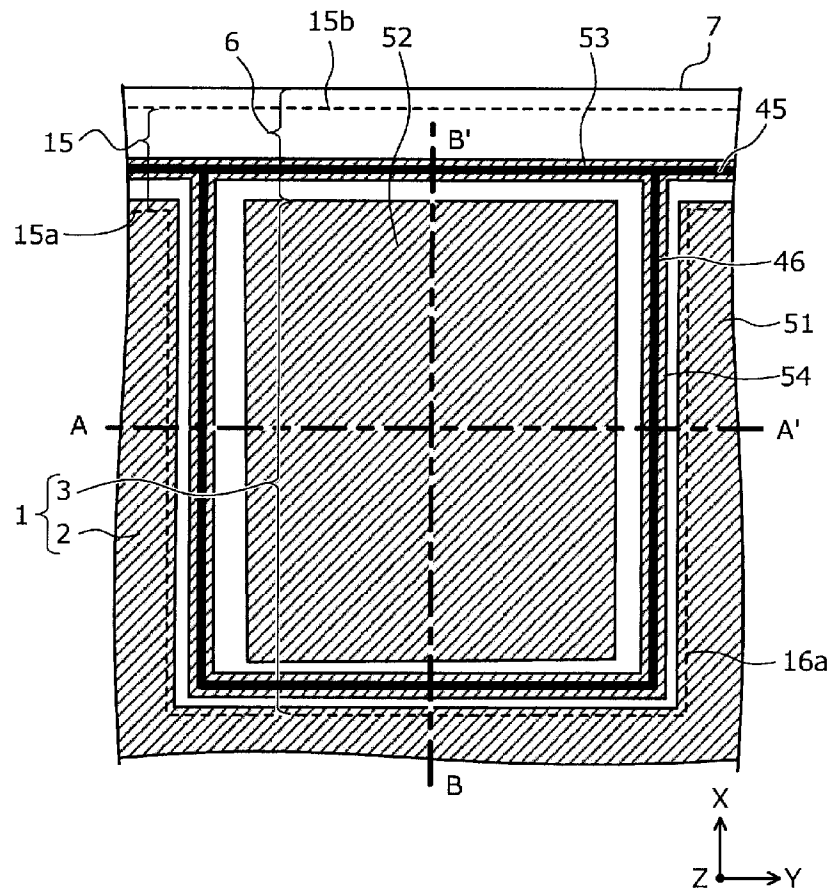


[図2]

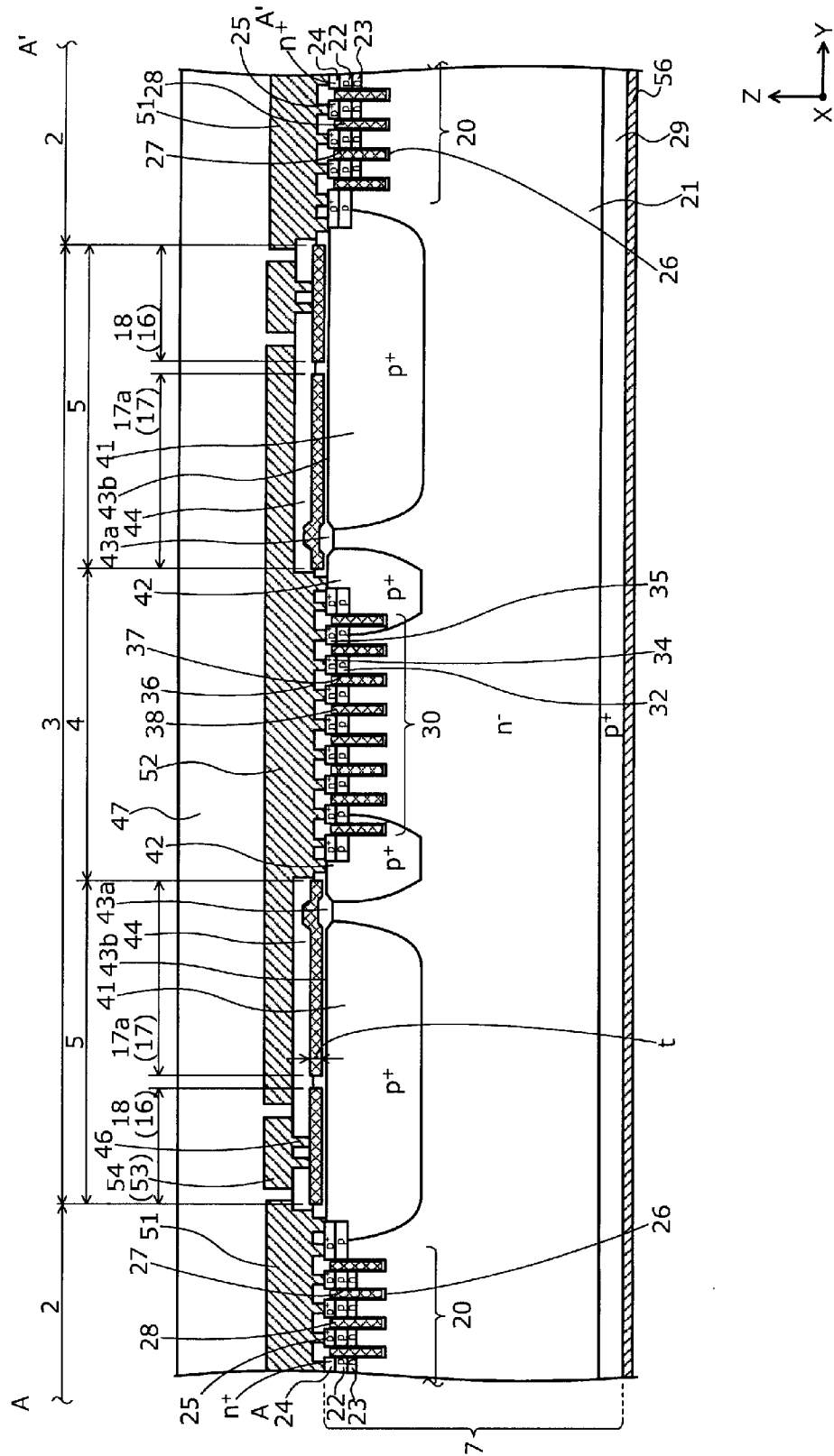




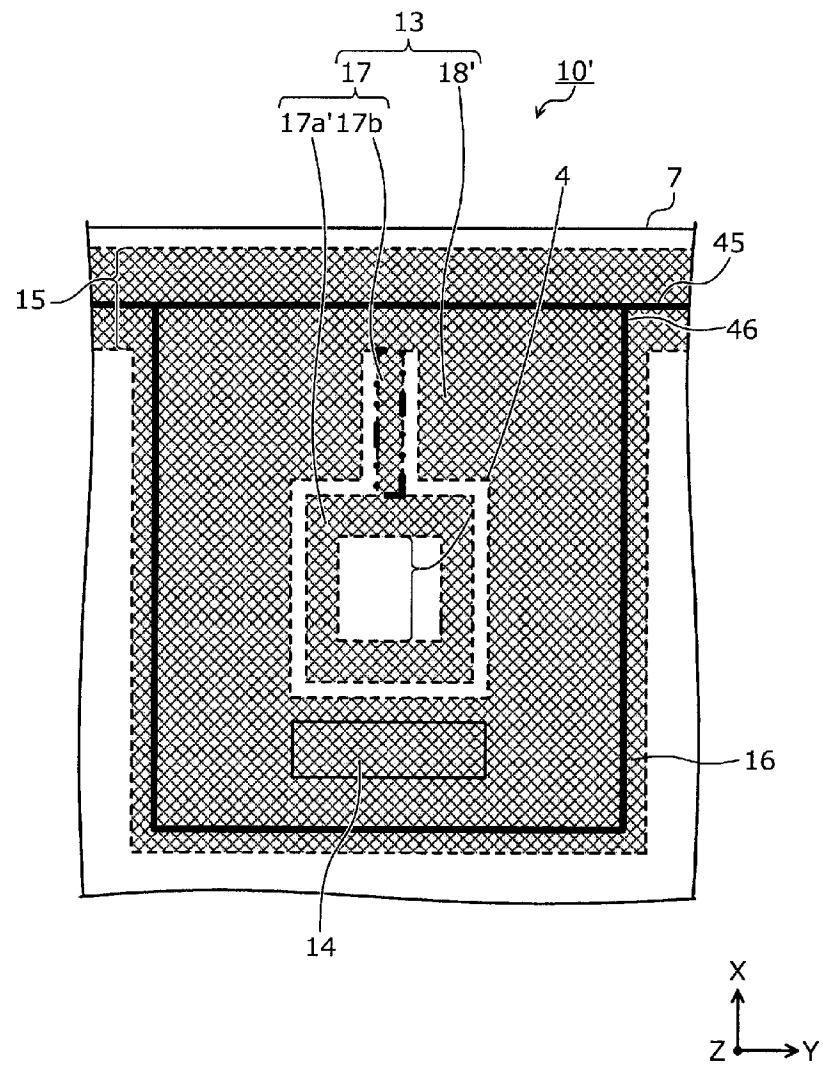
[図5]



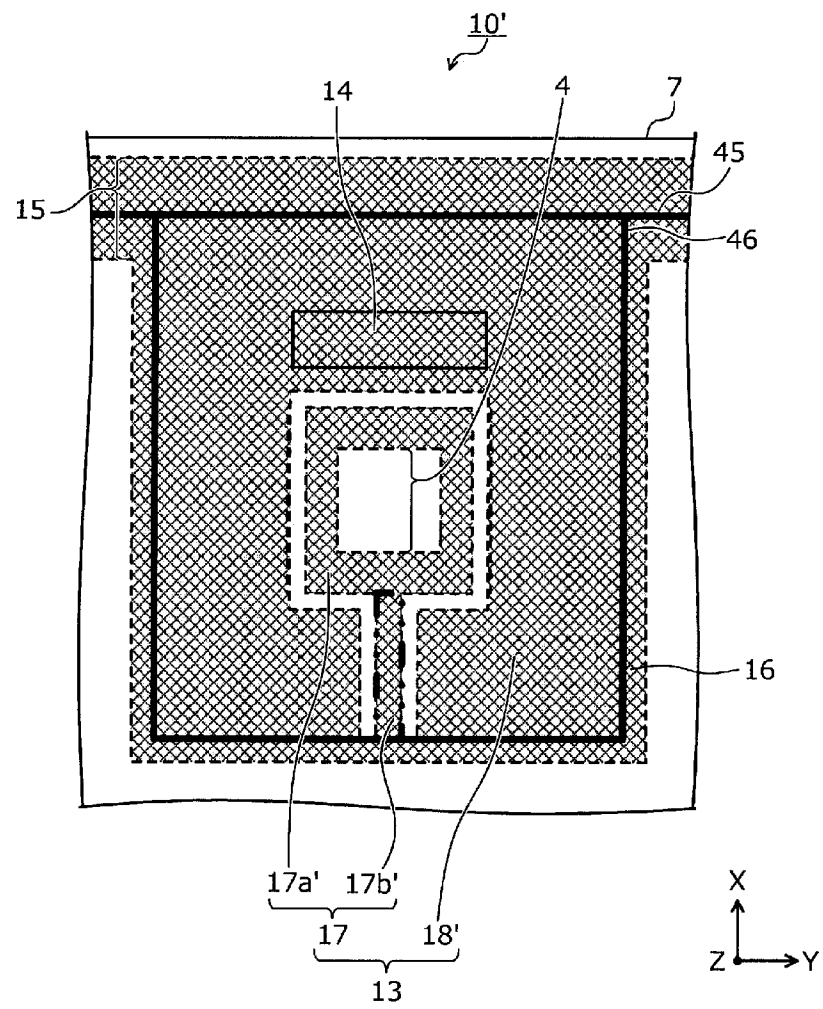
[図6]



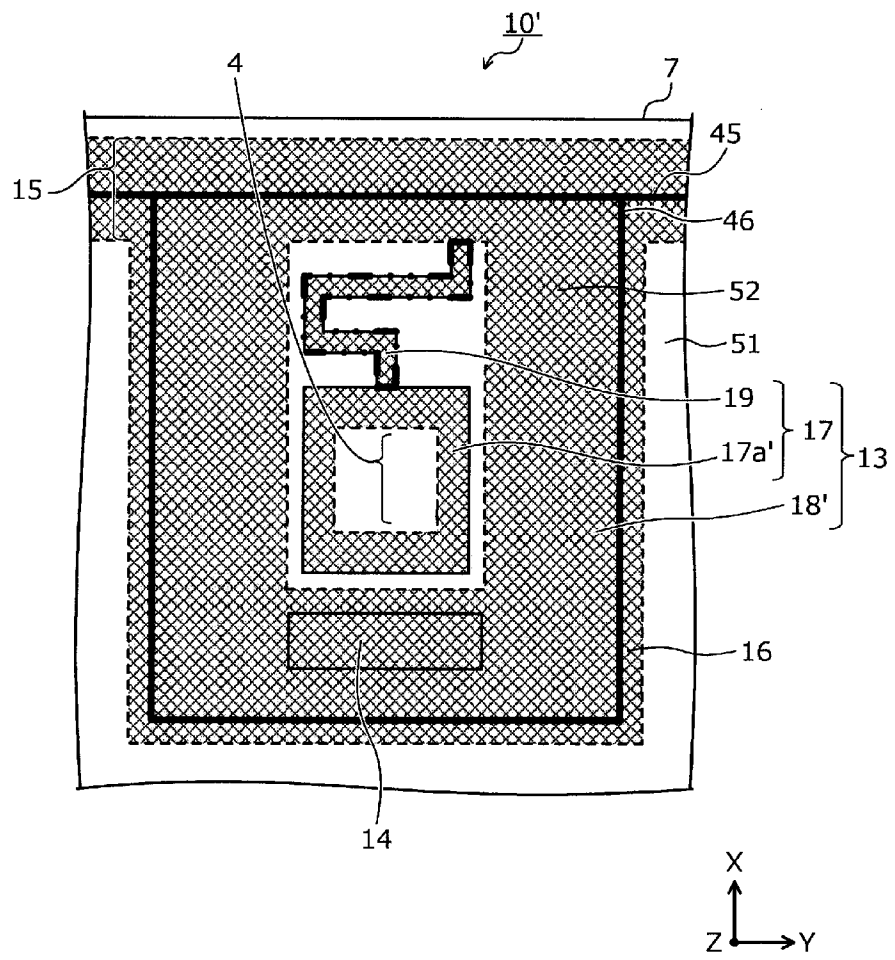
[図8]

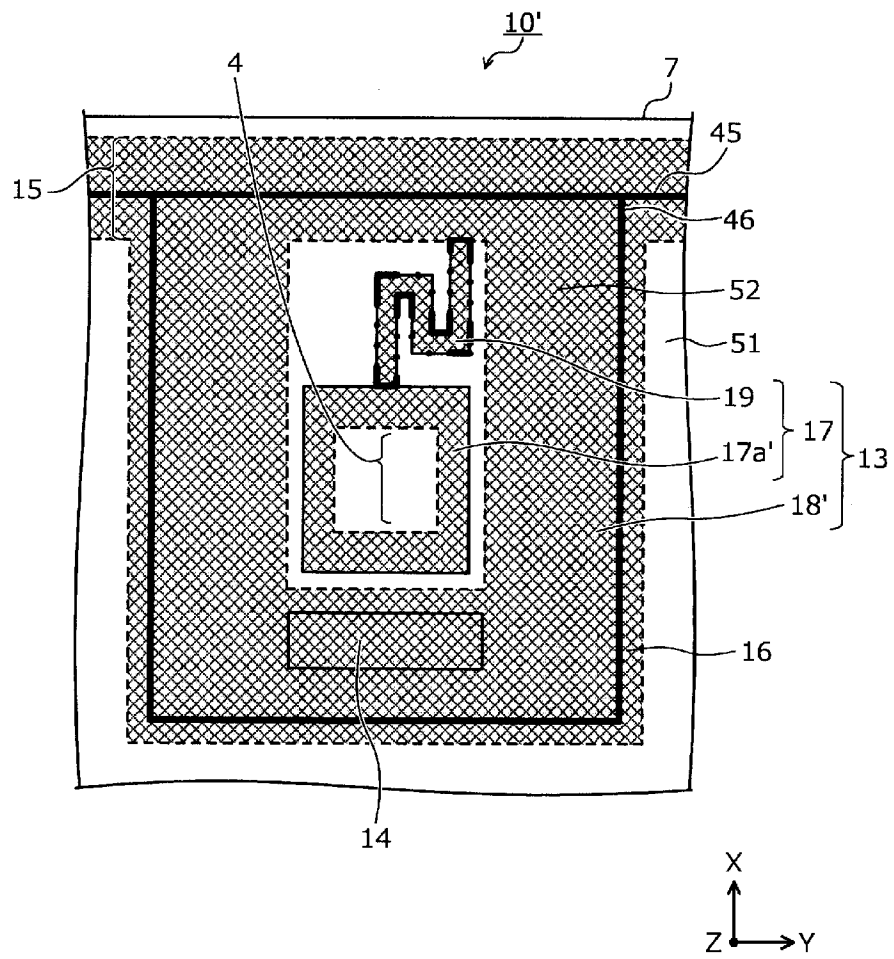


[図9]

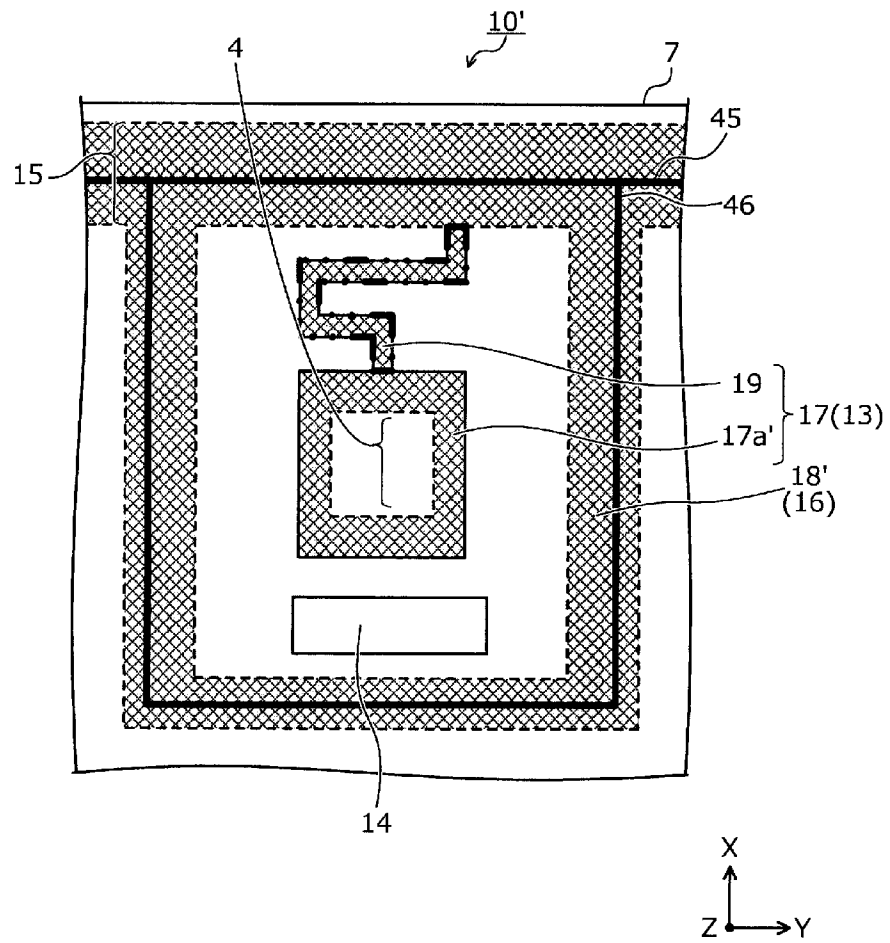


[図10A]

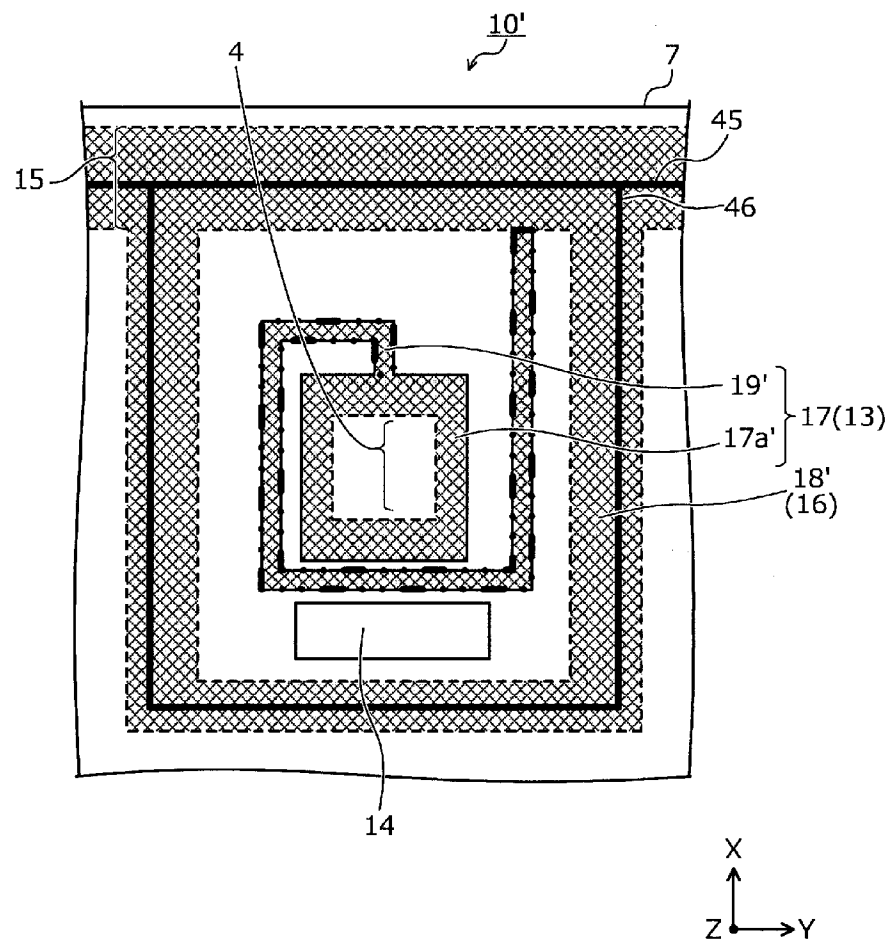




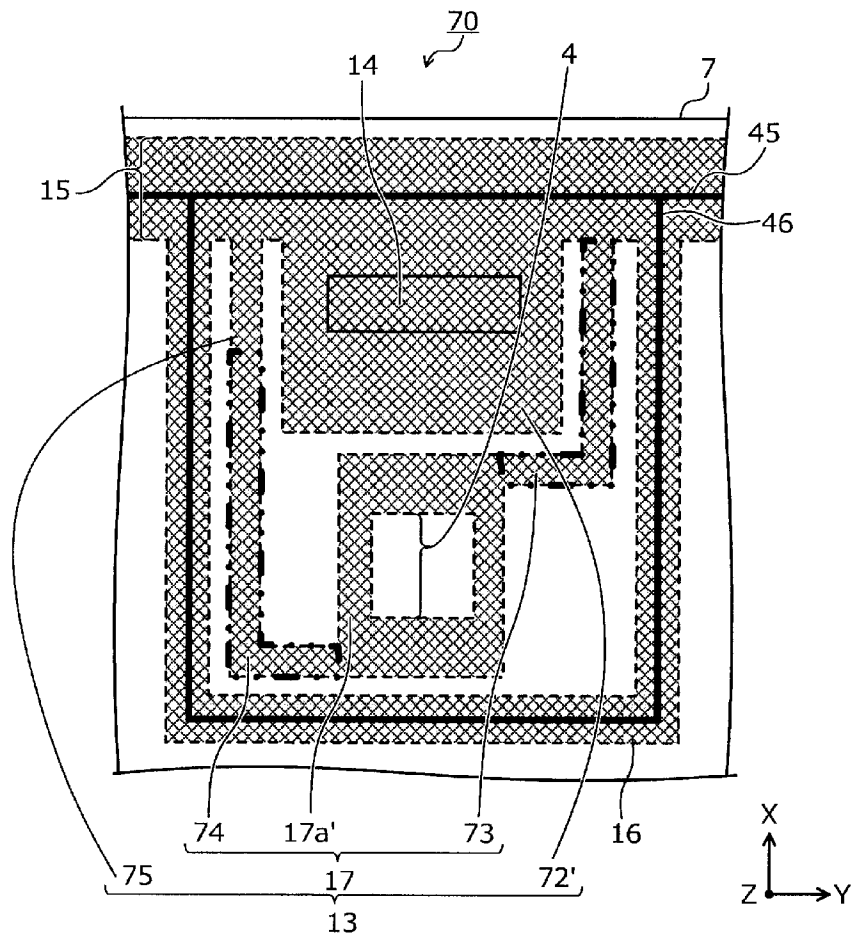
[図12A]



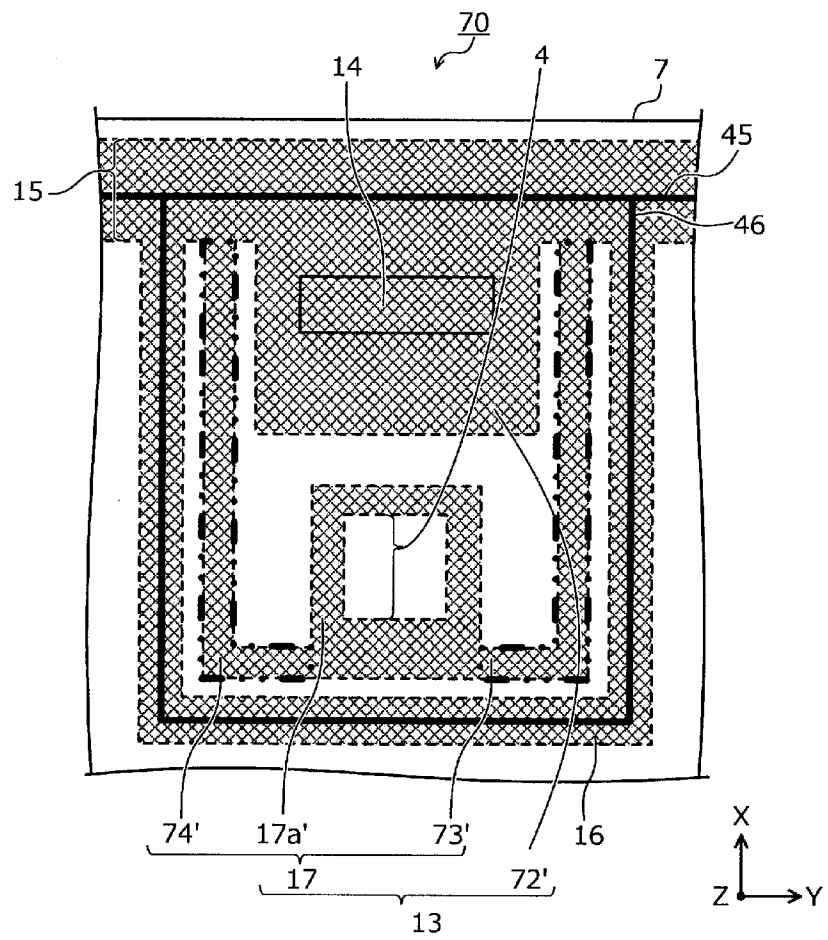
[図12B]



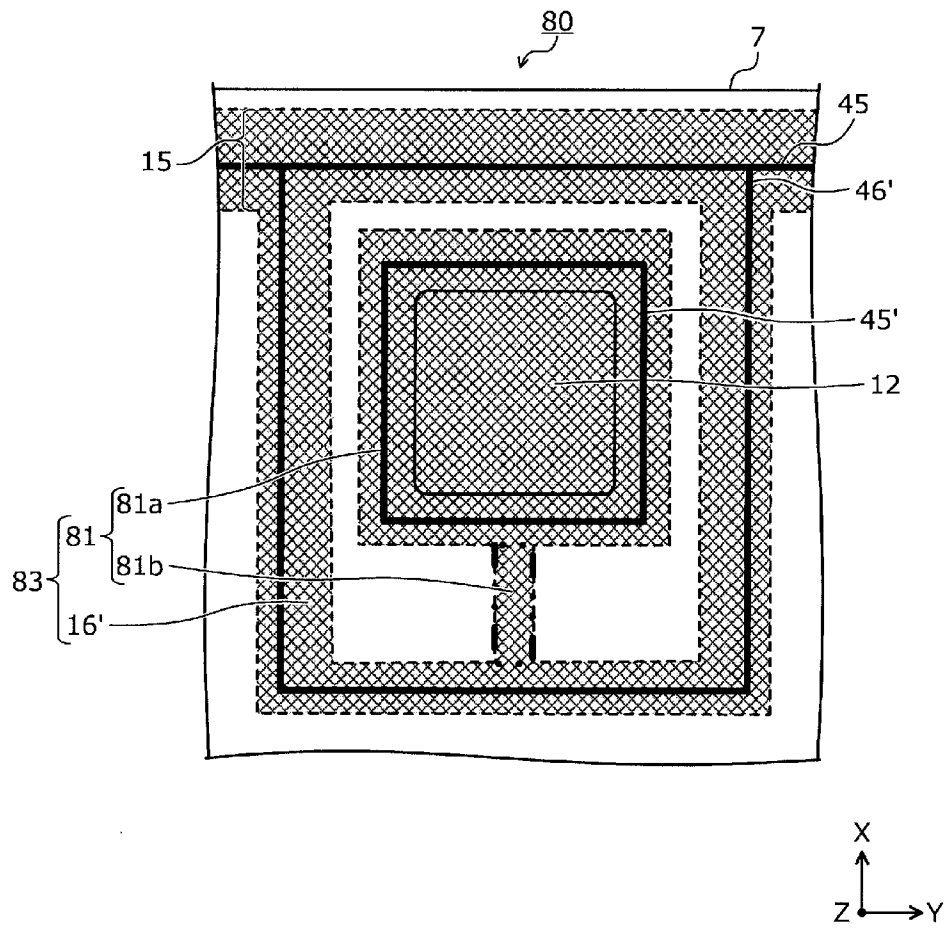
[図14]



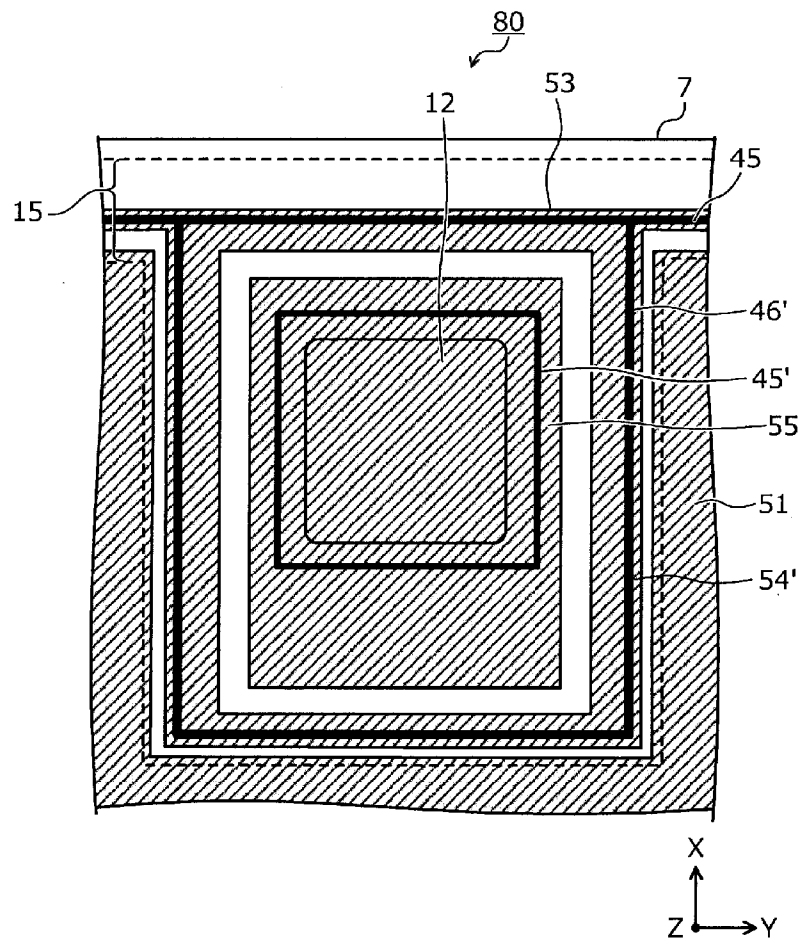
[図15]



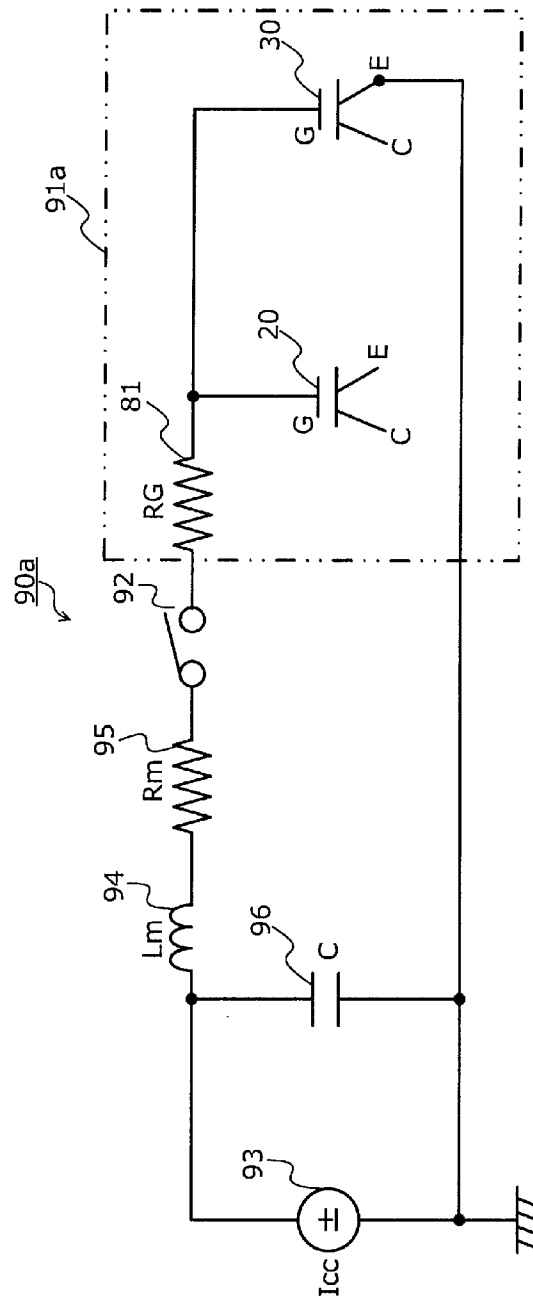
[図16]



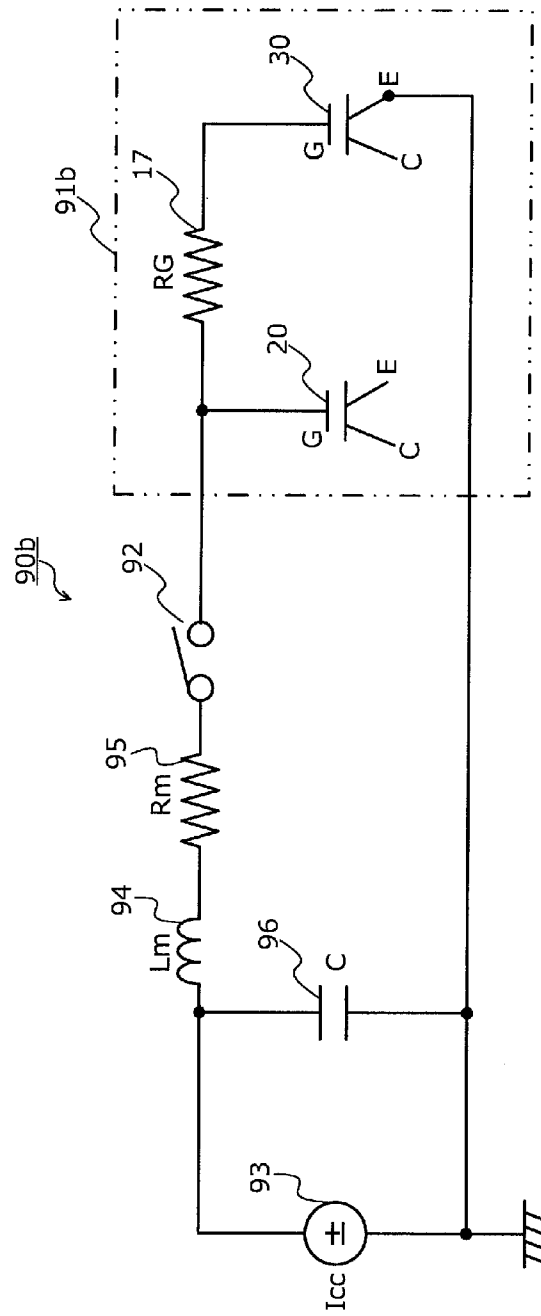
[図17]



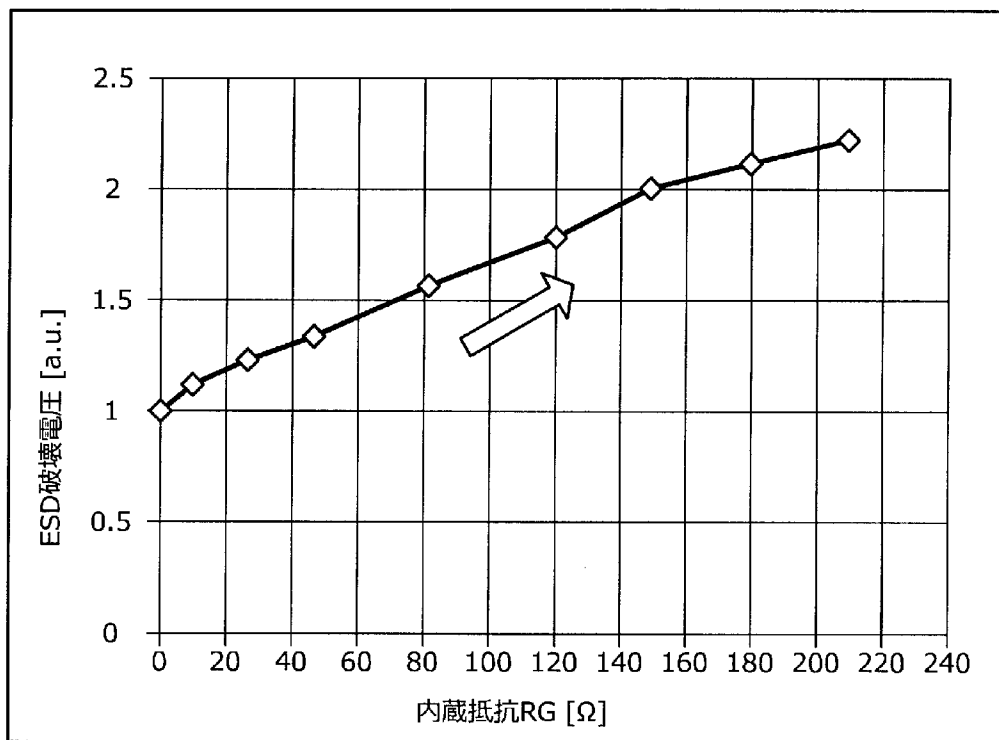
[図18]



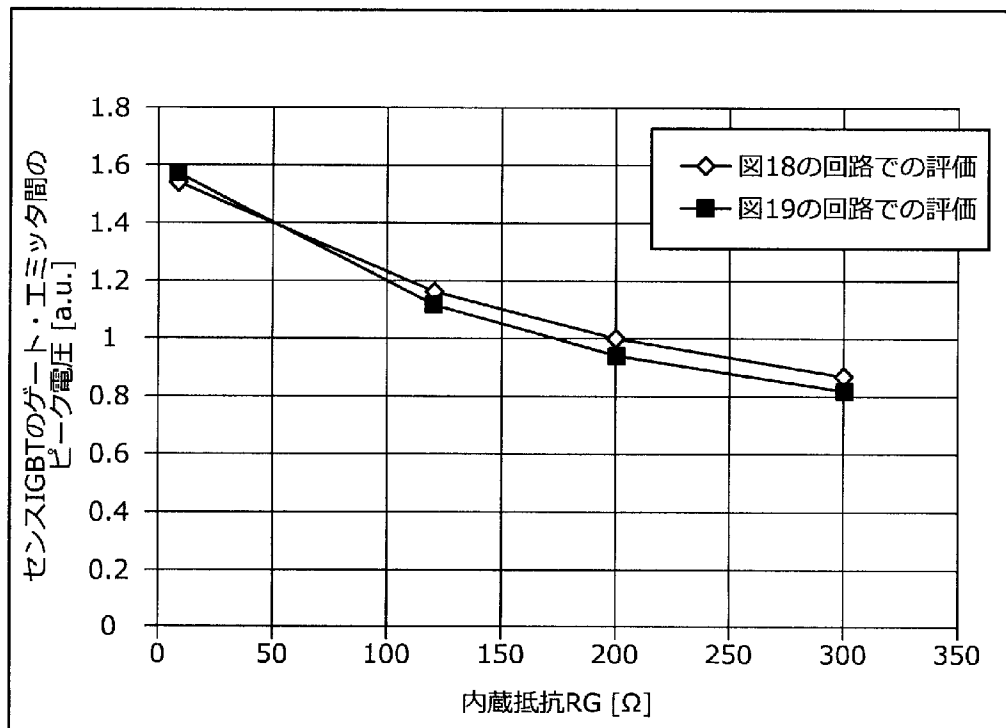
[図19]



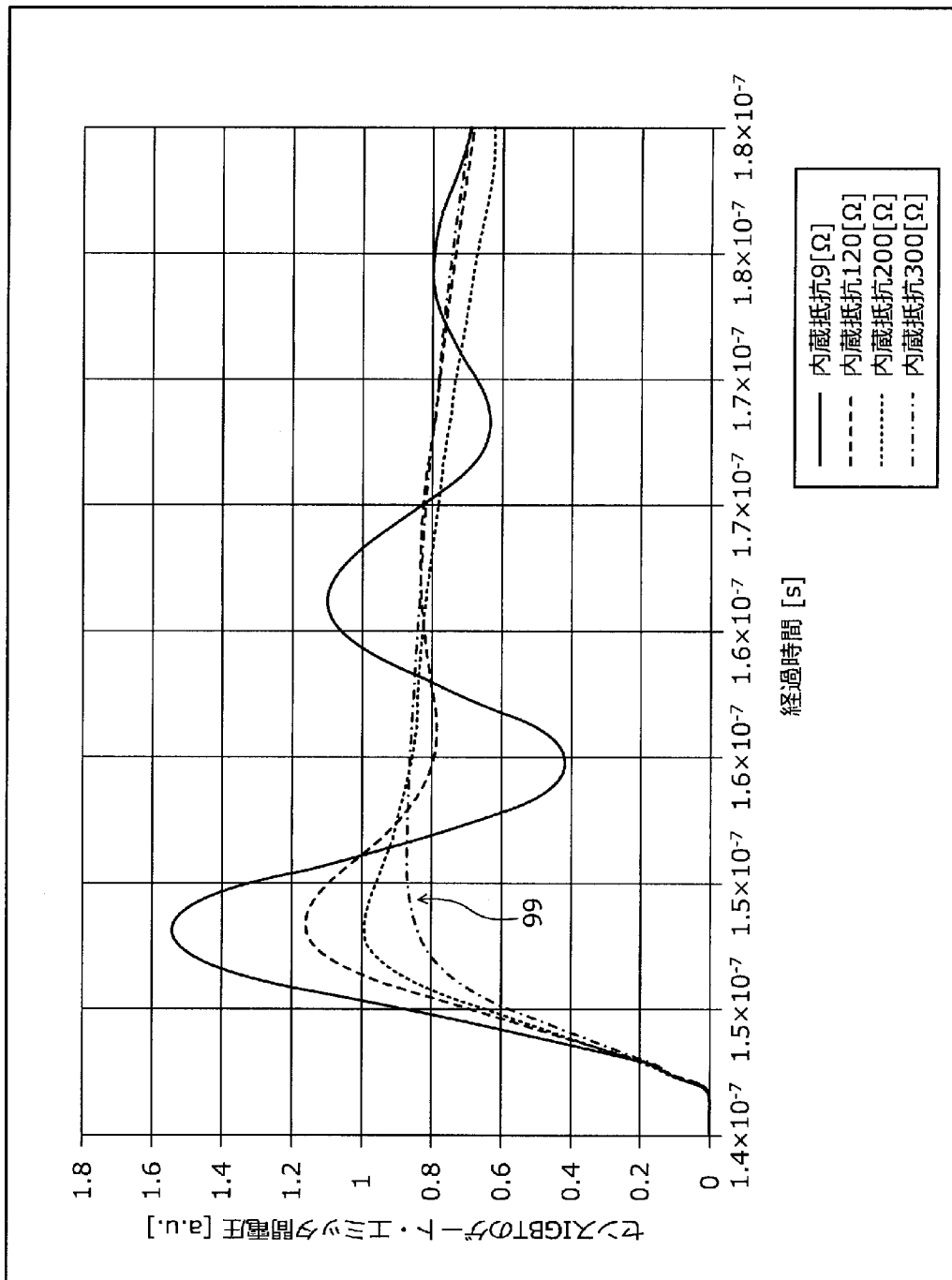
[図20]



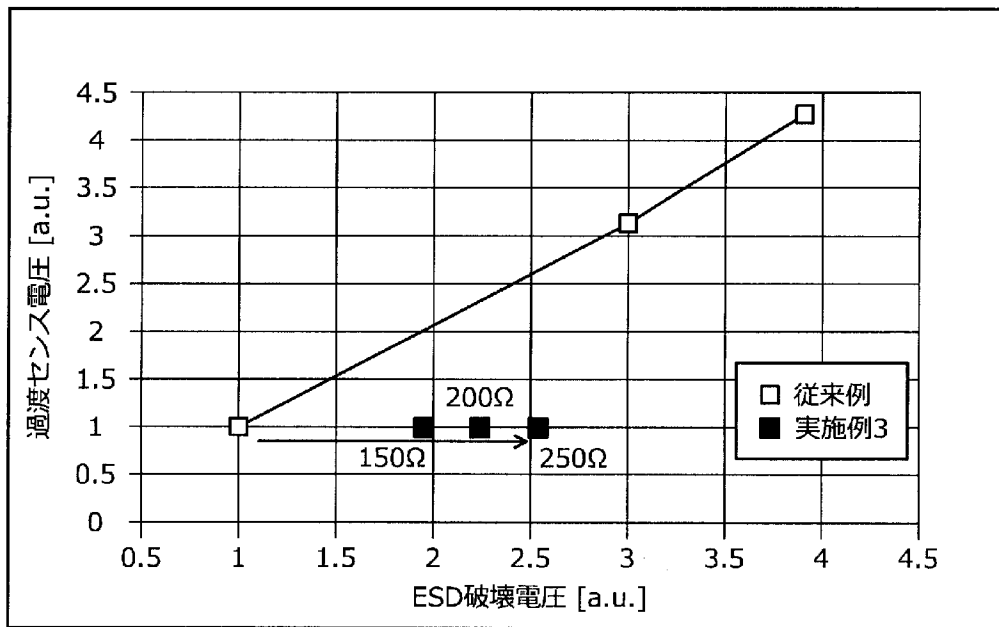
[図21]



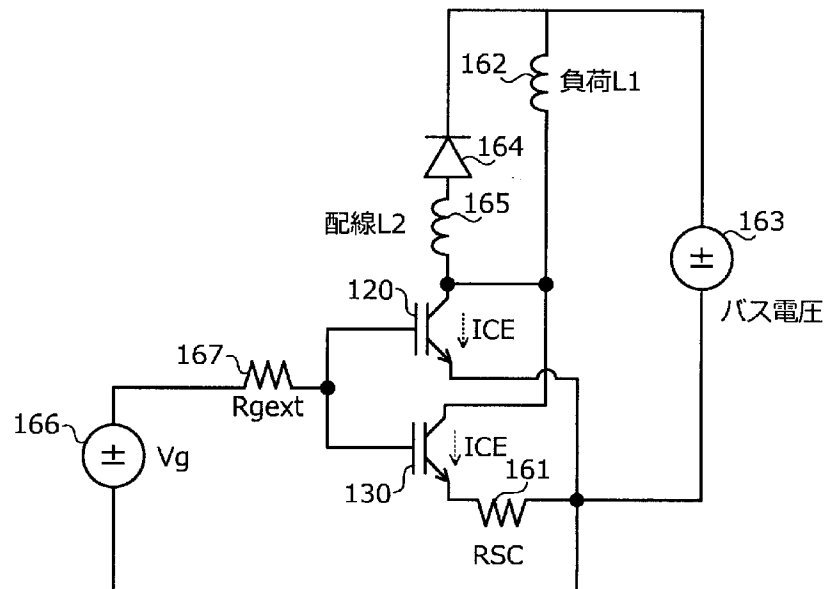
[図22]



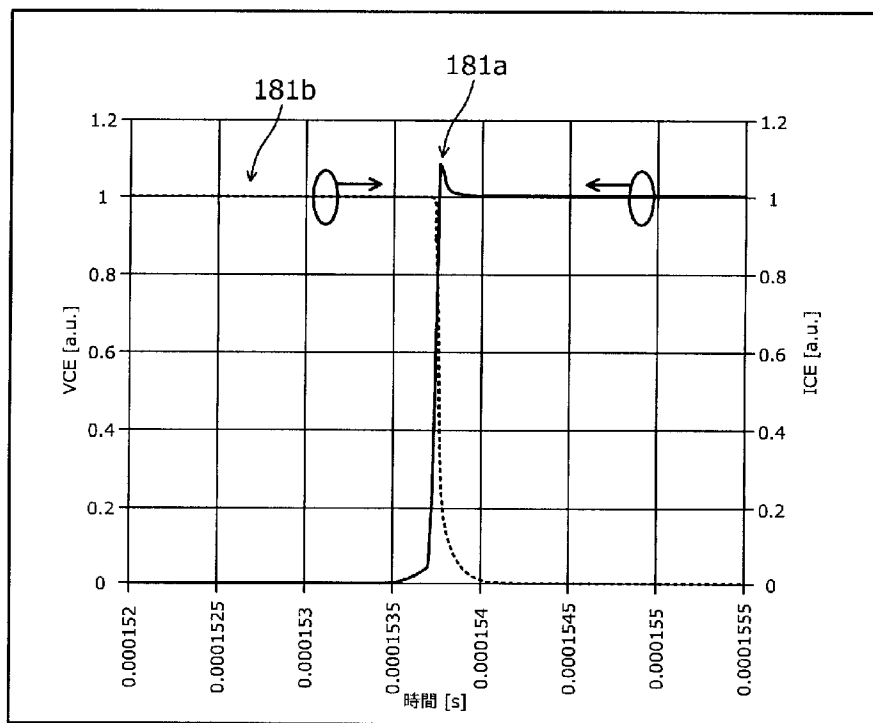
[図23]



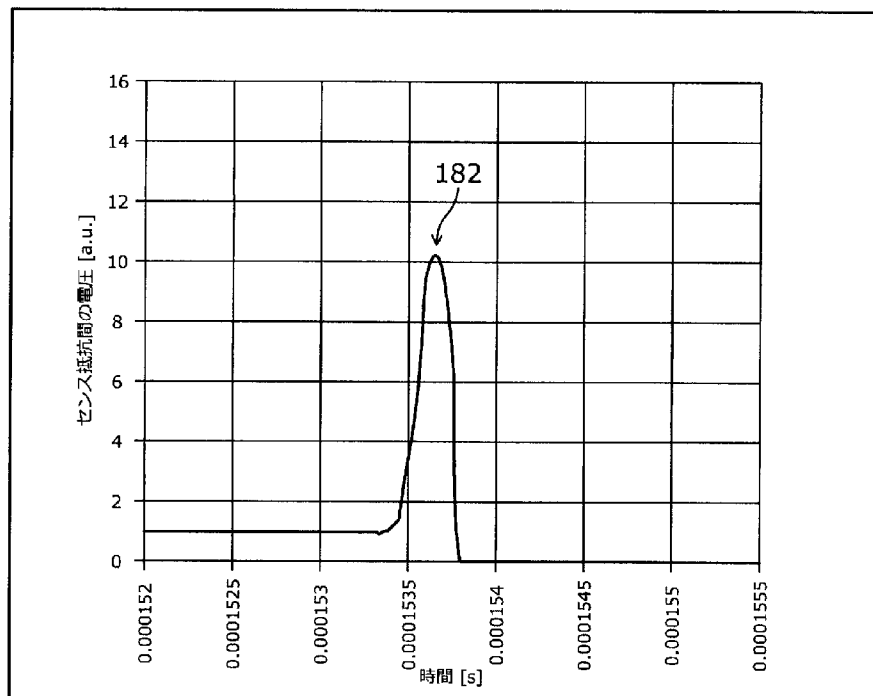
[図24]



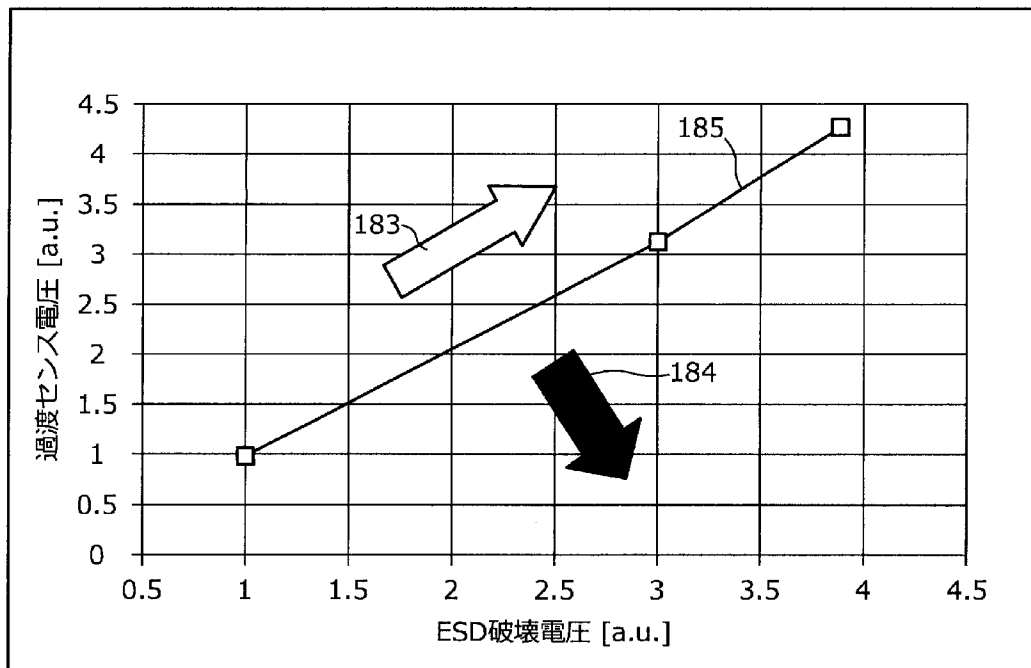
[図25]



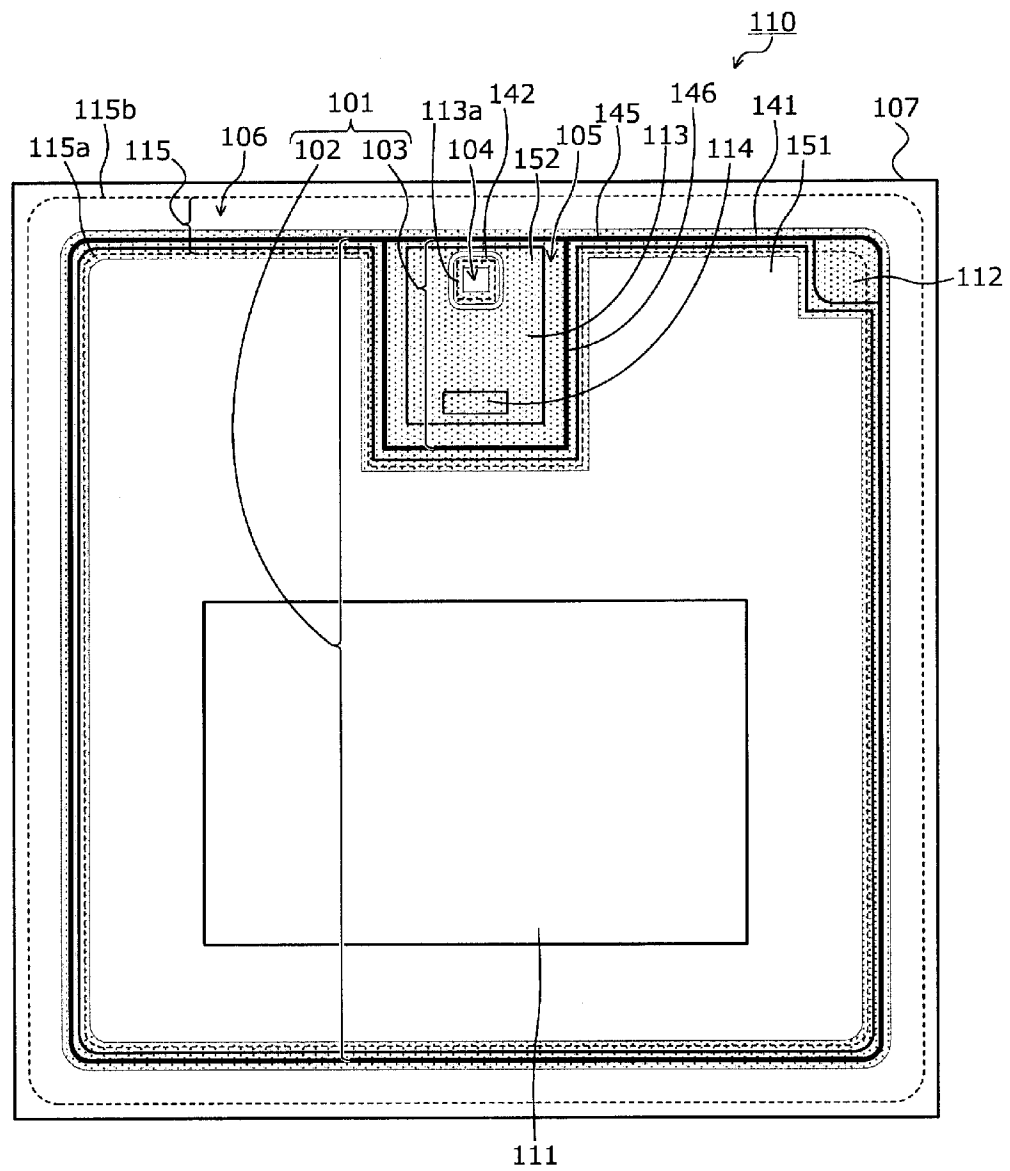
[図26]



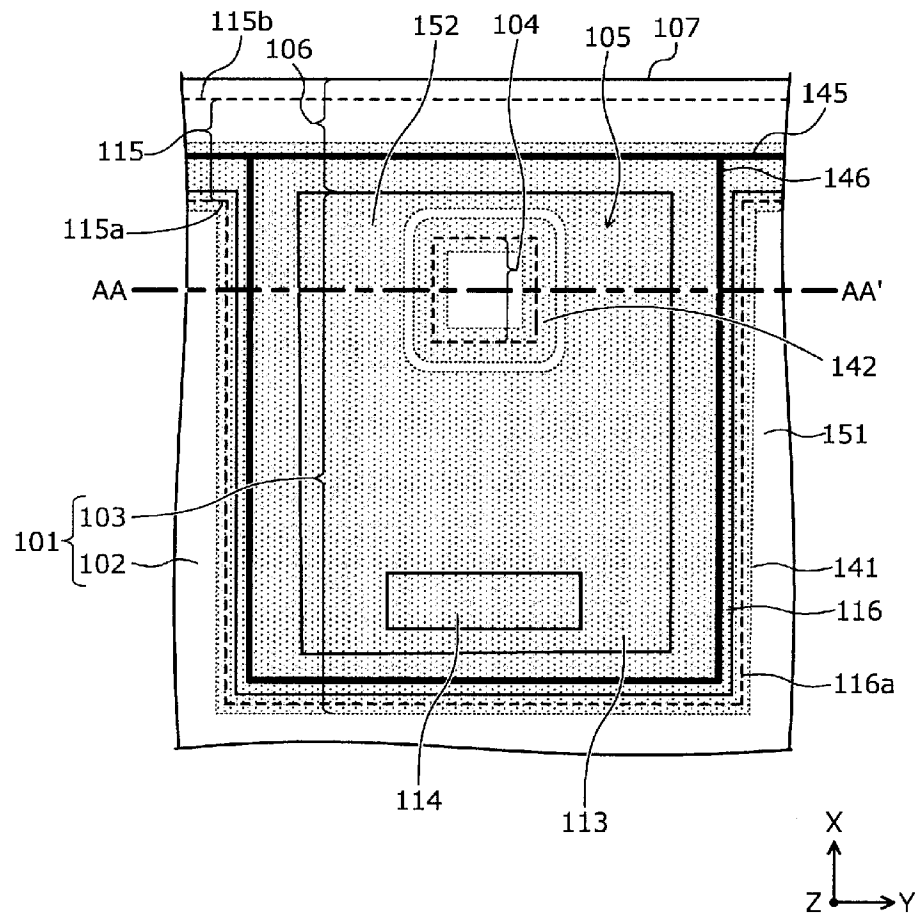
[図27]



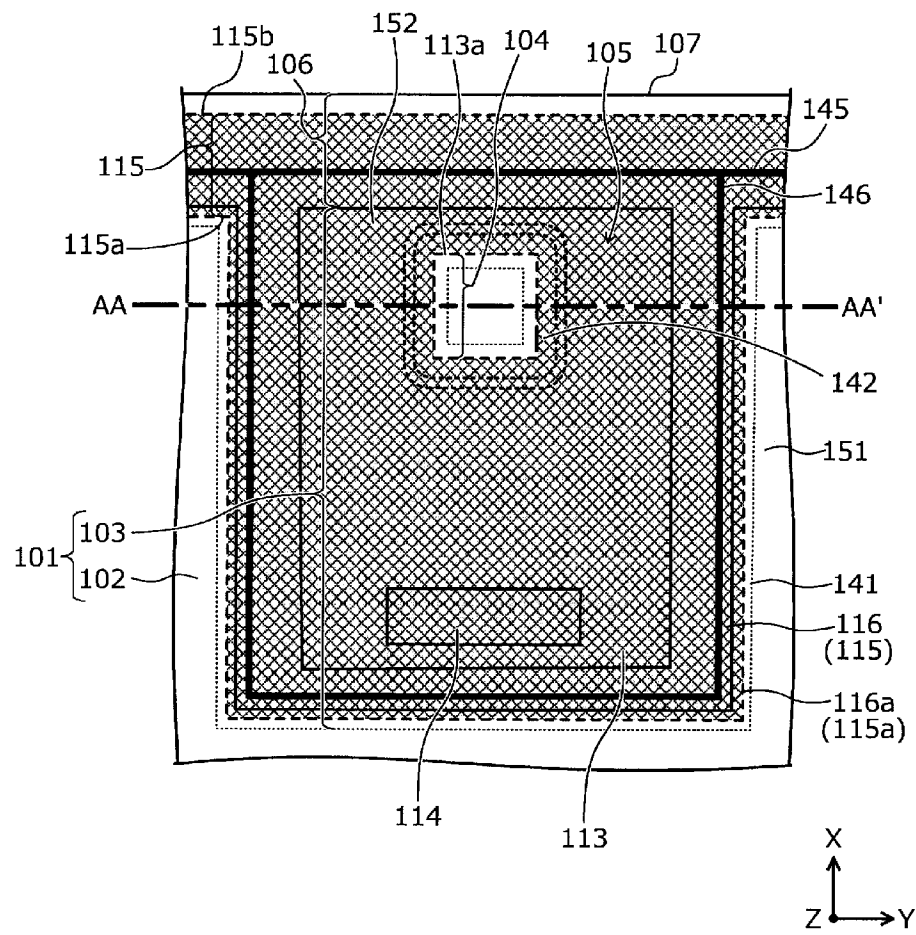
[図28]



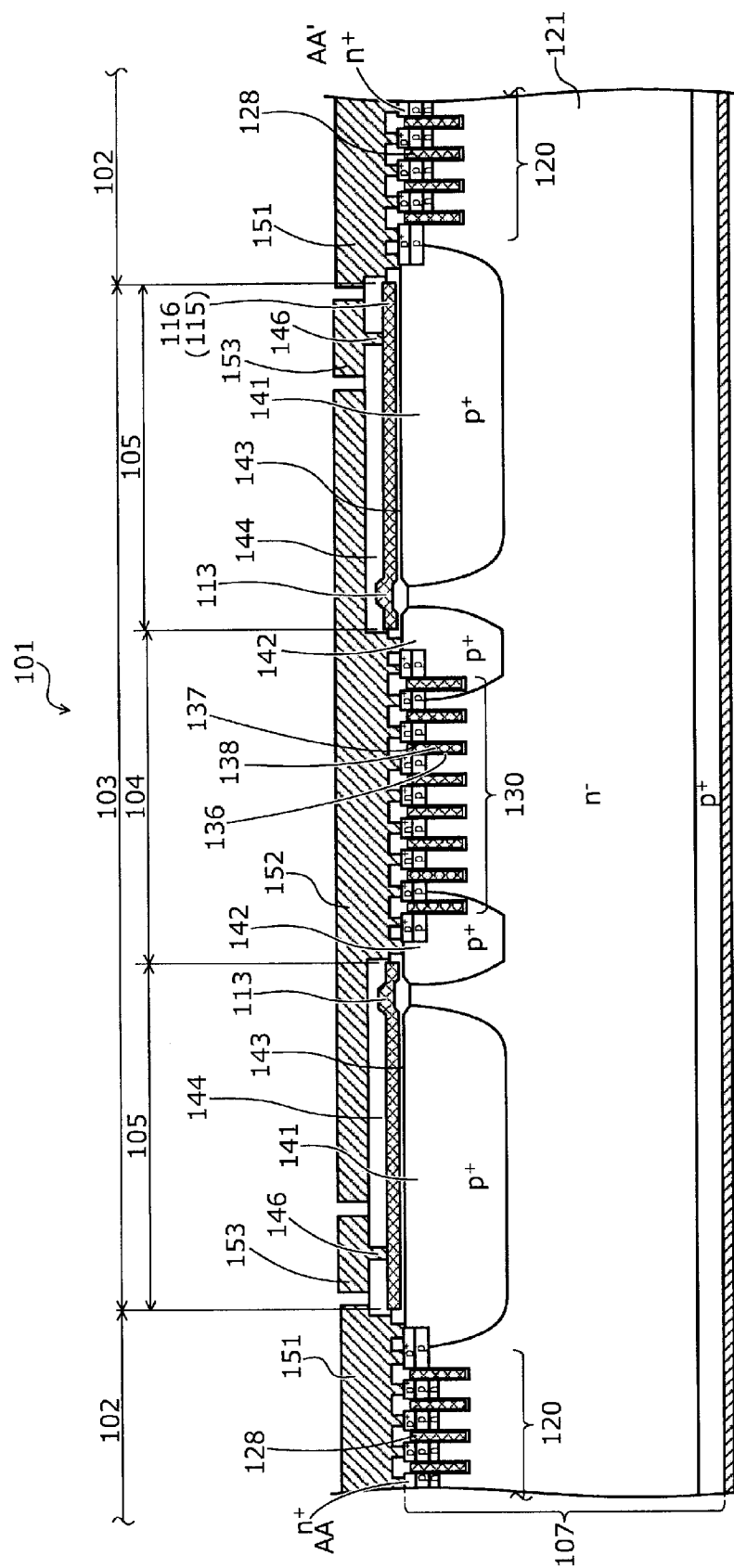
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/043167

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L21/8234(2006.01)i,
H01L27/06(2006.01)i, H01L29/06(2006.01)i, H01L29/78(2006.01)i,
H01L21/76(2006.01)i, H01L29/739(2006.01)i

FI: H01L29/78657F, H01L29/78655G, H01L29/78652Q, H01L29/78653C,
H01L29/78652P, H01L29/06301F, H01L29/06301G, H01L29/06301V,
H01L29/78655E, H01L29/78657G, H01L29/78652J, H01L29/78652D,
H01L29/78652R, H01L27/06102A, H01L27/06311A, H01L27/04H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/822, H01L27/04, H01L21/8234, H01L27/06, H01L29/06,
H01L29/78, H01L21/76, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-235788 A (SANYO ELECTRIC CO., LTD.; SANYO SEMICONDUCTOR CO., LTD.) 02 October 2008, paragraphs [0026]-[0059], fig. 1-4	1-3, 5, 8 4, 6, 7
Y A	JP 2005-209943 A (DENSO CORPORATION) 04 August 2005, paragraphs [0031]-[0035], fig. 4	1-3, 5, 8 4, 6, 7
Y A	JP 2018-137391 A (TOYOTA MOTOR CORPORATION; DENSO CORPORATION) 30 August 2018, paragraphs [0012], [0040]-[0042], fig. 1, 5, 6	3, 5 1, 2, 4, 6-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20.01.2020

Date of mailing of the international search report
28.01.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/043167

JP 2008-235788 A	02 October 2008	US 2008/0230810 A1 paragraphs [0032]-[0067], fig. 1-4 CN 101271899 A
JP 2005-209943 A	04 August 2005	US 2005/0162798 A1 paragraphs [0040]-[0044], fig. 4
JP 2018-137391 A	30 August 2018	US 2018/0240792 A1 paragraphs [0022], [0050]-[0052], fig. 1, 5, 6 DE 102018103716 A1 CN 108470731 A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 29/06(2006.01)i; H01L 29/78(2006.01)i; H01L 21/76(2006.01)i; H01L 29/739(2006.01)i FI: H01L29/78 657F; H01L29/78 655G; H01L29/78 652Q; H01L29/78 653C; H01L29/78 652P; H01L29/06 301F; H01L29/06 301G; H01L29/06 301V; H01L29/78 655E; H01L29/78 657G; H01L29/78 652J; H01L29/78 652D; H01L29/78 652R; H01L27/06 102A; H01L27/06 311A; H01L27/04 H																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L29/06; H01L29/78; H01L21/76; H01L29/739 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2020年																						
日本国実用新案登録公報	1996-2020年																						
日本国登録実用新案公報	1994-2020年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2008-235788 A（三洋電機株式会社，三洋半導体株式会社）02.10.2008（2008 - 10 - 02） 段落0026-0059，図1-4</td> <td>1-3, 5, 8</td> </tr> <tr> <td>A</td> <td></td> <td>4, 6, 7</td> </tr> <tr> <td>Y</td> <td>JP 2005-209943 A（株式会社デンソー）04.08.2005（2005 - 08 - 04） 段落0031-0035，図4</td> <td>1-3, 5, 8</td> </tr> <tr> <td>A</td> <td></td> <td>4, 6, 7</td> </tr> <tr> <td>Y</td> <td>JP 2018-137391 A（トヨタ自動車株式会社，株式会社デンソー）30.08.2018（2018 - 08 - 30） 段落0012, 0040-0042，図1, 5, 6</td> <td>3, 5</td> </tr> <tr> <td>A</td> <td></td> <td>1, 2, 4, 6-8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2008-235788 A（三洋電機株式会社，三洋半導体株式会社）02.10.2008（2008 - 10 - 02） 段落0026-0059，図1-4	1-3, 5, 8	A		4, 6, 7	Y	JP 2005-209943 A（株式会社デンソー）04.08.2005（2005 - 08 - 04） 段落0031-0035，図4	1-3, 5, 8	A		4, 6, 7	Y	JP 2018-137391 A（トヨタ自動車株式会社，株式会社デンソー）30.08.2018（2018 - 08 - 30） 段落0012, 0040-0042，図1, 5, 6	3, 5	A		1, 2, 4, 6-8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
Y	JP 2008-235788 A（三洋電機株式会社，三洋半導体株式会社）02.10.2008（2008 - 10 - 02） 段落0026-0059，図1-4	1-3, 5, 8																					
A		4, 6, 7																					
Y	JP 2005-209943 A（株式会社デンソー）04.08.2005（2005 - 08 - 04） 段落0031-0035，図4	1-3, 5, 8																					
A		4, 6, 7																					
Y	JP 2018-137391 A（トヨタ自動車株式会社，株式会社デンソー）30.08.2018（2018 - 08 - 30） 段落0012, 0040-0042，図1, 5, 6	3, 5																					
A		1, 2, 4, 6-8																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 20.01.2020		国際調査報告の発送日 28.01.2020																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 恩田 和彦 5F 5896 電話番号 03-3581-1101 内線 3516																					

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/043167

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-235788	A	02.10.2008	US 2008/0230810 A1 段落0032-0067, 図1-4 CN 101271899 A	
JP	2005-209943	A	04.08.2005	US 2005/0162798 A1 段落0040-0044, 図4	
JP	2018-137391	A	30.08.2018	US 2018/0240792 A1 段落0022, 0050-0052, 図1, 5, 6 DE 102018103716 A1 CN 108470731 A	