

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2013-3238
(P2013-3238A)

(43) 公開日 平成25年1月7日(2013.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 641P	3K107
G09G 3/36 (2006.01)	G09G 3/20 612U	5C006
G09G 3/30 (2006.01)	G09G 3/20 642E	5C021
H01L 51/50 (2006.01)	G09G 3/20 611A	5C080
H05B 33/14 (2006.01)	G09G 3/20 621F	5C380

審査請求 未請求 請求項の数 17 O L (全 17 頁) 最終頁に続く

(21) 出願番号 (22) 出願日	特願2011-132006 (P2011-132006) 平成23年6月14日 (2011.6.14)	(71) 出願人 000002185 ソニー株式会社 東京都港区港南1丁目7番1号 (74) 代理人 100094363 弁理士 山本 孝久 (74) 代理人 100118290 弁理士 吉井 正明 (74) 代理人 100120640 弁理士 森 幸一 (72) 発明者 船津 陽平 東京都港区港南1丁目7番1号 ソニー株式会社内 Fターム(参考) 3K107 AA01 AA05 BB01 CC14 CC31 HH00 HH04
		最終頁に続く

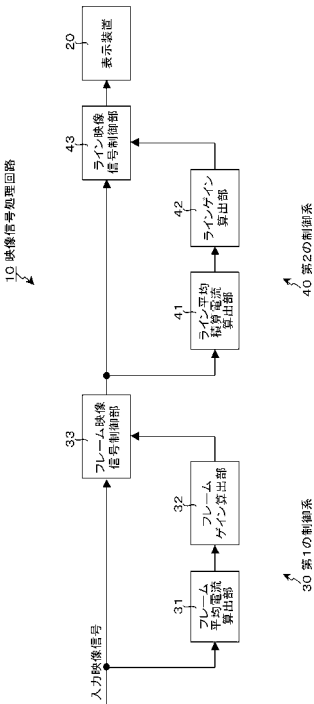
(54) 【発明の名称】 映像信号処理回路、映像信号処理方法、表示装置、及び、電子機器

(57) 【要約】

【課題】映像信号の輝度制御に関して、1フレーム相当の時間よりも短い周期での制御を可能にした映像信号処理回路、映像信号処理方法、当該映像信号処理回路を備える表示装置、及び、当該表示装置を有する電子機器を提供する。

【解決手段】入力される映像信号に基づいて輝度積算値を算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行う映像信号処理回路において、1フレーム相当の時間よりも短い周期で輝度積算値の算出を行うようにする。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

入力される映像信号に基づいて輝度積算値を算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行う制御部を有し、

前記制御部は、1 フレーム相当の時間よりも短い周期で前記輝度積算値の算出を行う映像信号処理回路。

【請求項 2】

前記制御部は、前記輝度積算値が制御目標値よりも大きいときに前記映像信号の振幅が小さくなるように制御する

請求項 1 に記載の映像信号処理回路。

10

【請求項 3】

前記 1 フレーム相当の時間よりも短い周期は、1 ライン相当の時間の単位である

請求項 1 に記載の映像信号処理回路。

【請求項 4】

前記 1 フレーム相当の時間よりも短い周期は、1 ライン相当の時間である

請求項 3 に記載の映像信号処理回路。

【請求項 5】

前記 1 フレーム相当の時間よりも短い周期は、複数ライン相当の時間である

請求項 3 に記載の映像信号処理回路。

【請求項 6】

20

前記 1 フレーム相当の時間よりも短い周期は、1 ドット相当の時間の単位である

請求項 1 に記載の映像信号処理回路。

【請求項 7】

1 フレーム相当の時間の周期で輝度積算値を算出し、この算出した輝度積算値に基づいて映像信号を制御する第 1 の制御系と、

1 フレーム相当の時間よりも短い周期で輝度積算値を算出し、この算出した輝度積算値に基づいて映像信号を制御する第 2 の制御系

を備える映像信号処理回路。

【請求項 8】

前記第 1 の制御系及び前記第 2 の制御系は、前記輝度積算値が制御目標値よりも大きいときに前記映像信号が小さくなるように制御する

30

請求項 7 に記載の映像信号処理回路。

【請求項 9】

前記第 2 の制御系は、1 ライン相当の時間の単位で前記輝度積算値の算出を行う

請求項 7 に記載の映像信号処理回路。

【請求項 10】

前記第 2 の制御系は、1 ライン相当の時間の周期で前記輝度積算値の算出を行う

請求項 9 に記載の映像信号処理回路。

【請求項 11】

40

前記第 2 の制御系は、複数ライン相当の時間の周期で前記輝度積算値の算出を行う

請求項 9 に記載の映像信号処理回路。

【請求項 12】

前記第 2 の制御系は、1 ドット相当の時間の単位で前記輝度積算値の算出を行う

請求項 7 に記載の映像信号処理回路。

【請求項 13】

前記第 2 の制御系は、前記第 1 の制御系の後段に設けられている

請求項 7 に記載の映像信号処理回路。

【請求項 14】

前記第 2 の制御系の制御目標値は、前記第 1 の制御系の制御目標値よりも高い値に設定されている

50

請求項 13 に記載の映像信号処理回路。

【請求項 15】

入力される映像信号に基づいて輝度積算値を算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行うに当たって、

1 フレーム相当の時間よりも短い周期で前記輝度積算値の算出を行う

映像信号処理方法。

【請求項 16】

入力される映像信号に基づいて輝度積算値を 1 フレーム相当の時間よりも短い周期で算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行う制御部

を備える表示装置。

10

【請求項 17】

入力される映像信号に基づいて輝度積算値を 1 フレーム相当の時間よりも短い周期で算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行う制御部

を備える表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、映像信号処理回路、映像信号処理方法、表示装置、及び、電子機器に関し、特に、映像信号の輝度制御を行う映像信号処理回路、映像信号処理方法、当該映像信号処理回路を備える表示装置、及び、当該表示装置を有する電子機器に関する。

20

【背景技術】

【0002】

表示装置において、高輝度の映像信号が入力された場合に、表示パネルに入力する映像信号を制御し、画素の電気光学素子に流れる電流を抑えることで、消費電流（消費電力）の低減を図ることができる。

【0003】

かかる制御を行う映像信号処理回路では、従来、入力される映像信号を基に 1 画面（1 フレーム）毎に輝度積算値を算出し、この算出した輝度積算値に基づいて映像信号の振幅を制御し、その振幅制御後の映像信号を表示装置に供給するようにしていた（例えば、特許文献 1 参照）。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2003 - 255901 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記の従来技術に係る映像信号処理回路では、入力される映像信号から 1 フレーム毎に輝度積算値を算出し、その算出結果を基に映像信号の輝度制御を行うようにしている。これにより、前フレームの算出結果が現フレームの制御に反映されるため、算出結果が輝度制御に反映されるのに必ず 1 フレーム相当の時間の遅延が生じる。従って、輝度積算値を算出する 1 フレームの期間は、映像信号の輝度制御、即ち、消費電流低減のための制御が行えないことになる。

40

【0006】

そこで、本開示は、映像信号の輝度制御に関して、1 フレーム相当の時間よりも短い周期での制御を可能にした映像信号処理回路、映像信号処理方法、当該映像信号処理回路を備える表示装置、及び、当該表示装置を有する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記の目的を達成するために、本開示は、

50

入力される映像信号に基づいて輝度積算値を算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行う映像信号処理回路において、

1フレーム相当の時間よりも短い周期で前記輝度積算値の算出を行うことを特徴としている。

【0008】

上記の映像信号処理回路は、表示装置において、当該表示装置に入力される映像信号を処理する回路として用いることができる。また、この映像信号処理回路を備える表示装置は、各種の電子機器において、その表示部として用いることができる。

【0009】

1フレーム相当の時間よりも短い周期で輝度積算値の算出を行うことで、この算出結果に基づく映像信号の輝度制御を、1フレーム相当の時間よりも短い周期で実行できる。従って、1フレーム相当の時間（1フレームの期間）待たなくても、表示装置の消費電流低減のための制御を行うことができる。

【発明の効果】

【0010】

本開示によれば、1フレーム相当の時間待たなくても、映像信号の輝度制御を行うことができるため、1フレーム相当の時間の遅延の無い消費電流（消費電力）の制御の実現が可能になる。

【図面の簡単な説明】

【0011】

【図1】本開示の一実施形態に係る映像信号処理回路の回路構成を示すブロック図である。

【図2】ライン平均積算電流算出部の構成の具体例を示すブロック図である。

【図3】ラインゲイン算出部の構成の具体例を示すブロック図である。

【図4】ライン振幅制御部の構成の具体例を示すブロック図である。

【図5】一具体例に係る映像信号処理回路の動作説明に供する図である。

【図6】変形例に係る映像信号処理回路の回路構成を示すブロック図である。

【図7】本開示が適用されるテレビジョンセットの外観を示す斜視図である。

【図8】本開示が適用されるデジタルカメラの外観を示す斜視図であり、（A）は表側から見た斜視図、（B）は裏側から見た斜視図である。

【図9】本開示が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図10】本開示が適用されるビデオカメラの外観を示す斜視図である。

【図11】本開示が適用される携帯電話機を示す外観図であり、（A）は開いた状態での正面図、（B）はその側面図、（C）は閉じた状態での正面図、（D）は左側面図、（E）は右側面図、（F）は上面図、（G）は下面図である。

【発明を実施するための形態】

【0012】

以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1．実施形態の説明

1 - 1．回路構成

1 - 2．回路動作

2．変形例

3．電子機器

4．本開示の構成

【0013】

< 1．実施形態の説明 >

本開示の一実施形態に係る映像信号処理回路は、信号ソースと表示装置（あるいは、表示パネル）との間に設けられ、信号ソースから入力される映像信号（入力映像信号）を処

10

20

30

40

50

理して表示装置に供給する。映像信号処理回路は、入力映像信号に基づいて輝度積算値を算出し、この算出した輝度積算値に基づいて映像信号を制御することによって輝度制御を行うものであり、一般的に、A B L (Automatic Brightness Limiter ; 自動輝度制限) 回路と呼ばれている。

【 0 0 1 4 】

本実施形態に係る映像信号処理回路は、1フレーム(1画面)相当の時間よりも短い周期で輝度積算値を算出し、この算出した輝度積算値に基づいて映像信号を制御する制御部を有している。この制御部は、輝度積算値が制御目標値よりも大きいときに映像信号が小さくなるように制御する。

【 0 0 1 5 】

1フレーム相当の時間よりも短い周期としては、1ライン(1画素行)相当の時間の単位であってもよい。この場合、1フレーム相当の時間よりも短い周期は、1ライン相当の時間であってもよいし、複数ライン相当の時間であってもよい。1フレーム相当の時間よりも短い周期としては、1ライン相当の時間の単位に限られるものではなく、1ライン相当の時間よりも短い1ドット(1画素)相当の時間の単位であってもよい。

【 0 0 1 6 】

本実施形態に係る映像信号処理回路としては、2つの制御系、即ち、第1の制御系と第2の制御系とから成る構成のものが好ましい。第1の制御系は、1フレーム相当の時間の周期で輝度積算値を算出し、当該輝度積算値に基づいて映像信号を制御する制御系である。第2の制御系は、上記の制御部に相当し、1フレーム相当の時間よりも短い周期で輝度積算値を算出し、当該輝度積算値に基づいて映像信号を制御する制御系である。

【 0 0 1 7 】

すなわち、第2の制御系において、1フレーム相当の時間よりも短い周期としては、1ライン相当の時間の単位であってもよい。この場合、1フレーム相当の時間よりも短い周期は、1ライン相当の時間であってもよいし、複数ライン相当の時間であってもよい。1フレーム相当の時間よりも短い周期としては、1ライン相当の時間の単位に限られるものではなく、1ライン相当の時間よりも短い1ドット(1画素)相当の時間の単位であってもよい。

【 0 0 1 8 】

第1の制御系と第2の制御系との配置関係に関しては、第2の制御系を第1の制御系の後段に設けるのが好ましい。すなわち、好ましい実施形態に係る映像信号処理回路は、周知の第1の制御系に加えて、当該第1の制御系の後段に、1フレーム相当の時間よりも短い周期で輝度積算値を算出し、当該輝度積算値に基づいて映像信号を制御する第2の制御系を配置した構成となる。このとき、第1の制御系と第2の制御系との制御目標値に関しては、第2の制御系の制御目標値を、第1の制御系の制御目標値よりも高い値に設定するのが好ましい。

【 0 0 1 9 】

[1 - 1 . 回路構成]

図1は、本開示の一実施形態に係る映像信号処理回路の回路構成を示すブロック図である。

【 0 0 2 0 】

図1において、本実施形態に係る映像信号処理回路10は、信号ソース(図示せず)と表示装置20との間に設けられ、当該信号ソースから与えられる入力映像信号を処理して表示装置20に供給する。一般的にA B L回路と呼称される映像信号処理回路10は、好ましくは、2つの制御系、即ち、第1の制御系30と第2の制御系40との組合せから成る構成となっている。そして、第2の制御系40は、第1の制御系30の後段に設けられる。

【 0 0 2 1 】

第1の制御系30は、フレーム平均電流算出部31、フレームゲイン算出部32、及び、フレーム映像信号制御部33を有し、1フレーム(1画面)相当の時間の周期で輝度積

10

20

30

40

50

算値を算出し、この算出した輝度積算値に基づいて映像信号を制御する。この第 1 の制御系 30 は、1 フレーム相当の時間の周期で映像信号制御（輝度制御）を行う周知の ABL 回路に相当する。

【0022】

第 1 の制御系 30 において、フレーム平均電流算出部 31 は、フレーム毎に各フレームの平均電流を算出する。このフレーム平均電流は、1 フレームの輝度積算値に相当する。すなわち、フレーム平均電流算出部 31 では、1 フレーム相当の時間の周期で輝度積算値に相当するフレーム平均電流の算出が行われる。

【0023】

フレームゲイン算出部 32 は、フレーム平均電流算出部 31 が算出したフレーム平均電流に基づいて、制御目標値（フレーム制御目標値）を基準として当該フレームの映像信号に対するゲイン（以下、「フレームゲイン」と記述する）を算出する。フレーム映像信号制御部 33 は、フレームゲイン算出部 32 が算出したフレームゲインに基づいて、次フレームの映像信号を制御する。

【0024】

第 2 の制御系 40 は、ライン平均積算電流算出部 41、ラインゲイン算出部 42、及び、ライン映像信号制御部 43 を有し、例えば 1 ライン（1 画素行）相当の時間の周期で輝度積算値を算出し、この算出した輝度積算値に基づいて映像信号の振幅を制御する。具体的には、輝度積算値が後述する制御目標値よりも大きい（制御目標値を超える）ときに映像信号の振幅が小さくなるように制御する。この第 2 の制御系 40 は、本開示の特徴とする部分である。

【0025】

ライン平均積算電流算出部 41、ラインゲイン算出部 42、及び、ライン振幅制御部 43 の個々の構成について以下に具体的に説明する。

【0026】

（ライン平均積算電流算出部）

図 2 は、ライン平均積算電流算出部 41 の構成の具体例を示すブロック図である。図 2 に示すように、ライン平均積算電流算出部 41 は、平均信号算出部 411、平均電流算出部 412、及び、平均積算電流算出部 413 を有し、ライン周期（水平走査周期）で回路動作を実行する。

【0027】

ライン平均積算電流算出部 41 において、平均信号算出部 411 は、フレーム映像信号制御部 33 を経た映像信号に基づいて、ライン毎に平均信号レベルを算出する。平均電流算出部 412 は、平均信号算出部 411 が算出した平均信号レベルに基づいて、当該平均信号レベルに対応する平均電流をライン毎に算出する。

【0028】

平均積算電流算出部 413 は、平均電流算出部 412 が算出したライン毎の平均電流を現ラインまで積算し、ライン平均積算電流として次段のラインゲイン算出部 42 に供給する。このライン平均積算電流は、各ラインまでの輝度積算値に相当する。すなわち、平均積算電流算出部 413 では、1 フレーム相当の時間よりも短い周期で輝度積算値に相当するライン平均積算電流の算出が行われる。

【0029】

（ラインゲイン算出部）

図 3 は、ラインゲイン算出部 42 の構成の具体例を示すブロック図である。図 3 に示すように、ラインゲイン算出部 42 は、電流比較部 421 及びゲイン算出部 422 を有し、ライン周期で回路動作を実行する。

【0030】

ラインゲイン算出部 42 において、電流比較部 421 は、前段のライン平均積算電流算出部 41 が算出したライン平均積算電流を、予め定められた制御目標値（ライン制御目標値）と比較する。ここで、第 2 の制御系 40 のライン制御目標値は、第 1 の制御系 30 の

10

20

30

40

50

フレーム制御目標値よりも高い値に設定されている（その理由については後述する）。そして、電流比較部 4 2 1 は、ライン平均積算電流が制御目標値以下であるか、制御目標値を超えるかの比較結果を次段のゲイン算出部 4 2 2 に与える。

【 0 0 3 1 】

ラインゲイン算出部 4 2 2 は、電流比較部 4 2 1 の比較結果を基に、例えば、ライン平均積算電流が制御目標値以下のときはゲイン “ 1 ” を、ライン平均積算電流が制御目標値を超えるときはゲイン “ 0 ” をラインゲインとして次段のライン映像信号制御部 4 3 に供給する。

【 0 0 3 2 】

（ライン映像信号制御部）

10

図 4 は、ライン映像信号制御部 4 3 の構成の具体例を示すブロック図である。図 4 に示すように、ライン映像信号制御部 4 3 は、乗算器 4 3 1 から成り、ライン周期で回路動作を実行する。乗算器 4 3 1 は、フレーム映像信号制御部 3 3 を経た映像信号を入力とし、当該入力映像信号に対してラインゲイン算出部 4 2 から与えられるラインゲインを乗算することで、映像信号を制御する。

【 0 0 3 3 】

このライン映像信号制御部 4 3、即ち、乗算器 4 3 1 における、映像信号の制御によって輝度の制御が行われる。乗算器 4 3 1 から出力される映像信号（出力映像信号）は、表示装置 2 0 に供給される。

【 0 0 3 4 】

20

[1 - 2 . 回路動作]

続いて、上記構成の本実施形態に係る映像信号処理回路 1 0 の回路動作について説明する。

【 0 0 3 5 】

（第 1 の制御系）

信号ソース（図示せず）から供給される映像信号は、先ず、第 1 の制御系 3 0 に入力される。第 1 の制御系 3 0 内に入力された映像信号の流れは 2 つに分岐され、その 1 つはそのままフレーム映像信号制御部 3 3 へ送られ、もう 1 つはフレーム平均電流算出部 3 1 へ送られる。

【 0 0 3 6 】

30

フレーム映像信号制御部 3 3 へ送られた映像信号は、当該フレーム映像信号制御部 3 3 において、フレームゲイン算出部 3 2 で算出されたフレームゲインに基づく制御を受けた後、次段の第 2 の制御系 4 0 に入力される。一方、フレーム平均電流算出部 3 1 へ送られた映像信号は、1 フレーム分の映像信号が終わるまでフレーム平均電流を算出するために使用される。

【 0 0 3 7 】

フレーム平均電流算出部 3 1 では、1 フレーム分の映像信号が終わった段階で当該 1 フレーム分の平均電流、即ち、1 フレーム分の映像信号の輝度積算値に相当するフレーム平均電流が決定される。この決定されたフレーム平均電流は、フレームゲイン算出部 3 2 に送られる。フレームゲイン算出部 3 2 では、フレーム平均電流算出部 3 1 から送られたフレーム平均電流に基づいてフレーム制御目標値を制御基準としてフレームゲインが決定される。この決定されたフレームゲインは、フレーム映像信号制御部 3 3 へ送られる。

40

【 0 0 3 8 】

上述したことから明らかなように、第 1 の制御系 3 0 においては、ある 1 フレームについて輝度積算値に相当するフレーム平均電流が算出され、当該フレーム平均電流に基づいてフレームゲインが決定され、当該フレームゲインが次フレームの映像信号の制御、即ち、輝度制御に反映される。

【 0 0 3 9 】

従って、ある 1 フレーム内において、フレーム平均電流がフレーム制御目標値を超えたとしても、当該フレームの映像信号に対して輝度制御が行われることはなく、次のフレ

50

ムの映像信号に対して輝度制御が行われることになる。すなわち、フレーム平均電流の算出結果が輝度制御に反映されるのに必ず 1 フレーム相当の時間の遅延が生じるため、1 フレームの期間は、映像信号の輝度制御、即ち、消費電流（消費電力）低減のための制御が行えないことになる。

【0040】

（第 2 の制御系）

第 1 の制御系 30 で制御された映像信号は、第 2 の制御系 40 に入力される。第 2 の制御系 40 内に入力された映像信号の流れは 2 つに分岐され、その 1 つはそのままライン映像信号制御部 43 へ送られ、もう 1 つはライン平均積算電流算出部 41 へ送られる。

【0041】

ライン映像信号制御部 43 へ送られた映像信号は、当該ライン映像信号制御部 43 において、ラインゲイン算出部 42 で算出されたラインゲインに基づく制御を受けた後、後段の表示装置 20 のデータドライバ（図示せず）に出力される。ここでは、ライン映像信号制御部 43 で制御された映像信号を直接表示装置 20 に供給する構成を採っているが、所望の信号処理を行う信号処理回路を経由して表示装置 20 に供給する構成を採るようにしてもよい。

【0042】

一方、ライン平均積算電流算出部 41 へ送られた映像信号は、1 ライン分の映像信号が終わるまでライン平均積算電流を算出するために使用される。ライン平均積算電流算出部 41 では、1 ライン分の映像信号が終わった段階で現ラインまでの積算電流、即ち、現ラインまでの輝度積算値に相当するライン平均積算電流が算出され、ラインゲイン算出部 42 に送られる。

【0043】

ラインゲイン算出部 42 では、ライン平均積算電流算出部 41 から送られたライン平均積算電流に基づいてライン制御目標値を制御基準としてラインゲインが決定される。具体的には、例えば、ライン平均積算電流が制御目標値以下のときはラインゲインを“1”とし、ライン平均積算電流が制御目標値を超えるとときはラインゲインを“0”とする。このようにして決定されたラインゲインは、ライン映像信号制御部 43 へ送られる。

【0044】

先述したように、第 1 の制御部 30 では、1 フレームが終了するまで輝度制御を行うことができない。これに対して、第 2 の制御系 40 においては、ライン単位で輝度積算値に相当するライン平均積算電流が算出され、当該ライン平均積算電流に基づいてラインゲインが決定され、当該ラインゲインが次ライン以降の映像信号の制御、即ち、輝度制御に反映される。これにより、1 フレームの期間を待たなくても、即ち、1 フレーム相当の時間よりも短い単位で輝度制御を行うことができることになる。

【0045】

ここで、映像信号の制御、即ち、輝度制御を行うことにより、表示装置 20 の各画素の電気光学素子に流れる電流を抑えることができるため、表示装置 20 の消費電流（消費電力）を低減できる。すなわち、映像信号の輝度を制御するということは、表示装置 20 の消費電流を制御することである。

【0046】

（具体例）

ここで、一具体例として、入力映像信号の平均信号レベルが相対的に低い状態から高い状態へ遷移し、消費電流の制御、即ち、映像信号の制御が非動作状態から動作状態へ移行する場合を考える。

【0047】

映像信号の制御が非動作状態から動作状態へ移行した瞬間のフレームが開始した時点では、第 1 の制御系 30 のフレームゲインとして平均信号レベルが低い状態の値が設定されているため、フレーム映像信号制御部 33 では当該値のフレームゲインにて制御が行われる。具体的には、図 5 に示すように、制御が非動作状態から動作状態へ移行する前のフレ

10

20

30

40

50

ームでのフレームゲインが例えば 1.0 の場合には、現フレームのフレームゲインも 1.0 のままである。

【0048】

すなわち、フレーム映像信号制御部 33 からは、制御が非動作状態から動作状態へ移行する前と同じ映像信号が出力される。従って、従来技術に相当する第 1 の制御系 30 のみによる制御では、入力映像信号の平均信号レベルが相対的に低い状態から高い状態へ移行したにも拘わらず、制御が行われていない映像信号が表示装置 20 へ入力される。これにより、制御が非動作状態から動作状態へ移行したときの 1 フレームの前後最大 2 フレームの期間において過電流が発生し、当該 1 2 フレームの期間が終了するまで消費電流の制御が行えないことになる。

10

【0049】

これに対し、本実施形態では、第 1 の制御系 30 の後段に第 2 の制御系 40 を配し、当該第 2 の制御系 40 において、1 ライン毎に映像信号の制御を行うようにしている。従って、制御が非動作状態から動作状態へ移行した瞬間のフレームにおいて、ライン平均積算電流がライン制御目標値を超えると、図 5 に示すように、次ラインから最終ラインまでラインゲインが例えば 0.0 に設定される。ラインゲインが 0.0 に設定されることで、映像信号の信号レベルが 0 になるため、次ラインから最終ラインまでの期間に亘って黒（黒帯）表示となる。

【0050】

これにより、1 フレームの期間が終了するのを待たなくても、ライン単位で映像信号の輝度制御を行うことができるため、最大 2 フレーム間の過電流を抑えることができる。ここでは、ライン平均積算電流がライン制御目標値を超えたとき黒表示を行うとしたが、これは一例に過ぎず、例えばグレー表示を行うようにしてもよい。

20

【0051】

入力映像信号の平均信号レベルが相対的に低い状態から高い状態へ移行したときのフレームが終わり、次のフレームが開始した時点では、図 5 に示すように、フレームゲインとして平均信号レベルが高い状態での値、即ち、前フレームで算出された値（例えば、0.4）が設定される。従って、フレーム映像信号制御部 33 では当該値のフレームゲインにて制御が行われる。

【0052】

30

すなわち、フレーム映像信号制御部 33 からは、前フレームで算出された値のフレームゲインに対応した小さい映像信号が出力される。これにより、後段の第 2 の制御系 40 では、入力される映像信号の信号が小さくなっており、また、制御目標値が第 1 の制御系 30 のそれよりも高く設定されているため、以降、ライン単位での制御は行われない、即ち、ライン単位での制御が非動作状態になる。

【0053】

尚、図 5 は、ある時間における瞬時的なパネル消費電流を表している。表示パネルが線順次駆動の場合で、表示画像がラスター画像（全面で均一な画像）の場合、図 5 に示すような挙動になる。放送信号のような自然画においては、図 5 のカーブは非線形の複雑な挙動を示す。

40

【0054】

（作用、効果）

上述したように、本実施形態に係る映像信号処理回路 10 によれば、入力映像信号の平均信号レベルが相対的に低い状態から高い状態へ移行した瞬間のフレームでは、第 2 の制御系 40 による制御が動作する。そして、当該フレーム以外のフレームでは、第 2 の制御系 40 による制御が動作せず、第 1 の制御系 30 による制御が動作する。

【0055】

これにより、1 フレーム相当の時間待たなくても、映像信号の輝度制御を行うことができるため、従来方式と同様の電流制御を行いつつ、1 フレーム相当の遅延の無い消費電流（電力）の制御の実現が可能になり、最大 2 フレーム間の過電流を防止することができる

50

。そして、表示装置 20 を搭載する電子機器によっては、1 フレーム間の消費電力の上限が定められているため、1 フレーム間の消費電力を制御できることで、1 フレーム間の消費電力の上限が定められている電子機器、特に、携帯型の電子機器への適用に際して好適なものとなる。

【0056】

因みに、フレームメモリを用いる手法を採ることによっても、1 フレーム相当の時間待たなくても、映像信号の輝度制御を可能にすることができる。しかし、フレームメモリを用いるとコストアップになる。これに対して、本実施形態に係る映像信号処理回路 10 の構成、即ち、第 1 の制御系 30 と第 2 の制御系 40 とを併用する構成を採ることで、高価なフレームメモリを用いる必要がないため、低コストにて所期の目的を達成することができる利点がある。

10

【0057】

また、フレーム単位で制御を行う第 1 の制御系 30 と、ライン単位で制御を行う第 2 の制御系 40 との配置に関しては、第 1 の制御系 30 が前段で、第 2 の制御系 40 が後段となる配置関係が好ましい。何故なら、第 2 の制御系 40 が前段だと、当該第 2 の制御系 40 による制御が頻繁に行われ、その都度画面に黒帯が表示されることによって画質を悪化させることになる。

【0058】

これに対して、第 2 の制御系 40 が後段だと、前段の第 1 の制御系 30 で制御が行われた映像信号に対して制御を行うことになるため、第 2 の制御系 40 を前段に配置する場合のような不具合は発生しない。すなわち、第 1 の制御系 30 による振幅制御が行われないフレームに対して、第 2 の制御系 40 による制御が行われることになるため、黒帯が発生するとしても当該フレームだけで済むことになる。

20

【0059】

因みに、第 1 の制御系 30 による制御が行われないフレームに対してだけ第 2 の制御系 40 による制御が行われるようにするためには、第 2 の制御系 40 の制御目標値を第 1 の制御系 30 の制御目標値よりも高い値に設定することが必要となる。

【0060】

< 2 . 変形例 >

上記の回路例では、第 2 の制御系 40 による制御（輝度制御）を 1 ライン相当の時間の周期で（即ち、1 ライン毎に）行う構成を採る場合を例に挙げたが、当該制御を複数ライン相当の時間の周期で（即ち、複数ライン毎に）行う構成を採ることも可能である。

30

【0061】

また、第 2 の制御系 40 による制御を、1 ライン相当の時間の単位、即ち、1 ライン毎あるいは複数ライン毎に行うのではなく、1 ドット（1 画素）相当の時間の単位、即ち、1 ドット毎あるいは複数ドット毎に行うようにしてもよい。但し、1 ライン相当の時間の単位で制御を行う方が、水平ブランキング期間においてライン平均積算電流の算出やラインゲインの算出の各処理を行うことができるため、1 ドット相当の時間の単位で行う場合に比べて、算出処理の時間を特別に確保する必要が無い点で有利である。

【0062】

40

（ドット単位の振幅制御）

図 6 は、1 ドット毎に制御を行う変形例に係る映像信号処理回路の回路構成を示すブロック図であり、図中、図 1 と同等部位には同一符号を付して示している。

【0063】

本変形例に係る映像信号処理回路 10' は、先述した実施形態に係る映像信号処理回路 10 と比べて、第 2 の制御系 40' の構成が第 2 の制御系 40 の構成と相違している。すなわち、第 2 の制御系 40' は、ライン平均積算電流算出部 41、ラインゲイン算出部 42、及び、ライン映像信号制御部 43 に代えて、ドット電流算出部 44、ドットゲイン算出部 45、及び、ドット映像信号制御部 46 を用い、例えば 1 ドット相当の時間の周期で制御を行う構成となっている。

50

【 0 0 6 4 】

第2の制御系40'において、ドット電流算出部44は、1ドット相当の時間の周期で制御を行う場合は、1画素の輝度に相当するドット電流を検出し、複数ドット相当の時間の周期で制御を行う場合は、複数画素の輝度積算値に相当するドット平均電流を検出することになる。このドット単位で制御を行う第2の制御系40'によれば、ライン単位で制御を行う場合に比べて、より短い周期で消費電流の制御を行うことができる。

【 0 0 6 5 】

(表示装置)

以上では、本開示の実施形態またはその変形例に係る映像信号処理回路10, 10'を表示装置20の外部回路として位置付けているが、表示装置20を表示パネルとし、当該表示パネル20及び映像信号処理回路10, 10'を表示装置(本開示による表示装置)としてもよい。

【 0 0 6 6 】

表示装置(パネル)20としては、広く知られている液晶表示装置(LCD)、プラズマ表示装置(PDP)の他、画素の発光素子として電流駆動型の電気光学素子、例えば、有機エレクトロルミネッセンス(EL)素子を用いた有機EL表示装置等を挙げることができる。電流駆動型の電気光学素子は、デバイスに流れる電流値に応じて発光輝度が変化する発光素子である。この電流駆動型の電気光学素子としては、有機EL素子以外にも、無機EL素子、LED素子、半導体レーザー素子などを挙げることができる。

【 0 0 6 7 】

< 3. 電子機器 >

以上説明した本開示の実施形態またはその変形例に係る映像信号処理回路を備える表示装置(本開示による表示装置)は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示部に適用できる。具体的には、本開示による表示装置は、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなどの表示部として用いることが可能である。

【 0 0 6 8 】

先述した実施形態またはその変形例の説明から明らかなように、本開示による映像信号処理回路によれば、最大2フレーム間の消費電力を制御できる。従って、本開示による映像信号処理回路を備える表示装置は、特に、1フレーム間の消費電力の上限が定められている電子機器において、その表示部として用いることで、表示装置の消費電力を一定以下に制限することができるため、電子機器の低消費電力化に寄与できる。

【 0 0 6 9 】

以下に、本開示が適用される電子機器の具体例について説明する。

【 0 0 7 0 】

図7は、本開示が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本開示による表示装置を用いることにより作製される。

【 0 0 7 1 】

図8は、本開示が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本開示による表示装置を用いることにより作製される。

【 0 0 7 2 】

図9は、本開示が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部

10

20

30

40

50

1 2 3 として本開示による表示装置を用いることにより作製される。

【 0 0 7 3 】

図 1 0 は、本開示が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部 1 3 1、前方を向いた側面に被写体撮影用のレンズ 1 3 2、撮影時のスタート/ストップスイッチ 1 3 3、表示部 1 3 4 等を含み、その表示部 1 3 4 として本開示による表示装置を用いることにより作製される。

【 0 0 7 4 】

図 1 1 は、本開示が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。本適用例に係る携帯電話機は、上側筐体 1 4 1、下側筐体 1 4 2、連結部(ここではヒンジ部) 1 4 3、ディスプレイ 1 4 4、サブディスプレイ 1 4 5、ピクチャーライト 1 4 6、カメラ 1 4 7 等を含んでいる。そして、ディスプレイ 1 4 4 やサブディスプレイ 1 4 5 として本開示による表示装置を用いることにより、本適用例に係る携帯電話機が作製される。

【 0 0 7 5 】

< 4 . 本開示の構成 >

(1) 入力される映像信号に基づいて輝度積算値を算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行う制御部を有し、

前記制御部は、1 フレーム相当の時間よりも短い周期で前記輝度積算値の算出を行う映像信号処理回路。

(2) 前記制御部は、前記輝度積算値が制御目標値よりも大きいときに前記映像信号の振幅が小さくなるように制御する

前記(1)に記載の映像信号処理回路。

(3) 前記1 フレーム相当の時間よりも短い周期は、1 ライン相当の時間の単位である前記(1)または前記(2)に記載の映像信号処理回路。

(4) 前記1 フレーム相当の時間よりも短い周期は、1 ライン相当の時間である前記(3)に記載の映像信号処理回路。

(5) 前記1 フレーム相当の時間よりも短い周期は、複数ライン相当の時間である前記(3)に記載の映像信号処理回路。

(6) 前記1 フレーム相当の時間よりも短い周期は、1 ドット相当の時間の単位である前記(1)または前記(2)に記載の映像信号処理回路。

(7) 1 フレーム相当の時間の周期で輝度積算値を算出し、この算出した輝度積算値に基づいて映像信号を制御する第1の制御系と、

1 フレーム相当の時間よりも短い周期で輝度積算値を算出し、この算出した輝度積算値に基づいて映像信号を制御する第2の制御系と

を備える映像信号処理回路。

(8) 前記第1の制御系及び前記第2の制御系は、前記輝度積算値が制御目標値よりも大きいときに前記映像信号が小さくなるように制御する

前記(7)に記載の映像信号処理回路。

(9) 前記第2の制御系は、1 ライン相当の時間の単位で前記輝度積算値の算出を行う前記(7)または前記(8)に記載の映像信号処理回路。

(1 0) 前記第2の制御系は、1 ライン相当の時間の周期で前記輝度積算値の算出を行う前記(9)に記載の映像信号処理回路。

(1 1) 前記第2の制御系は、複数ライン相当の時間の周期で前記輝度積算値の算出を行う

前記(9)に記載の映像信号処理回路。

(1 2) 前記第2の制御系は、1 ドット相当の時間の単位で前記輝度積算値の算出を行う前記(7)に記載の映像信号処理回路。

(1 3) 前記第2の制御系は、前記第1の制御系の後段に設けられている

前記(7)から前記(1 2)のいずれかに記載の映像信号処理回路。

(14) 前記第2の制御系の制御目標値は、前記第1の制御系の制御目標値よりも高い値に設定されている

前記(13)に記載の映像信号処理回路。

(15) 入力される映像信号に基づいて輝度積算値を算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行うに当たって、

1フレーム相当の時間よりも短い周期で前記輝度積算値の算出を行う

映像信号処理方法。

(16) 入力される映像信号に基づいて輝度積算値を1フレーム相当の時間よりも短い周期で算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行う制御部を備える表示装置。

10

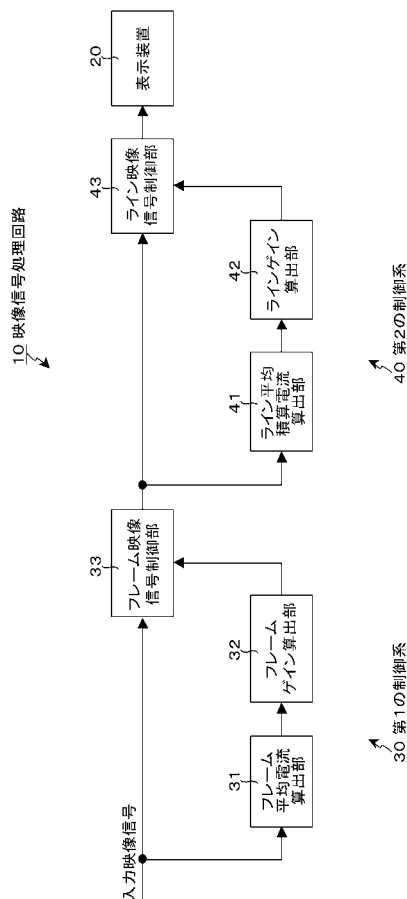
(17) 入力される映像信号に基づいて輝度積算値を1フレーム相当の時間よりも短い周期で算出し、この算出した輝度積算値に基づいて前記映像信号の輝度制御を行う制御部を備える表示装置を有する電子機器。

【符号の説明】

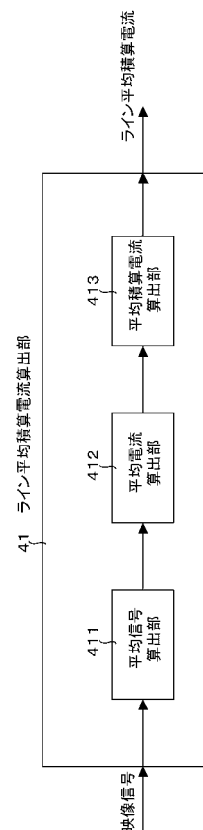
【0076】

10、10'・・・映像信号処理回路、20・・・表示装置、30・・・第1の制御系、31・・・フレーム平均電流算出部、32・・・フレームゲイン算出部、33・・・フレーム映像信号制御部、40、40'・・・第2の制御系、41・・・ライン平均積算電流算出部、42・・・ラインゲイン算出部、43・・・ライン映像信号制御部

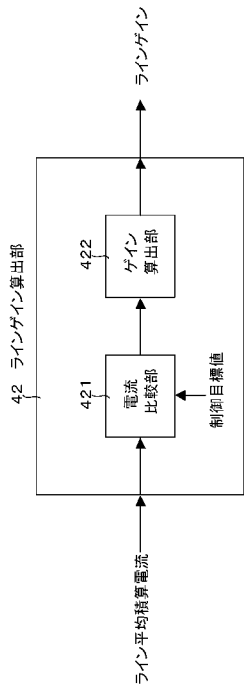
【図1】



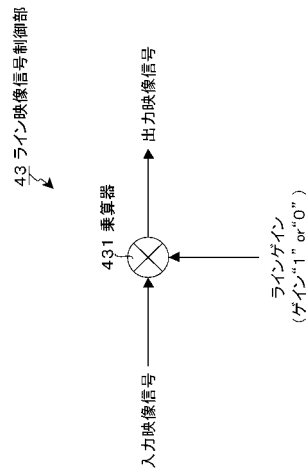
【図2】



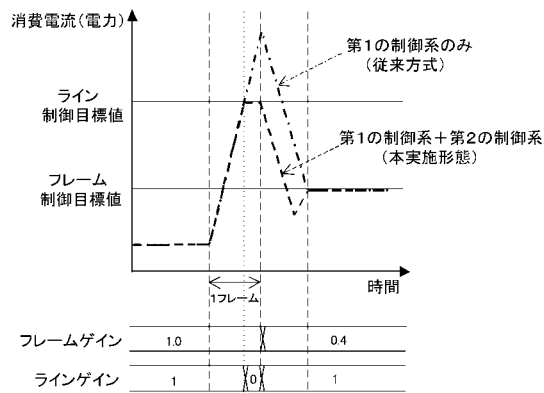
【図 3】



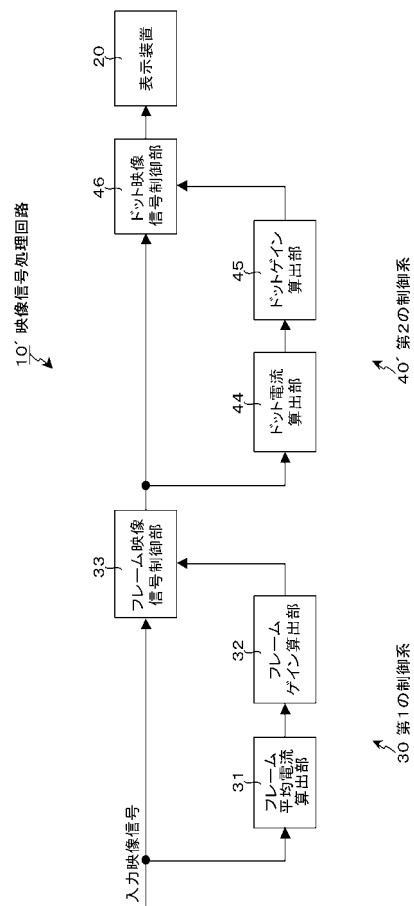
【図 4】



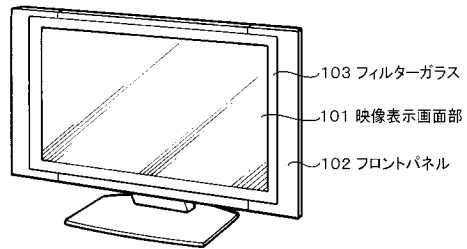
【図 5】



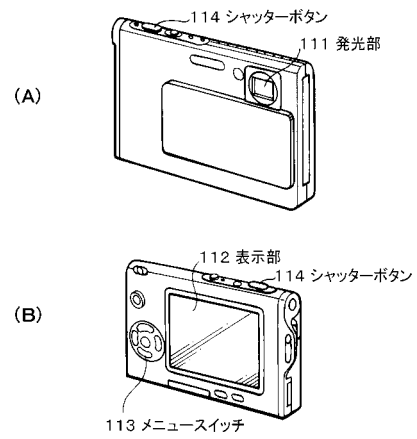
【図 6】



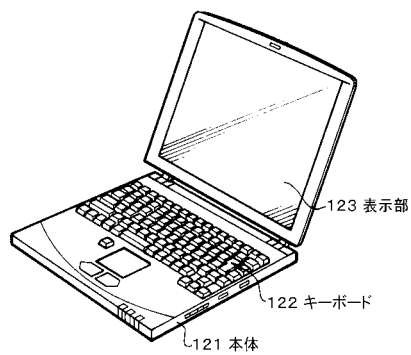
【図 7】



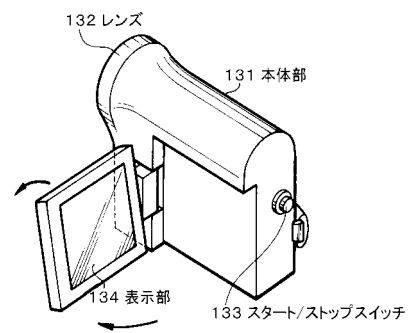
【図 8】



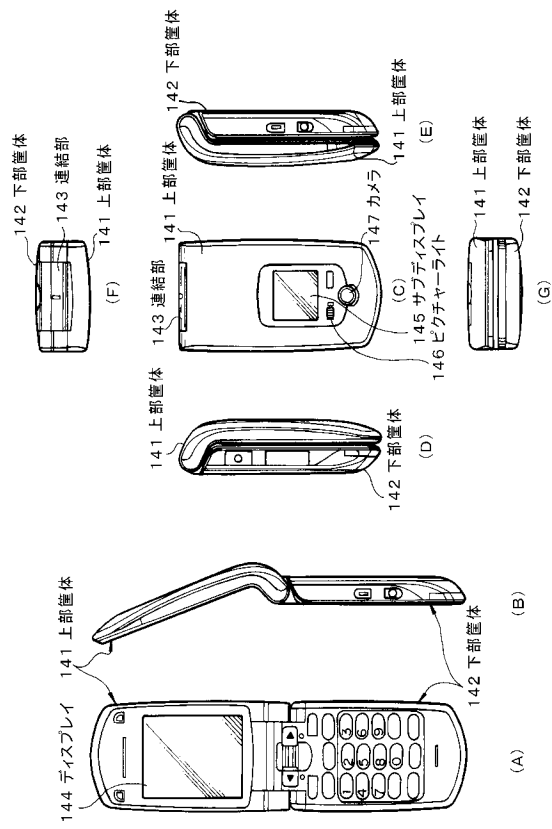
【図 9】



【図 10】



【図 1 1】



(51) Int.Cl.

FI

テーマコード（参考）

G 0 9 G	3/20	6 7 0 M
G 0 9 G	3/36	
G 0 9 G	3/30	K
H 0 5 B	33/14	A
H 0 5 B	33/14	Z
H 0 4 N	5/14	Z

F ターム(参考)	5C006	AA01	AA11	AC21	AF42	AF44	AF45	AF46	AF51	AF52	AF53
		AF71	AF84	BB11	BC16	BF14	BF28	FA12	FA16	FA44	FA47
		FA51									
	5C021	PA72	XA13	XA19							
	5C080	AA05	AA06	AA07	AA10	BB05	DD03	DD08	DD22	DD26	DD27
		EE25	EE28	EE29	GG12	JJ02	JJ06	KK04	KK07	KK43	
	5C380	AA01	AA02	AA03	AB04	AC07	AC08	AC09	AC11	AC12	BA01
		BA05	BA15	BA28	BA47	BC20	CF19	CF20	CF61	DA19	DA32
		DA35	DA50	EA05	FA03	FA05	FA12	FA13	FA21	FA22	FA24