

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4663139号
(P4663139)

(45) 発行日 平成23年3月30日(2011.3.30)

(24) 登録日 平成23年1月14日(2011.1.14)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	617V
HO1L 21/336	(2006.01)	HO1L 29/78	617U
HO1L 21/203	(2006.01)	HO1L 29/78	627E
HO1L 21/316	(2006.01)	HO1L 21/203	S
		HO1L 21/316	Y

請求項の数 6 (全 19 頁) 最終頁に続く

(21) 出願番号

特願2001-41028 (P2001-41028)

(22) 出願日

平成13年2月16日 (2001.2.16)

(65) 公開番号

特開2002-246602 (P2002-246602A)

(43) 公開日

平成14年8月30日 (2002.8.30)

審査請求日

平成19年12月5日 (2007.12.5)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 磯部 敦生

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 荒尾 達也

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 高良 昭彦

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上に半導体層を形成し、

前記半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に導電層を形成する半導体装置の作製方法であって、

前記ゲート絶縁膜は第1絶縁膜と前記第1絶縁膜上の第2絶縁膜との積層でなり、

前記第1絶縁膜は、スパッタ法により、Si、酸素、窒素を主成分とし、水素を0.4
~1.6 atomic %の濃度で含有するように作製し、前記第2絶縁膜は、スパッタ法により、Si、酸素を主成分とし、水素を0.2 atomic
%以下濃度で含有するように作製することを特徴とする半導体装置の作製方法。 10

【請求項 2】

請求項1において、

前記第1の絶縁膜は、ターゲットにSiを用い、スパッタガスとして希ガスと水素とN
₂Oを用いることによって作製することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項1または請求項2において、

前記第2絶縁膜は、ターゲットにSiO₂を用い、スパッタガスとして希ガスと酸素と
を用いることによって作製することを特徴とする半導体装置の作製方法。

【請求項 4】

請求項1または請求項2において、

前記第2絶縁膜は、ターゲットにSiを用い、スパッタガスとして希ガスと酸素とを用いることによって作製することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一において、

前記ゲート絶縁膜を形成した後、前記半導体層を350以下で水素化することを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記絶縁表面は、プラスチック基板上に設けられた絶縁膜表面であることを特徴とする半導体装置の作製方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置の作製方法に関する。特に、本発明はプラスチック基板など耐熱性の低い基板にTFTを作製するための技術に関する。なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路およびそれらを搭載した電子機器を半導体装置の範疇とする。

【0002】

【従来の技術】

20

薄膜トランジスタ（以下、TFTという）は透明基板上に形成することができるので、アクティブマトリクス型液晶ディスプレイ（以下、AM-LCDという）への応用開発が積極的に進められている。結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いたTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。特に、液晶表示装置に代表されるようにアクティブマトリクス型の表示装置において、画素部のみならず駆動回路もTFTで形成する技術が開発されている。

【0003】

このような表示装置は大小さまざま製造されているが、特に携帯型電子装置への応用が注目されている。携帯型電子装置では個々の部品を軽量化することが要求され、表示装置もその例外ではないとされている。これまでには、表示装置を形成する基板として厚さ1mm程度のガラス板が用いられていたが、軽量化のためにプラスチック基板を用いる方法が考えられている。

30

【0004】

【発明が解決しようとする課題】

しかし、結晶質半導体膜を用いるTFTのプロセス温度は400程度であるので、その技術をそのままプラスチック基板に適用することは不可能となる。プラスチック基板上にTFTを形成するには、概略300以下で結晶質半導体膜やゲート絶縁膜などを形成する必要がある。スパッタ法による成膜技術は、比較的低温で導電膜のみならず、絶縁膜や半導体膜を形成できる技術の一つである。しかし、スパッタ法でTFTのゲート絶縁膜を形成することは以前から試みられてきたが、必ずしも良好な特性をえることができなかった。

40

【0005】

TFT特性を表す目安として、サブスレッショルド係数（S値）を上げることができる。これは、閾値電圧近傍またはそれ以下の電圧を、ゲート電極に印加したとき流れる弱反転状態でのドレイン電流とゲート電圧の関係から表される。通常、サブスレッショルド係数が小さいほど高速、低消費電力のスイッチング動作が可能となる。スパッタ法でゲート絶縁膜を形成したときのTFT特性は、例えば芹川により報告されているが（Jpn. J. Appl. Phys. Vol. 39(2000) pp.L393-395）、ゲート絶縁膜を、SiO₂ターゲットを用い、30%の酸素と、70%のアルゴンとのスパッタガスで成膜したとき、nチャネル型TFTに

50

おいて S 値が 2.5 eV/dec であり、p チャネル型 TFT においては 1.8 eV/dec が得られたことが報告されている。

【0006】

この S 値の値は、表示装置などに応用する場合に必要なスイッチング特性を考慮すると必ずしも十分なものとは言えない。スパッタ法でゲート絶縁膜を形成した場合に TFT 特性が劣化する要因は様々あると考えられるが、特に重要な要素としては当該絶縁膜中に含まれる水素濃度を制御することが重要であると考えられる。

【0007】

また、結晶質珪素層中、もしくは結晶質珪素とゲート絶縁膜の界面には、多数のトラップが存在するため、TFT の閾値電圧 (V_{th}) が大きくなる、あるいは高移動度が得られないという問題がある。結晶質珪素層中、もしくは結晶質珪素とゲート絶縁膜の界面に水素を拡散させてトラップを終端させ、結晶質珪素膜の膜質を向上させる必要がある。

10

【0008】

これまでにも膜中に添加される水素量を制御した成膜方法で TFT が作製されている。例えば特開平10-0845085号公報では、TFT の上方に、水素を含む窒化珪素膜、もしくは水素を含む窒化酸化珪素膜からなる層間膜を形成し、前記水素を含む窒化珪素膜もしくは窒化酸化珪素膜から TFT に水素を拡散させることで、より基板温度の低い水素化処理でトランジスタ特性を安定化することができる事を示している。但し前記水素を含む窒化珪素膜もしくは窒化酸化珪素膜を、基板処理温度が 400 を超えるような成膜方法で成膜した場合、プラスチック基板に適用することが難しい。

20

【0009】

本発明は、このような問題点を解決するための技術を提供するものであり、プロセス温度の上限が低く制限されるプラスチック基板に、スパッタ成膜による絶縁膜形成して、TFT の特性を向上させることを目的とする。

【0010】

【課題を解決するための手段】

本発明は、スパッタ法を用い、TFT のゲート絶縁膜を形成するに当たり、成膜条件を第一の段階と、第二の段階とに分けて行うことを特徴としている。第一の段階は、ゲート絶縁膜に水素が $0.4 \sim 1.6 \text{ atomic\%}$ の濃度で含まれるように成膜するものであり、シリコンターゲットをアルゴンと、 N_2O と、水素と、をスパッタガスとして用いてスパッタする方法を採用する。第二の段階は、ゲート絶縁膜に水素が 0.2 atomic\% 以下の濃度で含まれるように成膜するものであり、 SiO_2 ターゲットをアルゴンと、酸素と、をスパッタガスとして用いてスパッタする方法を採用する。

30

【0011】

第一の段階は、ゲート絶縁膜中に水素を含ませることを目的とし、第二の段階は水素含有量の少ない緻密な膜を形成することを目的とし、第一の段階で含ませた水素が外部へ放出させないようにすることを目的とする。従って、本発明のゲート絶縁膜の構造は二層構造で形成されるものである。

【0012】

ゲート絶縁膜と半導体層との界面及びその近傍において、第一の成膜法によりゲート絶縁膜に前記濃度で水素を含有させることにより、界面及び膜中の欠陥密度を低減させることができる。また、内部応力を緩和（小さく）して、半導体層及びその界面にかかるストレスを低減させ、 S 値のみならず閾値電圧のシフトを抑制することができる。また、ゲート絶縁膜の第一の段階で形成される領域に含まれる水素の一部は拡散させ、半導体層の水素化に寄与させることもできる。第二の段階で形成されるゲート絶縁膜は、相対的に緻密な膜であり、第一の段階で形成された水素を封じ込め、外部への拡散を防ぐことで、その水素の効果を保持することを可能としている。

40

【0013】

また前記ゲート絶縁膜を形成するときの基板温度は、第一の段階及び第二の段階においていずれも 300 以下とする。その結果、プラスチック基板に上記二層構造のゲート絶縁

50

膜を形成することができる。

【0014】

以上に示す如く、本発明の半導体装置の作製方法は、絶縁表面上に半導体層を形成する工程と、半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に導電層を形成する工程とを有し、ゲート絶縁膜を形成する工程は、スパッタ法により、ターゲットに Si もしくは SiO₂を用い、Si、酸素、窒素を主成分とし、水素を 0.4 ~ 1.6 atomic% の濃度で含有する第1絶縁膜を形成する第一の段階と、Si、酸素を主成分とし、水素を 0.2 atomic% 以下の濃度で含有する第2絶縁膜を形成する第二の段階とを有することを特徴としている。

【0015】

また、本発明は、低温での成膜を特徴とするため、非常にプラスチック基板に適したものであるが、ガラス基板や石英基板にも適用することができる。ガラス基板や石英基板に適用する場合においても、プロセス温度の低下によるコスト低減やスループットの向上といった効果が得られる。

【0016】

尚、膜中水素濃度を測定する手法として代表的なものに、SIMS分析と、水素前方散乱(HFS)分析がある。HFS分析とは、Heイオンを試料に照射し、散乱されたHeイオンのエネルギーを測定し、前記エネルギー損失分から、試料組成を定量する方法である。本発明者が膜中水素濃度をHFS分析で測定した理由は、本発明の膜のように、水素濃度が数%程度になると、SIMS分析で測定した場合にはマトリクス効果により測定誤差が大きくなるため、HFS分析の方が妥当と判断したからである。又、HFS分析は、プローブであるHeイオンは 5 ~ 10 mm の範囲でサンプル照射される。前記 5 ~ 10 mm の範囲で、膜厚が 10 nm 以上であれば測定は可能である。またHFS分析する膜が、前記 5 ~ 10 mm の範囲内に開口部などが有り、凹凸を成す場合でも、下地の影響は出るものとの測定は可能である。従って完成された半導体装置において、分析しようとする膜の上層を剥離し露出させれば、HFS分析は可能である。

【0017】

本明細書中で行ったHFS分析では、第二の段階において水素が 0.2 atomic% 以下含まれるという結果が出ている。これは分析の誤差の為、水素が 0 atomic% である可能性もある。

【0018】

【発明の実施の形態】

本発明の実施形態について、以下に説明する。本発明の TFT 作製方法の一例を図 1 に示す。

【0019】

まず、基板 101 上に下地絶縁膜 102 を形成する。基板 101 はプラスチック基板を用い、例えば、ポリイミド、アクリル、PET (ポリエチレンテレフタレート)、ポリカーボネイト、ポリアリレート、PEEK (ポリエーテルエーテルケトン)、PES (ポリエーテルスルホン)、PEN (ポリエーテルニトリル) 等からなるプラスチック基板を用いることができる。ここでは 350 の熱処理に十分耐え得るポリイミドからなる基板を用いた例を示す。

【0020】

下地絶縁膜 102 としてはスパッタ法を用いて成膜する。プラズマ CVD 法を用いる場合は基板温度を室温 ~ 350 として成膜すればよい。

【0021】

次いで、下地絶縁膜 102 上に非晶質半導体膜を公知の技術 (スパッタ法、PCVD 法、真空蒸着法、光 CVD 法等) により形成する。次いで、非晶質半導体膜を公知の技術により結晶化させ、結晶質半導体膜を形成する。ただし、ポリイミド基板を用いた場合、350 を越える熱処理には耐えられないので、レーザー光の照射により結晶化させることが好ましい。なお、レーザー光の照射により結晶化させる場合には、照射する前に非晶質半

10

20

30

40

50

導体膜の含有水素量を5 atomic%以下とする必要があるため、成膜直後の段階で水素濃度が低い成膜方法、あるいは成膜条件とすることが好ましい。これには例えば、スパッタ法でスパッタガスに水素を含まない雰囲気において成膜する、あるいはP C V D法で、成膜時のスパッタガスのシランを水素で希釈する方法が挙げられる。

【0022】

次いで、結晶質半導体膜をパターニングしてTFTの活性層となる半導体層103を形成する。

【0023】

次いで、半導体層103を覆うゲート絶縁膜104を形成する。(図1(A))ゲート絶縁膜104は、スパッタ法を用いて成膜する。このときSiO₂ターゲットをアルゴンと、酸素と、水素と、をスパッタガスとして用いてスパッタすることにより成膜する。もしくは、シリコンターゲットをアルゴンと、酸素と、水素と、をスパッタガスとして用いてスパッタすることにより成膜する。

【0024】

次いで、ゲート絶縁膜上にゲート電極105を形成する。(図1(B))ゲート電極105は、スパッタ法で形成した導電膜を所望の形状にパターニングして形成する。

【0025】

次いで、ゲート電極105をマスクとしてゲート絶縁膜を自己整合的にエッチングしてゲート絶縁膜106を形成する(図1(C))とともに、半導体層の一部を露呈させてから半導体層の一部にn型を付与する不純物元素、ここではリンを添加(ドーピング)して不純物領域107を形成する(図1(D))。このときpチャネル型TFTにはレジストを形成しておき、前記p型を付与する不純物添加後に剥離する。

【0026】

次いで、ゲート電極をマスクとしてゲート絶縁膜を自己整合的にエッチングしてゲート絶縁膜を形成するとともに、半導体層の一部を露呈させてから半導体層の一部にp型を付与する不純物元素、ここではボロンを添加(ドーピング)して不純物領域108を形成する(図1(E))。このときnチャネル型TFTにはレジストを形成しておき、前記p型を付与する不純物添加後に剥離する。

【0027】

次いで、層間絶縁膜110を形成し、ソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース領域に電気的に接続するソース配線111、ドレイン領域に電気的に接続するドレイン配線112を形成する。

【0028】

次いで、TFT特性を向上させるために水素化処理を行う。この水素化としては、水素雰囲気中の熱処理、あるいは低温でプラズマ水素化を行う。ここでは水素雰囲気中で350、1時間の熱処理を行う。

【0029】

以上の作製工程により、350以下のプロセス温度でプラスチック基板上にトップゲート型のTFTが完成する。(図1(F))なお、水素化処理でプラズマ水素化を低温で行えば、300以下のプロセス温度でプラスチック基板上にTFTが完成する。

【0030】

本発明者は前記第一の段階で絶縁膜を形成した。前記第一の段階で形成した絶縁膜中の水素濃度をHFSで測定した結果を図3に示す。図3(a)には、前記第一の段階で成膜した絶縁膜中の水素濃度を示すHFSスペクトルを示す。このとき照射He++イオンビームに対して検出角度は30°であり、試料は法線から75°であった。また、図3(a)から得られた深さ方向の濃度分布を表1に示す。前記第一の段階における成膜条件は、ターゲットにシリコンを用い、スパッタガス及び流量はN₂O/H₂=40/30sccmとし、基板を加熱するガスとしてチャンバー内にArを10sccm流し、成膜電力を3kWとし、成膜圧力を0.4Paとした。

【0031】

10

20

30

40

50

【表1】

成膜ガス	膜厚(nm)	濃度(atomic%)		
		H	O	Si
N ₂ O/H ₂ =40/30sccm	0-30	3	64.7	32.3
	30-235	0.8	66.1	33.1
	235-	---	---	100
N ₂ O/H ₂ =50/0sccm	0-30	2	65.7	32.3
	30-225	0.2	66.5	33.3
	225-	---	---	100

10

【0032】

表1より、膜中水素濃度は測定精度より、0.4~1.6 atomic%までの範囲といえる。

【0033】

本発明者はまた、成膜時のチャンバー内のスパッタガスにおけるH₂流量を0sccmとし絶縁膜を成膜した。図3(b)には、前記第一の段階で成膜した絶縁膜中の水素濃度を示すHFSスペクトルを同様に示す。また、図3(b)から得られた深さ方向の濃度分布を同じく表1中に示している。この絶縁膜の成膜は、ターゲットにシリコンを用い、スパッタガス及び流量はN₂O/H₂=50/0sccmとし、基板を加熱するガスとしてチャンバー内にArを10sccm流し、成膜電力を3kWとし、成膜圧力を0.4Paとした。表1には膜中水素濃度は0.2 atomic%以下としているが、これは検出下限以下を意味している。

20

【0034】

すなわちこの膜中水素は、スパッタガスとしてH₂を流したことにより添加されたものである。H₂はチャンバー内でプラズマ化するため、少なくともスパッタガスとして水素原子を含むガスを流さない場合、膜中水素濃度は0.2 atomic%以下と考えられる。また、前記第一の段階においても、スパッタガスとして水素原子を含むガスを流していなければ膜中水素濃度は0.2 atomic%以下と考えられる。

【0035】

このように、本明細書中における、水素ガスを用いてスパッタ成膜した時の絶縁膜は、HFS分析による水素濃度より特定できる。その膜中水素濃度は測定精度より、0.4~1.6 atomic%までの範囲である。

30

【0036】

本発明者は、以上のプロセスにおいて、TFTを作製し評価を行った。なお、下地SiO₂、非晶質半導体、ゲート絶縁膜、ゲート電極、層間SiO₂、配線、の各層においてスパッタ成膜を行ない、いずれも成膜時の基板温度を300以下とした。

【0037】

TFT評価に際し、ゲート絶縁膜における水素添加の効果を比較するため、四つの構造のTFTを作製した。

【0038】

ゲート絶縁膜の積層構造において、以下説明をしやすくするために、三つのゲート絶縁膜の構造に区別する。第一のゲート絶縁膜の構造は、前記半導体層の上に前記第一の段階で絶縁膜を形成し、その上に第二の段階で絶縁膜を形成した構造とする。第二のゲート絶縁膜の構造は、前記半導体層の上に前記第二の段階で絶縁膜を形成した構造とする。第三のゲート絶縁膜の構造は、前記半導体層の上に前記第一の段階で絶縁膜を形成した構造とする。

40

【0039】

本発明者の作製した前記四つの構造のTFTを、以下に示す。

【0040】

第一のTFT構造は、ゲート絶縁膜が、前記第二のゲート絶縁膜の構造をなしたものである。このとき、ゲート絶縁膜の膜厚は115nmとした。

【0041】

50

第二のTFT構造は、ゲート絶縁膜が、前記第一のゲート絶縁膜の構造をなしたものである。このとき、前記第一の段階で形成した絶縁膜の膜厚は20nmとし、前記第二の段階で形成した絶縁膜の膜厚は95nmとした。

【0042】

第三のTFT構造は、ゲート絶縁膜が、前記第一のゲート絶縁膜の構造をなしたものである。このとき、前記第一の段階で形成した絶縁膜の膜厚は4nmとし、前記第二の段階で形成した絶縁膜の膜厚は115nmとした。

【0043】

第四のTFT構造は、ゲート絶縁膜が、前記第三のゲート絶縁膜の構造をなしたものである。このとき、絶縁膜の膜厚は115nmとした。

10

【0044】

すなわち、前記第一のTFT構造、第二のTFT構造、第三のTFT構造、第四のTFT構造は、半導体上層に、前記第一の段階で形成した絶縁膜が膜厚においてそれぞれ115nm、20nm、4nm、0nm、形成されている。

【0045】

第三のTFT構造において、前記第一の段階で成膜する際、115nmに比べて十分薄い膜厚を形成する意図があったため、前記第二の段階で絶縁膜を形成する際、前記第一の段階での膜厚を無視し、合計の膜厚が119nmとなった。以下115nmに比べ4nmを小さいものとし、上記第一のTFT構造～第四のTFT構造における絶縁膜の膜厚を115nmと考える。

20

【0046】

こうして作製された、シングルゲートで長さ／幅 = 8 / 8 μ mの設計のTFT特性を、図4、図5、図6に示す。

【0047】

図4(a)、図4(b)では横軸の1, 2, 3, 4に前記第一のTFT構造から前記第四のTFT構造まで並べており、縦軸にサブスレッショルド係数を示している。縦軸のサブスレッショルド係数の単位は、V / decである。図4(a)はnチャネル型TFT、図4(b)はpチャネル型TFTの特性を示している。図4中には、各TFT特性において、角5inch基板面内10箇所における値を示しており、特性値のバラツキは面内のシリコン層の厚さによるものである。すなわちシリコン層の厚さを均一にすることで、前記特性値のバラツキは小さくなる。

30

【0048】

図4(a)、図4(b)によれば、nチャネル型TFTと、pチャネル型TFTと、共に、ゲート絶縁膜の膜厚を一定とした場合、第二の段階で形成した絶縁膜の膜厚が大きくなるにつれ、サブスレッショルド係数は向上する事がわかる。この水素が含まれている絶縁膜を下層にした場合にサブスレッショルド係数が改善された理由は、絶縁膜成膜の際、非結晶シリコン表面が水素プラズマに曝露され、電荷をトラップする結合手を水素で終端されることにより、トラップの特性への影響が減ったため、と考えられる。本発明者の実験では前記第一の段階で形成した絶縁膜は最小4nmとしたが、プラズマ処理を行えば、シリコン上に形成されてなくてもTFT特性は向上させる可能性がある。

40

【0049】

図5(a)、図5(b)、図6(a)、図6(b)では横軸の1, 2, 3, 4に前記第一のTFT構造から前記第四のTFT構造まで並べており、縦軸にゲート-ソース間のリーキ電流値を示している。縦軸の電流値の単位は、pAである。図5(a)、図5(b)はnチャネル型TFTの特性を示し、図6(a)、図6(b)はpチャネル型TFTの特性を示している。また、図5(a)、図5(b)はTFTがOFFの状態すなわちソースドレイン間に電流が流れない場合であり、図6(a)、図6(b)はTFTがONの状態すなわちソースドレイン間に電流が流れる場合である。

【0050】

図5、図6によれば、ゲート絶縁膜の膜厚を一定とした場合、第二の段階で形成した絶縁

50

膜の膜厚が大きくなるにつれ、リーク電流値は小さくなる。前記リーク電流値は小さくなる結果より、第二の段階で形成した絶縁膜は、第一の段階で形成した絶縁膜より絶縁性に優れていることが判る。なお、図5、図6中には、各TFT特性において、角5inch基板面内における10箇所の値を示しており、第一のTFT構造における特性値のバラツキは、絶縁膜膜質の、面内不均一性によるものと思われる。

【0051】

前記第二の段階で形成した絶縁膜のリーク電流値が小さくなる理由は、膜中窒素量によるものと考えられる。図14、図15にはCVDによりシリコンウエハ上に形成された絶縁膜のMOS電圧 リーク電流特性を示している。測定はそれぞれ電流密度 $1 \times 10^{-6} \text{ A/cm}^2$ において行った。図14には、絶縁膜中窒素濃度が大きいもの、すなわち窒素が主成分であり、窒素濃度として約37atomic%のものの特性を示し、図15には、絶縁膜中窒素濃度が小さいもの、すなわち膜中窒素原子が $2 \times 10^{20} \text{ atomic/cm}^3$ である膜の特性を示している。

本発明のTFTではゲート絶縁膜は115nmであり、またこのTFTが液晶を駆動させるために用いられたとき、液晶を駆動させる電圧は20Vであることから、通常1.74MV/cmの電界がゲート絶縁膜にかかることになる。図14、図15においてこの電界でのリーク電流を比較すれば、絶縁膜中の窒素濃度が小さい方が、リーク電流は小さいと判断できる。

【0052】

また、図14から、窒素濃度が大きい絶縁膜の耐圧は、n型MOS、p型MOS、それぞれ6.4MV/cm、6.5MV/cmであるのに対し、図15から、窒素濃度が小さい絶縁膜の耐圧は、n型MOS、p型MOS、それぞれ7.3MV/cm、8.1MV/cmである。この結果はゲート絶縁膜が115nmより薄い、もしくは高い電圧を印加した場合にも、絶縁膜中の窒素濃度が小さい方が良い絶縁特性を示している。

【0053】

以上の結果から、TFTにおいてシリコン上にゲート絶縁膜を形成する際、第一の段階で絶縁膜を形成することによりサブレッショルド係数を良好にしたうえ、絶縁性に優れた第二の段階で絶縁膜を形成する前記第一のゲート絶縁膜の構造とすれば、サブレッショルド係数において良好な特性であり、且つゲート電極 ソース電極もしくはゲート電極 ドレイン電極のリーク電流を押さえたTFT特性を得られると考えられる。

【0054】

第一の段階で絶縁膜を形成する目的は、非結晶シリコン表面が水素プラズマに曝露され、電荷をトラップする結合手を水素で終端することである。本発明者は第一の段階として、ターゲットにシリコンを用い、スパッタガスに水素と、N₂Oと、Arと、を使用した。不活性ガスのArを流す以外に、N₂Oを流した目的は、シリコン酸化窒化膜を形成し、不純物拡散を防ぐ為であるが、不純物拡散よりゲート電極 ドレイン電極のリーク電流をおさえたTFTを作製したいならば、N₂Oの替わりにO₂を流しても良い。したがってターゲットを適当なもの、例えばSiO₂を用い、スパッタガスを適当なもの、例えば酸素と、水素と、を用いて同様の組成となる膜を形成しても第一の段階と同様の効果が期待できる。

【0055】

第二の段階で絶縁膜を形成する目的は、これによって絶縁性を向上させることである。この成膜は、図14、図15に示された通り、窒素流量の少ないスパッタガス雰囲気で形成する方法が有効である。好ましくは窒素原子を含まない雰囲気でスパッタする。第二の段階の例として、ターゲットにSiO₂を用い、スパッタガスに酸素と、Arと、を使用しているが、ターゲットを適当なもの、例えばシリコンを用い、スパッタガスを適当なもの、例えば酸素と、Arと、を用いて同様の組成となる膜を形成しても、第二の段階と同じ効果が期待できる。

【0056】

特に、前記第一のゲート絶縁膜の構造において、HFS分析により膜中水素濃度を測定したとき0.4~1.6atomic%である領域が存在し、且つ前記0.4~1.6atomic%であ

10

20

30

40

50

る領域の上層にHFS分析により膜中水素濃度を測定したとき0.2 atomic%以下である領域が存在する様に形成し、作製したTFTにおいて、TFT特性を向上させるために水素化処理を行った場合、サブスレッショルド係数において、n-ch型TFTでは0.5~0.7V/dec、p-ch型TFTでは0.5~1.0V/dec、という良好な特性を示す。

【0057】

以上の構成からなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0058】

【実施例】

【実施例1】

10

本実施例ではプラスチック基板上にTFTを形成する作製工程について以下に説明する。

【0059】

まず、有機物からなるプラスチック基板201を用意する。本実施例では、ポリイミドからなる基板201を用いる。このポリイミドからなる基板の耐熱温度は約399である、基板自体の色は透明ではなく、褐色である。次いで、基板201上に下地絶縁膜202を形成する。この下地絶縁膜はプロセス温度が300を越えない成膜方法であれば特に限定されず、ここではスパッタ法を用いて形成した。このスパッタ法ではスパッタガスに水素を含まない雰囲気において成膜するため、膜中水素量は5%以下である。

【0060】

次いで、非晶質半導体膜を形成し、レーザー照射により結晶化させて結晶質半導体膜を形成する。非晶質半導体膜はプロセス温度が300を越えない成膜方法であれば特に限定されず、ここではスパッタ法を用いて形成した。次いで、結晶質半導体膜を所望の形状にパターニングして半導体層203を形成する。

20

【0061】

次いで、半導体層203を覆うゲート絶縁膜204を形成する。ゲート絶縁膜はスパッタ法を用いて成膜する(図2(A))。このときシリコンターゲットをアルゴンと、酸素と、水素と、N₂Oと、をスパッタガスとして用いてスパッタすることにより成膜する。好ましくは、スパッタガス及び流量はN₂O/H₂=40/30sccmとし、基板を加熱するガスとしてチャンバー内にArを10sccm流し、成膜電力を3kWとし、成膜圧力を0.4Paとする。このようにして形成された絶縁膜は、HFS分析により膜中水素濃度を測定したとき0.4~1.6 atomic%である領域が存在する。なお、この絶縁膜は形成されれば良く、膜厚は望むべきTFT特性に応じて設計する。膜厚が厚いほど、ゲート電極 ソース電極もしくはゲート電極 ドレイン電極のリーク電流が大きくなる傾向にある。

30

【0062】

さらにその絶縁膜の上に、SiO₂ターゲットをアルゴンと、酸素と、水素と、をスパッタガスとして用いてスパッタすることにより絶縁膜を成膜する。好ましくは、ターゲットにシリコンを用い、スパッタガス及び流量はN₂O/H₂=50/0sccmとし、基板を加熱するガスとしてチャンバー内にArを10sccm流し、成膜電力を3kWとし、成膜圧力を0.4Paとする。このようにして形成された絶縁膜は、HFS分析により膜中水素濃度を測定したとき0.2 atomic%以下となる。

40

【0063】

次いで、ゲート電極205を形成する。(図2(B))ゲート電極205としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。

【0064】

次いで、ゲート電極をマスクとしてゲート絶縁膜を自己整合的にエッチングしてゲート絶縁膜206を形成するとともに、半導体層の一部を露呈させてから半導体層の一部にn型を付与する不純物元素、ここではリンを添加(ドーピング)して不純物領域207を形成

50

する（図2（C））。このときpチャネル型TFTにはレジストを形成しておき、前記p型を付与する不純物添加後に剥離する。

【0065】

次いで、ゲート電極をマスクとしてゲート絶縁膜を自己整合的にエッチングしてゲート絶縁膜を形成するとともに、半導体層の一部を露呈させてから半導体層の一部にp型を付与する不純物元素、ここではボロンを添加（ドーピング）して不純物領域208を形成する（図2（D））。このときnチャネル型TFTにはレジストを形成しておき、前記p型を付与する不純物添加後に剥離する。

【0066】

本実施例ではゲート絶縁膜のエッチングを行った後にドーピングを行ったが、ゲート電極を形成した後、ゲート絶縁膜を通過させてドーピングを行ってもよい。この場合、不純物元素はゲート絶縁膜を通過し、ゲート電極をマスクとして自己整合的にドーピングされる。

10

【0067】

次いで、層間絶縁膜210を形成し、ソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース領域に電気的に接続するソース配線211、ドレイン領域に電気的に接続する画素電極212を形成する。

【0068】

次いで、TFT特性を向上させるために水素化処理を行う。この水素化としては、水素雰囲気中での熱処理（350、1時間）、あるいは低温でプラズマ水素化を行う。

20

【0069】

以上の作製工程により、350以下のプロセス温度でプラスチック基板上にトップゲート型のTFTが完成する（図2（E））。

【0070】

【実施例2】

本発明では工程短縮、あるいは歩留まり向上等の理由で、画素部および駆動回路をすべて、nチャネル型TFTで形成してもよい。このときNチャネル型TFTを用いてNAND回路、NOR回路のような基本論理回路を構成したり、さらに複雑なロジック回路（信号分割回路、オペアンプ、補正回路など）をも構成することができる。

【0071】

30

なお、本実施例に示すTFTは、チャネル形成領域となる半導体に周期表の15族に属する元素（好ましくはリン）もしくは周期表の13族に属する元素（好ましくはボロン）を添加することによりエンハンスマント型とデプレッション型とを作り分けることができる。

【0072】

また、Nチャネル型TFTを組み合わせてNMOS回路を形成する場合、エンハンスマント型TFT同士で形成する場合（以下、EEMOS回路という）と、エンハンスマント型とデプレッション型とを組み合わせて形成する場合（以下、EDMOS回路という）がある。これらの回路を組み合わせて、液晶表示装置の駆動回路を全てNチャネル型TFTで構成することも可能である。

40

【0073】

【実施例3】

実施例1または2により得られるアクティブマトリクス基板を用いて液晶ディスプレイを作製する例を以下に示す。

【0074】

実施例1または2で作製された基板を、配向膜212形成、ラビング処理、配向膜216と対向電極215を備えた対向基板214の貼り合わせ、液晶213注入等の工程を経て反射型液晶表示装置が完成する（図7（A））。

【0075】

ここでは、画素電極212として、反射性を有する金属材料、例えばAl、Ag等を主成

50

分とする材料を用いた。なお、本実施例では反射型の液晶表示装置の例を示したが、画素電極として透明導電膜、例えばITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)、酸化亜鉛(ZnO)等を用いれば透過型液晶表示装置を形成することができる。

【0076】

図7(B)には上面図が示されている。画素部、駆動回路、FPC(フレキシブルプリント配線板:Flexible Printed Circuit)を貼り付ける外部入力端子、外部入力端子と各回路の入力部までを接続する配線81などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板82とがシール材83を介して貼り合わされている。

10

【0077】

ゲート側駆動回路84と重なるように対向基板側に遮光層86aが設けられ、ソース側駆動回路85と重なるように対向基板側に遮光層86bが形成されている。また、画素部87上の対向基板側に設けられたカラーフィルタ88は遮光層と、赤色(R)、緑色(G)、青色(B)の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色(R)の着色層、緑色(G)の着色層、青色(B)の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0078】

ここでは、カラー化を図るためにカラーフィルタ88を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

20

【0079】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層86a、86bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【0080】

また、上記遮光層を設げずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所(各画素電極の間隙)や、駆動回路を遮光してもよい。

30

【0081】

また、外部入力端子にはベースフィルムと配線から成るFPC89が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【0082】

以上のようにして作製される液晶表示装置は各種電子機器の表示部として用いることができる。

【0083】

また、上記液晶表示装置におけるブロック図を図8に示す。なお、図8はアナログ駆動を行うための回路構成である。本実施例では、ソース側駆動回路90、画素部91及びゲート側駆動回路92を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

40

【0084】

ソース側駆動回路90は、シフトレジスタ90a、バッファ90b、サンプリング回路(トランスマニアゲート)90cを設けている。また、ゲート側駆動回路92は、シフトレジスタ92a、レベルシフタ92b、バッファ92cを設けている。なお、シフトレジスタ90a、92aとしては図12に示したシフトレジスタを用いれば良い。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

【0085】

50

また、本実施例において、画素部 9 1 は複数の画素を含み、その複数の画素に各々 TFT 素子が設けられている。

【 0 0 8 6 】

これらソース側駆動回路 9 0 およびゲート側駆動回路 9 2 は全て N チャネル型 TFT で形成され、全ての回路は図 15 (A) に示した EEPROM 回路を基本単位として形成されている。ただし、従来の CMOS 回路に比べると消費電力は若干上がってしまう。

【 0 0 8 7 】

なお、図示していないが、画素部 9 1 を挟んでゲート側駆動回路 9 2 の反対側にさらにゲート側駆動回路を設けても良い。

【 0 0 8 8 】

10

[実施例 4]

本実施例では画素構造を図 9 に示し、断面構造を図 10 に示す。それぞれ、 A - A ' 断面図、 B - B ' 断面図を示した。

【 0 0 8 9 】

本実施例では保持容量は、第 2 の半導体層 1002 上の絶縁膜を誘電体として、第 2 の半導体層 1002 と、容量電極 1005 とで形成している。なお、容量電極 1005 は、容量配線 1009 と接続されている。また、容量電極 1005 は、第 1 の電極 1004 及びソース配線 1006 と同じ絶縁膜上に同時に形成される。また、容量配線は、画素電極 1011 、接続電極 1010 、ゲート配線 1007 と同じ絶縁膜上に同時に形成される。

【 0 0 9 0 】

20

また、本実施例では、不純物領域 1012 ~ 1014 には n 型を付与する不純物元素が添加されている。なお、 1012 はソース領域、 1013 はドレイン領域である。

【 0 0 9 1 】

また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを 1 枚増やし、さらにゲート電極と第 1 の電極及び容量配線を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、 n 型の不純物元素を添加し、低温での熱処理を行った後、ゲート電極と重ねて第 1 の電極を形成する。この際、コンタクトホールの形成を行うことなく、単なる重ね合わせでゲート電極と第 1 の電極とのコンタクトを形成する。また、第 1 の電極と同時にソース配線、容量配線を形成する。こうすることによって第 1 の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。また、容量配線に重なる半導体層に n 型の不純物元素を添加して保持容量の増加を図ることができる。

30

【 0 0 9 2 】

なお、本実施例は実施例 1 乃至 4 のいずれか一と自由に組み合わせることができる。

【 0 0 9 3 】

[実施例 5]

本発明はアクティブマトリクス型 EL ディスプレイに適用することも可能である。その例を図 11 に示す。

【 0 0 9 4 】

図 11 はアクティブマトリクス型 EL ディスプレイの回路図である。 8 1 は画素部を表しており、その周辺には X 方向制御回路 8 2 、 Y 方向制御回路 8 3 が設けられている。また、画素部 8 1 の各画素は、スイッチ用 TFT 8 4 、コンデンサ 8 5 、電流制御用 TFT 8 6 、有機 EL 素子 8 7 を有し、スイッチ用 TFT 8 4 に X 方向信号線 8 8a (または 8 8b) 、 Y 方向信号線 8 9a (または 8 9b 、 8 9c) が接続される。また、電流制御用 TFT 8 6 には、電源線 9 0a 、 9 0b が接続される。

40

【 0 0 9 5 】

本実施例のアクティブマトリクス型 EL ディスプレイでは、 X 方向制御回路 8 2 、 Y 方向制御回路 8 3 又は電流制御用 TFT 8 6 として実施例 1 で作製される CMOS 回路を用い、スイッチ用 TFT 8 4 として画素 TFT を用いることが可能である。すなわち、本実施例のアクティブマトリクス型 EL ディスプレイは実施例 1 ~ 3 で作製されるアクティブマ

50

トリクス基板を作製した後、公知の手段により E L 層を形成すれば良い。

【 0 0 9 6 】

[実施例 6]

本発明を実施して形成された駆動回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【 0 0 9 7 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。

それらの一例を図 1 2 及び図 1 3 に示す。

【 0 0 9 8 】

図 1 2 (A) はパーソナルコンピュータであり、本体 2 0 0 1 、画像入力部 2 0 0 2 、表示部 2 0 0 3 、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2 、表示部 2 0 0 3 やその他の駆動回路に適用することができる。

【 0 0 9 9 】

図 1 2 (B) はビデオカメラであり、本体 2 1 0 1 、表示部 2 1 0 2 、音声入力部 2 1 0 3 、操作スイッチ 2 1 0 4 、バッテリー 2 1 0 5 、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 やその他の駆動回路に適用することができる。

【 0 1 0 0 】

図 1 2 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1 、カメラ部 2 2 0 2 、受像部 2 2 0 3 、操作スイッチ 2 2 0 4 、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の駆動回路に適用できる。

【 0 1 0 1 】

図 1 2 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1 、表示部 2 3 0 2 、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 やその他の駆動回路に適用することができる。

【 0 1 0 2 】

図 1 2 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1 、表示部 2 4 0 2 、スピーカ部 2 4 0 3 、記録媒体 2 4 0 4 、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として D V D (D i g t i a l V e r s a t i l e D i s c) 、 C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の駆動回路に適用することができる。

【 0 1 0 3 】

図 1 2 (F) はデジタルカメラであり、本体 2 5 0 1 、表示部 2 5 0 2 、接眼部 2 5 0 3 、操作スイッチ 2 5 0 4 、受像部（図示しない）等を含む。本発明を表示部 2 5 0 2 やその他の駆動回路に適用することができる。

【 0 1 0 4 】

図 1 3 (A) は携帯電話であり、本体 2 9 0 1 、音声出力部 2 9 0 2 、音声入力部 2 9 0 3 、表示部 2 9 0 4 、操作スイッチ 2 9 0 5 、アンテナ 2 9 0 6 等を含む。本発明を音声出力部 2 9 0 2 、音声入力部 2 9 0 3 、表示部 2 9 0 4 やその他の駆動回路に適用することができる。

【 0 1 0 5 】

図 1 3 (B) は携帯書籍（電子書籍）であり、本体 3 0 0 1 、表示部 3 0 0 2 、 3 0 0 3 、記憶媒体 3 0 0 4 、操作スイッチ 3 0 0 5 、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2 、 3 0 0 3 やその他の駆動回路に適用することができる。

【 0 1 0 6 】

図 1 3 (C) はディスプレイであり、本体 3 1 0 1 、支持台 3 1 0 2 、表示部 3 1 0 3 等

10

20

30

40

50

を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上（特に 30 インチ以上）のディスプレイには有利である。

【0107】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～6 のどのような組み合わせからなる構成を用いても実現することができる。

【0108】

【発明の効果】

本発明によれば、低温・短時間で電気光学装置を作製することができる。そのため、歩留まり及びスループットが向上し、製造コストを低減することが可能である。 10

【0109】

また、安価な電気光学装置を作製できるようになることで、それを表示部に用いる様々な電子機器を安価な価格で提供することができる。

【図面の簡単な説明】

【図 1】 TFT の作製工程を示す図。

【図 2】 TFT の作製工程を示す図。

【図 3】 絶縁膜中の水素濃度を示すHFS分析結果を示す図。

【図 4】 本発明における TFT のサブスレッショルド係数特性の比較。

【図 5】 本発明における TFT の、ゲート - ソース間のリーク電流値の比較。 20

【図 6】 本発明における TFT の、ゲート - ソース間のリーク電流値の比較。

【図 7】 AM - LCD の作製工程及び外観を示す図。

【図 8】 AM - LCD の回路ブロック図を示す図。

【図 9】 画素部の上面図を示す図。

【図 10】 画素部の断面図を示す図。

【図 11】 アクティブマトリクス型 EL 表示装置の回路構成を示す図。

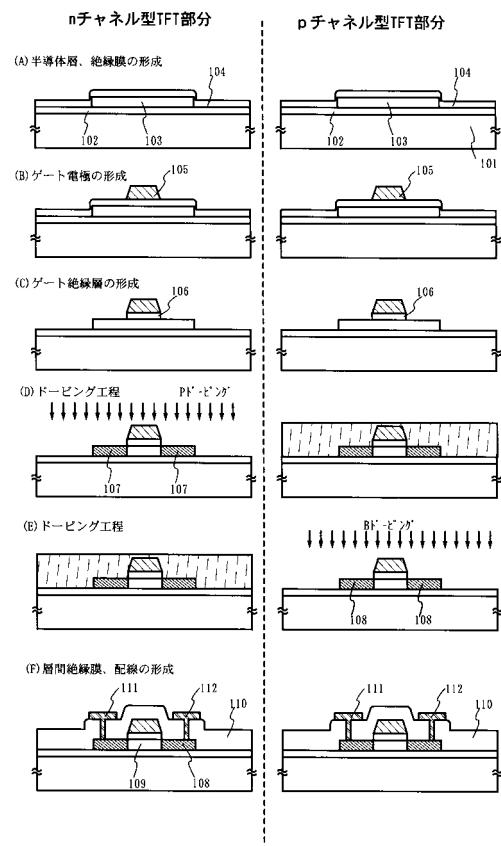
【図 12】 電子機器の一例を示す図。

【図 13】 電子機器の一例を示す図。

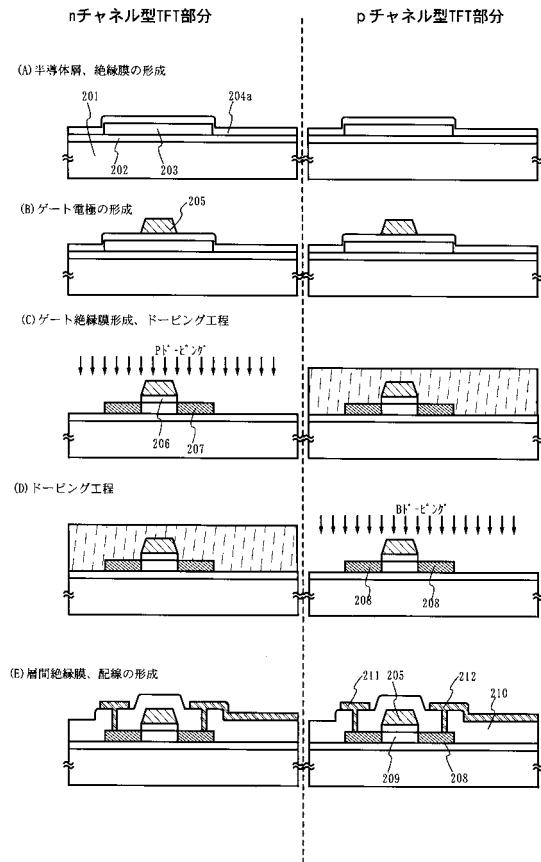
【図 14】 絶縁膜中の窒素濃度が大きい場合の電圧 リーク電流特性

【図 15】 絶縁膜中の窒素濃度が小さい場合の電圧 リーク電流特性 30

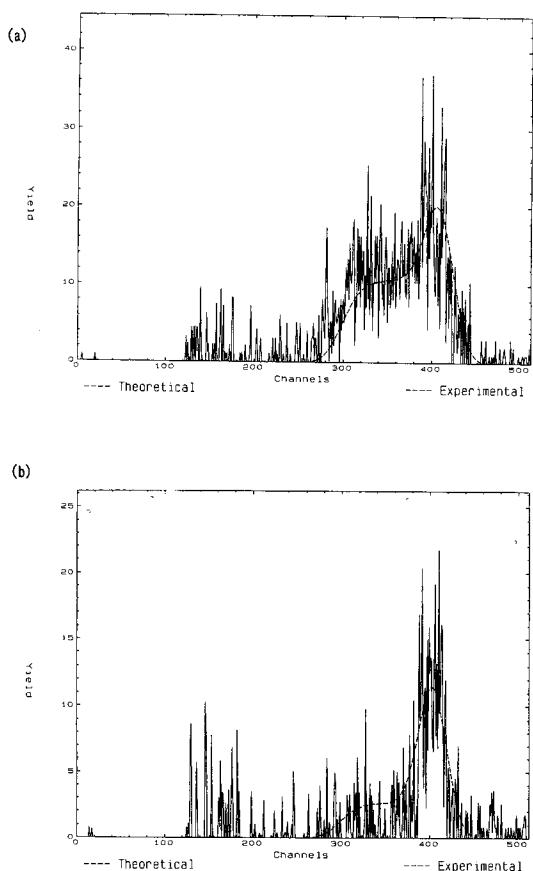
【図1】



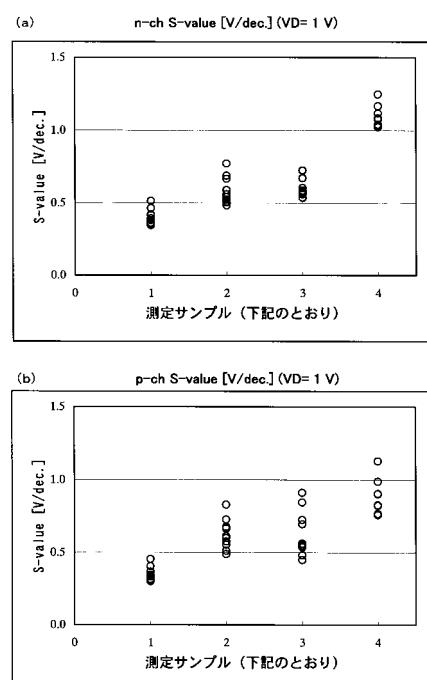
【図2】



【図3】

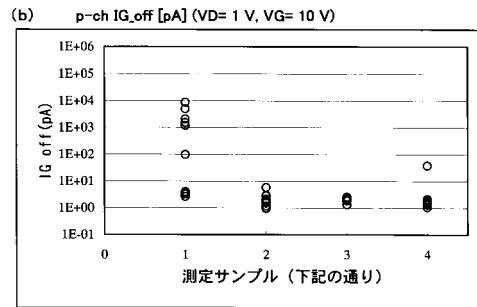
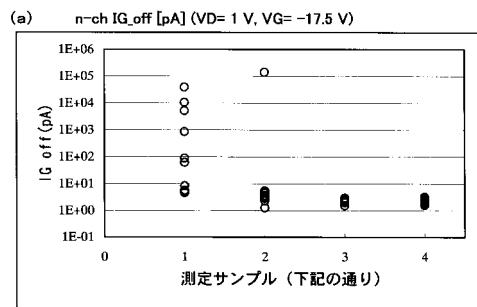


【図4】



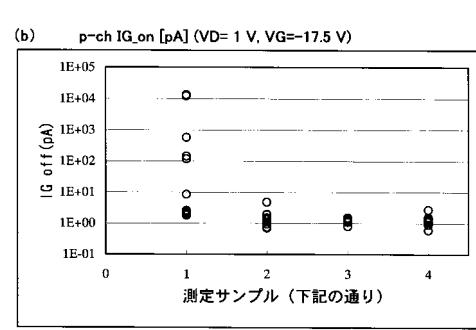
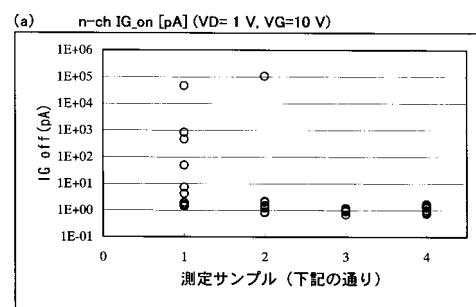
1— 第一のTFT構造
2— 第二のTFT構造
3— 第三のTFT構造
4— 第四のTFT構造

【図5】



1-- 第一のTFT構造
2-- 第二のTFT構造
3-- 第三のTFT構造
4-- 第四のTFT構造

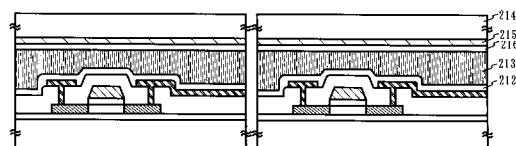
【図6】



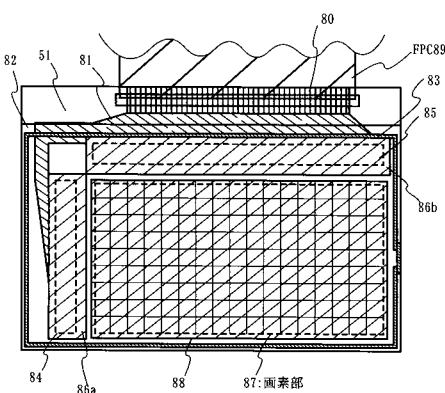
1-- 第一のTFT構造
2-- 第二のTFT構造
3-- 第三のTFT構造
4-- 第四のTFT構造

【図7】

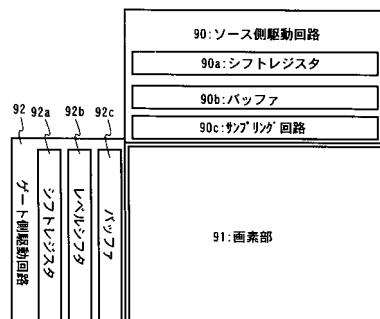
(A) 貼り合わせ、液晶注入工程



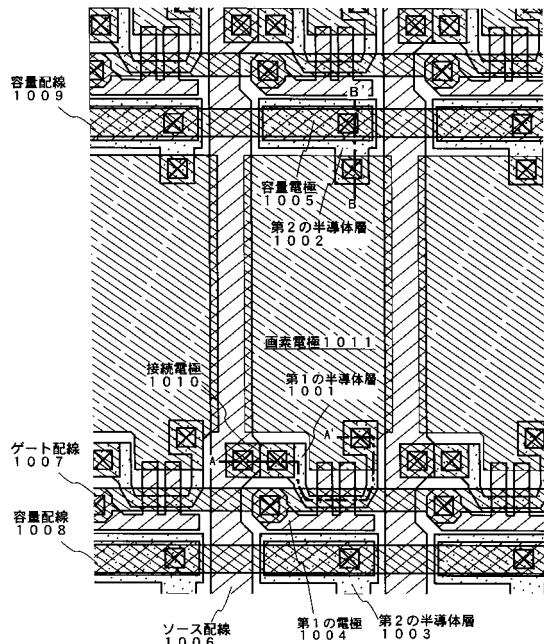
(B) 上面図



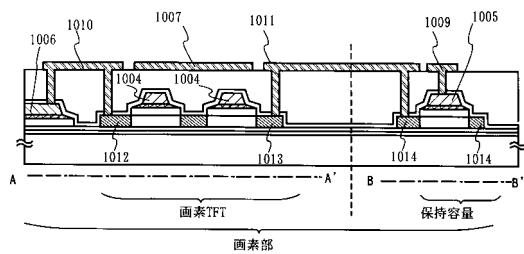
【図8】



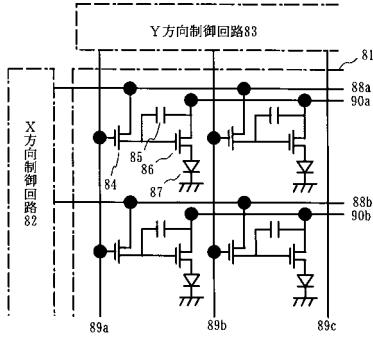
【図9】



【図10】

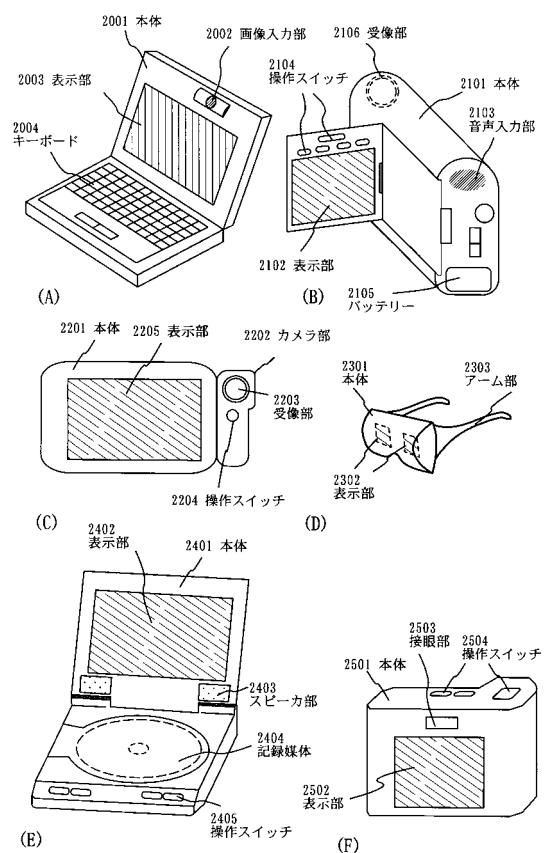


【図11】

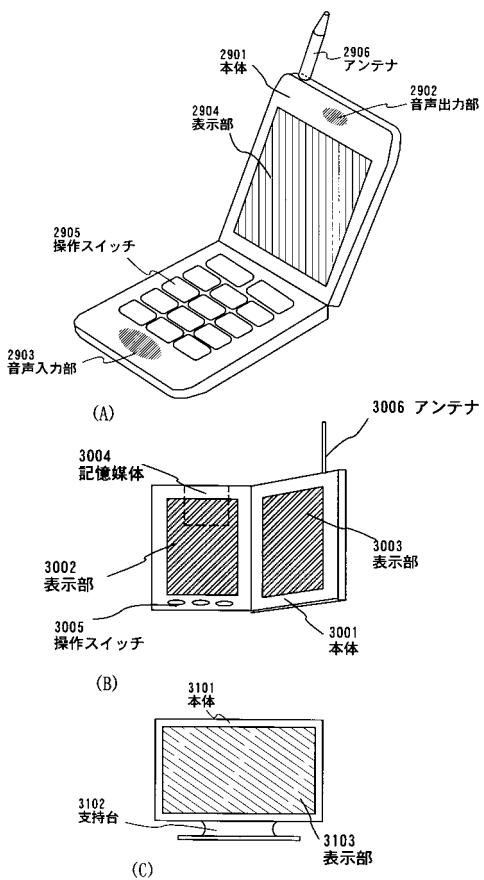


81:画素部 82:X方向制御回路 83:Y方向制御回路
84:スイッチ用TFT 85:コンデンサ 86:電流制御用TFT 87:有機EL素子
88a,88b:X方向信号線 89a~89c:Y方向信号線 90a,90b:電源線

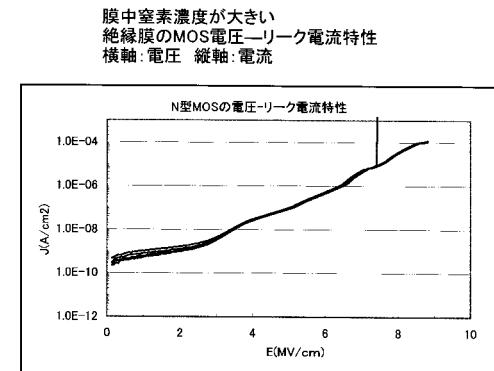
【図12】



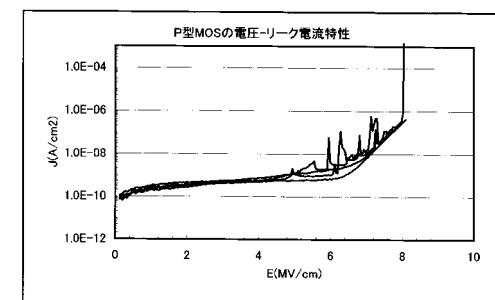
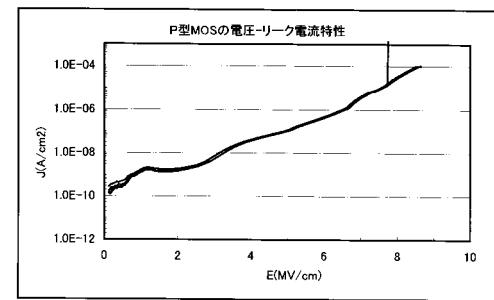
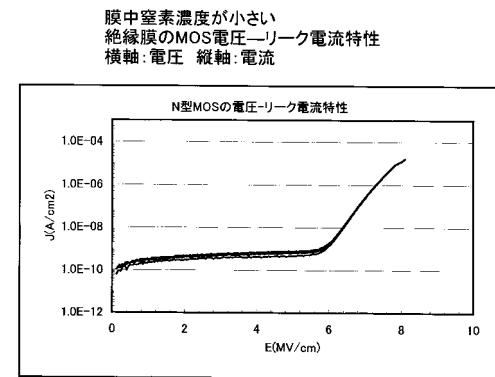
【図13】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/316

M

審査官 河本 充雄

(56)参考文献 特開平7-335900 (JP, A)

特開平8-274345 (JP, A)

特開平3-241874 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786

H01L 21/336

H01L 21/203

H01L 21/316