



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0003169  
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0083711  
(22) 출원일자 2017년06월30일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
김태훈  
경기도 파주시 월롱면 엘지로 245  
권기태  
경기도 파주시 월롱면 엘지로 245  
(뒷면에 계속)

(74) 대리인  
특허법인로얄

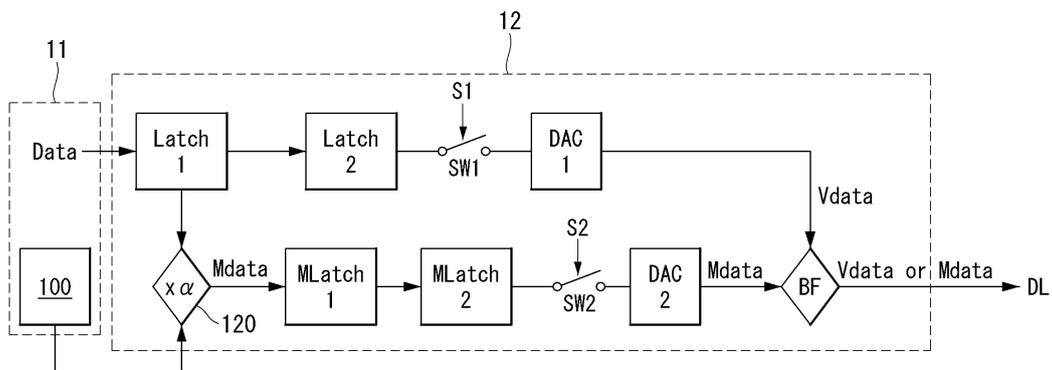
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명에 의한 유기발광다이오드 표시장치는 표시패널, 게이트 구동부 및 데이터 구동부를 포함한다. 표시패널에는 유기발광다이오드 및 유기발광다이오드를 구동하는 구동 트랜지스터를 포함하고, 하나 이상의 게이트라인 및 데이터라인과 연결되는 픽셀들이 배치된다. 게이트 구동부는 게이트라인에 게이트신호를 제공한다. 데이터 구동부는 영상데이터를 제공받아서, 영상 데이터전압 또는 영상 데이터전압 보다 큰 값으로 설정되는 보상 데이터전압을 생성한다. 그리고 데이터 구동부는 제1 샘플링 기간에 보상 데이터전압을 데이터라인에 공급하고, 제2 샘플링 기간에, 영상 데이터전압을 데이터라인에 공급한다.

대표도 - 도6



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

(72) 발명자

김규진

경기도 과천시 월릉면 엘지로 245

김지아

경기도 과천시 월릉면 엘지로 245

## 명세서

### 청구범위

#### 청구항 1

유기발광다이오드 및 상기 유기발광다이오드를 구동하는 구동 트랜지스터를 포함하며, 게이트라인 및 데이터라인과 연결되는 픽셀들이 배치되는 표시패널;

상기 게이트라인으로 게이트신호를 제공하는 게이트 구동부; 및

영상데이터를 제공받아서, 영상 데이터전압 또는 상기 영상 데이터전압 보다 큰 값으로 설정되는 보상 데이터전압을 생성하고, 상기 영상 데이터전압 또는 보상 데이터전압을 상기 데이터라인으로 공급하는 데이터 구동부를 포함하되,

상기 데이터 구동부는

제1 샘플링 기간에, 상기 보상 데이터전압을 상기 데이터라인에 공급하고,

제2 샘플링 기간에, 상기 영상 데이터전압을 상기 데이터라인에 공급하는 유기발광다이오드 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제1 및 제2 샘플링 기간에서,

상기 구동 트랜지스터의 게이트전극 및 드레인전극은 플로팅 상태에서 서로 다이오드 연결되고 소스전극은 데이터전압을 상기 영상 데이터전압 또는 보상 데이터전압을 입력받고,

상기 구동 트랜지스터의 게이트전극은 상기 소스전극으로부터 상기 드레인전극으로 흐르는 구동전류에 의해서 전압레벨이 상승하는 유기발광다이오드 표시장치.

#### 청구항 3

제 2 항에 있어서,

전체 픽셀라인이  $n$ 개이고 프레임 레이트가  $k(\text{Hz})$ 일 경우에, 상기 제1 및 제2 샘플링 기간은 " $1/(n \times k)$ "로 정의되는 1수평기간 내에서 수행되는 유기발광다이오드 표시장치.

#### 청구항 4

제 2 항에 있어서,

상기 데이터 구동부는

상기 영상데이터를 입력받아서 래치하는 래치부;

상기 래치부로부터 제공받은 상기 영상데이터를 상기 영상 데이터전압으로 변환하는 제1 디지털 아날로그 컨버터;

상기 래치부와 상기 제1 디지털 아날로그 컨버터를 선택적으로 스위칭하는 제1 스위치;

상기 래치부로부터 상기 영상데이터를 제공받아서, 상기 보상 데이터전압을 생성하는 보상 데이터 생성부;

상기 보상 데이터 생성부로부터 제공받은 상기 보상 데이터를 래치하는 보상 래치부;

상기 보상 래치부로부터 상기 보상 데이터를 입력받아서 상기 보상 데이터전압을 생성하는 제2 디지털 아날로그 컨버터; 및

상기 보상 래치부와 상기 제2 디지털 아날로그 컨버터를 선택적으로 스위칭하는 제2 스위치를 포함하는 유기발광다이오드 표시장치.

**청구항 5**

제 4 항에 있어서,

상기 제1 스위치는 상기 제2 샘플링 기간에 턴-온되고,

상기 제2 스위치는 상기 제1 샘플링 기간에 턴-온되는 유기발광다이오드 표시장치.

**청구항 6**

제 5 항에 있어서,

상기 보상 데이터 생성부는

상기 영상데이터에 보상값을 곱하여 상기 보상 데이터를 생성하되, 상기 보상값은 "Vsat/ Vsam" 으로 산정되고, 이때, Vsat은 상기 영상 데이터전압에 의해서 상기 구동 트랜지스터의 게이트전극이 이상적으로 포화되는 값이며, Vsam은 1수평기간 동안에 상기 영상 데이터전압에 의해서 상기 구동 트랜지스터의 게이트전극이 포화되는 측정값인 유기발광다이오드 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광다이오드 표시장치에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스 타입의 유기발광다이오드 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 유기발광다이오드는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 유기발광다이오드에 흐르는 구동전류를 제어하기 위해 구동 트랜지스터(Thin Film Transistor)를 포함한다. 문턱 전압, 이동도 등과 같은 구동 트랜지스터의 전기적 특성은 모든 픽셀들에서 동일하게 설계됨이 바람직하나, 실제로는 공정 조건, 구동 환경 등에 의해 픽셀들마다 구동 트랜지스터의 전기적 특성은 불균일하다. 이러한 이유로 동일 데이터전압에 따른 구동 전류는 픽셀들마다 달라지고 그 결과, 픽셀들 간 휘도 편차가 발생하게 된다. 이를 해결하기 위하여, 각 픽셀로부터 구동 트랜지스터의 특성 파라미터(문턱 전압, 이동도)를 센싱하고, 센싱 결과에 따라 입력 데이터를 적절히 보정함으로써 휘도 불균일을 감소시키는 화질 보상기술이 알려져 있다.

[0005] 화질 보상기술 중에서 내부 보상 방식은 유기발광다이오드가 발광하는 동안에 구동 트랜지스터의 전기적 특성을 배제시키도록 픽셀 구조 및 구동 타이밍을 제어한다. 내부 보상 방식은 기본적으로 구동 트랜지스터의 게이트 전압을 소스 팔로워 방식으로 상승시켜서 일정 수준으로 포화(sturation)시키는 샘플링 동작을 수행한다. 내부 보상 방식에서 구동 트랜지스터의 게이트전압을 원하는 수준으로 포화시키기 위해서는 충분한 시간이 필요하다. 하지만, 표시패널이 대화면화되고, 해상도가 높아지면서 하나의 픽셀라인을 샘플링하기 위한 시간이 짧아져서,

샘플링 동작이 원활하게 이루어지지 못하는 문제가 발생하고 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 짧은 시간 내에서 샘플링 동작을 정확하게 할 수 있는 유기발광다이오드 표시장치를 제공하기 위한 것이다.

**과제의 해결 수단**

[0007] 본 발명에 의한 유기발광다이오드 표시장치는 표시패널, 게이트 구동부 및 데이터 구동부를 포함한다. 표시패널에는 유기발광다이오드 및 유기발광다이오드를 구동하는 구동 트랜지스터를 포함하고, 하나 이상의 게이트라인 및 데이터라인과 연결되는 픽셀들이 배치된다. 게이트 구동부는 게이트라인에 게이트신호를 제공한다. 데이터 구동부는 영상데이터를 제공받아서, 영상 데이터전압 또는 영상 데이터전압 보다 큰 값으로 설정되는 보상 데이터전압을 생성한다. 그리고 데이터 구동부는 제1 샘플링 기간에 보상 데이터전압을 데이터라인에 공급하고, 제2 샘플링 기간에, 영상 데이터전압을 데이터라인에 공급한다.

**발명의 효과**

[0008] 본 발명에 의한 유기발광다이오드 표시장치는 제1 샘플링 기간 동안 오버 드라이빙을 하고, 제2 샘플링 기간 동안 실제 영상데이터를 바탕으로 구동함으로써, 짧은 시간 내에 정확한 샘플링 동작을 수행할 수 있다. 특히, 본 발명은 구동 주파수를 높이지 않으면서도 두 단계의 샘플링 동작을 수행할 수 있다.

**도면의 간단한 설명**

- [0009] 도 1은 본 발명의 실시 예에 따른 유기발광 표시장치를 나타내는 도면.
- 도 2는 픽셀들의 일례를 나타내는 도면.
- 도 3은 실시 예에 의한 픽셀의 회로도.
- 도 4는 도 3을 구동하기 위한 게이트신호들의 타이밍을 나타내는 도면.
- 도 5는 도 3에 도시된 제1 노드의 전압변화를 나타내는 도면.
- 도 6은 제1 실시 예에 의한 데이터 구동부를 나타내는 도면.
- 도 7은 제1 및 제2 제어신호의 타이밍을 나타내는 도면.
- 도 8은 본 발명에 의한 보상 데이터전압을 이용하였을 때에 제1 노드의 전압변화를 나타내는 도면.
- 도 9는 제2 실시 예에 의한 데이터 구동부를 나타내는 도면.
- 도 10은 제3 실시 예에 의한 데이터 구동부를 나타내는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0010] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 여러 실시예들을 설명함에 있어서, 실질적으로 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0011] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0012] 도 1은 본 발명의 실시 예에 의한 유기발광 표시장치를 나타내는 도면이다.

[0013] 도 1을 참조하면, 본 발명의 실시 예에 의한 유기발광 표시장치는 표시패널(10), 데이터 구동부(12), 게이트 구

동부(13), 및 타이밍 콘트롤러(11)를 구비한다.

- [0014] 표시패널(10)에는 다수의 데이터라인부(14)와, 다수의 게이트라인부(15)가 교차되고, 이 교차영역마다 픽셀(P)들이 매트릭스 형태로 배치된다. 픽셀(P) 각각은 도시하지 않은 전원발생부로부터 고전위 구동전압(VDD)과 저전위 구동전압(VSS)을 공급받는다.
- [0015] 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0016] 또한, 타이밍 콘트롤러(11)는 보상값 설정부(100)를 포함한다. 보상값 설정부(100)는 데이터 구동부(12)가 출력하는 보상 데이터전압의 배율을 산정한다. 보상 데이터전압은 샘플링 기간에 구동 트랜지스터의 문턱전압을 센싱하는 과정에서 오버 드라이빙(Over Driving)하기 위한 것으로, 자세한 설명은 후술하기로 한다.
- [0017] 데이터 구동부(12)는 보상 기간 동안, 센싱용 데이터전압을 픽셀들(P)에 공급하고, 데이터라인부(14)를 통해서 표시패널(10)로부터 입력되는 센싱 전압을 디지털 값으로 변환하여 타이밍 콘트롤러(11)에 공급한다. 데이터 구동부(12)는 화상 표시 기간 동안, 화상 표시용 데이터전압을 데이터라인부(14)에 공급한다.
- [0018] 게이트 구동부(13)는 타이밍 콘트롤러(11)로부터의 게이트 제어신호(GDC)를 기반으로 게이트신호를 발생하고, 게이트신호는 스캔신호들 및 에미션신호를 포함할 수 있다. 게이트신호는 픽셀 구조에 따라 달라지고, 또한 보상 기간에 인가되는 게이트신호 및 화상 표시 기간에 인가되는 게이트신호의 타이밍은 달라진다. 게이트 구동부(13)는 GIP(Gate-driver In Panel) 형태로 표시패널(10)에 직접 형성될 수 있다.
- [0019] 도 2의 (a) 및 (b)는 실시 예에 의한 픽셀 구조의 일례를 나타내는 도면이다.
- [0020] 도 2의 (a)를 참조하면, 하나의 픽셀은 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 보상회로(CC) 및 유기발광다이오드(OLED)를 포함한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0021] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 게이트 신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터에 저장된 데이터 전압에 따라 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다. 또한, 스위칭 트랜지스터(SW)나 구동 트랜지스터(DR)에 연결된 커패시터는 보상회로(CC) 내부로 위치할 수 있다.
- [0022] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한 바, 이에 대한 구체적인 예시 및 설명은 생략한다.
- [0023] 또한, 도 2의 (b)에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다. 추가된 신호라인은 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2 게이트 라인(GL1b)으로 정의될 수 있다. 그리고 추가된 전원라인은 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 초기화 전원라인(Iini)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.
- [0024] 도 3은 내부보상 동작을 수행하는 픽셀의 일례를 나타내는 도면이다. 이하, 도 3에 도시된 픽셀을 중심으로 내부보상 방법을 살펴보면 다음과 같다.
- [0025] 도 3을 참조하면, 실시 예에 의한 픽셀은 구동 트랜지스터, 제1 내지 제6 트랜지스터들(T1~T6) 및 스토리지 커패시터(Cst)를 포함한다.
- [0026] 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광소자(OLED)에 인가되는 구동전류를 제어한다. 구동트랜지스터(DT)의 게이트전극은 제1 노드(n1)에 접속되고, 소스전극은 제3 노드(n3)에 접속되며, 드레인전극은 제2 노드(n2)에 접속된다. 제1 트랜지스터(T1)는 제n 스캔신호(SCAN(n))에 응답하여, 제1 노드(n1)와 제2 노드(n2)를 연결시킨다. 제2 트랜지스터(T2)는 제n 스캔신호(SCAN(n))에 응답하여, 데이터라인(14)과 제3 노드(n3)를 연결시킨다. 제3 트랜지스터(T3)는 제n 에미션신호(EM(n))에 응답하여, 제3 노드(n3)와 고전위 구동전압(VDD)의 입력단을 연결시킨다. 제4 트랜지스터(T4)는 제n 에미션신호(EM(n))에 응답하여, 제2 노드(n2)와 제4 노드(n4)를 연결시킨다. 제5 트랜지스터(T5)는 제n-1 스캔신호(SCAN(n-1))에 응답하여, 제1 노드(n1)와 초기화전압(Vini)의 입력단을 연결시킨다. 제6 트랜지스터(T6)는 제n 스캔신호(SCAN(n))에 응답하여,

초기화전압(Vini)의 입력단과 제4 노드(n4)를 연결시킨다. 그리고, 스토리지 커패시터(Cst)는 제1 노드(n1)와 초기화전압(Vini)의 입력단 사이에 접속된다.

- [0027] 도 4는 도 3에 도시된 픽셀을 구동하기 위한 게이트신호들의 타이밍을 나타내는 도면이다. 도 3 및 도 4를 참조하여, 픽셀의 구동을 살펴보면 다음과 같다.
- [0028] 이니셜 기간(Pi)에서, 제5 트랜지스터(T5)는 제n-1 스캔신호(SCAN(n-1))에 응답하여, 제1 노드(n1)와 초기화전압(Vini)의 입력단을 연결시킨다. 그 결과 제1 노드(n1)는 초기화전압(Vini)으로 초기화된다. 초기화전압(Vini)은 유기발광다이오드(OLED)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택되고, 저전위 구동전압(VSS)과 같거나 저전위 구동전압(VSS)보다 낮게 설정될 수 있다.
- [0029] 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))에 응답하여, 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제6 트랜지스터(T6)는 턴-온 된다. 그 결과, 제1 트랜지스터(T1)는 제1 노드(n1) 및 제2 노드(n2)를 다이오드 연결(diode connection)시킨다. 제2 트랜지스터(T2)는 데이터라인(DL)으로부터 공급받는 데이터전압(VData)을 제3 노드(n3)에 충전시킨다. 제6 트랜지스터(T6)는 고전위구동전압(VDD)을 제4 노드(n4)에 충전시킨다.
- [0030] 샘플링 기간(Ps)에서, 구동트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐르며, 이에 따라 제2 노드(n2)의 전압은 데이터전압(Vdata)에서 구동트랜지스터(DT)의 문턱전압(Vth)의 절대값을 뺀 값(Vdata(n)-|Vth|)이 된다. 제1 노드(n1)는 제2 노드(n2)와 동일한 전압이 된다.
- [0031] 에미션 기간(Pe)에서, 제3 트랜지스터(T3)는 제n 에미션신호(EM(n))에 응답하여, 고전위 구동전압(VDD)을 제2 노드(n2)에 공급한다. 그리고, 제4 트랜지스터(T4)가 턴 온 되어서, 제2 노드(n2) 및 제4 노드(n4)가 연결된다. 에미션 기간(Te)에서, 구동 트랜지스터(DT)의 게이트-소스 간에 세팅된 전압에 따라 제3 노드(n3)에서 제2 노드(n2)를 경유하는 전류가 발생한다.
- [0032] 에미션 기간(Pe)에서 유기발광다이오드(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학식 1과 같이 된다.
- [0033] [수학식 1]
- [0034] 
$$I_{OLED} = k/2(V_{gs} - V_{th})^2 = k/2(V_g - V_s - V_{th})^2 = k/2\{(V_{data} - |V_{th}|) - V_{DD} - V_{th}\}$$
- [0035] 이때,  $V_{th} < 0$  이기 때문에, [수학식1]은 결국 " $k/2(V_{data} - V_{DD})^2$ "로 정리된다.
- [0036] 수학식 1에서,  $k/2$ 는 구동트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 나타낸다. 결국 발광 기간(Te) 동안, 유기발광다이오드(OLED)에 흐르는 구동전류는 구동 트랜지스터(DT)의 문턱전압(Vth)의 영향을 받지 않는다.
- [0037] 이와 같은 내부보상 회로의 동작에서 발광 기간(Te) 동안에 구동 트랜지스터(DT)의 문턱전압(Vth)의 영향을 배제하기 위해서는 샘플링 기간(Ts) 동안에 제1 노드가 " $V_{data} - |V_{th}|$ "의 값으로 충분히 포화(saturation)되도록 하여야 한다.
- [0038] 하지만, 표시패널(10)의 해상도가 높아지면서 하나의 픽셀라인을 구동하기 위한 1수평기간(1H)이 짧아지고, 그에 따라 샘플링 기간(Ts) 역시 짧아질 수밖에 없다. 만약 도 5에서와 같이, 1 수평기간(1H)의 샘플링 기간(Ts) 동안에 제1 노드(n1)의 값이 충분한 값으로 포화되지 못하여 샘플링 편차( $\Delta V$ )가 발생하며, 내부보상에 오차가 발생한다.
- [0039] 본 발명에 의한 보상값 설정부(100) 및 데이터 구동부(12)는 짧은 샘플링 기간 내에서 구동 트랜지스터의 문턱전압을 보다 정확하게 샘플링할 수 있다. 이를 살펴보면 다음과 같다.
- [0040] 타이밍 콘트롤러(11)의 보상값 설정부(100)는 보상 데이터전압을 생성하는 데에 이용되는 보상값( $\alpha$ )을 설정한다. 보상값( $\alpha$ )은 샘플링 기간(Ts)을 충분히 하였을 때에 제1 노드(n1)가 포화되는 전압값( $V_{sat}$ )에 대비한, 1 수평기간(1H)의 샘플링 기간(Ts) 동안에 제1 노드(n1)에 충전되는 전압( $V_{sam}$ )의 비율로 산정할 수 있다. 즉, 보상값( $\alpha$ )은 " $V_{sat}/V_{sam}$ "으로 산정된다. 1 수평기간(1H) 동안에 제1 노드(n1)에 충전되는 전압( $V_{sam}$ )은 제1 노드(n1)가 포화되는 전압값( $V_{sat}$ ) 보다 같거나 작기 때문에, 보상값( $\alpha$ )은 1 보다 큰 값이 된다. 보상값( $\alpha$ )은 모든 계조에 대해서 동일하게 적용되거나, 계조별로 다르게 설정될 수도 있다.
- [0041] 도 1에서 보상값 설정부(100)는 타이밍 콘트롤러(11)에 속하는 실시 예를 도시하고 있지만, 보상값 설정부(10

0)는 별도의 집적회로에 구현될 수도 있다.

- [0042] 도 6은 제1 실시 예에 의한 데이터 구동부를 타내는 도면이다. 도 6은 1개의 데이터라인에 데이터전압을 출력하는 구성을 도시하고 있다.
- [0043] 도 6을 참조하면, 제1 실시 예에 의한 데이터 구동부(12)는 래치부(Latch1, Lactch2), 제1 스위치(SW1), 제1 디지털 아날로그 컨버터(DAC1), 보상 데이터 생성부(120), 보상 래치부(Lactch2, Lactch2), 제2 스위치(SW2), 제2 디지털 아날로그 컨버터(DAC2) 및 출력버퍼(BF)를 포함한다. 래치부(Latch1, Lactch2)는 제1 래치(Lactch1) 및 제2 래치(Lactch2)를 포함하고, 보상 래치부(Lactch2, Lactch2)는 제1 보상 래치(MLactch1) 및 제2 보상 래치(MLactch2)를 포함한다.
- [0044] 제1 래치(Lactch1)는 타이밍 컨트롤러(11)로부터 제공받은 디지털 형태의 영상 데이터(Data)를 샘플링하여 래치하고, 래치한 데이터를 동시에 출력한다. 제2 래치(Lactch2)는 제1 래치(Lactch1)로부터 제공받은 영상 데이터(Data)를 래치하고, 다른 소스 드라이버들의 제2 래치(Lactch2)와 동기하여 래치한 영상 데이터(Data)를 동시에 출력한다.
- [0045] 제1 스위치(SW1)는 제1 제어신호(S1)에 응답하여, 제2 래치(Lactch2)와 제1 디지털 아날로그 컨버터(DAC1)를 연결시킨다.
- [0046] 제1 디지털 아날로그 컨버터(DAC1)는 제2 래치(Lactch2)로부터 입력되는 영상 데이터(Data)를 아날로그 형태인 데이터전압(Vdata)으로 변환한다.
- [0047] 보상 데이터 생성부(120)는 제1 래치(Lactch1)로부터 제공받은 데이터에 보상값( $\alpha$ )을 적용하여 보상 데이터(MData)를 생성한다. 보상 데이터는 데이터에 보상값( $\alpha$ )을 곱함으로써, 보상 데이터(MData)를 생성될 수 있다. 보상 데이터 생성부(120)는 보상 데이터(MData)를 제1 보상 래치(MLactch1)로 출력한다.
- [0048] 제1 보상 래치(MLactch1)는 보상 데이터 생성부(120)로부터 제공받은 보상 데이터(MData)를 샘플링하여 래치하고, 래치한 데이터들을 동시에 출력한다.
- [0049] 제2 보상 래치(MLactch2)는 제1 보상 래치(MLactch1)로부터 제공받은 보상 데이터(MData)들을 래치하고, 다른 소스 드라이버들의 제2 보상 래치(MLactch2)와 동기하여 래치한 보상 데이터들을 동시에 출력한다.
- [0050] 제2 스위치(SW2)는 제2 제어신호(S2)에 응답하여, 제2 보상 래치(MLactch2)와 제2 디지털 아날로그 컨버터(DAC2)를 연결시킨다.
- [0051] 제2 디지털 아날로그 컨버터(DAC2)는 제2 보상 래치(MLactch2)로부터 입력되는 보상 데이터(Mdata)를 아날로그 형태인 보상 데이터전압(MVdata)으로 변환한다.
- [0052] 출력부(BF)는 제1 디지털 아날로그 컨버터(DAC1) 또는 제2 디지털 아날로그 컨버터(DAC2)로부터 제공받은 데이터전압(Vdata) 또는 보상 데이터전압(MVdata)을 데이터라인(DL)에 제공한다.
- [0053] 도 7은 도 6에 도시된 제1 및 제2 제어신호의 타이밍을 나타내는 도면이다. 도 8은 제1 실시 예에서, 이니셜 기간과 샘플링 기간에서의 제1 노드의 전압변화를 나타내는 도면이다. 제1 실시 예에서, 픽셀들을 구동하기 위한 게이트신호들은 비교 예에서와 동일하다. 즉, 도 3에 도시된 픽셀들을 구동하기 위해서 도 4에 도시된 게이트신호들이 이용될 수 있다.
- [0054] 도 3 및 도 4와, 도 6 내지 도 8을 참조하여 보상 데이터전압을 이용한 샘플링 동작을 살펴보면 다음과 같다.
- [0055] 이니셜 기간(Pi)에서, 제5 트랜지스터(T5)는 제n-1 스캔신호(SCAN(n-1))에 응답하여, 제1 노드(n1)와 초기화전압(Vini)의 입력단을 연결시킨다. 그 결과 제1 노드(n1)는 초기화전압(Vini)으로 초기화된다. 초기화전압(Vini)은 유기발광다이오드(OLED)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택되고, 저전위 구동전압(VSS)과 같거나 저전위 구동전압(VSS)보다 낮게 설정될 수 있다.
- [0056] 제1 및 제2 샘플링 기간(Ts2)에서, 제n 스캔신호(SCAN(n))에 응답하여, 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제6 트랜지스터(T6)는 턴-온 된다. 그 결과, 제1 트랜지스터(T1)는 제1 노드(n1) 및 제2 노드(n2)를 다이오드 연결(diode connection)시킨다.
- [0057] 제1 샘플링 기간(Ts1) 동안 제2 제어신호(S2)는 턴-온 전압이 된다. 그 결과 데이터 구동부(12)의 제2 디지털 아날로그 컨버터(DAC2)는 제2 보상 래치(MLactch2)로부터 보상 데이터(MData)를 제공받아서, 보상 데이터전압

(MVdata)을 생성한다. 출력부(BF)는 제1 샘플링 기간(Ts1) 동안, 보상 데이터전압(MVdata)을 데이터라인(DL)으로 출력한다.

- [0058] 제2 트랜지스터(T2)는 데이터라인(DL)으로부터 공급받는 데이터전압(VData)을 제3 노드(n3)에 충전시킨다. 보상 데이터전압(MVdata)은 데이터전압(VData) 보다 큰 값이기 때문에, 제1 샘플링 기간(Ts1)에서 제3 노드(n3)는 데이터전압(VData) 보다 큰 값으로 충전된다. 그 결과, 제1 샘플링 기간(Ts1)에서 제1 노드(n1)의 전압은 오버 드라이빙의 효과로 제3 노드(n3)에 데이터전압(VData)이 충전될 때보다 더 큰 값으로 충전된다.
- [0059] 제2 샘플링 기간(Ts2) 동안 제2 제어신호(S2)는 턴-오프 전압이 되고, 제1 제어신호(S1)는 턴-온 전압이 된다. 그 결과 데이터 구동부(12)의 제1 디지털 아날로그 컨버터(DAC1)는 제1 디지털 아날로그 컨버터(DAC)는 제1 래치(Lactch1)로부터 영상 데이터(Data)를 제공받아서, 영상 데이터전압(VData)을 생성한다. 출력부(BF)는 제2 샘플링 기간(Ts2) 동안, 영상 데이터전압(VData)을 데이터라인(DL)으로 출력한다.
- [0060] 제2 트랜지스터(T2)는 데이터라인(DL)으로부터 공급받는 데이터전압(VData)을 제3 노드(n3)에 충전시킨다. 영상 데이터전압(VData)은 보상 데이터전압(MVdata) 보다 작은 값이기 때문에, 제2 샘플링 기간(Ts2) 동안, 제1 노드(n1)의 전압이 충전되는 속도는 작아진다. 특히, 영상 데이터전압(VData)은 타이밍 콘트롤러(11)가 입력받은 영상 데이터(Data)에 대응하는 전압이기 때문에, 제2 샘플링 기간(Ts2) 이후에 제1 노드(n1)는 원하는 계조 표현에 대응하는 크기의 전압값(Vdata-|Vth|)으로 정확하게 샘플링 될 수 있다.
- [0061] 에미션 기간(Pe)에서, 구동 트랜지스터(DT)의 게이트-소스 간에 세팅된 전압에 따라 제3 노드(n3)에서 제2 노드(n2)를 점유하는 전류가 발생하고, 유기발광다이오드(OLED)는 원하는 계조로 발광한다.
- [0062] 살펴본 바와 같이, 본 발명에 의한 데이터 구동부(11)는 제1 샘플링 기간(Ts1) 동안 보상값( $\alpha$ )이 적용된 보상 데이터전압(MVdata)을 이용하여 샘플링 동작을 수행함으로써, 샘플링 동작을 빠르게 할 수 있다. 따라서, 1수평기간(1H)이 짧아지더라도 원하는 샘플링 기간에 문턱전압이 반영된 정확한 크기의 전압(Vsat)으로 구동 트랜지스터(DT)의 게이트-소스 전압을 샘플링 할 수 있다. 즉, 1수평기간(1H)이 짧아지면, 샘플링 기간(Ts1, Ts2) 동안에 제1 노드(N1)는 "Vsam"의 전압레벨로 충전되어서 샘플링 동작이 정확하지 않을 수 있다. 하지만, 본 발명은 제1 샘플링 기간(Ts1)의 오버 드라이빙 구동으로 인해서 1수평기간(1H) 내에서 문턱전압이 반영된 정확한 크기의 전압(Vsat)으로 제1 노드(N1)의 전압을 샘플링 할 수 있다.
- [0063] 특히, 본 발명은 구동 주파수를 높이지 않으면서 오버 드라이빙 효과를 기대할 수 있다. 따라서, 단순히 데이터전압을 크게 하여 샘플링 동작을 수행하면, 샘플링되는 전압값이 원하는 크기를 초과할 수 있다. 이를 방지하기 위해서는 샘플링 기간에 인가되는 데이터전압을 최종적으로 입력 영상데이터에 해당하는 크기로 제어하여야 한다. 하지만, 유기발광다이오드 표시장치에서 샘플링 기간을 결정하는 스캔신호의 펄스 폭 길이는 최소 1수평기간에 해당하기 때문에, 샘플링 동작을 2회 하기 위해서는 구동 주파수를 높여야 한다.
- [0064] 이에 반해서, 본 발명은 데이터 구동부(11)에서 영상 데이터(Data)를 이용한 영상 데이터전압(VData)과 보상값( $\alpha$ )이 반영된 보상 데이터전압(MVdata)의 출력을 1수평기간(1H) 내에서 분할하여 출력한다. 따라서, 구동 주파수를 높이지 않고, 스캔신호의 타이밍을 가변하지 않으면서 오버 드라이빙 구동을 할 수 있다.
- [0065] 도 9는 제2 실시 예에 의한 데이터 구동부를 나타내는 도면이다.
- [0066] 도 9를 참조하면, 제2 실시 예에 의한 데이터 구동부(12)는 래치부(Latch), 제1 스위치(SW1), 제1 디지털 아날로그 컨버터(DAC1), 보상 데이터 생성부(120), 보상 래치부(MLatch), 제2 스위치(SW2), 제2 디지털 아날로그 컨버터(DAC2) 및 출력버퍼(BF)를 포함한다. 즉, 제2 실시 예에 의한 래치부(Latch) 및 보상 래치부(MLatch)는 각각 하나의 래치로 구성된다. 제1 및 제2 실시 예로 구분되는 래치부(Latch)의 개수는 타이밍 콘트롤러 또는 데이터 구동부의 설계에 따라 달라질 수 있다. 제2 실시 예에서, 보상 래치부(MLatch)의 동작은 전술한 제1 실시 예와 동일하고, 데이터 구동부가 보상 데이터전압을 출력하는 타이밍 또한 제1 실시 예와 동일하다.
- [0067] 도 10은 제3 실시 예에 의한 데이터 구동부를 나타내는 도면이다.
- [0068] 도 10을 참조하면, 제3 실시 예에 의한 데이터 구동부(12)는 래치부(Latch1, Lactch2), 제1 스위치(SW1), 보상 데이터 생성부(120), 보상 래치부(Lactch2, Lactch2), 제2 스위치(SW2), 디지털 아날로그 컨버터(DAC) 및 출력버퍼(BF)를 포함한다. 래치부(Latch1, Lactch2)는 제1 래치(Lactch1) 및 제2 래치(Lactch2)를 포함하고, 보상 래치부(Lactch2, Lactch2)는 제1 보상 래치(MLactch1) 및 제2 보상 래치(MLactch2)를 포함한다. 디지털 아날로그 컨버터(DAC)는 제1 스위치(S1)가 턴-온 될 때, 제2 래치(Lactch2)로부터 입력되는 영상 데이터(Data)를 아날로그 형태인 데이터전압(Vdata)으로 변환한다. 디지털 아날로그 컨버터(DAC)는 제2 스위치(S2)가 턴-온 될 때,

제2 보상래치(Lactch2)로부터 입력되는 영상 데이터(Data)를 아날로그 형태인 보상 데이터전압(Vdata)으로 변환한다.

[0069] 이와 같이, 제3 실시 예는 하나의 디지털 아날로그 컨버터(DAC)를 이용하여 영상 데이터전압(Vdata) 또는 보상 데이터전압(Mdata)을 선택적으로 생성하여 출력할 수 있다.

[0070] 도 10에 도시된 제3 실시 예의 래치부 및 보상 래치부는 제2 실시 예에서와 마찬가지로 하나의 래치로 구현될 수도 있다.

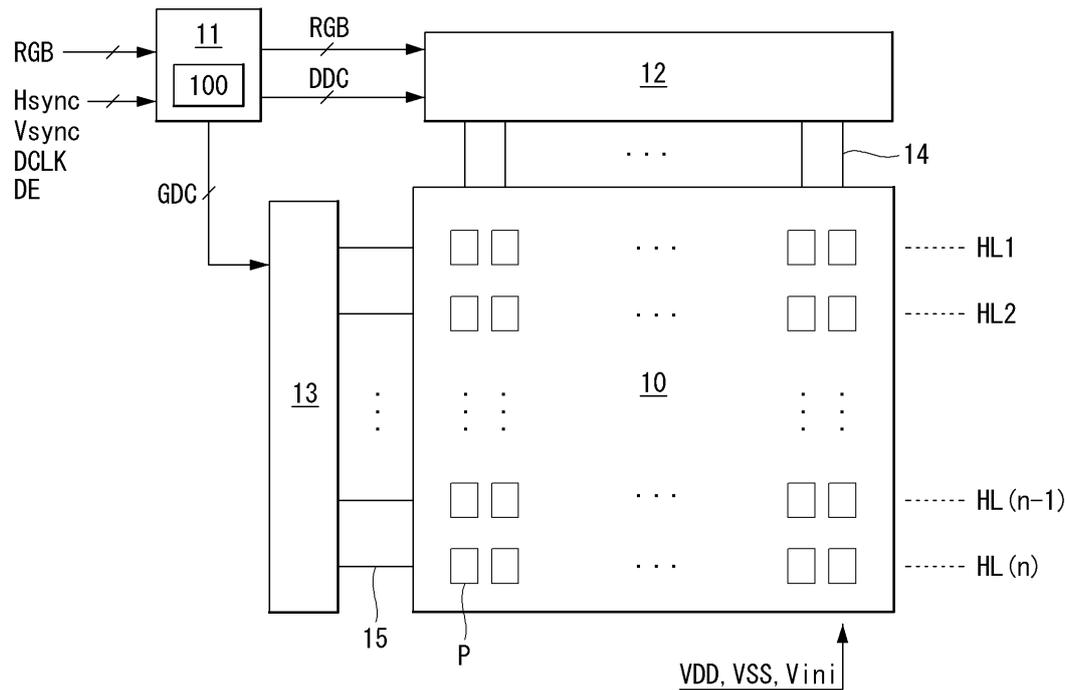
[0071] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

**부호의 설명**

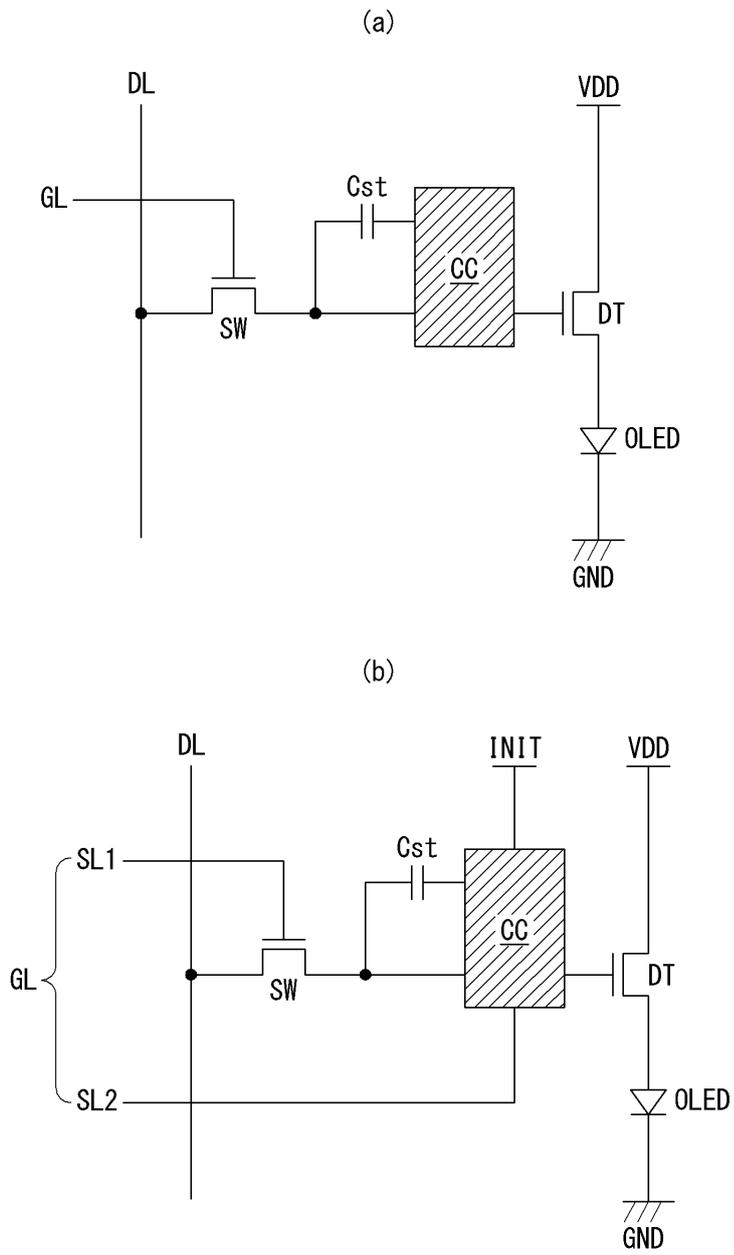
- [0072] 10: 표시패널 11: 타이밍 컨트롤러
- 12: 데이터 구동부 13: 게이트 구동부
- 14: 데이터라인들 15: 게이트라인들
- 100: 보상값 설정부

**도면**

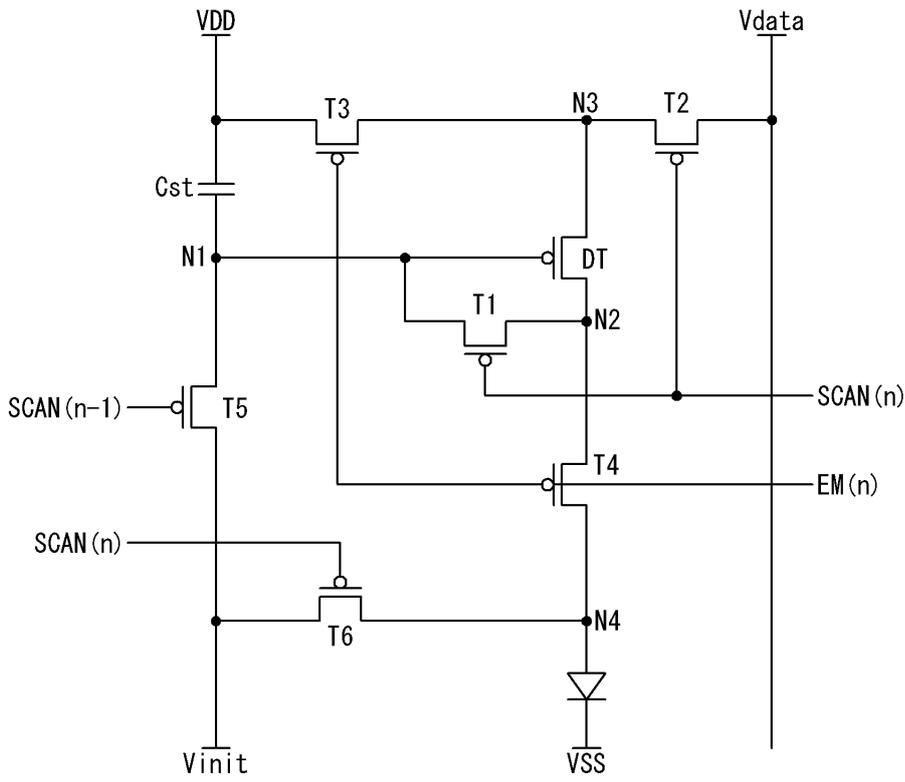
**도면1**



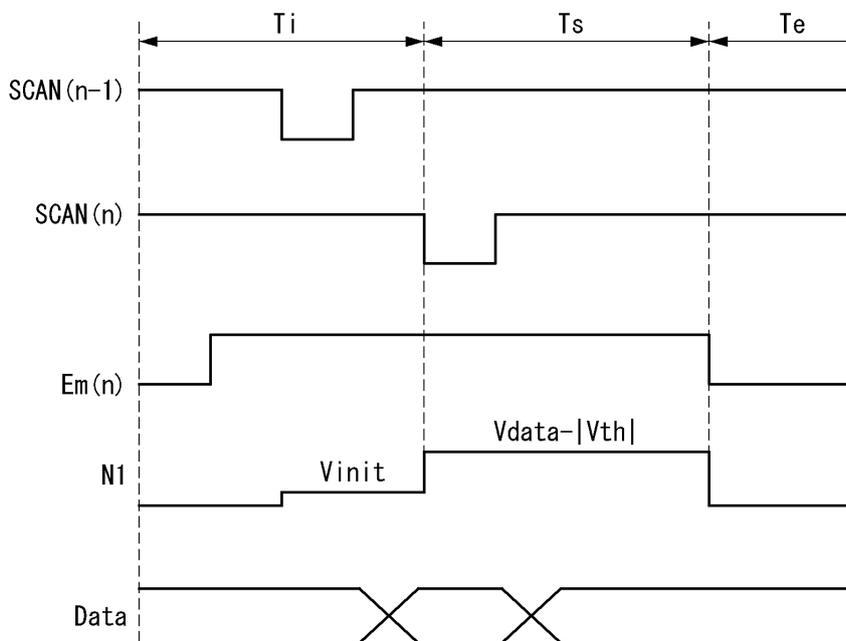
도면2



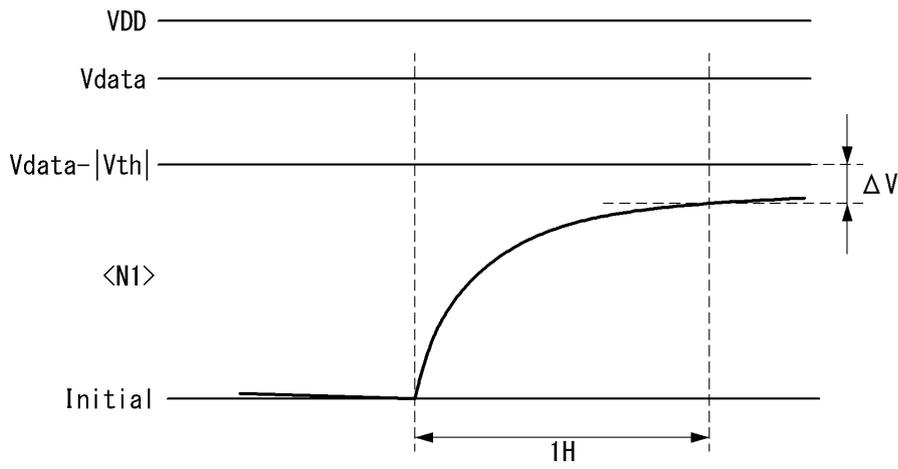
도면3



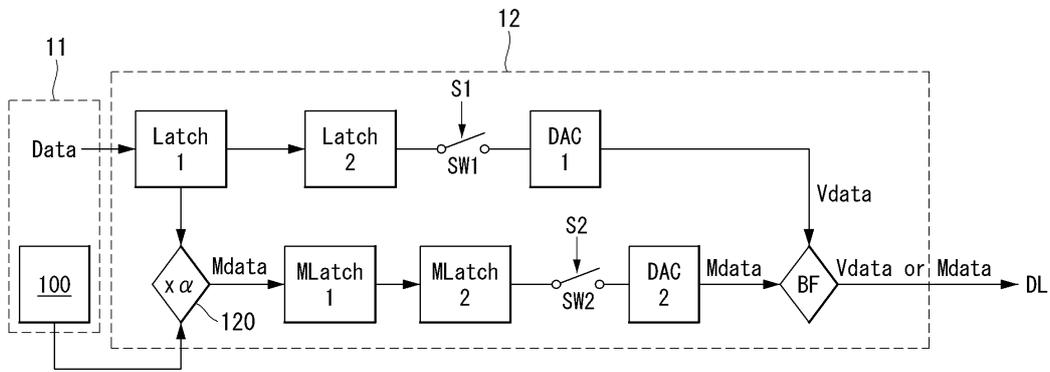
도면4



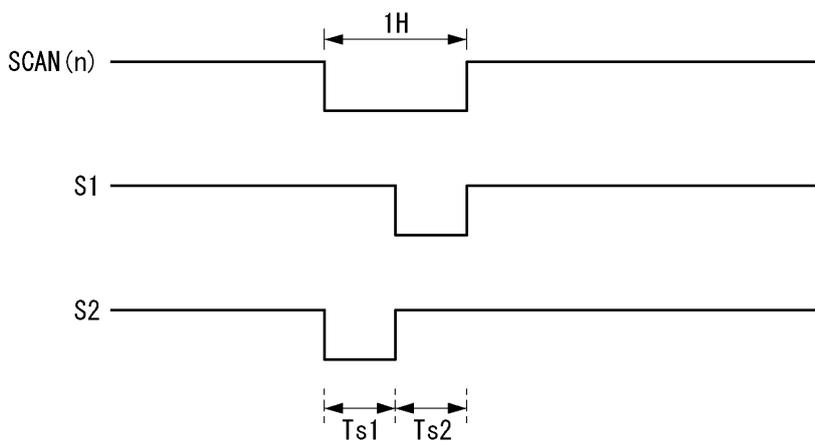
도면5



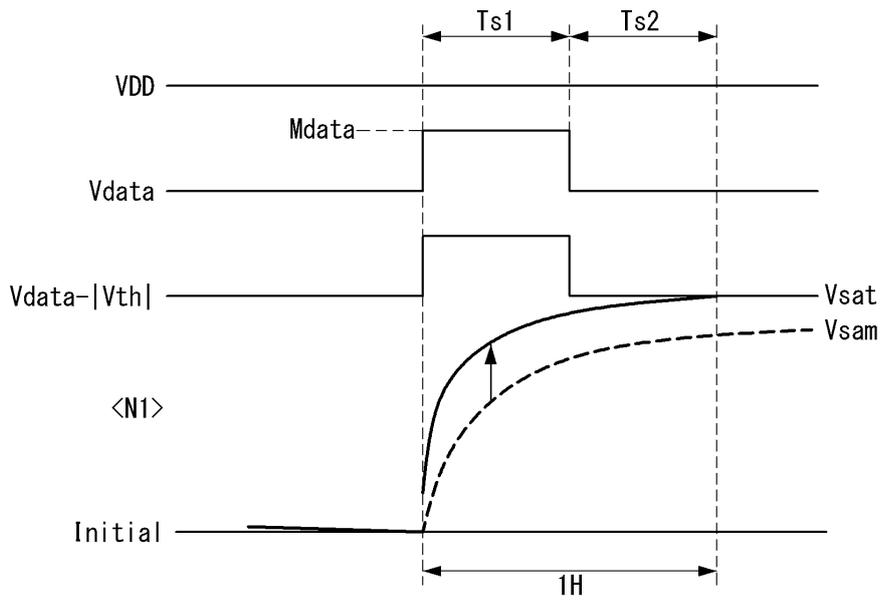
도면6



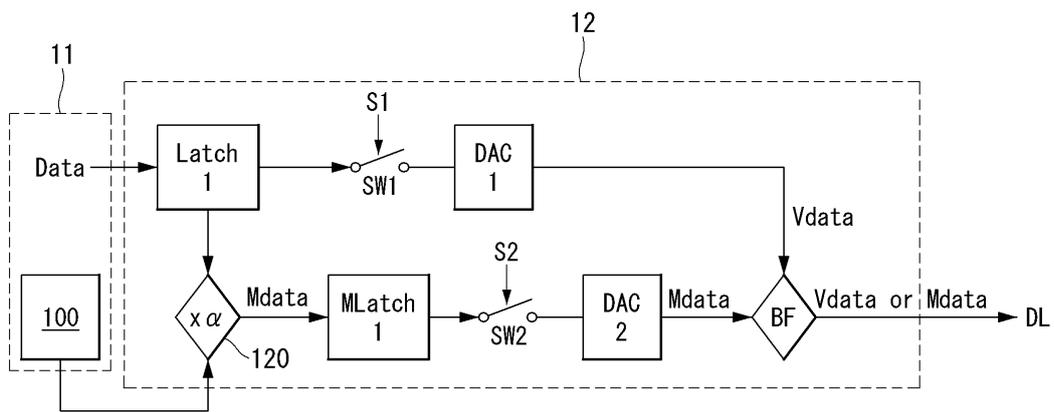
도면7



도면8



도면9



도면10

