

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2017-11299  
(P2017-11299A)

(43) 公開日 平成29年1月12日 (2017.1.12)

|                                    |                       |             |
|------------------------------------|-----------------------|-------------|
| (51) Int.Cl.                       | F I                   | テーマコード (参考) |
| H O 1 L 21/8242 (2006.01)          | H O 1 L 27/10 6 7 1 C | 5 F 0 8 3   |
| H O 1 L 27/108 (2006.01)           | H O 1 L 27/10 6 2 1 C | 5 F 1 1 0   |
| H O 1 L 29/786 (2006.01)           | H O 1 L 27/10 6 7 1 Z | 5 M 0 2 4   |
| G 1 1 C 11/401 (2006.01)           | H O 1 L 29/78 6 1 3 B |             |
|                                    | H O 1 L 29/78 6 1 8 B |             |
| 審査請求 有 請求項の数 5 O L (全 20 頁) 最終頁に続く |                       |             |

|              |                                 |            |                                                                                                                                                |
|--------------|---------------------------------|------------|------------------------------------------------------------------------------------------------------------------------------------------------|
| (21) 出願番号    | 特願2016-189450 (P2016-189450)    | (71) 出願人   | 000153878                                                                                                                                      |
| (22) 出願日     | 平成28年9月28日 (2016. 9. 28)        |            | 株式会社半導体エネルギー研究所                                                                                                                                |
| (62) 分割の表示   | 特願2012-1751 (P2012-1751)<br>の分割 | (72) 発明者   | 山崎 舜平                                                                                                                                          |
| 原出願日         | 平成24年1月10日 (2012. 1. 10)        |            | 神奈川県厚木市長谷 3 9 8 番地 株式会社                                                                                                                        |
| (31) 優先権主張番号 | 特願2011-5401 (P2011-5401)        |            | 半導体エネルギー研究所内                                                                                                                                   |
| (32) 優先日     | 平成23年1月14日 (2011. 1. 14)        | (72) 発明者   | 竹村 保彦                                                                                                                                          |
| (33) 優先権主張国  | 日本国 (JP)                        |            | 神奈川県厚木市長谷 3 9 8 番地 株式会社                                                                                                                        |
|              |                                 |            | 半導体エネルギー研究所内                                                                                                                                   |
|              |                                 | F ターム (参考) | 5F083 AD01 AD02 AD60 GA06 GA10<br>HA02 JA02 JA05 JA06 JA35<br>JA36 JA37 JA39 JA40 JA42<br>JA53 JA58 MA04 MA06 MA18<br>MA19 NA01 PR05 PR33 PR40 |
|              |                                 |            | 最終頁に続く                                                                                                                                         |

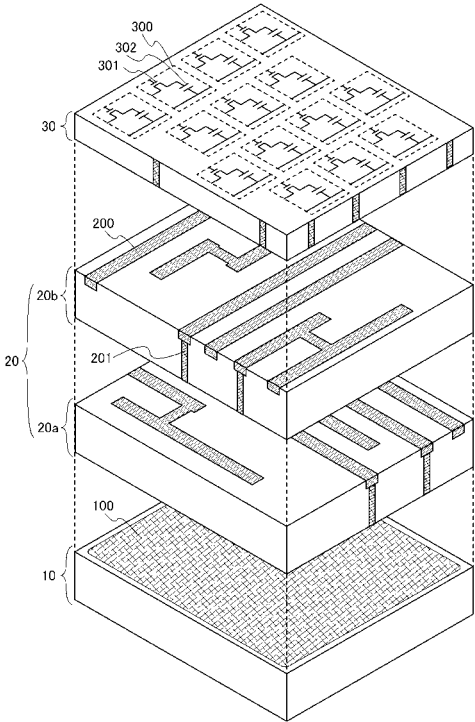
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】さらなる D R A M の大記憶容量化を図る。

【解決手段】半導体記憶装置が、単結晶半導体材料を含む基板の一部を有する駆動回路と、当該駆動回路上に設けられる多層配線層と、当該多層配線層上に設けられるメモリセルアレイ層とを有する。すなわち、当該半導体記憶装置においては、駆動回路と、メモリセルアレイとが重畳して設けられる。したがって、単結晶半導体材料を含む基板に駆動回路及びメモリセルアレイを同一平面に設ける場合と比較して、当該半導体記憶装置の集積度を高めることが可能となる。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

駆動回路と、  
前記駆動回路上方の配線層と、  
前記配線層上方のメモリセルと、を有し、  
前記配線層は、第 1 の配線を有し、  
前記駆動回路は、前記第 1 の配線を介して前記メモリセルと電氣的に接続され、  
前記メモリセルは、トランジスタと、キャパシタと、を有し、  
前記トランジスタは、ソースまたはドレインの一方として機能する第 1 の導電層と、ソ  
ースまたはドレインの他方として機能する第 2 の導電層と、ゲートとして機能する第 3 の  
導電層と、チャンネル形成領域を有する半導体層と、を有し、  
前記第 1 の導電層は、前記半導体層の下面側に電氣的に接続され、  
前記第 2 の導電層は、前記半導体層の上面側に電氣的に接続されていることを特徴とす  
る半導体記憶装置。

**【請求項 2】**

請求項 1 において、  
前記第 3 の導電層は、前記半導体層上方に設けられていることを特徴とする半導体記憶  
装置。

**【請求項 3】**

請求項 1 又は請求項 2 において、  
前記半導体層は、前記第 1 の配線と前記第 3 の導電層との間の領域を有することを特徴  
とする半導体記憶装置。

**【請求項 4】**

請求項 1 乃至請求項 3 のいずれか一項において、  
前記第 1 の配線は、ビット線であることを特徴とする半導体記憶装置。

**【請求項 5】**

請求項 1 乃至請求項 4 のいずれか一項において、  
前記半導体層は、酸化物半導体層であることを特徴とする半導体記憶装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体記憶装置に関する。特に、酸化物半導体によってチャンネル領域が形成  
されるトランジスタが設けられたメモリセルを有する半導体記憶装置に関する。

**【背景技術】****【0002】**

近年、トランジスタの構成材料として、高移動度と、均一な素子特性とを兼ね備えた酸  
化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物  
は様々な用途に用いられている。例えば、酸化インジウムは、液晶表示装置において画素  
電極の材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化  
タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を  
示す金属酸化物をチャンネル領域に用いるトランジスタが、既に知られている（特許文献 1  
及び特許文献 2）。

**【先行技術文献】****【特許文献】****【0003】**

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

10

20

30

40

50

ところで、半導体記憶装置には、揮発性メモリに分類されるDRAM、SRAM、不揮発性メモリに分類されるマスクROM、EPROM、EEPROM、フラッシュメモリ、強誘電体メモリなどがあり、単結晶の半導体基板を用いて形成されたこれらのメモリの多くは既に実用化されている。上記の記憶装置の中でも、DRAMは、トランジスタとキャパシタでメモリセルを構成する単純な構造を有しており、SRAM等の他の記憶装置に比べてメモリセルを構成するための半導体素子が少ない。よって、他の記憶装置と比べて単位面積あたりの記憶容量を高めることができ、低コスト化を実現できる。

【0005】

上述したように、DRAMは大記憶容量化に適しているが、チップサイズの増大を抑えつつ、集積度のより高い集積回路を実現するためには、他の記憶装置と同様に単位面積あたりの記憶容量を高めなくてはならない。そのためには、電荷を保持するために各メモリセルに設けられたキャパシタの面積を小さくし、各メモリセルの面積を縮小化せざるを得ない。

【0006】

例えば、各メモリセルの面積の縮小化を目的として、半導体基板に深い溝を形成し、当該溝にキャパシタを設ける技術（いわゆる、トレンチ型キャパシタ）又は半導体基板の直上方向又は略直上方向に長いキャパシタを設ける技術（いわゆる、スタック型キャパシタ）などが開発されている。具体的には、アスペクト比が50以上となるようなキャパシタが開発されている。また、当該半導体基板上に階層化された複数の配線層を設けることによって、高集積化された当該半導体基板に設けられる膨大な数の半導体素子の電氣的な接続を可能にする技術（いわゆる、多層配線技術）なども開発されている。

【0007】

そこで、本発明の一態様においては、さらなるDRAMの大記憶容量化を図ることを目的の一とする。

【課題を解決するための手段】

【0008】

本発明の一態様の半導体記憶装置は、単結晶半導体材料を含む基板の一部を有する駆動回路上に多層配線層を介してメモリセルアレイを設けることを要旨とする。

【0009】

具体的には、本発明の一態様は、単結晶半導体基板の一部を有する駆動回路と、駆動回路上に設けられ、且つ複数の銅又は銅合金からなる配線を含む多層配線層と、多層配線層上に設けられ、且つマトリクス状に配設された複数のメモリセルを含むメモリセルアレイ層と、を有し、駆動回路と複数のメモリセルのそれぞれは、複数の銅又は銅合金からなる配線の少なくとも一を介して電氣的に接続され、複数のメモリセルのそれぞれは、酸化物半導体によってチャネル領域が形成されるトランジスタと、一方の電極がトランジスタのソース及びドレインの一方に電氣的に接続されるキャパシタと、を有する半導体記憶装置である。

【発明の効果】

【0010】

本発明の一態様に係る半導体記憶装置は、単結晶半導体材料を含む基板の一部を有する駆動回路と、メモリセルアレイとを重畳して設けることが可能である。したがって、単結晶半導体材料を含む基板に駆動回路及びメモリセルアレイを同一平面に設ける場合と比較して、当該半導体記憶装置の集積度を高めることが可能となる。

【図面の簡単な説明】

【0011】

【図1】半導体記憶装置の構成例を示す図。

【図2】駆動回路が有するトランジスタの構成例を示す図。

【図3】(A)～(H)トランジスタの作製方法の一例を示す図。

【図4】配線層の構成例を示す図。

【図5】(A)～(H)配線層の作製方法の一例を示す図。

10

20

30

40

50

【図 6】メモリセルの構成例を示す図。

【図 7】(A) ~ (H) メモリセルが有するトランジスタの作製方法の一例を示す図。

【図 8】マイクロプロセッサの構成例を示すブロック図。

【図 9】半導体装置の具体例を示す図。

【発明を実施するための形態】

【0012】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

【0013】

まず、本発明の一態様の半導体記憶装置の構成例について図 1 ~ 7 を参照して説明する。

【0014】

< 半導体記憶装置の構成例 >

図 1 は、半導体記憶装置の構成例を示す図である。図 1 に示す半導体記憶装置は、単結晶半導体材料を含む基板 10 の一部を有する駆動回路 100 と、駆動回路 100 上に設けられた多層配線層 20 と、多層配線層 20 上に設けられ、且つマトリクス状に配設された複数のメモリセル 300 を含むメモリセルアレイ層 30 とを有する。

【0015】

20

駆動回路 100 は、単結晶半導体材料を含む基板 10 を用いて形成される複数の半導体素子によって構成される。そして、複数のメモリセル 300 のそれぞれに対してデータの書き込み及び読み出しを行う機能を有する。

【0016】

多層配線層 20 は、それぞれに複数の配線 200 が設けられる平面を有する複数の配線層 20a、20b によって構成される。そして、駆動回路 100 に含まれる半導体素子同士、及び駆動回路 100 と複数のメモリセル 300 のそれぞれとを電氣的に接続させる機能を有する。なお、多層配線層 20 においては、複数の配線 200 が設けられる平面が階層化されている。具体的には、それぞれに配線 200 が埋設された複数の絶縁層が積層されている。ただし、異なる平面に設けられた配線 200 同士は、絶縁層を貫通して設けられるコンタクトプラグ 201 を介して電氣的に接続されている。なお、図 1 においては、2つの配線層 20a、20b によって構成される多層配線層 20 を例示しているが、本発明の一態様に係る多層配線層 20 は、2層に限定されず、3層以上によって構成することも可能である。また、多層配線層 20 のうちの 1 層以上を用いてメモリセルのビット線を形成してもよい。

30

【0017】

複数のメモリセル 300 のそれぞれは、トランジスタ 301 と、一方の電極がトランジスタ 301 のソース及びドレインの一方に電氣的に接続されるキャパシタ 302 とを有する。

【0018】

40

< 駆動回路 100 の構成例 >

以下では、駆動回路 100 を構成する、単結晶半導体材料を含む基板 10 を用いて形成されるトランジスタの一例について、図 2 を参照して説明する。

【0019】

図 2 に示すトランジスタ 160 は、単結晶半導体材料を含む基板 10 に設けられたチャネル領域 116 と、チャネル領域 116 を挟むように設けられた一対の不純物領域 114a、114b 及び一対の高濃度不純物領域 120a、120b (これらをあわせて単に不純物領域とも呼ぶ) と、チャネル領域 116 上に設けられたゲート絶縁膜 108 と、ゲート絶縁膜 108 上に設けられたゲート電極 110 と、不純物領域 114a と電氣的に接続するソース電極 130a と、不純物領域 114b と電氣的に接続するドレイン電極 130

50

bとを有する。

【0020】

なお、ゲート電極110の側面にはサイドウォール絶縁層118が設けられている。また、単結晶半導体材料を含む基板10のサイドウォール絶縁層118と重ならない領域には、一対の高濃度不純物領域120a、120bが存在し、一対の高濃度不純物領域120a、120b上には一対の金属化合物領域124a、124bが存在する。また、基板10上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように、層間絶縁層126および層間絶縁層128が設けられている。ソース電極130aは、層間絶縁層126および層間絶縁層128に形成された開口を通じて、金属化合物領域124aと電氣的に接続され、ドレイン電極130bは、層間絶縁層126および層間絶縁層128に形成された開口を通じて、金属化合物領域124bと電氣的に接続されている。つまり、ソース電極130aは、金属化合物領域124aを介して高濃度不純物領域120aおよび不純物領域114aと電氣的に接続され、ドレイン電極130bは、金属化合物領域124bを介して高濃度不純物領域120bおよび不純物領域114bと電氣的に接続されている。

10

【0021】

<トランジスタの作製方法例>

次に、トランジスタ160の作製方法の一例について、図3を参照して説明する。なお、トランジスタ160は以下の方法に限定されず、公知の技術により作製できる。

【0022】

まず、単結晶半導体材料を含む基板10を用意する(図3(A)参照)。単結晶半導体材料を含む基板10としては、シリコン、炭化シリコン、シリコンゲルマニウム、又は砒化ガリウムなどの単結晶半導体基板、及びそれらの単結晶層を絶縁層上に設けたSOI基板などを適用することができる。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含むこととする。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成も含まれるものとする。ここでは、単結晶半導体材料を含む基板10として、単結晶シリコン基板を用いる場合の一例について示すものとする。

20

30

【0023】

基板10上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図3(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、半導体装置のしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板10に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0024】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の基板10の一部を除去する。これにより分離された半導体領域104が形成される(図3(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

40

【0025】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図3(B)参照)。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP(Chemical Mechanical

50

Polishing)などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

#### 【0026】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

#### 【0027】

絶縁層は後のゲート絶縁膜となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素などとの混合ガスを用いて行うことができる。また、絶縁層の誘電率及び厚さは、作製するトランジスタのチャネル長に応じて決定されるが、例えば、1nm以上100nm以下とすることができる。

#### 【0028】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電性の高い多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。なお、ここでは、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

#### 【0029】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁膜108、ゲート電極110を形成する(図3(C)参照)。

#### 【0030】

次に、ゲート電極110を覆う絶縁層112を形成する(図3(C)参照)。そして、半導体領域104に硼素(B)、リン(P)、ヒ素(As)などを添加して、浅い接合深さの一对の不純物領域114a、114bを形成する(図3(C)参照)。なお、一对の不純物領域114a、114bの形成により、半導体領域104のゲート絶縁膜108下部には、チャネル領域116が形成される(図3(C)参照)。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に一对の不純物領域114a、114bを形成する工程を採用しているが、一对の不純物領域114a、114bを形成した後に絶縁層112を形成する工程としても良い。

#### 【0031】

次に、サイドウォール絶縁層118を形成する(図3(D)参照)。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極110の上面と、一对の不純物領域114a、114bの上面を一部露出させると良い。

#### 【0032】

次に、ゲート電極110、一对の不純物領域114a、114b、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、一对の不純物領域114a、114bの一部に対して硼素(B)、リン(P)、ヒ素(As)などを添加して、一对の高濃度不純物領域120a、120bを形成する(図3(E)参照)。必要に応じて、一对の高濃度不純物領域120a、120bの外側に、逆の導電型の不純物を注入して、いわゆるハロー領域を形成してもよい。その後、上記絶縁層を除去し、ゲート電極110、サイドウォール絶縁層118、一对の高濃度不純物領域120a、120b等を覆うように金属層122を形成する(図3(E)参照)。金属層122は、真空蒸着法やスパッタリン

10

20

30

40

50

グ法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層 1 2 2 は、半導体領域 1 0 4 を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

#### 【0033】

次に、熱処理を施して、金属層 1 2 2 と半導体材料とを反応させる。これにより、一対の高濃度不純物領域 1 2 0 a、1 2 0 b に接する一対の金属化合物領域 1 2 4 a、1 2 4 b が形成される（図 3（F）参照）。なお、ゲート電極 1 1 0 として多結晶シリコンなどを用いる場合には、ゲート電極 1 1 0 の金属層 1 2 2 と接触する部分にも、金属化合物領域が形成されることになる。

10

#### 【0034】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、一対の金属化合物領域 1 2 4 a、1 2 4 b を形成した後は、金属層 1 2 2 は除去する。

#### 【0035】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 1 2 6、層間絶縁層 1 2 8 を形成する（図 3（G）参照）。層間絶縁層 1 2 6 や層間絶縁層 1 2 8 は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 1 2 6 や層間絶縁層 1 2 8 の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層 1 2 8 の形成後には、その表面を、CMP やエッチング処理などによって平坦化しておくことが望ましい。

20

#### 【0036】

その後、上記層間絶縁層に、一対の金属化合物領域 1 2 4 a、1 2 4 b にまで達する開口を形成し、当該開口に、ソース電極 1 3 0 a、ドレイン電極 1 3 0 b を形成する（図 3（H）参照）。ソース電極 1 3 0 a 及びドレイン電極 1 3 0 b は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッチング処理や CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

30

#### 【0037】

なお、ソース電極 1 3 0 a 及びドレイン電極 1 3 0 b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の CMP によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極 1 3 0 a 及びドレイン電極 1 3 0 b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

40

#### 【0038】

以上により、単結晶半導体材料を含む基板 1 0 を用いたトランジスタ 1 6 0 が形成される。

#### 【0039】

< 配線層 2 0 a、2 0 b の構成例 >

以下では、配線層 2 0 a、2 0 b の構成例について、図 4 を参照して説明する。

#### 【0040】

図 4 に示す配線層 2 0 a は、絶縁層 2 0 2 と、絶縁層 2 0 2 の開口部において設けられたコンタクトプラグ 2 0 1 a、2 0 1 b と、絶縁層 2 0 2 上に設けられた絶縁層 2 0 3 と

50

、絶縁層 203 の開口部において設けられた配線 200a、200b とを有する。また、配線層 20b も配線層 20a と同様の構成を有する。

【0041】

なお、絶縁層 202 は、図 2 に示したトランジスタ 160 上に設けられている。また、コンタクトプラグ 201a は、トランジスタ 160 が有するソース電極 130a 及び配線 200a に接続され、コンタクトプラグ 201b は、トランジスタ 160 が有するドレイン電極 130b 及び配線 200b に接続されている。

【0042】

< 配線層 20a、20b の作製方法例 >

次に、配線層 20a、20b の作製方法の一例について、図 5 を参照して説明する。

10

【0043】

まず、トランジスタ 160 上に絶縁層 202 を形成する（図 5（A）参照、なお、図 5 ではトランジスタ 160 は割愛する）。絶縁層 202 としては、酸化シリコン、窒化酸化シリコン、窒化シリコン等の無機絶縁材料を含む膜の単層構造、または積層構造などを適用することができる。例えば、窒化シリコン膜及び酸化シリコン膜の積層を絶縁層 202 として適用することができる。特に、その後に形成する配線 200a、200b が銅を含有する場合には、銅がトランジスタ 160 に拡散しないように、厚さ 5nm 乃至 50nm の窒化シリコン膜を形成し、その上に必要な厚さの酸化シリコン膜等を堆積する積層構造とすることが望ましい。絶縁層 202 の作製方法としては、CVD 法またはスパッタリング法等を適用することができる。

20

【0044】

次に、絶縁層 202 上にフォトリソグラフィ法等を用いてレジストマスクを形成し、当該レジストマスクを用いて絶縁層 202 をエッチングすることで、開口部 204a、204b を形成する（図 5（B）参照）。なお、フォトリソグラフィ法を行う場合は、予め絶縁層 202 上に反射防止膜を形成しておくことが好ましい。これにより、フォトリソグラフィ法の露光工程時における、トランジスタ 160 が有する導電層（ソース電極 130a、ドレイン電極 130b 等）等による光の反射を抑制することが可能となる。すなわち、フォトリソグラフィ法における解像度の低下を抑制することが可能となる。なお、当該反射防止膜としては、当該レジストの材料等に応じて適宜選択することができる。また、当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

30

【0045】

次に、少なくとも開口部 204a、204b を埋没させるように導電材料を含む層 205 を形成する（図 5（C）参照）。導電材料を含む層 205 としては、アルミニウム、チタン、タンタル、若しくはタングステン等の金属、若しくはこれらの窒化物、またはこれらの合金等を含む膜を適用することが可能である。また、導電材料を含む層 205 として、これらの膜の積層構造を適用することも可能である。例えば、チタン膜、窒化チタン膜、及びタングステン膜の積層を導電材料を含む層 205 として適用することができる。特に、その後に形成する配線 200a、200b が銅を含有する場合には、銅がトランジスタ 160 に拡散しないように、導電材料を含む層 205 が厚さ 5nm 乃至 50nm の窒化チタンの層を有することが望ましい。導電材料を含む層 205 の作製方法としては、CVD 法またはスパッタリング法等を適用することができる。

40

【0046】

次に、少なくとも絶縁層 202 の上面が露出するように、絶縁層 202 上に形成された導電材料を含む層 205 を CMP によって除去する（図 5（D）参照）。これにより、コンタクトプラグ 201a、201b が形成される。

【0047】

次に、絶縁層 202 及びコンタクトプラグ 201a、201b 上に絶縁層 203 を形成する（図 5（E）参照）。絶縁層 203 としては、酸化シリコン、窒化酸化シリコン、窒

50

化シリコン等の無機絶縁材料を含む膜、若しくはアルキルシラン等の有機シランを原料にしたシリコン樹脂（いわゆる、SiOC膜）等の絶縁材料の単層構造、または積層構造などを適用することができる。例えば、SiOC膜と酸化シリコン膜の積層を絶縁層203として適用することができる。また、絶縁層203の作製方法としては、CVD法、スパッタリング法、またはスピンコート法等を適用することができる。

#### 【0048】

次に、絶縁層203上にフォトリソグラフィ法等を用いてレジストマスクを形成し、当該レジストマスクを用いて少なくとも絶縁層203をエッチングすることで、溝206a、206bを形成する（図5（F）参照）。なお、溝206a、206bは、少なくとも絶縁層203を貫通し、コンタクトプラグ201a、201bの上面が露出するようにする。例えば、処理時間を制御することにより、溝206a、206bが所望の形状となるように制御する。また、フォトリソグラフィ法を行う場合は、上述したように予め絶縁層203上に反射防止膜を形成しておくことが好ましい。また、当該エッチングには、ドライエッチング（特に、反応性イオンエッチング（Reactive Ion Etching））を用いるのが好ましい。

10

#### 【0049】

次に、少なくとも溝206a、206bを埋没させるように導電材料を含む層207を形成する（図5（G）参照）。導電材料を含む層207としては、銅、アルミニウム、チタン、タンタル、若しくはタングステン等の金属、若しくはこれらの窒化物、またはこれらの合金等を含む膜を適用することが可能である。また、導電材料を含む層207として、これらの膜の積層構造を適用することも可能である。例えば、窒化タンタル膜、及び銅膜の積層を導電材料を含む層207として適用することができる。また、導電材料を含む層207の作製方法としては、CVD法もしくはスパッタリング法、またはこれらの方法によってシード層を形成した後に電解めっきを行う方法等を適用することができる。

20

#### 【0050】

なお、導電材料を含む層207としては、銅又は銅合金からなる膜を含む配線を適用することが好ましい。これにより、配線抵抗を低減することが可能である。例えば、厚さ5nm乃至50nmの窒化タンタルの層をCVD法により形成し、さらに厚さ5nm乃至50nmの第1の銅の層をスパッタリング法等で形成する。その後、それらを電極とする電解めっき法により第2の銅の層を堆積して、導電材料を含む層207が得られる。その際、窒化タンタルの層は銅が下方へ拡散することを防止するとともに、絶縁層203との密着性を改善するために用いられ、第1の銅の層は第2の銅の層のシードとなる。

30

#### 【0051】

次に、少なくとも絶縁層203の上面が露出するように、絶縁層203上に形成された導電材料を含む層207をCMPによって除去する（図5（H）参照）。これにより、配線200a、200bが形成される。

#### 【0052】

以上により、配線層20aが形成される。なお、配線層20bも同様の工程によって形成することができる。

#### 【0053】

<メモリセル300の構成例>

以下では、メモリセル300の構成例について、図6を参照して説明する。

#### 【0054】

図6に示すメモリセル300は、トランジスタ301と、一方の電極がトランジスタ301のソース及びドレインの一方に電気的に接続されたキャパシタ302とを有する。さらに、トランジスタ301は、ソースまたはドレインとして機能する一対の導電材料を含む層3011、3013と、ゲートとして機能する導電材料を含む層3014と、チャネル領域を形成する酸化物半導体層3012とを有する。また、キャパシタ302は、一方の電極として機能する導電材料を含む層3013と、他方の電極として機能する導電材料を含む層3016とを有する。なお、導電材料を含む層3014と酸化物半導体層301

40

50

2の間、及び導電材料を含む層3013と導電材料を含む層3016の間等には絶縁層3015が設けられている。

【0055】

なお、導電材料を含む層3011は、絶縁層303の開口部に設けられる。ここで、絶縁層303は、図1に示した配線層20b上に設けられる絶縁層であり、導電材料を含む層3011は、配線層20bが有する配線200cに接続されている。

【0056】

また、図6においては、メモリセル300に隣接するメモリセル3000、及びメモリセル300及びメモリセル3000に近接し、且つ紙面の垂直方向に存在するメモリセルが有するトランジスタのゲートとして機能する導電材料を含む層3020も図示している。なお、図6において、導電材料を含む層3014、3020はメモリセルのワード線として機能し、配線200cはビット線として機能する。

【0057】

<メモリセル300の作製方法例>

次に、メモリセル300の作製方法の一例について、図7を参照して説明する。

【0058】

まず、配線層20b上に絶縁層303を形成する(図7(A)参照、なお、図7では配線層20bは割愛する)。絶縁層303としては、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む膜、若しくはポリイミド、アクリル等の有機絶縁材料を含む膜の単層構造、または積層構造などを適用することができる。例えば、窒化シリコン膜及び酸化シリコン膜の積層を絶縁層303として適用することができる。また、絶縁層303の作製方法としては、CVD法、スパッタリング法、またはスピンコート法等を適用することができる。

【0059】

次に、絶縁層303上にフォトリソグラフィ法等を用いてレジストマスクを形成し、当該レジストマスクを用いて絶縁層303をエッチングすることで、開口部を形成する。なお、フォトリソグラフィ法を行う場合は、上述したように予め絶縁層303上に反射防止膜を形成しておくことが好ましい。また、当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。また、エッチングガスについては被エッチング材料に応じて適宜選択することができる。

【0060】

次に、少なくとも絶縁層303に設けられた開口部を埋没させるように導電材料を含む層3001を形成する(図7(B)参照)。導電材料を含む層3001としては、アルミニウム、チタン、タンタル、若しくはタングステン等の金属、若しくはこれらの窒化物、またはこれらの合金等を含む膜を適用することが可能である。また、導電材料を含む層3001として、これらの膜の積層構造を適用することも可能である。また、導電材料を含む層3001の作製方法としては、CVD法またはスパッタリング法等を適用することができる。

【0061】

次に、少なくとも絶縁層303の上面が露出するように、絶縁層303上に形成された導電材料を含む層3001をCMPによって除去する(図7(C)参照)。これにより、メモリセル300のソースまたはドレインとして機能する導電材料を含む層3011等が形成される。

【0062】

次に、絶縁層303及び導電材料を含む層3011上に酸化物半導体層を形成する。なお、酸化物半導体は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体、Al-Ga-Zn-O系酸化物半導体、Sn-Al-Zn-O系酸化物半導体、二元系金属酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半

10

20

30

40

50

導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体、In-Ga-O系酸化物半導体、一元系金属酸化物であるIn-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。なお、本明細書においては、例えば、In-Sn-Ga-Zn-O系酸化物半導体とは、インジウム(In)、錫(Sn)、ガリウム(Ga)、亜鉛(Zn)を有する金属酸化物、という意味であり、その化学量論的組成比は特に問わない。また、上記酸化物半導体は、シリコンを含んでいてもよい。

#### 【0063】

当該酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。酸化物半導体層は、例えば、スパッタリング法などを用いて作製することができる。成膜の雰囲気は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

10

#### 【0064】

なお、当該酸化物半導体層は非晶質であっても良いが、トランジスタのチャネル領域として結晶性を有する酸化物半導体層を用いることが好ましい。結晶性を有する酸化物半導体層を用いることで、トランジスタの信頼性(ゲート・バイアス・ストレス耐性)を高めることができるからである。

#### 【0065】

結晶性を有する酸化物半導体層としては、理想的には単結晶であることが望ましいが、c軸配向を有した結晶(C Axis Aligned Crystal: CAACとも呼ぶ)を有する酸化物半導体層が好ましい。なお、当該c軸配向を有した結晶とは、形成面(ここでは、絶縁層303上面)に対して、c軸が垂直又は略垂直となる六方晶を指す。

20

#### 【0066】

CAACを含む酸化物半導体層は、スパッタリング法によっても作製することができる。スパッタリング法によってCAACを含む酸化物半導体層を得るには酸化物半導体層の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、ターゲットと基板の距離を広くとり(例えば、150mm~200mm程度)、基板加熱温度を100~500、好適には200~400、さらに好適には250~300にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体層を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

30

#### 【0067】

CAACを含む酸化物半導体層は、高純度化され、酸素欠損による欠陥を低減し、しかもc軸に配向した結晶を有することで、弱いp型に価電子制御することが容易となる。

#### 【0068】

次に、フォトリソグラフィ法等を用いてレジストを形成し、当該レジストをマスクとして当該酸化物半導体層をエッチングすることで、酸化物半導体層3012等を形成する(図7(D)参照)。なお、当該エッチングには、ドライエッチングを用いるのが好適である。また、エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

40

#### 【0069】

次に、酸化物半導体層3012に対して、熱処理を行ってもよい。熱処理を行うことによって、酸化物半導体層3012中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体層3012の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、不活性ガス雰囲気下、250以上700以下、好ましくは450以上600以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、

50

窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N（99.9999%）以上、好ましくは7 N（99.99999%）以上（すなわち、不純物濃度が1 ppm以下、好ましくは0.1 ppm以下）とする。

#### 【0070】

当該熱処理を行うことによって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体膜を形成することで、極めて優れた特性のトランジスタを実現することができる。

#### 【0071】

次に、絶縁層303及び酸化物半導体層3012上に絶縁層3002を形成する（図7（E）参照）。なお、絶縁層3002は、後に形成されるトランジスタ301のゲート絶縁膜として機能する。絶縁層3002としては、酸化シリコン、酸化窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む膜の単層構造、または積層構造などを適用することができる。また、当該絶縁層の作製方法としては、スパッタリング法等を適用することができる。

#### 【0072】

次に、絶縁層3002上に導電材料を含む層を形成する。当該導電材料を含む層としては、アルミニウム、チタン、タンタル、若しくはタングステン等の金属、若しくはこれらの窒化物、またはこれらの合金等を含む膜を適用することが可能である。また、酸化インジウム、酸化タングステン、酸化モリブデン等の酸化物、又は窒化インジウム、窒化亜鉛等の窒化物を適用することも可能である。また、当該導電材料を含む層として、これらの膜の積層構造を適用することも可能である。また、当該導電材料を含む層の作製方法としては、CVD法またはスパッタリング法等を適用することができる。

#### 【0073】

次に、当該導電材料を含む層上にフォトリソグラフィ法等を用いてレジストマスクを形成し、当該レジストマスクを用いて当該導電材料を含む層をエッチングすることで、導電材料を含む層3014、3020等を形成する（図7（F）参照）。なお、当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。また、エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

#### 【0074】

次に、絶縁層3002及び導電材料を含む層3014、3020上に絶縁層3003を形成する。絶縁層3003としては、酸化シリコン、窒化酸化シリコン、窒化シリコン等の無機絶縁材料を含む膜、若しくはポリイミド、アクリル等の有機絶縁材料を含む膜の単層構造、または積層構造などを適用することができる。また、絶縁層3003の作製方法としては、CVD法、スパッタリング法、またはスピンコート法等を適用することができる。

#### 【0075】

次に、絶縁層3003上にフォトリソグラフィ法等を用いてレジストを形成し、当該レジストをマスクとして絶縁層3003をエッチングすることで、開口部を形成する。なお、当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。また、エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

#### 【0076】

次に、少なくとも絶縁層3003に設けられた開口部を埋没させるように導電材料を含む層3004を形成する（図7（G）参照）。導電材料を含む層3004としては、アルミニウム、チタン、タンタル、若しくはタングステン等の金属、若しくはこれらの窒化物、またはこれらの合金等を含む膜を適用することが可能である。また、導電材料を含む層3004として、これらの膜の積層構造を適用することも可能である。また、導電材料を

10

20

30

40

50

含む層 3004 の作製方法としては、CVD 法またはスパッタリング法等を適用することができる。

【0077】

次に、少なくとも絶縁層 3003 の上面が露出するように、絶縁層 3003 上に形成された導電材料を含む層 3004 を CMP によって除去する（図 7（H）参照）。これにより、メモリセル 300 のソースまたはドレインとして機能する導電材料を含む層 3005 等が形成される。

【0078】

以上により、メモリセル 300 が有するトランジスタ 301 が形成される。なお、メモリセル 300 が有するキャパシタ 302（スタック型キャパシタ）は、公知の方法を用いて適宜形成することができる。

10

【0079】

<本明細書で開示される半導体記憶装置について>

本明細書で開示される半導体記憶装置は、単結晶半導体材料を含む基板の一部を有する駆動回路と、当該駆動回路上に設けられる多層配線層と、当該多層配線層上に設けられるメモリセルアレイ層とを有する。すなわち、本明細書で開示される半導体記憶装置においては、駆動回路と、メモリセルアレイとが重畳して設けられる。したがって、単結晶半導体材料を含む基板に駆動回路及びメモリセルアレイを同一平面に設ける場合と比較して、当該半導体記憶装置の集積度を高めることが可能となる。

【0080】

20

なお、当該多層配線層に含まれる配線として、銅又は銅合金からなる配線を適用することが好ましい。これにより、当該配線における配線抵抗を低減することができる。すなわち、当該半導体記憶装置の動作遅延を抑制することが可能である。特に、この効果は、メモリセルに対するデータの書き込み及び読み出しを担う配線（いわゆる、ビット線）として、銅又は銅合金からなる配線を適用した場合に大きい。

【0081】

また、メモリセルに設けられるトランジスタとして酸化物半導体によってチャネル領域が設けられるトランジスタを適用することが好ましい。なぜなら、酸化物半導体などのバンドギャップの広い半導体をチャネル領域に有するトランジスタは、シリコンなどの半導体を用いたトランジスタに比べて、オフ電流値が著しく低い。そのため、本明細書で開示される半導体記憶装置が有するメモリセルにおいては、キャパシタからの電荷のリークを抑制することが可能である。したがって、リフレッシュ動作の頻度を低減することが可能となる。これにより、本明細書で開示される半導体記憶装置においては、リフレッシュ動作の頻度を低減することによる消費電力の低減等を図ることが可能である。

30

【0082】

また、メモリセルに設けられるキャパシタとしてスタック型キャパシタを適用することが好ましい。これにより、当該メモリセルの大容量化と高集積化を両立させることが可能である。さらに、本明細書で開示される半導体記憶装置は、スタック型キャパシタ又はトレンチ型キャパシタを有するメモリセルを有する従来の半導体記憶装置と比較して以下の点で好ましい。なお、ここで、従来の半導体記憶装置とは、単結晶半導体材料を含む基板を用いてメモリセルが有するトランジスタが設けられ、且つ当該メモリセル上に多層配線層が設けられる半導体記憶装置を指すこととする。

40

【0083】

本明細書で開示される半導体記憶装置においては、スタック型キャパシタを構成する一対の電極及びワード線に、ビット線が近接しない点で好ましい。これは、本明細書で開示される半導体記憶装置が有するメモリセルアレイでは、ワード線（導電材料を含む層 3014、3020 等）及びキャパシタを構成する一対の電極（導電材料を含む層 3013、3016 等）が、共にトランジスタ 301 を挟んでビット線（配線 200c）の逆側に設けられているのに対し、従来の半導体記憶装置が有するワード線及びキャパシタを構成する一対の電極の少なくとも一と、ビット線とが、メモリセルを構成するトランジスタの同

50

じ側に設けられていることに起因する。これにより、本明細書で開示される半導体記憶装置においては、各種配線（特にビット線）に生じる寄生容量を低減することによる消費電力の低減及び動作遅延の抑制等を図ることが可能である。

【0084】

また、キャパシタ302と配線200cをトランジスタ301を挟んで設けることにより、キャパシタ302及び配線200cに関する設計の制約が小さくなり、より少ない面積に必要な容量のキャパシタを形成することができる。

【0085】

<半導体記憶装置の利用例>

以下では、上述した半導体記憶装置の利用例について図8を参照して説明する。

10

【0086】

図8は、マイクロプロセッサの構成例を示すブロック図である。図8に示すマイクロプロセッサは、CPU401、メインメモリ402、クロックコントローラ403、キャッシュコントローラ404、シリアルインターフェース405、I/Oポート406、端子407、インターフェース408、キャッシュメモリ409等が形成されている。勿論、図8に示すマイクロプロセッサは、その構成を簡略化して示した一例にすぎず、実際のマイクロプロセッサはその用途によって多種多様な構成を有している。

【0087】

CPU401をより高速に動作させるには、それに見合う程度の高速なメモリを必要とする。しかし、CPU401の動作スピードにあったアクセスタイムをもつ高速の大容量メモリを使用した場合、一般的にコストが高くなってしまう。そこで大容量のメインメモリ402の他に、メインメモリ402よりも小容量であるが高速のメモリであるSRAMなどのキャッシュメモリ409を、CPU401とメインメモリ402の間に介在させる。CPU401がキャッシュメモリ409にアクセスすることにより、メインメモリ402のスピードによらず、高速で動作することが可能となる。

20

【0088】

図8に示すマイクロプロセッサでは、メインメモリ402に上述した半導体記憶装置を用いることができる。上記構成により、集積度の高いマイクロプロセッサ、信頼性の高いマイクロプロセッサを実現することができる。

【0089】

30

なお、メインメモリ402には、CPU401で実行されるプログラムが格納されている。そして例えば実行初期において、メインメモリ402に格納されているプログラムは、キャッシュメモリ409にダウンロードされる。ダウンロードされるプログラムは、メインメモリ402に格納されているものに限定されず、他の外付のメモリからダウンロードすることもできる。キャッシュメモリ409は、CPU401で実行されるプログラムを格納するだけでなく、ワーク領域としても機能し、CPU401の計算結果等を一時的に格納する。

【0090】

なお、CPUは単数に限られず、複数設けていても良い。CPUを複数設け、並列処理を行なうことで、動作速度の向上を図ることができる。その場合、CPU間の処理速度がまちまちだと処理全体で見たときに不都合が起きる場合があるので、スレーブとなる各CPUの処理速度のバランスを、マスターとなるCPUでとるようにしても良い。

40

【0091】

なお、ここではマイクロプロセッサを例示したが、上述した半導体記憶装置は、マイクロプロセッサのメインメモリにその用途が限られるわけではない。例えば表示装置の駆動回路に用いられるビデオRAMや、画像処理回路に必要となる大容量メモリとしての用途も好ましい。その他、様々なシステムLSIにおいても、大容量もしくは小型用途のメモリとして用いることができる。

【実施例1】

【0092】

50

本実施例では、上述した半導体記憶装置を有する半導体装置の例について説明する。当該半導体装置は、本発明の一態様に係る半導体記憶装置を用いることで、小型化を実現することが可能である。特に、携帯用の半導体装置の場合、本発明の一態様に係る半導体記憶装置を用いることで小型化が実現されれば、使用者の使い勝手が向上するというメリットが得られる。

#### 【0093】

本発明の一態様に係る半導体記憶装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体記憶装置を用いること  
10  
ができる半導体装置として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら半導体装置の具体例を図9に示す。

#### 【0094】

図9（A）は携帯型ゲーム機であり、筐体7031、筐体7032、表示部7033、表示部7034、マイクロホン7035、スピーカー7036、操作キー7037、スタイラス7038等を有する。本発明の一態様に係る半導体記憶装置は、携帯型ゲーム機の  
20  
駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に本発明の一態様に係る半導体記憶装置を用いることで、コンパクトな携帯型ゲーム機を提供することができる。なお、図9（A）に示した携帯型ゲーム機は、2つの表示部7033と表示部7034とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

#### 【0095】

図9（B）は携帯電話であり、筐体7041、表示部7042、音声入力部7043、音声出力部7044、操作キー7045、受光部7046等を有する。受光部7046において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本  
30  
発明の一態様に係る半導体記憶装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る半導体記憶装置を用いることで、コンパクトな携帯電話を提供することができる。

#### 【0096】

図9（C）は携帯情報端末であり、筐体7051、表示部7052、操作キー7053等を有する。図9（C）に示す携帯情報端末は、モデムが筐体7051に内蔵されていても良い。本発明の一態様に係る半導体記憶装置は、携帯情報端末の駆動を制御するための  
40  
集積回路に用いることができる。携帯情報端末の駆動を制御するための集積回路に本発明の一態様に係る半導体記憶装置を用いることで、コンパクトな携帯情報端末を提供することができる。

#### 【符号の説明】

#### 【0097】

|     |           |
|-----|-----------|
| 10  | 基板        |
| 20  | 多層配線層     |
| 20a | 配線層       |
| 20b | 配線層       |
| 30  | メモリセルアレイ層 |
| 100 | 駆動回路      |
| 102 | 保護層       |
| 104 | 半導体領域     |
| 106 | 素子分離絶縁層   |

10

20

30

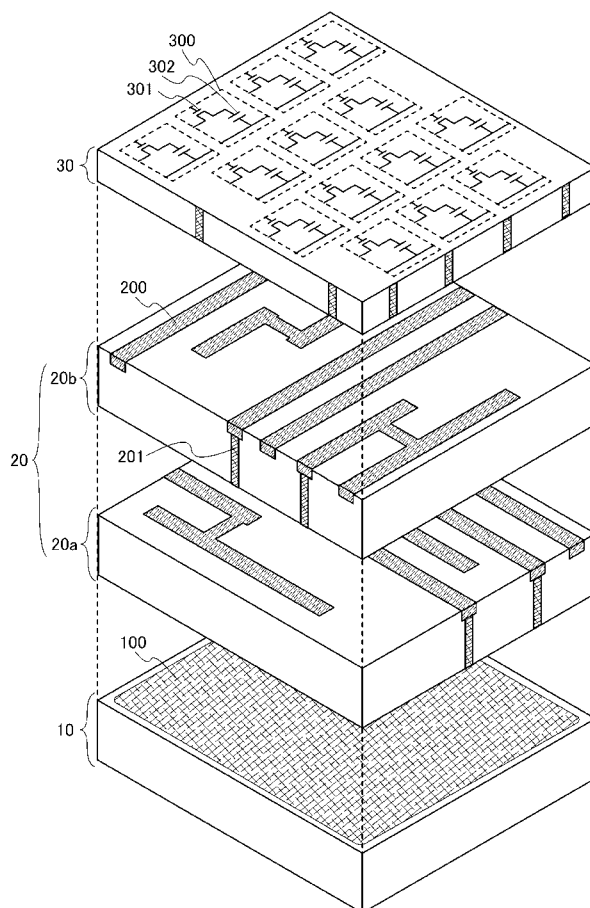
40

50

|         |              |    |
|---------|--------------|----|
| 1 0 8   | ゲート絶縁膜       |    |
| 1 1 0   | ゲート電極        |    |
| 1 1 2   | 絶縁層          |    |
| 1 1 4 a | 不純物領域        |    |
| 1 1 4 b | 不純物領域        |    |
| 1 1 6   | チャネル領域       |    |
| 1 1 8   | サイドウォール絶縁層   |    |
| 1 2 0 a | 高濃度不純物領域     |    |
| 1 2 0 b | 高濃度不純物領域     |    |
| 1 2 2   | 金属層          | 10 |
| 1 2 4 a | 金属化合物領域      |    |
| 1 2 4 b | 金属化合物領域      |    |
| 1 2 6   | 層間絶縁層        |    |
| 1 2 8   | 層間絶縁層        |    |
| 1 3 0 a | ソース電極        |    |
| 1 3 0 b | ドレイン電極       |    |
| 1 6 0   | トランジスタ       |    |
| 2 0 0   | 配線           |    |
| 2 0 0 a | 配線           |    |
| 2 0 0 b | 配線           | 20 |
| 2 0 0 c | 配線           |    |
| 2 0 1   | コンタクトプラグ     |    |
| 2 0 1 a | コンタクトプラグ     |    |
| 2 0 1 b | コンタクトプラグ     |    |
| 2 0 2   | 絶縁層          |    |
| 2 0 3   | 絶縁層          |    |
| 2 0 4 a | 開口部          |    |
| 2 0 4 b | 開口部          |    |
| 2 0 5   | 導電材料を含む層     |    |
| 2 0 6 a | 溝            | 30 |
| 2 0 6 b | 溝            |    |
| 2 0 7   | 導電材料を含む層     |    |
| 3 0 0   | メモリセル        |    |
| 3 0 1   | トランジスタ       |    |
| 3 0 2   | キャパシタ        |    |
| 3 0 3   | 絶縁層          |    |
| 4 0 1   | C P U        |    |
| 4 0 2   | メインメモリ       |    |
| 4 0 3   | クロックコントローラ   |    |
| 4 0 4   | キャッシュコントローラ  | 40 |
| 4 0 5   | シリアルインターフェース |    |
| 4 0 6   | I / O ポート    |    |
| 4 0 7   | 端子           |    |
| 4 0 8   | インターフェース     |    |
| 4 0 9   | キャッシュメモリ     |    |
| 3 0 0 0 | メモリセル        |    |
| 3 0 0 1 | 導電材料を含む層     |    |
| 3 0 0 2 | 絶縁層          |    |
| 3 0 0 3 | 絶縁層          |    |
| 3 0 0 4 | 導電材料を含む層     | 50 |

- 3 0 0 5 導電材料を含む層
- 3 0 1 1 導電材料を含む層
- 3 0 1 2 酸化物半導体層
- 3 0 1 3 導電材料を含む層
- 3 0 1 4 導電材料を含む層
- 3 0 1 5 絶縁層
- 3 0 1 6 導電材料を含む層
- 3 0 2 0 導電材料を含む層
- 7 0 3 1 筐体
- 7 0 3 2 筐体
- 7 0 3 3 表示部
- 7 0 3 4 表示部
- 7 0 3 5 マイクロホン
- 7 0 3 6 スピーカー
- 7 0 3 7 操作キー
- 7 0 3 8 スタイラス
- 7 0 4 1 筐体
- 7 0 4 2 表示部
- 7 0 4 3 音声入力部
- 7 0 4 4 音声出力部
- 7 0 4 5 操作キー
- 7 0 4 6 受光部
- 7 0 5 1 筐体
- 7 0 5 2 表示部
- 7 0 5 3 操作キー

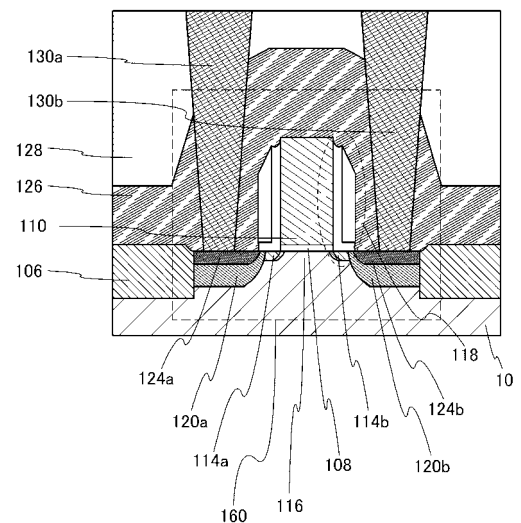
【図 1】



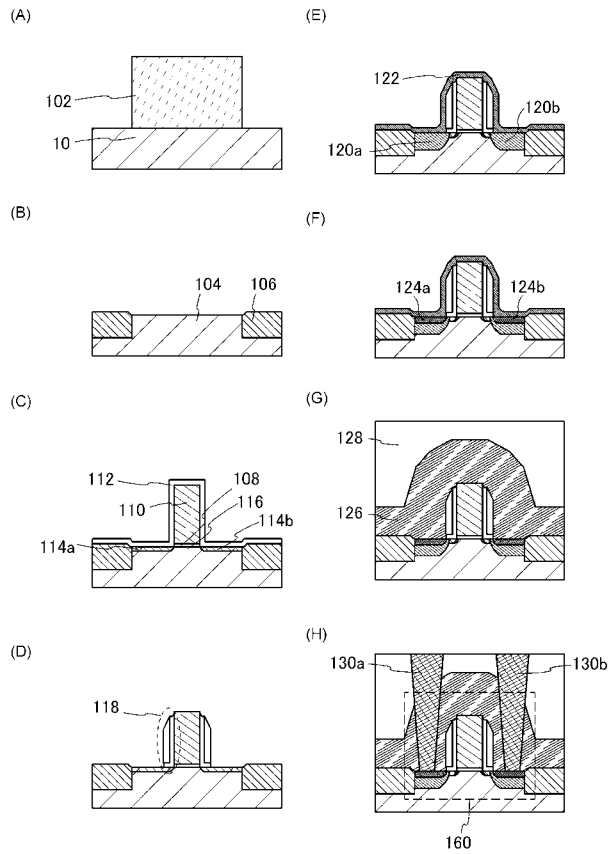
10

20

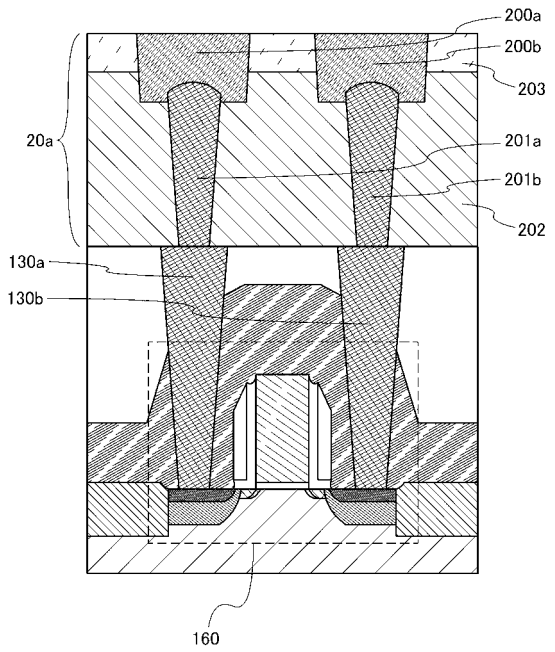
【図 2】



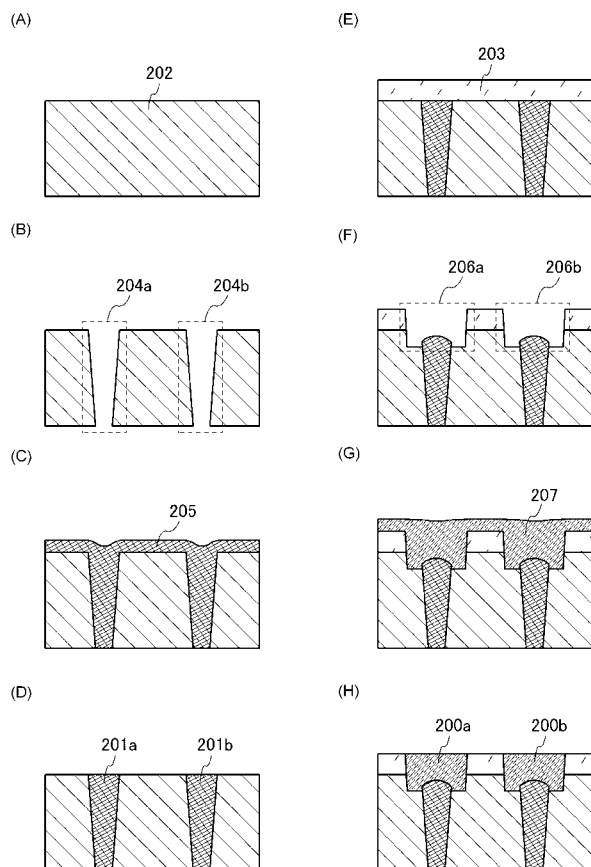
【図 3】



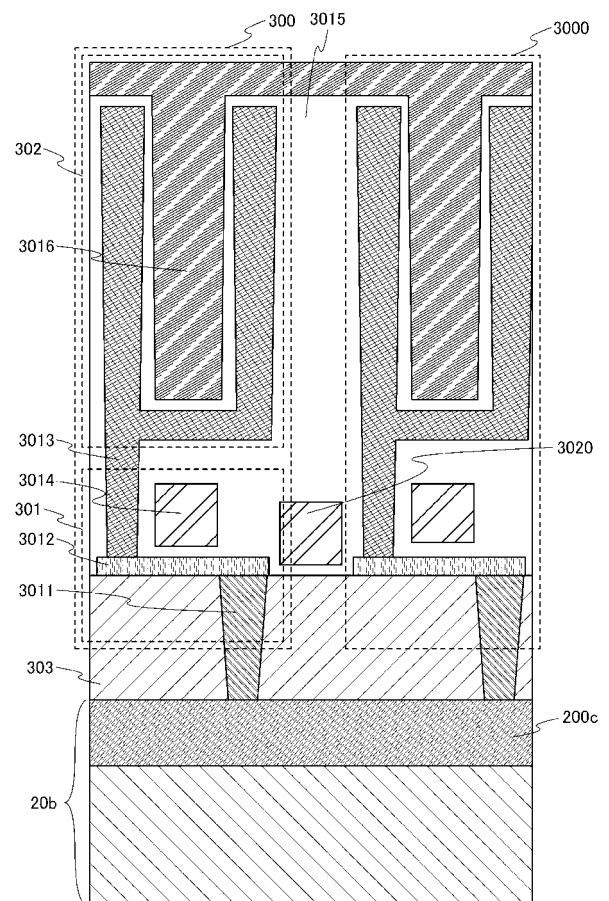
【図 4】



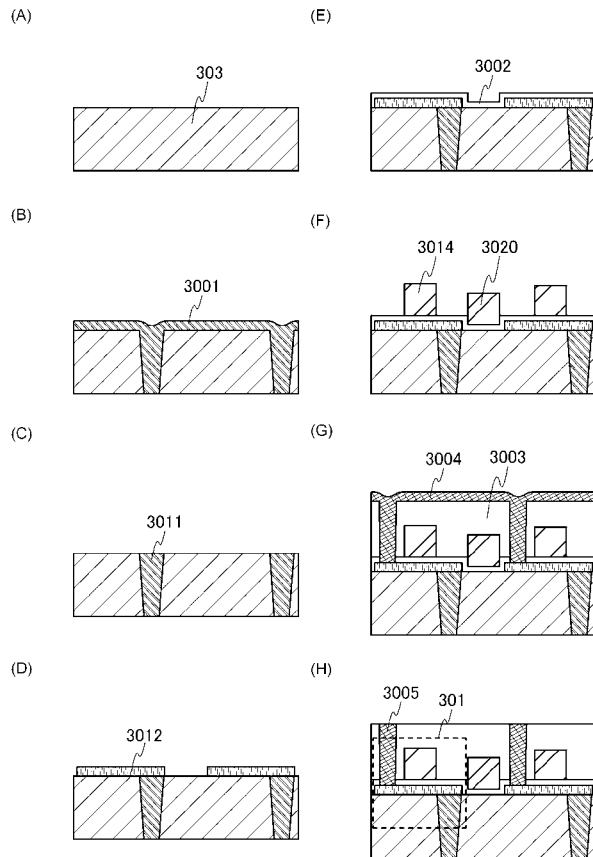
【図 5】



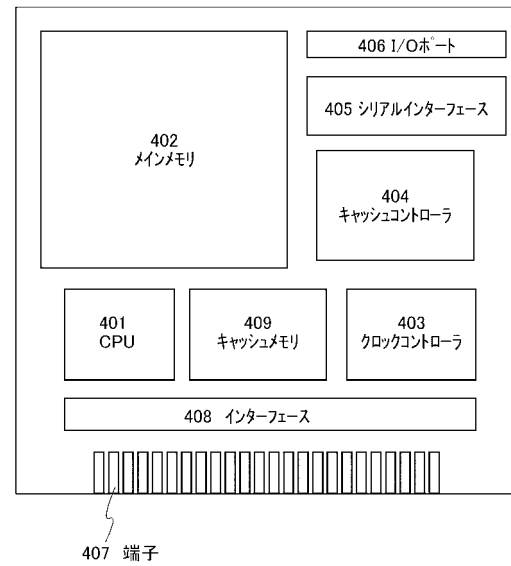
【図 6】



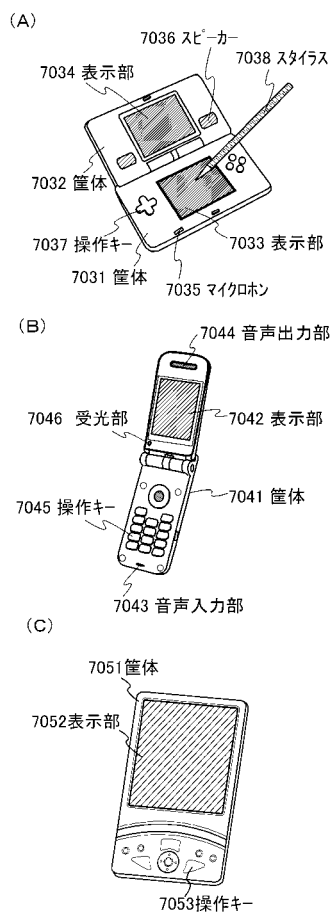
【図 7】



【図 8】



【図 9】



## フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 1 1 C 11/34 3 7 1 K

F ターム(参考) 5F110 AA04 BB06 BB11 CC02 CC10 DD02 DD05 DD12 DD13 DD14  
DD15 DD17 EE01 EE02 EE03 EE04 EE05 EE06 EE09 EE14  
EE32 EE42 EE43 EE44 EE45 FF01 FF02 FF03 FF04 FF09  
FF23 FF25 FF26 FF28 FF29 GG01 GG02 GG04 GG12 GG15  
GG17 GG35 GG43 GG58 HJ01 HK02 HK04 HK05 HK40 HL01  
HL03 HL04 HL06 HL11 HL14 HL22 HL23 HL24 HM12 HM15  
NN03 NN22 NN23 NN24 NN27 NN34 NN35 NN36 NN40 NN62  
NN72 NN74 NN78 PP10 PP36 QQ11 QQ19  
5M024 AA06 AA62 KK37 LL11 PP01 PP05