



(12)发明专利申请

(10)申请公布号 CN 106920503 A

(43)申请公布日 2017.07.04

(21)申请号 201710336165.X

(22)申请日 2017.05.12

(71)申请人 京东方科技股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 姚星 郑皓亮 商广良 韩明夫

韩承佑 袁丽君 王志冲 金志河

(74)专利代理机构 北京清亦华知识产权代理事
务所(普通合伙) 11201

代理人 张润

(51)Int.Cl.

G09G 3/20(2006.01)

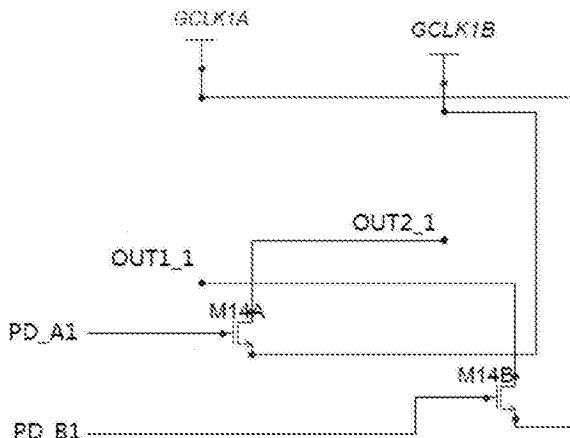
权利要求书2页 说明书10页 附图7页

(54)发明名称

阵列基板栅极驱动电路、显示面板和显示装
置

(57)摘要

本发明公开了一种阵列基板栅极驱动电路、显示面板和显示装置，其中，驱动电路包括第一晶体管，第一晶体管的控制极与第一下拉节点相连，第一极与第二栅极信号输出端相连，第二极与第二时钟信号端相连；第二晶体管，第二晶体管的控制极与第二下拉节点相连，第二晶体管的第一极与第一栅极信号输出端相连，第二晶体管的第二极与第一时钟信号端相连，其中第一晶体管用以将第二时钟信号输出至第二栅极信号输出端，以使第二栅极信号输出端在非选择输出阶段保持高电平信号；第二晶体管用以将第一时钟信号输出至第一栅极信号输出端，以使第一栅极信号输出端在非选择输出阶段保持高电平信号，从而有效避免在非选择输出阶段出现高电平信号浮动的问题。



A

CN 106920503

CN

1. 一种阵列基板栅极驱动电路,包括第一下拉节点、第二下拉节点、第一栅极信号输出端和第二栅极信号输出端,其特征在于,所述阵列基板栅极驱动电路还包括:

第一晶体管,所述第一晶体管的控制极与所述第一下拉节点相连,所述第一晶体管的第一极与所述第二栅极信号输出端相连,所述第一晶体管的第二极与第二时钟信号端相连;

第二晶体管,所述第二晶体管的控制极与所述第二下拉节点相连,所述第二晶体管的第一极与所述第一栅极信号输出端相连,所述第二晶体管的第二极与第一时钟信号端相连,其中,

所述第一晶体管在所述第一下拉节点提供的电平控制下开通以将所述第二时钟信号端提供的第二时钟信号输出至所述第二栅极信号输出端,以使所述第二栅极信号输出端在非选择输出阶段保持高电平信号;

所述第二晶体管在所述第二下拉节点提供的电平控制下开通以将所述第一时钟信号端提供的第一时钟信号输出至所述第一栅极信号输出端,以使所述第一栅极信号输出端在非选择输出阶段保持高电平信号。

2. 如权利要求1所述的阵列基板栅极驱动电路,其特征在于,

当所述第一时钟信号为正常脉冲信号时,所述第二时钟信号为持续高电平信号;

当所述第二时钟信号为正常脉冲信号时,所述第一时钟信号为持续高电平信号。

3. 如权利要求1或2所述的阵列基板栅极驱动电路,其特征在于,还包括:

第三晶体管,所述第三晶体管的控制极和所述第三晶体管的第一极相连后与第一电源端相连,所述第三晶体管的第二极与所述第一下拉节点相连;

第四晶体管,所述第四晶体管的控制极和所述第四晶体管的第一极相连后与第二电源端相连,所述第四晶体管的第二极与所述第二下拉节点相连。

4. 如权利要求3所述的阵列基板栅极驱动电路,其特征在于,还包括:

第五晶体管,所述第五晶体管的控制极与所述第一下拉节点相连,所述第五晶体管的第一极与所述第一栅极信号输出端相连,所述第五晶体管的第二极与低电平参考端相连;

第六晶体管,所述第六晶体管的控制极与所述第二下拉节点相连,所述第六晶体管的第一极与所述第二栅极信号输出端相连,所述第六晶体管的第二极与所述低电平参考端相连。

5. 如权利要求4所述的阵列基板栅极驱动电路,其特征在于,还包括:

第七晶体管和第一电容,所述第七晶体管的控制极与所述第一电容的一端相连后与上拉节点相连,所述第七晶体管的第一极与所述第一时钟信号端相连,所述第七晶体管的第二极与所述第一电容的另一端相连后与所述第一栅极信号输出端相连;

第八晶体管和第二电容,所述第八晶体管的控制极与所述第二电容的一端相连后与所述上拉节点相连,所述第八晶体管的第一极与所述第二时钟信号端相连,所述第八晶体管的第二极与所述第二电容的另一端相连后与所述第二栅极信号输出端相连。

6. 如权利要求5所述的阵列基板栅极驱动电路,其特征在于,还包括:

第九晶体管,所述第九晶体管的控制极与所述上拉节点相连,所述第九晶体管的第一极与第三时钟信号端相连;

第十晶体管和第十一晶体管,所述第十晶体管的控制极与所述第一下拉节点相连,所

述第十一晶体管的控制极与所述第二下拉节点相连，所述第十晶体管的第一极和所述第十一晶体管的第一极分别与所述第九晶体管的第二极相连，所述第十晶体管的第二极和所述第十一晶体管的第二极分别与低电平参考端相连；

第十二晶体管和第十三晶体管，所述第十二晶体管的控制极和所述第十三晶体管的控制极分别与所述上拉节点相连，所述第十二晶体管的第一极与所述第一下拉节点相连，所述第十三晶体管的第一极与所述第二下拉节点相连，所述第十二晶体管的第二极和所述第十三晶体管的第二极分别与所述低电平参考端相连；

第十四晶体管和第十五晶体管，所述第十四晶体管的控制极和所述第十五晶体管的控制极分别与启动信号端相连，所述第十四晶体管的第一极与所述第一下拉节点相连，所述第十五晶体管的第一极与所述第二下拉节点相连，所述第十四晶体管的第二极和所述第十五晶体管的第二极分别与所述低电平参考端相连；

第十六晶体管和第十七晶体管，所述第十六晶体管的控制极与所述第一下拉节点相连，所述第十七晶体管的控制极与所述第二下拉节点相连，所述第十六晶体管的第一极和所述第十七晶体管的第一极分别与所述上拉节点相连，所述第十六晶体管的第二极和所述第十七晶体管的第二极分别与所述低电平参考端相连。

7. 如权利要求6所述的阵列基板栅极驱动电路，其特征在于，还包括：

第十八晶体管，所述第十八晶体管的控制极与所述第十八晶体管的第一极相连后与所述启动信号端相连，所述第十八晶体管的第二极与所述上拉节点相连；

第十九晶体管，所述第十九晶体管的控制极与第一复位信号端相连，所述第十九晶体管的第一极与所述上拉节点相连，所述第十九晶体管的第二极与所述低电平参考端相连；

第二十晶体管，所述第二十晶体管的控制极与第二复位信号端相连，所述第二十晶体管的第一极与所述上拉节点相连，所述第二十晶体管的第二极与所述低电平参考端相连。

8. 如权利要求1-7中任一项所述的阵列基板栅极驱动电路，其特征在于，所述第一晶体管至所述第二十晶体管均为TFT管。

9. 一种显示面板，其特征在于，包括：

如权利要求1-7中任一项所述的阵列基板栅极驱动电路；

像素电路，所述像素电路包括多个像素单元，其中每个像素单元均包括：

第一驱动晶体管，所述第一驱动晶体管的控制极与如权利要求1-7中任一项所述的阵列基板栅极驱动电路中的第一栅极信号输出端相连，所述第一驱动晶体管的第一极与数据信号端相连；

第二驱动晶体管，所述第二驱动晶体管的控制极与如权利要求1-7中任一项所述的阵列基板栅极驱动电路中的第二栅极信号输出端相连，所述第二驱动晶体管的第一极与所述第一驱动晶体管的第二极相连，所述第二驱动晶体管的第二极与发光单元相连。

10. 一种显示装置，其特征在于，包括如权利要求9所述的显示面板。

阵列基板栅极驱动电路、显示面板和显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种阵列基板栅极驱动电路、一种显示面板和一种显示装置。

背景技术

[0002] 在一些显示面板中,每行的GOA (Gate driver On Array,阵列基板行驱动技术) 中有一条删线会保持在高电平状态,从而给相应的像素单元中的TFT (Thin Film Transistor,薄膜晶体管) 管施加正向电压,但是由于GOA在输出高电平信号时为浮动状态,该浮动状态会受到其它电压变化引起波动,从而无法准确的预测施加到TFT管正向电压的情况,进而无法达到对TFT管补偿的效果。

发明内容

[0003] 本发明旨在至少在一定程度上解决相关技术中的技术问题之一。为此,本发明的第一个目的在于提出一种阵列基板栅极驱动电路,通过在第一栅极信号输出端和第二栅极信号输出端分别设置一个晶体管,并分别由第一下拉节点和第二下拉节点进行控制,以在两个晶体管导通时,将相应的时钟信号输出至对应的栅极信号输出端,保证在非选择输出阶段保持高电平信号,从而有效避免在非选择输出阶段出现高电平信号浮动的问题,进而实现对像素单元中驱动晶体管的补偿效果。

[0004] 本发明的第二个目的在于提出一种显示面板。

[0005] 本发明的第三个目的在于提出一种显示装置。

[0006] 为实现上述目的,本发明第一方面实施例提出了一种阵列基板栅极驱动电路,包括第一下拉节点、第二下拉节点、第一栅极信号输出端和第二栅极信号输出端,所述阵列基板栅极驱动电路还包括:第一晶体管,所述第一晶体管的控制极与所述第一下拉节点相连,所述第一晶体管的第一极与所述第二栅极信号输出端相连,所述第一晶体管的第二极与第二时钟信号端相连;第二晶体管,所述第二晶体管的控制极与所述第二下拉节点相连,所述第二晶体管的第一极与所述第一栅极信号输出端相连,所述第二晶体管的第二极与第一时钟信号端相连,其中,所述第一晶体管在所述第一下拉节点提供的电平控制下开通以将所述第二时钟信号端提供的第二时钟信号输出至所述第二栅极信号输出端,以使所述第二栅极信号输出端在非选择输出阶段保持高电平信号;所述第二晶体管在所述第二下拉节点提供的电平控制下开通以将所述第一时钟信号端提供的第一时钟信号输出至所述第一栅极信号输出端,以使所述第一栅极信号输出端在非选择输出阶段保持高电平信号。

[0007] 根据本发明实施例的阵列基板栅极驱动电路,通过在第一栅极信号输出端和第二栅极信号输出端分别设置一个晶体管,并分别由第一下拉节点和第二下拉节点进行控制,以在两个晶体管导通时,将相应的时钟信号输出至对应的栅极信号输出端,保证在非选择输出阶段保持高电平信号,从而有效避免在非选择输出阶段出现高电平浮动的问题,进而实现对像素单元中驱动晶体管的补偿效果。

[0008] 根据本发明的一个实施例，当所述第一时钟信号为正常脉冲信号时，所述第二时钟信号为持续高电平信号；当所述第二时钟信号为正常脉冲信号时，所述第一时钟信号为持续高电平信号。

[0009] 根据本发明的一个实施例，上述的阵列基板栅极驱动电路还包括：第三晶体管，所述第三晶体管的控制极和所述第三晶体管的第一极相连后与第一电源端相连，所述第三晶体管的第二极与所述第一下拉节点相连；第四晶体管，所述第四晶体管的控制极和所述第四晶体管的第一极相连后与第二电源端相连，所述第四晶体管的第二极与所述第二下拉节点相连。

[0010] 根据本发明的一个实施例，上述的阵列基板栅极驱动电路还包括：第五晶体管，所述第五晶体管的控制极与所述第一下拉节点相连，所述第五晶体管的第一极与所述第一栅极信号输出端相连，所述第五晶体管的第二极与低电平参考端相连；第六晶体管，所述第六晶体管的控制极与所述第二下拉节点相连，所述第六晶体管的第一极与所述第二栅极信号输出端相连，所述第六晶体管的第二极与所述低电平参考端相连。

[0011] 根据本发明的一个实施例，上述的阵列基板栅极驱动电路还包括：第七晶体管和第一电容，所述第七晶体管的控制极与所述第一电容的一端相连后与上拉节点相连，所述第七晶体管的第一极与所述第一时钟信号端相连，所述第七晶体管的第二极与所述第一电容的另一端相连后与所述第一栅极信号输出端相连；第八晶体管和第二电容，所述第八晶体管的控制极与所述第二电容的一端相连后与所述上拉节点相连，所述第八晶体管的第一极与所述第二时钟信号端相连，所述第八晶体管的第二极与所述第二电容的另一端相连后与所述第二栅极信号输出端相连。

[0012] 根据本发明的一个实施例，上述的阵列基板栅极驱动电路还包括：第九晶体管，所述第九晶体管的控制极与所述上拉节点相连，所述第九晶体管的第一极与第三时钟信号端相连；第十晶体管和第十一晶体管，所述第十晶体管的控制极与所述第一下拉节点相连，所述第十一晶体管的控制极与所述第二下拉节点相连，所述第十晶体管的第一极和所述第十一晶体管的第一极分别与所述第九晶体管的第二极相连，所述第十晶体管的第二极和所述第十一晶体管的第二极分别与低电平参考端相连；第十二晶体管和第十三晶体管，所述第十二晶体管的控制极和所述第十三晶体管的控制极分别与所述上拉节点相连，所述第十二晶体管的第一极与所述第一下拉节点相连，所述第十三晶体管的第一极与所述第二下拉节点相连，所述第十二晶体管的第二极和所述第十三晶体管的第二极分别与所述低电平参考端相连；第十四晶体管和第十五晶体管，所述第十四晶体管的控制极和所述第十五晶体管的控制极分别与启动信号端相连，所述第十四晶体管的第一极与所述第一下拉节点相连，所述第十五晶体管的第一极与所述第二下拉节点相连，所述第十四晶体管的第二极和所述第十五晶体管的第二极分别与所述低电平参考端相连；第十六晶体管和第十七晶体管，所述第十六晶体管的控制极与所述第一下拉节点相连，所述第十七晶体管的控制极与所述第二下拉节点相连，所述第十六晶体管的第一极和所述第十七晶体管的第一极分别与所述上拉节点相连，所述第十六晶体管的第二极和所述第十七晶体管的第二极分别与所述低电平参考端相连。

[0013] 根据本发明的一个实施例，上述的阵列基板栅极驱动电路还包括：第十八晶体管，所述第十八晶体管的控制极与所述第十八晶体管的第一极相连后与所述启动信号端相连，

所述第十八晶体管的第二极与所述上拉节点相连；第十九晶体管，所述第十九晶体管的控制极与第一复位信号端相连，所述第十九晶体管的第一极与所述上拉节点相连，所述第十九晶体管的第二极与所述低电平参考端相连；第二十晶体管，所述第二十晶体管的控制极与第二复位信号端相连，所述第二十晶体管的第一极与所述上拉节点相连，所述第二十晶体管的第二极与所述低电平参考端相连。

[0014] 根据本发明的一个实施例，所述第一晶体管至所述第二十晶体管均为TFT管。

[0015] 为实现上述目的，本发明第二方面实施例提出了一种显示面板，包括：本发明第一方面实施例提出的阵列基板栅极驱动电路；像素电路，所述像素电路包括多个像素单元，其中每个像素单元均包括：第一驱动晶体管，所述第一驱动晶体管的控制极与所述的阵列基板栅极驱动电路中的第一栅极信号输出端相连，所述第一驱动晶体管的第一极与数据信号端相连；第二驱动晶体管，所述第二驱动晶体管的控制极与所述的阵列基板栅极驱动电路中的第二栅极信号输出端相连，所述第二驱动晶体管的第一极与所述第一驱动晶体管的第二极相连，所述第二驱动晶体管的第二极与发光单元相连。

[0016] 根据本发明实施例的显示面板，通过上述的阵列基板栅极驱动电路提供的栅极信号来对像素单元中的第一驱动晶体管和第二驱动晶体管进行驱动控制，使得像素单元中的驱动晶体管可以获得准确的高电平信号，从而达到对像素单元中驱动晶体管补偿的效果，保证像素单元的正常显示。

[0017] 为实现上述目的，本发明第三方面实施例提出了一种显示装置，其包括本发明第二方面实施例提出的显示面板。

[0018] 本发明实施例的显示装置，通过上述的显示面板，能够保证对像素单元中驱动晶体管的补偿效果，从而保证像素单元的正常显示，进而提高显示的可靠性。

附图说明

[0019] 图1是根据本发明实施例的阵列基板栅极驱动电路的结构示意图；

[0020] 图2a是相关技术中像素电路的结构示意图；

[0021] 图2b是图2a所示的像素电路的控制时序图；

[0022] 图3a是根据本发明实施例的像素电路的结构示意图；

[0023] 图3b是图3a所示的像素电路的控制时序图；

[0024] 图4是根据本发明一个实施例的阵列基板栅极驱动电路的结构示意图；

[0025] 图5是图4所对应的阵列基板栅极驱动电路的控制时序图；

[0026] 图6是根据本发明另一个实施例的阵列基板栅极驱动电路的结构示意图；

[0027] 图7是图6所示的阵列基板栅极驱动电路的控制时序图；

[0028] 图8是根据本发明一个实施例的显示面板的结构示意图；以及

[0029] 图9是根据本发明一个实施例的显示装置的结构示意图。

具体实施方式

[0030] 下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，旨在用于解释本发明，而不能理解为对本发明的限制。

[0031] 下面参照附图来描述根据本发明实施例提出的阵列基板栅极驱动电路、显示面板和显示装置。

[0032] 图1是根据本发明实施例的阵列基板栅极驱动电路的结构示意图。

[0033] 在本发明的实施例中，阵列基板栅极驱动电路包括：第一下拉节点PD_A1、第二下拉节点PD_B1、第一栅极信号输出端OUT1_1和第二栅极信号输出端OUT2_1。如图1所示，本发明实施例的阵列基板栅极驱动电路还包括：第一晶体管M14A和第二晶体管M14B。

[0034] 其中，第一晶体管M14A的控制极与第一下拉节点PD_A1相连，第一晶体管M14A的第一极与第二栅极信号输出端OUT2_1相连，第一晶体管M14A的第二极与第二时钟信号端GCLK1B相连；第二晶体管M14B的控制极与第二下拉节点PD_B1相连，第二晶体管M14B的第一极与第一栅极信号输出端OUT1_1相连，第二晶体管M14B的第二极与第一时钟信号端GCLK1A相连。第一晶体管M14A在第一下拉节点PD_A1提供的电平控制下开通以将第二时钟信号端GCLK1B提供的第二时钟信号输出至第二栅极信号输出端OUT2_1，以使第二栅极信号输出端OUT2_1在非选择输出阶段保持高电平信号；第二晶体管M14B在第二下拉节点PD_B1提供的电平控制下开通以将第一时钟信号端GCLK1A提供的第一时钟信号输出至第一栅极信号输出端OUT1_1，以使第一栅极信号输出端OUT1_1在非选择输出阶段保持高电平信号。

[0035] 在本发明的实施例中，当第一时钟信号为正常脉冲信号时，第二时钟信号为持续高电平信号；当第二时钟信号为正常脉冲信号时，第一时钟信号为持续高电平信号。

[0036] 具体而言，如图2a所示，在传统的显示面板中，每个像素单元中设置有一个驱动晶体管（如驱动晶体管T11a），并且每行的GOA中有一个栅线（如栅线OUT1_1）与相应的驱动晶体管的栅极相连，以给驱动晶体管提供栅极驱动信号，使得驱动晶体管点亮或熄灭，具体驱动时序图如图2b所示。

[0037] 从图2b可以看出，在一帧时间内，几乎约99%的时间，驱动晶体管是处于关闭状态。由于驱动晶体管关闭时，要承受负向高温和光照偏执的作用，因而会导致驱动晶体管的阈值电压负向偏移，严重时将导致驱动晶体管无法正常关闭，造成显示异常。

[0038] 为此，在本发明的显示面板中，在每个像素单元中使用两个驱动晶体管来实现像素单元的点亮或熄灭。具体如图3a所示，每个像素单元中的两个驱动晶体管（如驱动晶体管T11a和T11b）串联连接，并且每行的GOA中有两个栅线（如栅线OUT1_1和OUT2_1）分别与相应的驱动晶体管的栅极相连，其中，在对两个驱动晶体管进行驱动控制时，给两个驱动晶体管交替施加负向偏压和正向偏压，具体驱动时序图如图3b所示。

[0039] 在图3b所示的驱动时序图中，在一帧时间内，当栅线OUT2_1持续输出高电平信号（施加正向偏压）以使驱动晶体管T11b一直处于导通状态时，栅线OUT1_1将输出正常的驱动信号（施加负向偏压），以对驱动晶体管T11a进行正常驱动。在下一帧时间或下一段时间内，两者驱动进行切换，即控制驱动晶体管T11b正常驱动，并控制驱动晶体管T11a一直处于导通状态，从而使得两个驱动晶体管在驱动过程中不会出现负偏，实现对驱动晶体管阈值电压的补偿，保证像素单元能够正常显示。

[0040] 通过上述分析可知，要想实现对驱动晶体管的补偿效果，在对其中一个驱动晶体管进行正常驱动时，需要保证另一个驱动晶体管（即非选择输出阶段）一直处于导通状态，所以需要保证另一个驱动晶体管的驱动信号一直保持在高电平信号，即保证阵列基板栅极驱动电路输出的栅极驱动信号保持在高电平信号，而如果该高电平信号出现浮动，那么将

无法达到对驱动晶体管的补偿作用。

[0041] 因此,在发明的实施例中,通过在每行的GOA的第一栅极信号输出端和第二栅极信号输出端分别设置一个晶体管,以在像素单元中的驱动晶体管处于非选择输出阶段时,通过该晶体管将时钟信号输出端输出的时钟信号传输至栅极信号输出端,保证栅极信号输出端持续输出高电平信号。

[0042] 具体地,如图1所示,在一帧时间内,当与第一栅极信号输出端OUT1_1对应相连的驱动晶体管处于非选择输出阶段(一直处于导通状态),而与第二栅极信号输出端OUT2_1对应相连的驱动晶体管处于选择输出阶段(正常驱动)时,根据控制需求,第二下拉节点PD_B1的控制电压为高电平信号,此时第二晶体管M14B处于导通状态,第一时钟信号输出端GCLK1A持续输出高电平信号至第一栅极信号输出端OUT1_1;同时,第一下拉节点PD_A1的控制电压为低电平信号,第一晶体管M14A处于关断状态,此时第二栅极信号输出端OUT2_1输出正常的栅极驱动信号。

[0043] 同样的,在一帧时间内,当与第二栅极信号输出端OUT2_1对应相连的驱动晶体管处于非选择输出阶段(一直处于导通状态),而与第一栅极信号输出端OUT1_1对应相连的驱动晶体管处于选择输出阶段(正常驱动)时,根据控制需求,第一下拉节点PD_A1的控制电压为高电平信号,此时第一晶体管M14A处于导通状态,第二时钟信号输出端GCLK1B持续输出高电平信号至第二栅极信号输出端OUT2_1;同时,第二下拉节点PD_B1的控制电压为低电平信号,第二晶体管M14B处于关断状态,此时第一栅极信号输出端OUT1_1输出正常的栅极驱动信号。

[0044] 其中,第一时钟信号输出端GCLK1A和第二时钟信号输出端GCLK1B输出的时钟信号中的高电平信号的电压可以选择比第一下拉节点PD_A1和第二下拉节点PD_B1稍低的电压,以更好的保证在非选择输出阶段保持高电平。

[0045] 由此,本发明实施例的阵列基板栅极驱动电路,通过在第一栅极信号输出端和第二栅极信号输出端分别设置一个晶体管,并分别由第一下拉节点和第二下拉节点进行控制,以在两个晶体管导通时,将相应的时钟信号输出至对应的栅极信号输出端,保证在非选择输出阶段保持高电平信号,从而有效避免在非选择输出阶段出现高电平信号浮动的问题,进而实现对像素单元中驱动晶体管的补偿效果。

[0046] 为使本领域技术人员更清楚的了解本发明,下面结合本发明的具体示例来做进一步说明。

[0047] 根据本发明的一个实施例,如图4所示,上述的阵列基板栅极驱动电路还包括:第三晶体管M5A和第四晶体管M5B。其中,第三晶体管M5A的控制极和第三晶体管M5A的第一极相连后与第一电源端VDD_A相连,第三晶体管M5A的第二极与第一下拉节点PD_A1相连;第四晶体管M5B的控制极和第四晶体管M5B的第一极相连后与第二电源端VDD_B相连,第四晶体管M5B的第二极与第二下拉节点PD_B1相连。

[0048] 进一步地,如图4所示,上述的阵列基板栅极驱动电路还包括:第五晶体管M13A和第六晶体管M13B。其中,第五晶体管M13A的控制极与第一下拉节点PD_A1相连,第五晶体管M13A的第一极与第一栅极信号输出端OUT1_1相连,第五晶体管M13A的第二极与低电平参考端VGL相连;第六晶体管M13B的控制极与第二下拉节点PD_B1相连,第六晶体管M13B的第一极与第二栅极信号输出端OUT2_1相连,第六晶体管M13B的第二极与低电平参考端VGL相连。

[0049] 再进一步地,如图4所示,上述的阵列基板栅极驱动电路还包括:第七晶体管M3A、第一电容C1、第八晶体管M3B和第二电容C2。其中,第七晶体管M3A的控制极与第一电容C1的一端相连后与上拉节点PU_1相连,第七晶体管M3A的第一极与第一时钟信号端GCLK1A相连,第七晶体管M3A的第二极与第一电容C1的另一端相连后与第一栅极信号输出端OUT1_1相连;第八晶体管M3B的控制极与第二电容C2的一端相连后与上拉节点PU_1相连,第八晶体管M3B的第一极与第二时钟信号端GCLK1B相连,第八晶体管M3B的第二极与第二电容C2的另一端相连后与第二栅极信号输出端OUT2_1相连。

[0050] 图5是图4所对应的阵列基板栅极驱动电路的控制时序图。如图5所示,在一帧时间内,第一时钟信号端GCLK1A提供的第一时钟信号和第二时钟信号端GCLK1B提供的第二时钟信号是不同的,其中,当第一时钟信号为正常CLK(时钟信号)时,第二时钟信号为CLK高(即持续高电平);当第一时钟信号为CLK高时,第二时钟信号为正常CLK。并且,第一下拉节点PD_A1和第二下拉节点PD_B1提供的电平也是不同的,其中,当第一电源端VDD_A为高电平时,第二电源端VDD_B为低电平;当第一电源端VDD_A为低电平时,第二电源端VDD_B为低电平。这样,在图5所示的控制时序下,在一帧时间内将在第一栅极输出端OUT1_1和第二栅极输出端OUT2_1获得正常栅极驱动信号和持续高电平信号。

[0051] 具体地,如图4所示,在一帧时间开始时,上拉节点PU_1为高电平信号,第一电容C1和第二电容C2开始充电,充电一段时间后,上拉节点PU_1切换至低电平信号,由于第一电容C1和第二电容C2的储能作用,此时第七晶体管M3A和第八晶体管M3B的控制极为高电平信号。

[0052] 在充电启动完成后,如图5所示,当第二时钟信号端GCLK1B提供的第二时钟信号为CLK高时,第一电源端VDD_A提供高电平信号,第三晶体管M5A导通,第一下拉节点PD_A1为高电压,此时第一晶体管M14A导通,第二时钟信号端GCLK1B提供的第二时钟信号CLK高通过第一晶体管M14A传输至第二栅极信号输出端OUT2_1,从而在非选择输出阶段一直给第二栅极信号输出端OUT2_1施加稳定的高电平信号;同时,第一时钟信号端GCLK1A提供的第一时钟信号为正常CLK,第二电源端VDD_B提供低电平信号,第四晶体管M5B处于断开状态,第二下拉节点PD_B1为低电压,第二晶体管M14B和第六晶体管M13B均处于断开状态,此时在第一时钟信号输出端GCLK1A输出的正常CLK的作用下,输出正常栅极驱动信号至第一栅极信号输出端OUT1_1,以对相应的像素单元中的驱动晶体管进行正常驱动控制。

[0053] 其中,需要说明的是,当第一下拉节点PD_A1高电平时,由于第一时钟信号输出端GCLK1A输出的时钟信号中的高电平信号的电压比第一下拉节点PD_A1的控制电压低,所以即使当第一时钟信号输出端GCLK1A输出高电平信号,第七晶体管M3A导通时,也不会使得第五晶体管M13A处于导通状态,从而可以更好的保证高电平信号的稳定输出。

[0054] 另外,下一帧时间或下一时间段内的驱动控制过程与上述过程相对应,只是对应控制信号进行了切换,具体这里就不再赘述。

[0055] 因此,上述阵列基板栅极驱动电路,通过在两个栅极信号输出端分别设置一个晶体管,并分别由相应的下拉节点进行控制,以在两个晶体管导通时,将相应的时钟信号输出至对应的栅极信号输出端,保证在非选择输出阶段保持高电平信号,从而有效避免在非选择输出阶段出现高电平信号浮动的问题,进而达到对像素单元中驱动晶体管的补偿效果。

[0056] 为了使得本领域技术人员对整个阵列基板栅极驱动电路有更清楚的了解,下面结

合本发明的具体示例来做进一步描述。

[0057] 根据本发明的一个实施例，如图6所示，上述的阵列基板栅极驱动电路还包括：第九晶体管M11、第十晶体管M12A、第十一晶体管M12B、第十二晶体管M6A、第十三晶体管M6B、第十四晶体管M7A、第十五晶体管M7B、第十六晶体管M8A和第十七晶体管M8B。其中，第九晶体管M11的控制极与上拉节点PU_1相连，第九晶体管M11的第一极与第三时钟信号端GCLK1相连；第十晶体管M12A的控制极与第一下拉节点PD_A1相连，第十一晶体管M12B的控制极与第二下拉节点PD_B1相连，第十晶体管M12A的第一极和第十一晶体管M12B的第一极分别与第九晶体管M11的第二极相连，第十晶体管M12A的第二极和第十一晶体管M12B的第二极分别与低电平参考端LVGL相连；第十二晶体管M6A的控制极和第十三晶体管M6B的控制极分别与上拉节点PU_1相连，第十二晶体管M6A的第一极与第一下拉节点PD_A1相连，第十三晶体管M6B的第一极与第二下拉节点PD_B1相连，第十二晶体管M6A的第二极和第十三晶体管M6B的第二极分别与低电平参考端LVGL相连；第十四晶体管M7A的控制极和第十五晶体管M7B的控制极分别与启动信号端STVP1相连，第十四晶体管M7A的第一极与第一下拉节点PD_A1相连，第十五晶体管M7B的第一极与第二下拉节点PD_B1相连，第十四晶体管M7A的第二极和第十五晶体管M7B的第二极分别与低电平参考端LVGL相连；第十六晶体管M8A的控制极与第一下拉节点PD_A1相连，第十七晶体管M8B的控制极与第二下拉节点PD_B1相连，第十六晶体管M8A的第一极和第十七晶体管M8B的第一极分别与上拉节点PU_1相连，第十六晶体管M8A的第二极和第十七晶体管M8B的第二极分别与低电平参考端LVGL相连。

[0058] 进一步地，如图6所示，上述的阵列基板栅极驱动电路还包括：第十八晶体管M1、第十九晶体管M15和第二十晶体管M2。其中，第十八晶体管M1的控制极与第十八晶体管M1的第一极相连后与启动信号端STVP1相连，第十八晶体管M1的第二极与上拉节点PU_1相连；第十九晶体管M15的控制极与第一复位信号端TG0A_RST1相连，第十九晶体管M15的第一极与上拉节点PU_1相连，第十九晶体管M15的第二极与低电平参考端LVGL相连；第二十晶体管M2的控制极与第二复位信号端RST1相连，第二十晶体管M2的第一极与上拉节点PU_1相连，第二十晶体管M2的第二极与低电平参考端LVGL相连。

[0059] 图7是图6所示的阵列基板栅极驱动电路的控制时序图。

[0060] 如图7所示，在t1阶段（启动阶段），启动信号端STVP1为高电平信号，M1导通，上拉节点PU_1为高电平，电容C1和C2开始充电。在此阶段内，当VDD_A和GCLK1B均为高电平信号时，M5A导通，第一下拉节点PD_A1为高电平，在STVP1和第一下拉节点PD_A1的作用下，M7A和M6A导通，第一下拉节点PD_A1被拉低，最终第一下拉节点PD_A1将保持低电平，第一栅极信号输出端OU1_1输出低电平信号，同时M3B导通，第二栅极信号输出端OU2_1输出高电平信号；当GCLK1A、GCLK1B、GCLK1和VDD_A均为高电平信号时，除了M5A、M7A和M6A导通之外，M11和M3A也将导通，当M3A导通时，第一栅极信号输出端OU1_1输出高电平信号，同时第二栅极信号输出端OU2_1输出高电平信号。

[0061] 在t2阶段（驱动阶段），GCLK1A输出正常CLK，GCLK1B一直输出高电平信号，VDD_A输出高电平信号，VDD_B输出低电平信号，M5A导通，第一下拉节点PD_A1为高电平，由于电容C1和电容C2具有储能作用，所以当GCLK1B为高电平信号时，M3B导通，M14A导通，第二栅极信号输出端OUT2_1输出高电平信号，同时当GCLK1A为高电平信号时，M3A导通，第一栅极信号输出端OUT1_1输出高电平信号。但是在GCLK1的作用下，M11和M12A导通，电容C1和电容C2放

电,上拉节点PU_1的电压被拉低,当GCLK1A再次为高电平时,M3A不再导通,第一栅极信号输出端OUT1_1输出低电平信号。

[0062] 其中,需要说明的是,由于电容C1和电容C2在放电的过程中,有一段时间会使上拉节点PU_1的电压小于VDD_A输出的高压,且大于M6A所需栅极驱动电压,所以M6A在该时间内会出现短时导通的情况,从而使得第一下拉节点PD_A1被拉低,此时M14A断开,第二栅极信号输出端OUT2_1输出低电平信号,而随着电容C1和电容C2的放电,上拉节点PU_1的电压无法提供给M6A足够的驱动电压,所以M6A在短时间导通后会再次处于关闭状态,第一下拉节点PD_A1将再次恢复至高电平信号,以驱动M14A导通,第二栅极信号输出端OUT2_1再次输出高电平信号,所以最终第二栅极信号输出端OUT2_1输出的持续高电平信号中会有一个很小的电压跳变(如图5所示)。

[0063] 在t3阶段(停止驱动阶段),GCLK1A输出低电平信号,GCLK1B输出高电平信号,VDD_A输出高电平信号,VDD_B输出低电平信号,M5A导通,第一下拉节点PD_A1为高电平,M14A继续导通,第二栅极信号输出端OUT2_1继续输出高电平信号,同时第一栅极信号输出端OUT1_1继续输出低电平信号。

[0064] 在t4阶段(复位阶段),GCLK1A输出低电平信号,GCLK1B输出高电平信号,VDD_A输出高电平信号,VDD_B输出低电平信号,RST1和TGOA_RST1均输出高电平信号,如果此时上拉节点PU_1受干扰出现高电平信号,那么M2和M15将导通,从而使得上拉节点PU_1处于低电平状态。另外在t2和t3阶段,在第一下拉节点PD_A1为高电平时,如果上拉节点PU_1受干扰出现高电平信号,那么M8A将导通,从而使得上拉节点PU_1处于低电平状态,从而有效防止在不需要M3A和M3B导通时,保证上拉节点为低电平信号,进而保证第一栅极信号输出端和第二栅极信号输出端的信号稳定性。

[0065] 由此,通过上述的阵列基板栅极驱动电路的工作过程可以看出,在t2阶段,当第二栅极信号输出端OUT2_1对应的像素单元的驱动晶体管处于非选择输出阶段时,通过第一晶体管M14A,并在第一下拉节点PD_A1和GCLK1B的作用下,使得相应的驱动晶体管一直维持在高电平状态,从而有效避免在非选择输出阶段出现高电平信号浮动的问题,进而实现对像素单元中驱动晶体管的补偿效果。

[0066] 在本发明的实施例中,第一晶体管M14A至第二十晶体管M2均可以为TFT管。另外,需要说明的是,图4和图6是本发明的优选实施例,对于本发明的其他具体示例这里就不再详述。

[0067] 根据本发明实施例的阵列基板栅极驱动电路,通过在第一栅极信号输出端和第二栅极信号输出端分别设置一个晶体管,并分别由第一下拉节点和第二下拉节点进行控制,以在两个晶体管导通时,将相应的时钟信号输出至对应的栅极信号输出端,保证在非选择输出阶段保持高电平信号,从而有效避免在非选择输出阶段出现高电平浮动的问题,进而实现对像素单元中驱动晶体管的补偿效果。

[0068] 下面来详细描述本发明实施例的显示面板。

[0069] 图8是根据本发明一个实施例的显示面板的结构示意图。如图8所示,本发明实施例的显示面板可包括:阵列基板栅极驱动电路100和像素电路200,像素电路200包括多个像素单元,其中每个像素单元均包括:第一驱动晶体管如T11a、T12a、…和第二驱动晶体管如T11b、T12b、…。

[0070] 其中,第一驱动晶体管如T11a的控制极与阵列基板栅极驱动电路中的第一栅极信号输出端如OUT1_1相连,第一驱动晶体管如T11a的第一极与数据信号端Data1相连;第二驱动晶体管如T11b的控制极与阵列基板栅极驱动电路中的第二栅极信号输出端如OUT2_1相连,第二驱动晶体管如T11b的第一极与第一驱动晶体管如T11a的第二极相连,第二驱动晶体管如T11b的第二极与发光单元(图8中的电容cs11、cs12、…分别为发光单元的等效电容)相连。

[0071] 具体地,如图8所示,为了实现对驱动晶体管的负向高温和光照偏执作用导致的阈值电压负偏的补偿,在一帧时间内,当第二栅极信号输出端OUT2_1持续输出高电平信号(施加正向偏压)以使驱动晶体管T11b一直处于导通状态时,第一栅极信号输出端OUT1_1将输出正常的驱动信号(施加负向偏压),以对驱动晶体管T11a进行正常驱动,具体控制时序如图3b所示。在下一帧时间或下一段时间内,两者驱动进行切换,即控制驱动晶体管T11b正常驱动,并控制驱动晶体管T11a一直处于导通状态,从而使得两个驱动晶体管在驱动过程中不会出现负偏,实现对驱动晶体管阈值电压的补偿,保证像素单元能够正常显示。

[0072] 其中,在一帧时间内,当需要对驱动晶体管T11a正常驱动,并控制驱动晶体管T11b一直处于导通状态时,第一栅极信号输出端OUT1_1将处于选择输出阶段,即输出正常的栅极驱动信号至驱动晶体管T11a,同时第二栅极信号输出端OUT2_1处于非选择输出阶段,即输出持续高电平信号至驱动晶体管T11b,具体如何输出参见前面对阵列基板栅极驱动电路的描述,这里不再详述。

[0073] 根据本发明实施例的显示面板,通过上述的阵列基板栅极驱动电路提供的栅极信号来对像素单元中的第一驱动晶体管和第二驱动晶体管进行驱动控制,使得像素单元中的驱动晶体管可以获得准确的高电平信号,从而达到对像素单元中驱动晶体管补偿的效果,保证像素单元的正常显示。

[0074] 此外,本发明的实施例还提出了一种显示装置,如图9所示,本发明实施例的显示装置10000,包括上述的显示面板1000。

[0075] 本发明实施例的显示装置,通过上述的显示面板,能够保证对像素单元中驱动晶体管的补偿效果,从而保证像素单元的正常显示,进而提高显示的可靠性。

[0076] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0077] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本发明的描述中,“多个”的含义是至少两个,例如两个,三个等,除非另有明确具体的限定。

[0078] 在本发明中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系,除非另有明确的限定。对于本领域的普通技术人员

而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0079] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触,或第一和第二特征通过中间媒介间接接触。而且,第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0080] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外,在不相互矛盾的情况下,本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

[0081] 尽管上面已经示出和描述了本发明的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本发明的限制,本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

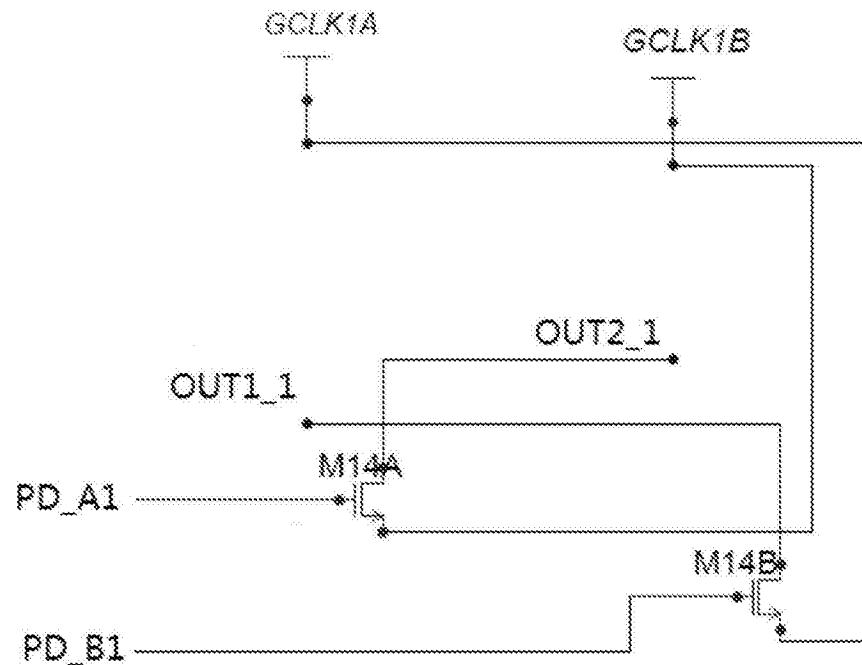


图1

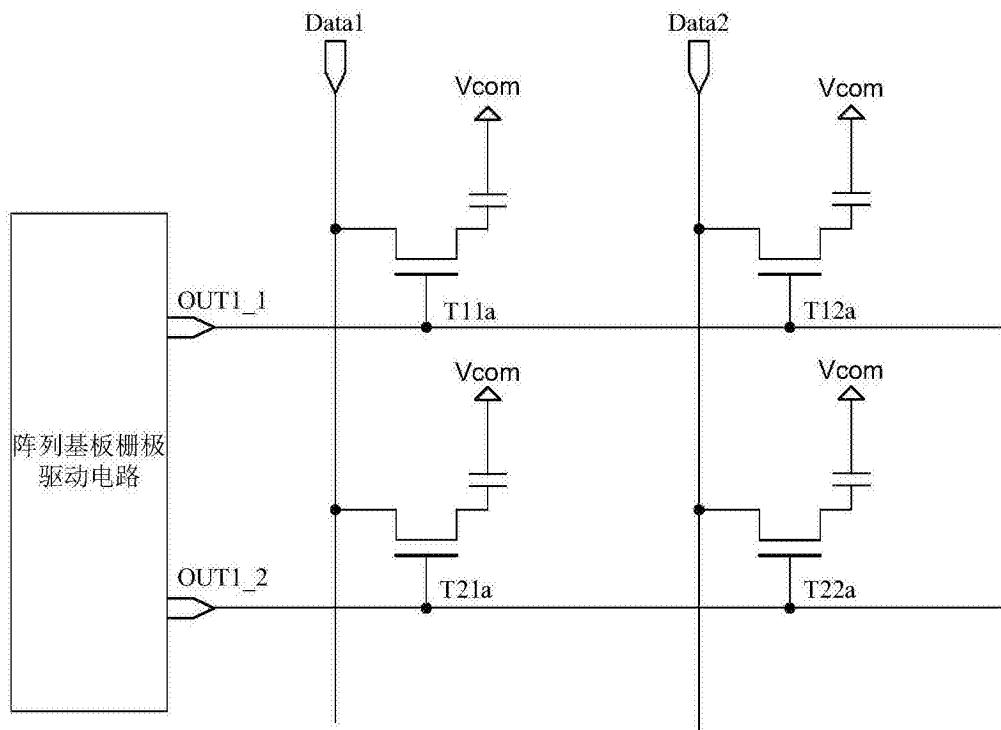


图2a

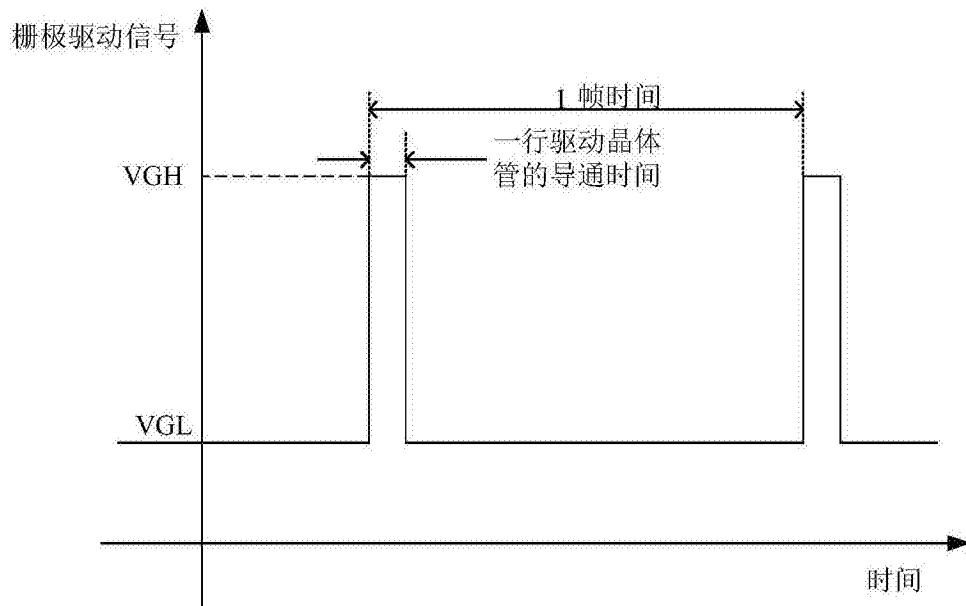


图2b

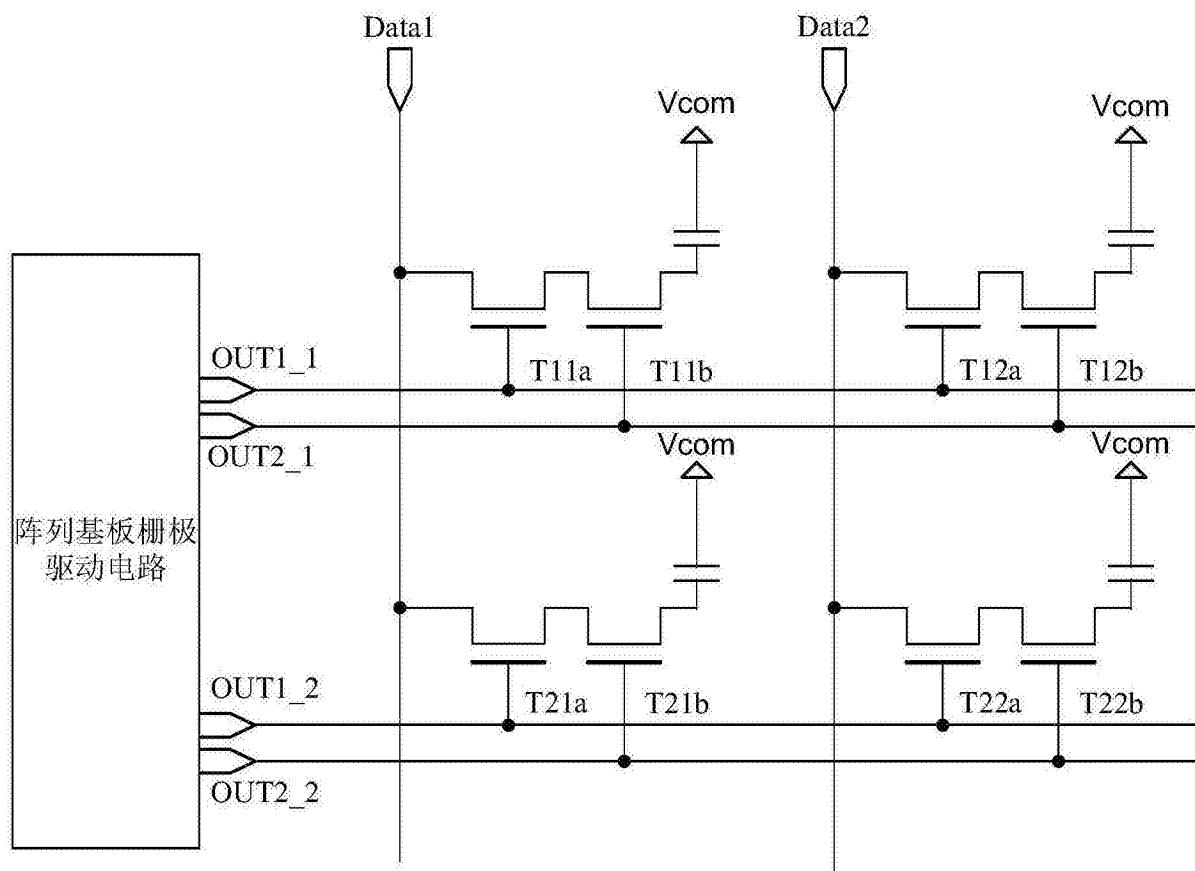


图3a

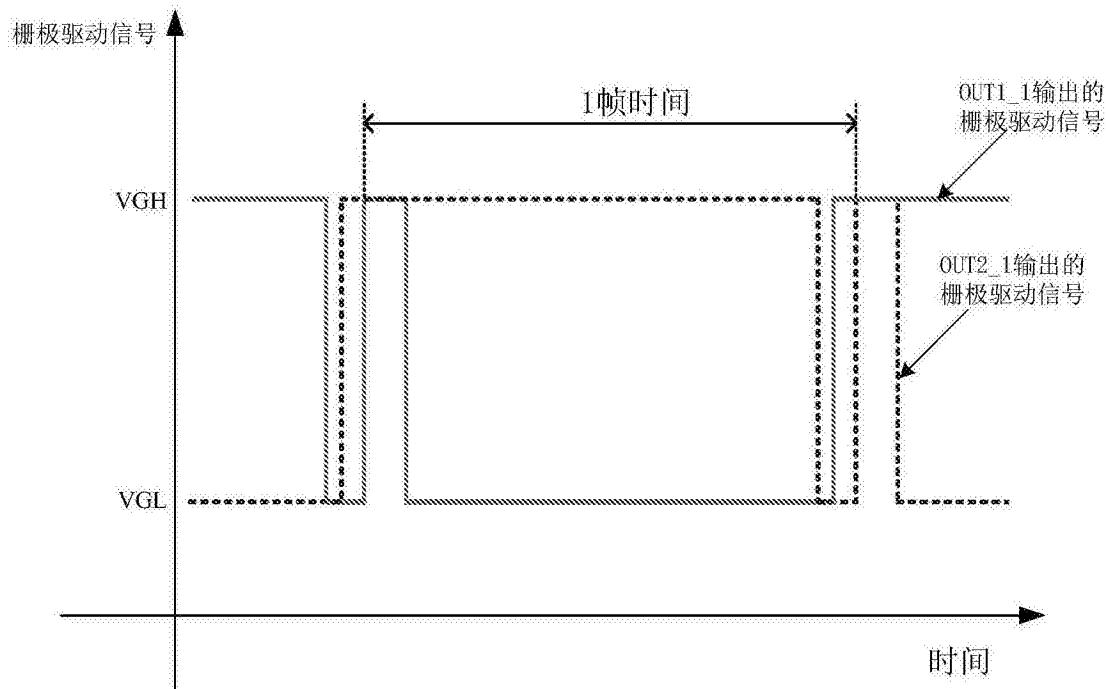


图3b

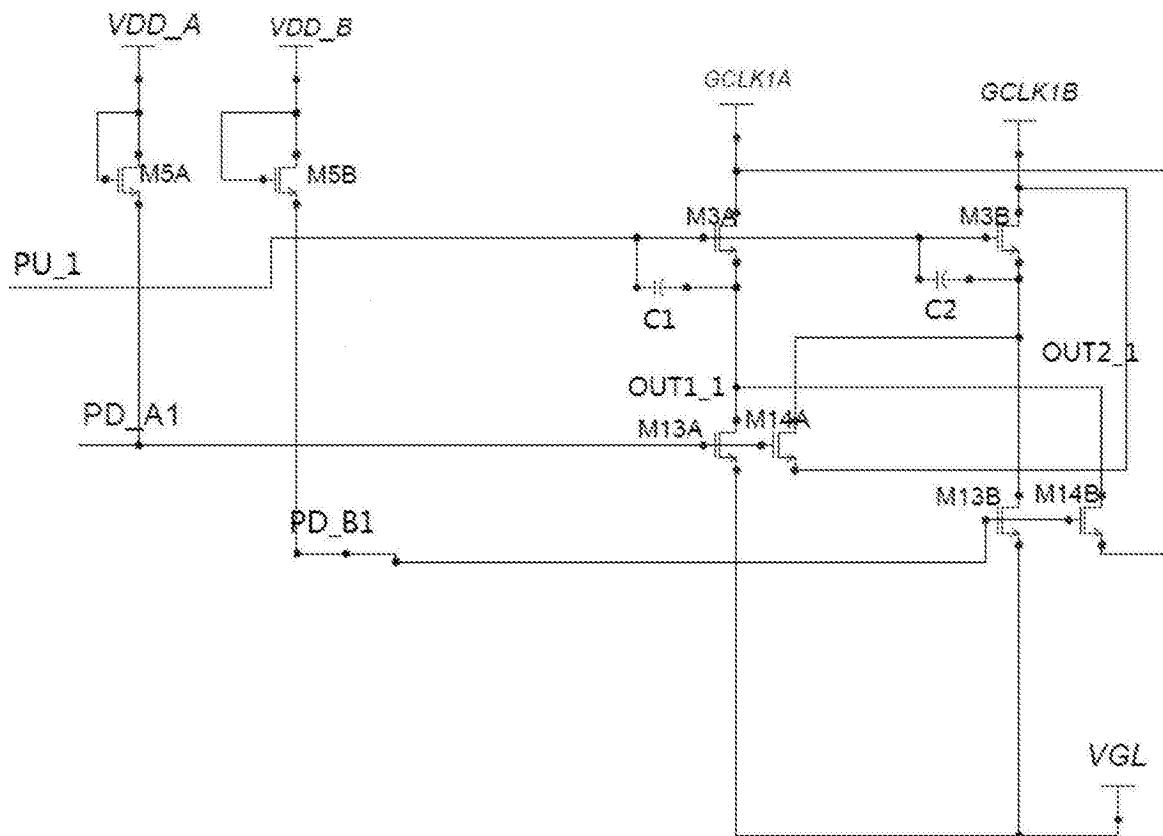


图4

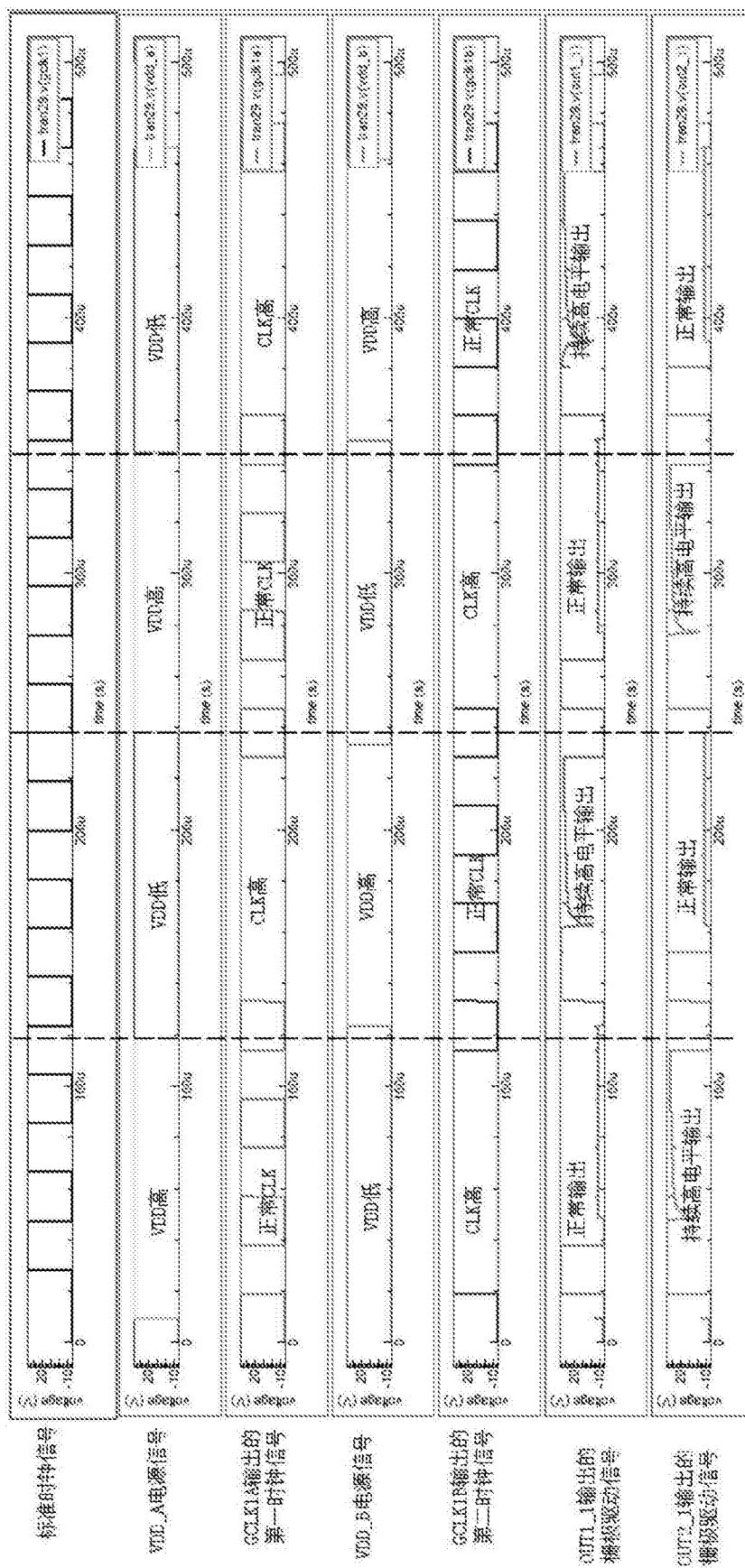


图 5

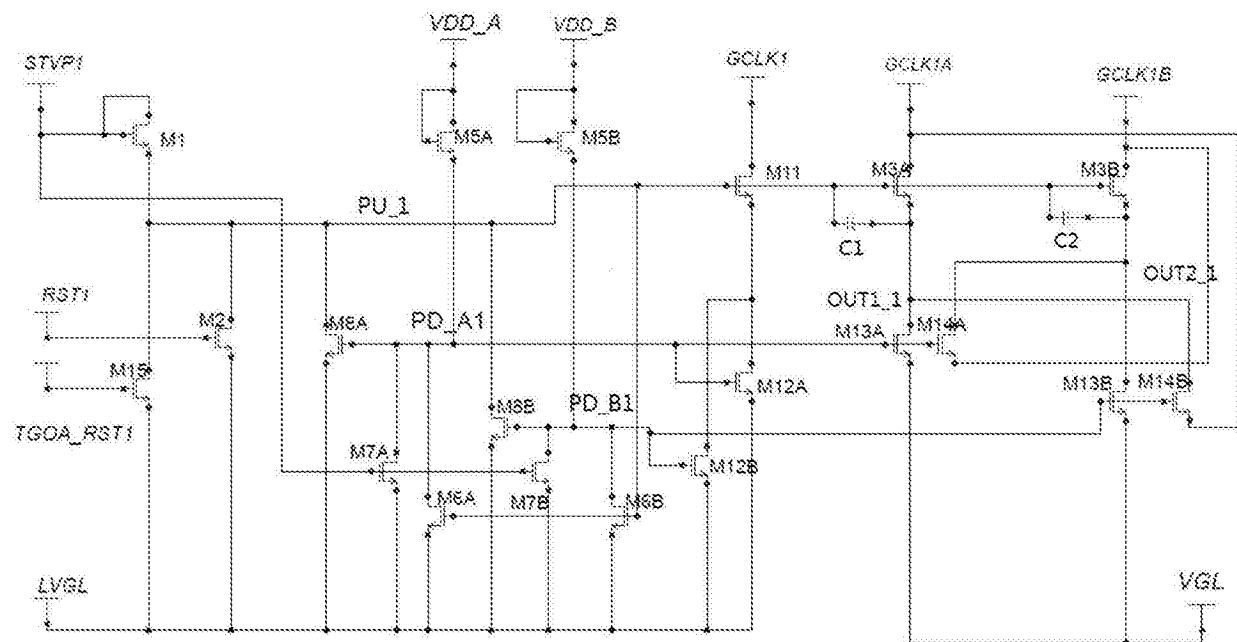


图6

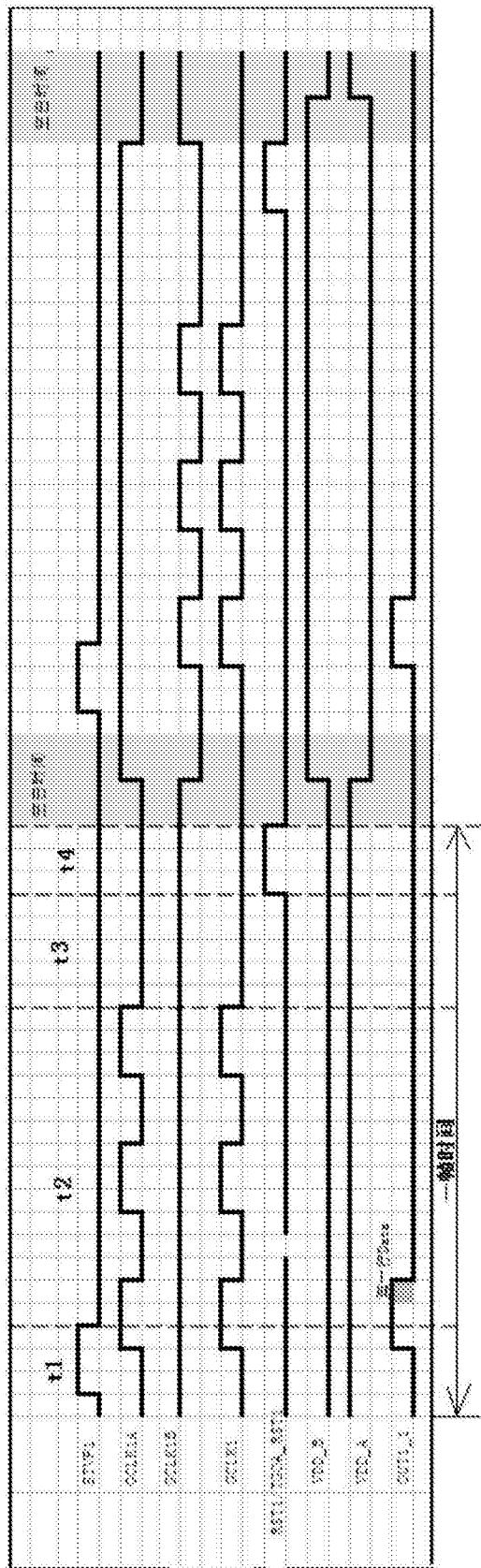


图7

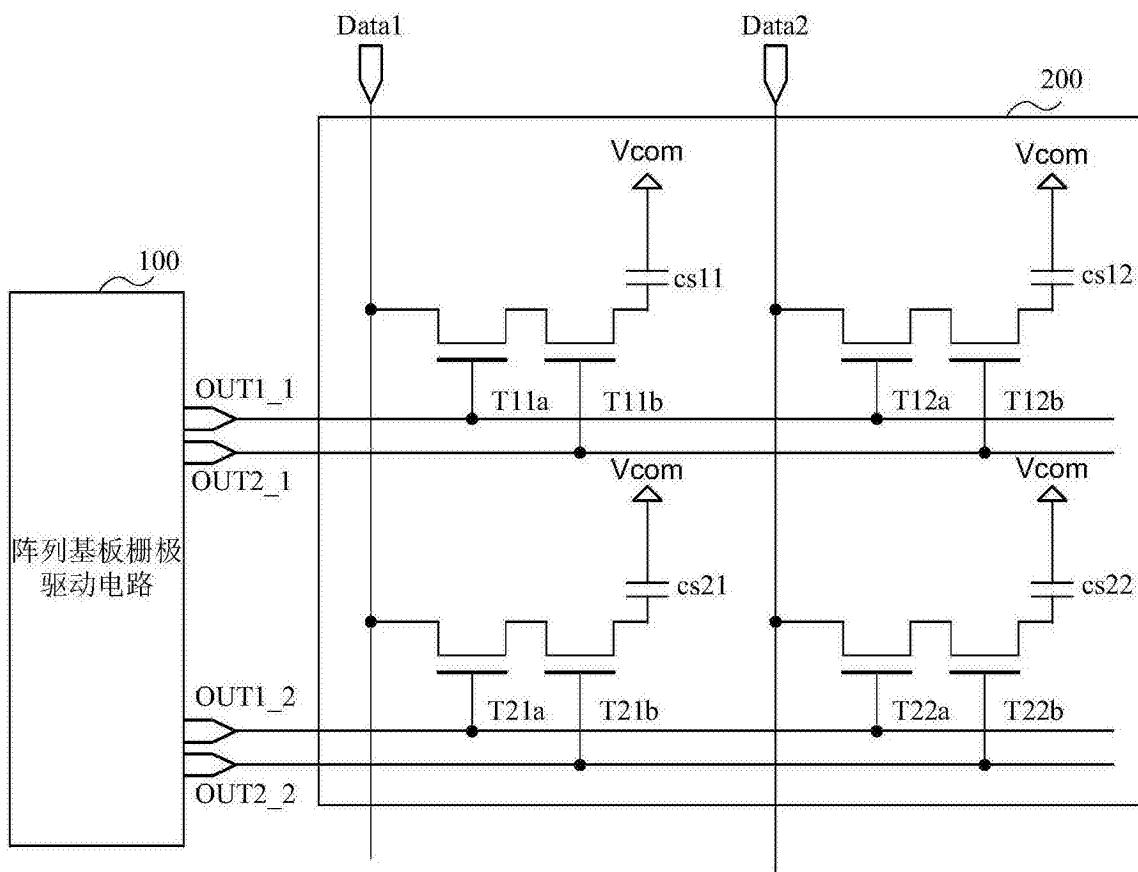


图8

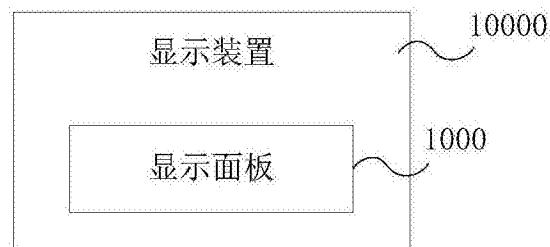


图9