(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-181081
(P2008-181081A)
(43)公開日　平成20年8月7日(2008.8.7)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	3/36	(2006.01)	G09G	3/36		2H093
G09G	3/20	(2006.01)	G09G	3/20	612F	5C006
G02F	1/133	(2006.01)	G09G	3/20	623F	5C080
			G09G	3/20	612U	
			G09G	3/20	623K	

審査請求 未請求　請求項の数 21　ＯＬ　（全 25 頁）　最終頁に続く

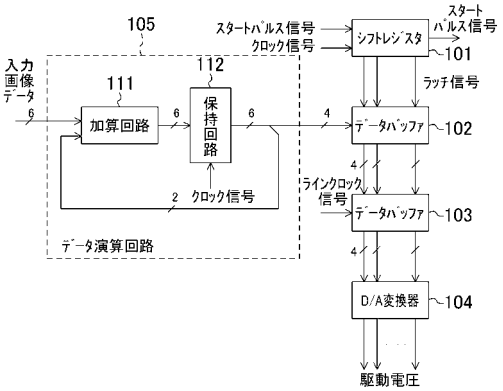
(21)出願番号　特願2007-295499 (P2007-295499)
(22)出願日　平成19年11月14日 (2007.11.14)
(31)優先権主張番号　特願2006-356247 (P2006-356247)
(32)優先日　平成18年12月28日 (2006.12.28)
(33)優先権主張国　日本国 (JP)

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100110939
弁理士　竹内　宏
(74)代理人　100110940
弁理士　嶋田　高久
(74)代理人　100113262
弁理士　竹内　祐二
(74)代理人　100115059
弁理士　今江　克実
(74)代理人　100115691
弁理士　藤田　篤史

最終頁に続く

(54)【発明の名称】画像表示装置の駆動装置

(57)【要約】
【課題】画像表示装置の駆動装置の回路規模を低減する。
【解決手段】データ演算回路１０５は、加算回路１１１と、保持回路１１２とを備え、図２に示すように、６ビットの入力画像データに、保持回路１１２に保持されている２ビットの繰り越しデータを加算し、加算結果の上位４ビットを出力するとともに、下位２ビットを次の繰り越しデータとして保持回路１１２に保持させる。
【選択図】図１



【特許請求の範囲】
【請求項１】
表示画像の各画素の階調を示す入力画像データが順次入力されて、駆動電圧信号を出力する画像表示装置の駆動装置であって、
処理対象画素の入力画像データと、近傍の画素の入力画像データとに基づいて、上記入力画像データよりも少ないビット数の出力画像データを求めて出力する演算部と、
複数種類の基準電圧を発生する基準電圧発生部と、
上記出力画像データに基づいて、上記複数種類の基準電圧のうちの何れかを選択する基準電圧選択部と、
を備え、
上記演算部は、上記処理対象画素の入出力画像データの差と、近傍の画素の入出力画像データの差とが相殺されるように、上記処理対象画素の出力画像データを求めるように構成されていることを特徴とする画像表示装置の駆動装置。
【請求項２】
請求項１の画像表示装置の駆動装置であって、
さらに、処理対象画素に先立つ画素の出力画像データを求める際に得られる繰り越しデータを保持する保持部を備え、
上記演算部は、入力画像データに上記保持部の繰り越しデータを加算し、加算結果の所定の上位ビットの値を出力画像データとして求めるとともに、加算結果の他の下位ビットの値を次の繰り越しデータとして保持部に保持させることを特徴とする画像表示装置の駆動装置。
【請求項３】
請求項２の画像表示装置の駆動装置であって、
上記演算部は、上記加算結果がオーバフローした場合に、上記上位ビットの値の最大値を出力画像データとして求めることを特徴とする画像表示装置の駆動装置。
【請求項４】
請求項３の画像表示装置の駆動装置であって、
上記演算部は、上記加算結果がオーバフローした場合に、上記保持部に保持されている繰り越しデータを維持することを特徴とする画像表示装置の駆動装置。
【請求項５】
請求項２の画像表示装置の駆動装置であって、
上記基準電圧の種類数は、２の上記上位ビット数乗であることを特徴とする画像表示装置の駆動装置。
【請求項６】
請求項１の画像表示装置の駆動装置であって、
さらに、入力画像データにおける所定の下位ビットの値に応じた乱数を発生する乱数発生部を備え、
上記演算部は、入力画像データにおける上記上位ビットの値に、上記乱数を加算することを特徴とする画像表示装置の駆動装置。
【請求項７】
請求項６の画像表示装置の駆動装置であって、
上記乱数発生部は、順次入力される入力画像データの所定の下位ビットの加算値から、先行する画素について発生した乱数に応じた値が減算された値に基づいて、上記乱数を発生することを特徴とする画像表示装置の駆動装置。
【請求項８】
請求項１の画像表示装置の駆動装置であって、
上記演算部は、上記入力画像データの値の範囲が複数の区間に分割されたうちの一部の区間について、上記出力画像データを求めることを特徴とする画像表示装置の駆動装置。
【請求項９】
請求項２の画像表示装置の駆動装置であって、

それぞれ、上記演算部、基準電圧発生部、基準電圧選択部、演算部、および保持部を有し、表示ラインが複数に分割された各部分ラインの画素について駆動電圧信号を出力する複数の単位駆動装置を備えて構成されたことを特徴とする画像表示装置の駆動装置。

【請求項１０】

請求項９の画像表示装置の駆動装置であって、

各演算部は、第１の表示ラインにおける各部分ラインの最後の画素について求めた繰り越しデータに基づいて、第２の表示ラインにおける各部分ラインの最初の画素についての出力画像データを求めることを特徴とする画像表示装置の駆動装置。

【請求項１１】

請求項１０の画像表示装置の駆動装置であって、

各演算部は、さらに、１フレームの最後の各部分ラインの最後の画素について求めた繰り越しデータに基づいて、次のフレームの最初の各部分ラインの最初の画素についての出力画像データを求めることを特徴とする画像表示装置の駆動装置。

【請求項１２】

請求項９の画像表示装置の駆動装置であって、

各演算部は、他の単位駆動装置が先行する部分ラインの最後の画素について求めた繰り越しデータに基づいて、上記先行する部分ラインと同一の表示ライン内で後続する部分ラインの最初の画素についての出力画像データを求めることを特徴とする画像表示装置の駆動装置。

【請求項１３】

請求項１２の画像表示装置の駆動装置であって、

各表示ラインの最初の画素についての出力画像データを求める単位駆動装置の演算部は、他の単位駆動装置が先行する表示ラインの最後の画素について求めた繰り越しデータに基づいて、後続する表示ラインの最初の画素についての出力画像データを求めることを特徴とする画像表示装置の駆動装置。

【請求項１４】

請求項１３の画像表示装置の駆動装置であって、

上記各表示ラインの最初の画素についての出力画像データを求める単位駆動装置の演算部は、さらに、１フレームの最後の表示ラインにおける最後の画素について求められた繰り越しデータに基づいて、次のフレームの最初の表示ラインにおける最初の画素についての出力画像データを求めることを特徴とする画像表示装置の駆動装置。

【請求項１５】

請求項１２の画像表示装置の駆動装置であって、

上記画像表示装置を構成する表示装置基板と、入力画像データを供給する配線基板とが、上記複数の単位駆動装置を介して接続されるように構成され、

上記他の単位駆動装置が先行する部分ラインの最後の画素について求めた繰り越しデータを伝達する配線パターンが、上記表示装置基板および配線基板の少なくとも一方に形成されていることを特徴とする画像表示装置の駆動装置。

【請求項１６】

請求項１３の画像表示装置の駆動装置であって、

上記画像表示装置を構成する表示装置基板と、入力画像データを供給する配線基板とが、上記複数の単位駆動装置を介して接続されるように構成され、

上記他の単位駆動装置が先行する表示ラインの最後の画素について求めた繰り越しデータを伝達する配線パターンが、上記表示装置基板および配線基板の少なくとも一方に形成されていることを特徴とする画像表示装置の駆動装置。

【請求項１７】

請求項１の画像表示装置の駆動装置であって、

上記演算部は、互いに隣接する複数の画素の画像データが入力され、

上記複数の画素のうち第１の画素の出力画像データを求める際に得られる繰り越しデータを、上記第１の画素に隣接する第２の画素の入力画像データに加算し、加算結果の所定

の上位ビットの値を第２の画素の出力画像データとして求めるとともに、
加算結果の他の下位ビットの値を次の繰り越しデータとして求めることを特徴とする画像表示装置の駆動装置。
【請求項１８】
請求項１７の画像表示装置の駆動装置であって、
さらに、上記複数の画素のうち終端部の画素についての繰り越しデータを保持する保持部を備え、
上記演算部は、上記複数の画素に続いて入力される複数の画素の画像データのうち始端部の画素の画像データに上記保持部に保持された繰り越しデータを加算することを特徴とする画像表示装置の駆動装置。
【請求項１９】
請求項１７の画像表示装置の駆動装置であって、
上記演算部は、各画素の画像データにおける各ビットの値がシリアルに入力され、上記各ビットの値を保持するとともに繰り越しデータを加算することを特徴とする画像表示装置の駆動装置。
【請求項２０】
請求項１７の画像表示装置の駆動装置であって、
上記演算部は、上記加算結果がオーバフローした場合に、上記上位ビットの値の最大値を出力画像データとして求めることを特徴とする画像表示装置の駆動装置。
【請求項２１】
請求項１の画像表示装置の駆動装置であって、
上記演算部は、互いに隣接する複数の画素の画像データが入力され、
上記複数の画素のうち第１の画素の出力画像データを求める際に用いられる繰り越しデータと、
上記第１の画素の入力画像データと、
上記第１の画素に隣接する第２の画素の入力画像データとを加算し、加算結果の所定の上位ビットの値を第２の画素の出力画像データとして求めることを特徴とする画像表示装置の駆動装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、Ｄ／Ａ変換器を備え、液晶表示装置等の画像表示装置を駆動する駆動装置に関するものである。
【背景技術】
【０００２】
液晶表示装置等の画像表示装置を駆動する駆動装置は、例えば抵抗素子によって複数に分割された基準電圧のうちの何れか１つを選択して出力するＤ／Ａ変換器を備えている。上記選択は、画像データに応じたスイッチの切り替えによって行われる。
【０００３】
ところが、上記スイッチは、表示する画像の階調数（画像データのビット数）が多いほど、多く必要となる。具体的には、例えば、画像データのビット数が１ビット多くなるごとに、１色あたりに必要なスイッチの数は約２倍になり、例えば画像データが６ビットであれば１２６個のスイッチが必要になる。このため、高階調化に伴って、回路規模および半導体集積回路に占める面積が増加し、製造コストも増大する。また、上記のような問題点は、表示画像の高精細化に伴って例えば４８０～８００個などのＤ／Ａ変換器が設けられる駆動装置では一層顕著なものとなる。
【０００４】
そこで、１ビット分少ない階調数に応じた基準電圧から隣接した２種類の基準電圧を選択し、その平均の電圧をアンプによって生成することにより、スイッチの数を低減する技術が知られている（例えば、特許文献１、２参照。）

【特許文献１】特開２０００－１８３７４７号公報
【特許文献２】特開２００１－３４２３４号公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
しかしながら、上記のような２種類の基準電圧の平均化はアナログ的に行われるため、高い電圧精度を得ることが困難である。しかも、上記のように隣接した２種類の基準電圧を平均化する構成では、１ビット分の回路規模を低減することしかできない。
【０００６】
本発明は、上記の点に鑑みてなされたものであり、画像表示装置の駆動装置から出力される駆動電圧の精度を高く保ちつつ、回路規模および半導体集積回路に占める面積を容易に低減できるようにすることを目的としている。
【課題を解決するための手段】
【０００７】
上記の課題を解決するため、本発明は、
表示画像の各画素の階調を示す入力画像データが順次入力されて、駆動電圧信号を出力する画像表示装置の駆動装置であって、
処理対象画素の入力画像データと、近傍の画素の入力画像データとに基づいて、上記入力画像データよりも少ないビット数の出力画像データを求めて出力する演算部と、
複数種類の基準電圧を発生する基準電圧発生部と、
上記出力画像データに基づいて、上記複数種類の基準電圧のうちの何れかを選択する基準電圧選択部と、
を備え、
上記演算部は、上記処理対象画素の入出力画像データの差と、近傍の画素の入出力画像データの差とが相殺されるように、上記処理対象画素の出力画像データを求めるように構成されていることを特徴とする。
【０００８】
これにより、出力画像データのビット数に応じて、基準電圧の種類も少なく抑えられるので、基準電圧選択部の回路規模も小さく抑えられる。
【発明の効果】
【０００９】
本発明によれば、画像表示装置の駆動装置から出力される駆動電圧の精度を高く保ちつつ、回路規模および半導体集積回路に占める面積を低減することが容易にできる。
【発明を実施するための最良の形態】
【００１０】
以下、本発明の実施形態として、６ビットの画像データに応じた駆動電圧を出力する画像表示装置の駆動装置の例を図面に基づいて説明する。なお、以下の各実施形態において、他の実施形態と同様の機能を有する構成要素については同一の符号を付して説明を省略する。
【００１１】
《発明の実施形態１》
この駆動装置は、例えば図１に示すように、シフトレジスタ１０１と、データバッファ１０２・１０３と、Ｄ／Ａ変換器１０４と、データ演算回路１０５とを備えている。
【００１２】
シフトレジスタ１０１は、スタートパルス信号とクロック信号とが入力され、順次シフトされるラッチ信号を出力するようになっている。
【００１３】
データバッファ１０２は、上記ラッチ信号に応じて、データ演算回路１０５から順次出力される１画素分ずつの画像データをそれぞれ保持するようになっている。
【００１４】

データバッファ１０３は、ラインクロック信号に応じて、データバッファ１０３に保持された複数画素分の画像データを一括して保持するようになっている。

【００１５】

Ｄ／Ａ変換器１０４は、データバッファ１０３に保持された各画像データに応じた駆動電圧を出力するようになっている。このＤ／Ａ変換器１０４の詳細な構成については後述する。

【００１６】

データ演算回路１０５は、加算回路１１１と、保持回路１１２（例えばフリップフロップ）とを備え、図２に示すように、６ビット（ｂ５～ｂ０）の入力画像データに、保持回路１１２に保持されている２ビット（ｂ１～ｂ０）のデータ（繰り越しデータ）を加算し、加算結果の上位４ビット（ｂ５～ｂ２）を出力するとともに、下位２ビット（ｂ１～ｂ０）を次の繰り越しデータとして保持回路１１２に保持させるようになっている。すなわち、６ビットの入力画像データに対して、４ビットの画像データが出力され、下位２ビットは順次次の画素の画像データに繰り越されて加算されるようになっている。ただし、同図に＊印で示すように、加算時に最上位ビット（ｂ５）からのキャリー（オーバフロー）が生じる場合には、加算回路１１１から出力される加算結果の上位４ビット（ｂ５～ｂ２）の値は全て１にされるとともに、下位２ビットとしては元の繰り越しデータの値がそのまま次の繰り越しデータとされるようになっている（保持回路１１２で新たな下位２ビットの保持が抑制されて元の値が保持されるようにしてもよい。）。なお、同図において加算結果の上位４ビットも一旦保持回路１１２に保持されるようになっているのは、例えば出力タイミングを調整するためで、タイミングが問題とならない場合には、必ずしも保持させなくてもよい。

【００１７】

データ演算回路１０５から出力された４ビットの画像データは、データバッファ１０２・１０３を介してＤ／Ａ変換器１０４に入力され、駆動電圧が出力される。上記Ｄ／Ａ変換器１０４は、例えば図３に示すように、複数段階の基準電圧を発生する基準電圧発生回路１２１と、各画素に対応した複数の電圧選択部１２２とを備えている。上記基準電圧発生回路１２１は、より詳しくは、例えば図４に示すように、６ビット（６４階調）の画像データに応じた基準電圧Ｖ０～Ｖ６３のうち４つごとに１つ、合計で１６段階の基準電圧Ｖ０、Ｖ４、Ｖ８、Ｖ１２、…Ｖ６０を発生するようになっている。上記基準電圧Ｖ０～Ｖ６３は、あらかじめ例えば図５に示すように設定されたガンマ特性に応じて、０～６３の各階調に対応させて定められる基準電圧である。電圧選択部１２２は、データ演算回路１０５から出力される４ビット（ｂ５～ｂ２）の画像データに応じたスイッチの切り替えによって、上記１６段階の基準電圧のうち何れか１つを選択し、各画素の駆動電圧（画像信号）として出力するようになっている。

【００１８】

上記のように構成された駆動装置では、６ビット（６４階調）の入力画像データに対して、駆動電圧は、４ビットの画像データに基づいて１６段階のうちから選択される。この場合、例えば図２および図５に示す例では、入力画像データの値が０００００００（２）（末尾の「（２）」は２進表記であることを示す。）や０００１００（２）のように、下位２ビットが００（２）の場合には、正確な基準電圧Ｖ０、Ｖ４が出力される。一方、入力画像データとして、０００００１（２）のように、下位２ビットが０１（２）の値が連続して入力される例を考えると、４画素中３画素についてはＶ０が出力され、他の１画素についてはＶ４が出力される。そこで、これらの４画素が隣接していれば、平均的（確率的）にＶ１の階調に見える表示がなされることになる。

【００１９】

また、同様に、０００００１０（２）のように、下位２ビットが１０（２）の値や、０００００１１（２）のように、下位２ビットが１１（２）の値が連続して入力される例を考えると、４画素中２画素または１画素についてはＶ０が出力され、他の２画素または３画素はＶ４が出力される。そこで、これらの４画素が隣接していれば、平均的にＶ２またはＶ

３の階調に見える表示がなされることになる。ここで、上記の例では便宜上、同じ値が連続して入力される例を説明したが、画素ごとに入力画像データの値が異なる場合でも、隣接する画素間で下位２ビットの値が調整されて平均的に６ビットに相当する階調の表示がなされるメカニズムは同様である。

【００２０】

上記のように、データ演算回路１０５によって下位２ビットの値を考慮したうえで画像データが６ビットから４ビットに低減されることにより、基準電圧の選択に１画素あたり３０個のスイッチを用いるだけで高階調な表示を行わせることができる。

【００２１】

なお、６ビットの加算結果からの４ビットの画像データの抽出は、上記に限らず、四捨五入などによって行われるようにしてもよい。

【００２２】

また、繰り越しデータは、キャリーが生じる場合でも、必ずしも元の値が維持されるようにしなくてもよい。すなわち、キャリーの生じるような画素が多数連続するような場合には、そのような画素の前後で繰り越しデータが維持されていても、平均的に６ビットに相当する階調に近い表示がなされる効果は少なくなるので、そのような画素の出現頻度などによっては画質に大差がない場合も考えられる。また、キャリーの生じるような画素が多数連続した後の繰り越しデータは、どのような値であっても（一律に加算結果で更新された値や乱数的な値など）、表示ラインの端部の画素についての初期値と同様に、続く画素について上記のような繰り越しデータの加算が行われれば、平均的に６ビットに相当する階調を表示させる効果が得られる。

【００２３】

《実施形態１の変形例１》

上記実施形態１の駆動装置では、階調０～６０については、結果的に６１段階の階調の表示がなされる。ところが、階調６０～６３については、加算時に最上位ビット（ｂ５）からのキャリーが生じる場合に加算結果の上位４ビット（ｂ５～ｂ２）の値が全て１にされるので、一律に階調６０の表示になる。すなわち階調の上限が階調６０となる。

【００２４】

そこで、最高階調が階調６３となるようにするためには、例えば図６、７に示すような基準電圧発生回路２２１を有するＤ／Ａ変換器２０４を設けて、最高基準電圧だけがＶ６３になるようにしてもよい。この場合には、階調５６～６０の間では、画像データが６ビットの場合に比べて、少しずつ高めの階調になり、階調６０～６３では、一律に階調６３の表示になる。すなわち、階調６０～６３については階調差はないがハイエストライトの表示は十分に行われることになる。

【００２５】

《実施形態１の変形例２》

また、例えば図８、９に示すように、基準電圧発生回路３２１を有するＤ／Ａ変換器３０４を設けて、最高基準電圧をＶ６３にして、Ｖ０～Ｖ６３の間の基準電圧を少しずつ高めに設定してもよい。この場合には、やはりハイエストライトの表示は十分に行われるとともに、全階調にわたるガンマ曲線の変化率と、画像データが６ビットの場合の変化率との差を小さく抑えることができる。

【００２６】

なお、Ｖ０～Ｖ６３の全階調の基準電圧を高めに設定するのに間に限らず、例えばＶ４０～Ｖ６３の間など、途中の階調以上の基準電圧だけを高めに設定してもよい。

【００２７】

《実施形態１の変形例３》

また、例えば図１０に示すように、通常の加算演算をして加算結果とキャリー信号とを出力する加算回路４１１と、保持回路４１２とを有するデータ演算回路４０５、および図１１に示すような基準電圧発生回路４２１、および電圧選択部４２２を有するＤ／Ａ変換器４０４を用いてもよい。すなわち、加算回路４１１は、キャリー信号を出力するが、図

１２に示すように、キャリーが生じるかどうかに係わらず、入力画像データと繰り越しデータとを加算し、保持回路４１２は、常に加算結果の下位２ビットを次の加算に繰り越すようになっている。また、Ｄ／Ａ変換器４０４は、キャリー信号に応じて、Ｖ６４を出力するようになっている。

【００２８】

このように、加算によってキャリーが生じる場合、すなわち加算結果が６３を超える場合にはＶ６４が出力されることにより、図１３に示すように、階調６０～６３についても、階調５６～５９等と同様に、Ｖ６０またはＶ６４が所定の頻度で出力されることになり、平均的に6ビットに相当する階調の表示をさせることができる。

【００２９】

なお、上記のようなキャリー信号に応じてＶ６４を出力するかどうかを制御するのに限らず、例えば入力画像データおよび／または繰り越しデータのデコードや、これらのデコードと加算との組み合わせなどによっても、同様の制御をすることはできる。具体的には、例えば入力画像データの上位４ビット（ｂ５～ｂ２）が全て１で、繰り越しデータとの加算によって下位から２ビット目（ｂ１）からのキャリーが生じる場合にはＶ６４を出力するなどしてもよい。

【００３０】

《実施形態１の変形例４》

また、基準電圧としてＶ６１～Ｖ６３も実際に発生させて、入力画像データが６１以上の場合には、これらの基準電圧が出力されるようにしてもよい。具体的には、変形例４の駆動装置は、図１４に示すように、加算回路５１１、保持回路５１２、およびデコーダ５１３を有するデータ演算回路５０５と、図１５に示すような基準電圧発生回路５２１、および電圧選択部５２２を有するＤ／Ａ変換器５０４とを備えている。

【００３１】

デコーダ５１３は、図１６に示すように、入力画像データが６１以上の場合に１となるデコード信号を出力するようになっている。より具体的には、例えば入力画像データの上位４ビット（ｂ５～ｂ２）が全て１で、下位２ビット（ｂ１～ｂ０）の一方または両方が１の場合に、１を出力するようになっている。

【００３２】

加算回路５１１は、実施形態１の加算回路１１１と同様に入力画像データと繰り越しデータを加算するが、図１６に＊印で示すように、デコード信号が１の場合（入力画像データが６１以上の場合）には、下位２ビットとしては元の繰り越しデータの値がそのまま出力されて次の繰り越しデータとされるようになっている（保持回路５１２で新たな下位２ビットの保持が抑制されて元の値が保持されるようにしてもよい。）。また、デコード信号が１の場合には、Ｄ／Ａ変換器５０４で以下のように入力画像データの下位２ビットだけによって基準電圧の選択が行われるので、上位４ビットとしてはどのような値が出力されるように構成されてもかまわない。

【００３３】

保持回路５１２は、実施形態１と同様に、６ビットの加算結果を保持して、下位２ビットを次の繰り越しデータとして加算回路５１１に出力し、上位４ビットをＤ／Ａ変換のために出力するようになっている。保持回路５１２は、さらに、デコーダ５１３からのデコード信号、および入力画像データの（加算前の）下位２ビットも、一旦保持してから、出力するようになっている。

【００３４】

また、Ｄ／Ａ変換器５０４は、上記データ演算回路５０５から出力されるデコード信号、加算結果の上位４ビット、および入力画像データの下位２ビットに基づいて駆動電圧を出力するようになっている。より詳しくは、デコード信号が０の場合（入力画像データが０～６０の場合）には、実施形態１と同様に基準電圧Ｖ０～Ｖ６０が出力されるようになっている。一方、デコード信号が１の場合（入力画像データが６１～６３の場合）には、入力画像データの下位２ビット（ｂ１～ｂ０）に応じてＶ６１～Ｖ６３が出力されるよう

になっている。

【００３５】

上記のように構成された駆動装置では、図１７に示すように、入力画像データが６１～６３の画素については、平均的な階調ではなく、各画素ごとに、ハイエストライトを含む６ビットの画像データに応じた階調を表示させることができる。ここで、Ｄ／Ａ変換器５０４に入力される画像信号データのビット数は６ビットになるが、入力画像データが０～６０の場合には実施形態１と同様に加算結果の上位４ビットに基づいて平均的に６ビットに相当する階調の表示がなされるので、Ｄ／Ａ変換器５０４に用いられるスイッチの数は、やはり少なく抑えられる。

【００３６】

なお、繰り越しデータは、入力画像データが６０～６３の場合に、実施形態１について説明したのと同様に、必ずしも元の値が維持されるようにしなくてもよい。

【００３７】

また、上記の例では入力画像データが０～６０の場合には基準電圧Ｖ０～Ｖ６０が出力される例を示したが、繰り越しデータの加算結果に応じてＶ６１～Ｖ６３が出力されるようにしてもよい。その場合には、次の画素への繰り越しデータはクリアされるようにしてもよい。

【００３８】

また、入力画像データが６１～６３の場合にも、繰り越しデータの加算結果に応じて、基準電圧Ｖ６１～Ｖ６６（加算結果の最大値＝１１１１１１（２）＋１１（２））等が出力されるようにするなどしてもよい。

【００３９】

《発明の実施形態２》

６ビットの入力画像データのうちの下位２ビットだけに、順次繰り越しデータを加算する例を説明する。この駆動装置は、図１８に示すように、加算回路６１１、および保持回路６１２を有するデータ演算回路６０５と、図１９に示すような基準電圧発生回路５２１、および電圧選択部６２２を有するＤ／Ａ変換器６０４とを備えている。

【００４０】

加算回路６１１は、図２０に示すように、入力画像データのうちの下位２ビットに、順次２ビットの繰り越しデータを加算するようになっている。また、この加算回路６１１は、加算結果の下位から２ビット目（ｂ１）からのキャリーが生じる場合に、キャリー信号を出力するようになっている。

【００４１】

保持回路６１２は、２ビットの加算結果を保持して次の加算に繰り越すとともに、さらに、上記キャリー信号と、６ビットの入力画像データをそのまま保持して出力するようになっている。

【００４２】

Ｄ／Ａ変換器６０４は、原則的に入力画像データの上位４ビット（ｂ５～ｂ２）に基づいて基準電圧を選択するとともに、さらに、上記キャリー信号が１の場合には、１段階高階調な基準電圧を選択するようになっている。また、階調６０以上については、さらに、入力画像データの下位２ビットによって、基準電圧Ｖ６１～Ｖ６３が選択されるようになっている。

【００４３】

この駆動装置から出力される画像信号は、上記実施形態１の変形例４と同じである。すなわち、入力画像データが０～６０の場合については、入力画像データの上位４ビットと、下位２ビットに繰り越しデータを加算したときのキャリー信号とに基づいて、入力画像データの全６ビットと繰り越しデータとの加算結果の上位４ビットに基づいたのと同じ基準電圧Ｖ０～Ｖ６０が出力される。また、入力画像データが６１～６３の場合については、入力画像データの下位２ビットによって選択されるＶ６０～Ｖ６３の何れかの基準電圧が、入力画像データの上位４ビットが全て１のときにそれぞれオンになる一連のスイッチ

を介することによって、前記のようなデコード信号によってオンになるスイッチを介するのと同じように出力される。

【００４４】

上記のように２ビットの加算回路６１１から出力されるキャリー信号に基づいて、電圧選択部６２２で２段階の基準電圧の一方が選択されるように構成する場合には、加算回路６１１の回路規模が小さくなる一方で各Ｄ／Ａ変換器６０４に設けられるスイッチの数が多くなるが、全６ビットの画像データに基づいて６４段階の基準電圧の何れかが選択される場合などに比べれば、やはり必要なスイッチの数を少なく抑えることができる。

【００４５】

なお、上記のように入力画像データの下位のビットに繰り越しデータとを加算したときのキャリー信号に基づいて２段階の基準電圧の一方が選択される構成は、基準電圧Ｖ６１～Ｖ６３を出力可能な駆動装置に限らず、実施形態１や変形例１～３などに適用してもよい。

【００４６】

また、本実施形態２において、実施形態１の変形例４のようなデコード信号によって基準電圧Ｖ６１～Ｖ６３が選択されるようにしてもよい。

【００４７】

《発明の実施形態３》

６ビットの画像データによる基準電圧の選択は、６１～６３階調に限らず、必要とされる階調精度や解像度等に応じて、γ曲線の勾配変化が大きい部分など、他の階調の領域について行われるようにしてもよいし、また、図２１に示すように複数の階調領域について行われるようにしてもよい。また、６ビットに限らず、５ビットで選択される階調領域が設けられたりしてもよい。

【００４８】

具体的には、実施形態３の駆動装置は、例えば図２２に示すように、実施形態１の変形例４と比べて、デコーダ５１３に代えてデコーダ７１３を有するデータ演算回路７０５と、図２３に示すような基準電圧発生回路７２１、および電圧選択部７２２を有するＤ／Ａ変換器７０４とを備えている。

【００４９】

デコーダ７１３は、図２４に示すように、入力画像データが０の場合、および６１以上の場合に１となるデコード信号を出力するようになっている。より具体的には、例えばデコーダ５１３と同様に入力画像データの上位４ビット（ｂ５～ｂ２）が全て１で、下位２ビット（ｂ１～ｂ０）の一方または両方が１の場合に加えて、入力画像データの全６ビットが０の場合にも１を出力するようになっている。

【００５０】

加算回路５１１、および保持回路５１２の機能および動作は実施形態１の変形例４で説明したのと同じである。

【００５１】

Ｄ／Ａ変換器７０４は、Ｄ／Ａ変換器５０４と同様に基準電圧Ｖ６１～Ｖ６３が選択されるのに加えて、入力画像データの全６ビットが０の場合に基準電圧Ｖ０が選択される一方、その他の場合で加算結果の上位４ビットが０の場合には、基準電圧Ｖ１より少し低めの電圧が選択されるようになっている。

【００５２】

このように構成されることにより、入力画像データが０～４の画素について、図２５に示すように、γ曲線の勾配が、Ｖ０～Ｖ１の間は大きく、Ｖ１～Ｖ４の間は小さいように直線性が低い場合でも、所望のγ曲線に応じた駆動電圧を出力させることが容易にできる。

【００５３】

なお、例えば入力画像データが０～４など一部の階調範囲についてだけ、さらに入力画像データの下位１ビットまたは２ビットの値にも基づいて、高階調な基準電圧が選択され

るようにしてもよい。すなわち、全階調範囲について入力画像データの全ビットに基づいた選択をするのに比べて、大幅に少ない数のスイッチで、部分的に階調を高めて画質を向上させることが容易にできる。

【００５４】

《発明の実施形態４》

画像データに繰り越しデータを加算するのに代えて、乱数を加算するようにしてもよい。具体的には、実施形態４の駆動装置は、例えば図２６に示すように、加算回路８１１、保持回路８１２、および乱数発生回路８１４を有するデータ演算回路８０５を備えている。

【００５５】

乱数発生回路８１４は、入力画像データの下位２ビット（ｂ１～ｂ０）の値が１～３の場合に、その値応じて、１／４～３／４の確率で値が１になる乱数を出力するようになっている。

【００５６】

加算回路８１１は、入力画像データ上位４ビット（ｂ５～ｂ２）に上記乱数を加算するようになっている。

【００５７】

保持回路８１２は、上記加算結果を一旦保持することにより、適切なタイミングで出力するようになっている。

【００５８】

このように構成された駆動装置においても、例えば、入力画像データが０００００１（２）、つまり下位２ビットが０１（２）だとすると、データ演算回路８０５からは、やはり、平均的に、４画素中３画素については０００（２）が出力され、他の１画素については０００１（２）が出力される。そこで、これらの４画素が隣接していれば、平均的（確率的）にＶ１の階調に見える表示がなされることになる。

【００５９】

《発明の実施形態５》

乱数を発生させるための下位２ビットの値として累積値を用いるようにしてもよい。具体的には、実施形態５の駆動装置は、例えば図２７に示すように、実施形態４（図２６）の構成に加えて、加減算回路９１５と、保持回路９１６と、保持回路９１７とを有するデータ演算回路９０５を備えている。

【００６０】

加減算回路９１５は、入力画像データの下位２ビットに、保持回路９１６に保持されている３ビットのデータ（符号付または２の補数の繰り越しデータ）を加算するとともに、乱数発生回路８１４が出力する値を（ｂ２）の桁位置で減算するようになっている。

【００６１】

保持回路９１６は、加減算回路９１５から出力される加減算結果を次の繰り越しデータとして保持するようになっている。

【００６２】

乱数発生回路８１４は、加減算回路９１５から出力される加減算結果が１～３の場合に、その値応じて、１／４～３／４の確率で値が１になる乱数を出力するようになっている。また、例えば、加減算結果が０以下の場合には必ず０を出力し、４以上の場合には必ず１を出力するようになっている。

【００６３】

上記のように繰り越しデータの加算と乱数とが用いられることにより、例えば、入力画像データの下位２ビットの値が同じでも、上位４ビットに１が加算された後には再度１が加算される確率が低く、上位４ビットに１が加算されなかった後には再度１が加算される確率が高くなる。したがって、近接した画素の範囲内で、平均的に適切な階調の表示される確率を高くすることができる。

【００６４】

《発明の実施形態６》

実施形態１等について説明した保持回路１１２等に保持される繰り越しデータの初期値は、０など特定の値でもよいし、乱数的な値でもよい。また、そのような初期値は、各表示ラインごとに設定されるようにしてもよいが、単に前ラインの最後の画素についての繰り越しデータが、そのまま次ラインの初期値となるようにしてもよい。すなわち、例えば撮影画像などのように、表示ラインの最後の画素についての繰り越しデータがランダムに近いと考えられるような場合には、乱数を初期値にするのと同じようなことになる。

【００６５】

一方、画像データに周期性があるコンピュータ画像などの場合には、各ラインの初期値が等しいと、同じ横位置の画素で１段階高い階調となって、縦縞が目立ちやすくなる場合がある。そのような場合には、乱数的な初期値が設定されることが好ましい。

【００６６】

また、例えば先頭の画素についての繰り越しデータや出力画像データが、後続する画素の画像データに基づいて求められるなどしてもよい。

【００６７】

《発明の実施形態７》

隣接する２つの画素ごとの画像データが並列に入力されて駆動電圧を出力する駆動装置の例を説明する。また、この例では、各画素の画像データは、１ビットずつシリアルに入力されるようになっている。この駆動装置のデータ演算回路９３５は、図２８に示すように、加算回路９４１・９４３と、保持回路９４２ａ・９４２ｂ・９４４とを有している。

【００６８】

加算回路９４１は、奇数画素の入力画像データがシリアルに入力され、図２９に示すように、入力クロック信号ＣＬＫ－ＩＮが分周されたクロック信号ＣＬＫ０～ＣＬＫ５に同期して６ビット（ｂ５～ｂ０）の入力画像データを順次保持するとともに、保持回路９４４に保持されている２ビットの繰り越しデータを加算する。そこで、加算回路９４１からは、各ビットの加算結果がクロック信号ＣＬＫ０～ＣＬＫ５に同期して順次出力される。また、加算時に最上位ビット（ｂ５）からのキャリーが生じる場合には、実施形態１について説明したのと同様に加算回路９４１から出力される加算結果の上位４ビット（ｂ５～ｂ２）の値は全て１にされる。

【００６９】

加算結果のうちの下位２ビット（ｂ１～ｂ０）のデータ（繰り越しデータ）は、クロック信号ＣＬＫ２に同期して保持回路９４２ａに保持され、加算回路９４３に出力される。一方、上位４ビット（ｂ５～ｂ２）のデータ（出力データ）は、クロック信号ＣＬＫ０に同期して保持回路９４２ｂに保持され、データバッファ１０２に出力される。

【００７０】

加算回路９４３は、偶数画素の入力画像データがシリアルに入力され、クロック信号ＣＬＫ０～ＣＬＫ５に同期して６ビット（ｂ５～ｂ０）の入力画像データを順次保持するとともに、上記保持回路９４２ａにクロック信号ＣＬＫ２に同期して保持された２ビットの繰り越しデータを加算する。そこで、加算回路９４３から出力される下位２ビット（ｂ１～ｂ０）の加算結果は、クロック信号ＣＬＫ２に同期して確定し、上位４ビット（ｂ５～ｂ２）の加算結果はクロック信号ＣＬＫ２～ＣＬＫ５に同期して入力画像データが入力されるのに伴い、順次確定する。これらの確定した全ビットの加算結果は、クロック信号ＣＬＫ０に同期して保持回路９４４に保持され、そのうちの下位２ビット（ｂ１～ｂ０）の繰り越しデータは加算回路９４１に出力され、上位４ビット（ｂ５～ｂ２）の出力データはデータバッファ１０２に出力される。

【００７１】

上記のように並列に入力された２つの画素の入力画像データの一方と繰り越しデータとの加算、およびその加算結果と他方の入力画像データとの加算とを相前後して行わせることにより、２つの画素の出力画像データも並列に出力させることができる。特に、入力画像データがシリアルに入力される場合には、各入力画像データの下位２ビットが入力され

た後、各画像データについての加算遅延とキャリー伝播遅延が、次の入力画像データの入力されるタイミングまでの時間よりも短ければ、上記加算遅延およびキャリー伝播遅延が出力画像データの出力タイミングに影響しないようにすることができる。

【００７２】

なお、保持回路９４２ａは、必ずしもクロック信号ＣＬＫ２に同期して繰り越しデータを保持するのに限らず、加算遅延およびキャリー伝播遅延が出力画像データの出力タイミングに影響しない範囲であれば、より後のクロック信号に同期して保持するようにしてもよい。さらに、入出力画像データの入出力タイミングに余裕がある場合には、各画素の全ビットの入力画像データが入力された後、保持回路９４２ａ・９４２ｂが同一のクロック信号で加算結果を保持し、保持回路９４４は加算回路９４３の加算結果を、その加算結果が確定するタイミングで保持するようにしてもよい。

【００７３】

また、各画素の画像データが１ビットずつシリアルに入力されるのに限らず、全ビットがパラレルに入力される場合でも、入出力画像データの入出力タイミングに余裕がある場合には、各画素についての加算結果が順次確定するタイミングで、それらの加算結果が順次保持されるようにしてもよいし、全画素の加算結果が確定するタイミングで、それらの全画素の加算結果が同時に保持されるようにしてもよい。

【００７４】

また、加算回路９４３から出力される加算結果が保持回路９４４に保持されるまでの間、加算回路９４１から出力される加算結果が維持される場合には、保持回路９４２ａは必ずしも設けなくてもよい。

【００７５】

また、入力画像データが並列に入力される画素数や、入出力画像データのビット数、繰り越しデータのビット数は、上記に限るものではない。

【００７６】

また、上記のような構成は、実施形態１～３、５、６、８またはこれらの変形例と適宜組み合わせてもよい。具体的には、例えば加算回路９４１、および保持回路９４２ｂ・９４４が、実施形態１の変形例３（図１０）と同様にキャリー信号も生成、保持するようにして、図１１に示すようなＤ／Ａ変換器４０４と組み合わせるなどしてもよい。

【００７７】

また、上記のように、各画素についての加算結果の下位ビットが、順次、繰り越しデータとして他の画素についての加算に用いられるのに限らず、複数の画素についての加算が並列に行われるようにしてもよい。具体的には、例えば図３０に示すように、加算回路９６１・９６３および保持回路９６２・９６４を有するデータ演算回路９５５を用い、加算回路９６１は、１つ目の画素の入力画像データと、保持回路９６４からの繰り越しデータとを加算する一方、加算回路９６３は、上記入力画像データの下位２ビットと、上記繰り越しデータと、２つ目の画素の入力画像データとを加算するようにすれば、実質的に等価な演算によって出力画像データを求めることができる。この場合には、下位ビットについて３入力以上の加算器が必要になるが、各画素についての出力画像データを同時に出力させることが容易にできる。

【００７８】

《発明の実施形態８》

画像表示装置の駆動装置は、１チップの半導体で構成されてもよいが、１表示ラインの画素数が多い場合などには、それぞれ１チップの半導体で構成された複数の単位駆動装置によって、１表示ライン分の駆動装置が構成されてもよい。

【００７９】

具体的には、例えば図３１に示すように、１枚の画像表示パネル１００１が、６個の単位駆動装置１００２で構成される駆動装置によって駆動されるようにしてもよい。同図の例では、３個ずつの単位駆動装置１００２がそれぞれ別個のバスに接続されて、順次、スタートパルス信号およびクロック信号とともに、画像データが与えられるようになってい

る。各単位駆動装置１００２には、１表示ラインの画素数をＭとすると、スタートパルス信号が１回入力されるごとに、各表示ラインのＭ／６画素分ずつの画像データが入力される。この場合、実施形態６で説明したのと同様に、スタートパルス信号が入力されるごとに繰り越しデータが初期化されるようにしてもよいが、同図に破線で示すように、各表示ラインのＭ／６画素の最後の画像データについての繰り越しデータが、そのまま保持されて次の表示ラインにおける初期値とされるようにしてもよい。また、同様に、１フレームの一番下の表示ラインにおける繰り越しデータが、同図に２点鎖線で示すように、次のフレームの一番上の表示ラインにおける繰り越しデータの初期値とされるようにしてもよい。

【００８０】

また、例えば、図３２に破線および２点鎖線で示すように３個の単位駆動装置１００２などごとに、繰り越しデータが受け渡されるようにしてもよい。より詳しくは、例えば、実施形態１のデータ演算回路１０５の例を図３３に示すように、さらに、セレクタ１５１を設け、スタートパルス信号が入力されたときに、前段のデータ演算回路１０５で保持された繰り越しデータが選択されて加算回路１１１に入力されるようにすればよい。

【００８１】

また、さらに、１表示ライン全体に亘って、繰り越しデータが受け渡されるようにしてもよい。

【００８２】

上記のように複数の単位駆動装置１００２間で繰り越しデータを受け渡す場合、受け渡しのための配線の形態は特に限定されないが、例えば図３４に示すように、フレキシブル基板１００２ａに半導体チップ１００２ｂが搭載されて形成された複数の単位駆動装置１００２が用いられ、そのような複数の単位駆動装置１００２を介して、画像データ等を供給するプリント配線基板１００３等と画像表示パネル１００１とが連結される場合には、画像表示パネル１００１のガラス基板等に形成された配線パターン１００１ａ、またはプリント配線基板１００３に形成された配線パターン１００３ａを介して、互いに隣接する単位駆動装置１００２間での繰り越しデータを受け渡すようにしてもよい。また、表示ラインの終端部に対応する単位駆動装置１００２から始端部に対応する単位駆動装置１００２への受け渡しは、同様に画像表示パネル１００１に形成された配線パターンを介するようにしてもよいが、一般的には、配線レイアウトの自由度などの点で、プリント配線基板１００３の方が配線パターン１００３ｂを形成しやすい。

【００８３】

《その他の事項》

上記のような構成は、カラー表示用の駆動装置にも適用できる。具体的には、例えば赤、緑、青の画像データが並列に入力される場合には、図３５に示すように、各色用のデータ演算回路１０５等を１組にして用いればよい。また、例えば赤、緑、青の画像データが順次供給される場合には、各色用のデータ演算回路１０５等を１組にして用いるとともに、デマルチプレクサなどによって各色の画像データをデータ演算回路１０５に振り分けるようにすればよい。また、保持回路１１２を各色ごとに設け、順次切り替えて用いられるようにしてもよい。

【００８４】

また、繰り越しデータは、通常は隣接する画素間で繰り越されるのが望ましいが、視覚的に平均的な階調に見える範囲の画素であれば、必ずしも隣接する画素でなくてもよい。また、１表示ライン内の画素に限らず、ラインメモリを設けるなどして、他の表示ラインの（画面の縦方向の）画素間で繰り越されるようにしてもよいし、２次元的な範囲の画素間で繰り越されるようにしてもよい。

【００８５】

また、上記のような繰り越しデータの加算に限らず、複数画素の画像データに基づいて表示される複数の画素によって、平均的に入力画像データのビット数に応じた階調が表示されるような階調パターンが求められればよく、関数処理やテーブル演算、フィルタ処理

などが適用されてもよい。

【００８６】

また、特開２０００－１８３７４７号公報や特開２００１－３４２３４号公報に記載されているような複数の基準電圧を選択して平均化する手法と組み合わせてもよい。すなわち、アナログ電圧の平均化による階調精度の低下を招く場合はあり得るが、大幅に回路規模を低減することが容易にできる。

【産業上の利用可能性】

【００８７】

本発明にかかる画像表示装置の駆動装置は、出力される駆動電圧の精度を高く保ちつつ、回路規模および半導体集積回路に占める面積を低減することが容易にできるという効果を有し、Ｄ／Ａ変換器を備え、液晶表示装置等の画像表示装置を駆動する駆動装置等として有用である。

【図面の簡単な説明】

【００８８】

【図１】実施形態１の画像表示装置の駆動装置の構成を示すブロック図である。
【図２】同、入力画像データと駆動電圧との関係を示す説明図である。
【図３】同、Ｄ／Ａ変換器１０４の具体的な構成を示すブロック図である。
【図４】同、Ｄ／Ａ変換器１０４のより詳細な構成を示す回路図である。
【図５】同、入力画像データと駆動電圧との関係を示すグラフである。
【図６】変形例１のＤ／Ａ変換器２０４の詳細な構成を示す回路図である。
【図７】同、入力画像データと駆動電圧との関係を示すグラフである。
【図８】変形例２のＤ／Ａ変換器３０４の詳細な構成を示す回路図である。
【図９】同、入力画像データと駆動電圧との関係を示すグラフである。
【図１０】変形例３のデータ演算回路４０５の構成を示すブロック図である。
【図１１】同、Ｄ／Ａ変換器４０４の詳細な構成を示す回路図である。
【図１２】同、入力画像データと駆動電圧との関係を示す説明図である。
【図１３】同、入力画像データと駆動電圧との関係を示すグラフである。
【図１４】変形例４のデータ演算回路５０５の構成を示すブロック図である。
【図１５】同、Ｄ／Ａ変換器５０４の詳細な構成を示す回路図である。
【図１６】同、入力画像データと駆動電圧との関係を示す説明図である。
【図１７】同、入力画像データと駆動電圧との関係を示すグラフである。
【図１８】実施形態２のデータ演算回路６０５の構成を示すブロック図である。
【図１９】同、Ｄ／Ａ変換器６０４の詳細な構成を示す回路図である。
【図２０】同、入力画像データと駆動電圧との関係を示す説明図である。
【図２１】実施形態３の入力画像データと駆動電圧との関係を示すグラフである。
【図２２】同、データ演算回路７０５の構成を示すブロック図である。
【図２３】同、Ｄ／Ａ変換器７０４の詳細な構成を示す回路図である。
【図２４】同、入力画像データと駆動電圧との関係を示す説明図である。
【図２５】同、入力画像データと駆動電圧との関係を示すグラフである。
【図２６】実施形態４のデータ演算回路８０５の構成を示すブロック図である。
【図２７】実施形態５のデータ演算回路９０５の構成を示すブロック図である。
【図２８】実施形態７のデータ演算回路９３５の構成を示すブロック図である。
【図２９】同、各部の動作を示すタイミングチャートである。
【図３０】同変形例のデータ演算回路９５５の構成を示すブロック図である。
【図３１】実施形態８の駆動装置の構成と繰り越しデータの伝達順序を示す説明図である。
【図３２】同、変形例を示す説明図である。
【図３３】同変形例のデータ演算回路１０５の構成を示すブロック図である。
【図３４】実施形態８および変形例の繰り越しデータの伝達経路を示す説明図である。
【図３５】他の変形例の画像表示装置の駆動装置の構成を示すブロック図である。

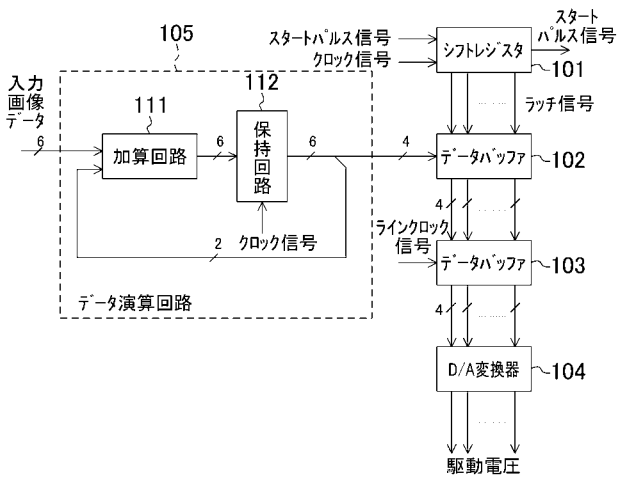
【符号の説明】

【００８９】

１０１　シフトレジスタ
１０２　データバッファ
１０３　データバッファ
１０４　Ｄ／Ａ変換器
１０５　データ演算回路
１１１　加算回路
１１２　保持回路
１２１　基準電圧発生回路
１２２　電圧選択部
１５１　セレクタ
２０４　Ｄ／Ａ変換器
２２１　基準電圧発生回路
３０４　Ｄ／Ａ変換器
３２１　基準電圧発生回路
４０４　Ｄ／Ａ変換器
４０５　データ演算回路
４１１　加算回路
４１２　保持回路
４２１　基準電圧発生回路
４２２　電圧選択部
５０４　Ｄ／Ａ変換器
５０５　データ演算回路
５１１　加算回路
５１２　保持回路
５１３　デコーダ
５２１　基準電圧発生回路
５２２　電圧選択部
６０４　Ｄ／Ａ変換器
６０５　データ演算回路
６１１　加算回路
６１２　保持回路
６２２　電圧選択部
７０４　Ｄ／Ａ変換器
７０５　データ演算回路
７１３　デコーダ
７２１　基準電圧発生回路
７２２　電圧選択部
８０５　データ演算回路
８１１　加算回路
８１２　保持回路
８１４　乱数発生回路
９０５　データ演算回路
９１５　加減算回路
９１６　保持回路
９１７　保持回路
９３５　データ演算回路
９４１　加算回路
９４２ａ　保持回路

９４２ｂ　保持回路
９４３　加算回路
９４４　保持回路
９５５　データ演算回路
９６１　加算回路
９６３　加算回路
９６４　保持回路
１００１　画像表示パネル
１００１ａ　配線パターン
１００２　単位駆動装置
１００２ａ　フレキシブル基板
１００２ｂ　半導体チップ
１００３　プリント配線基板
１００３ａ　配線パターン
１００３ｂ　配線パターン

【図１】

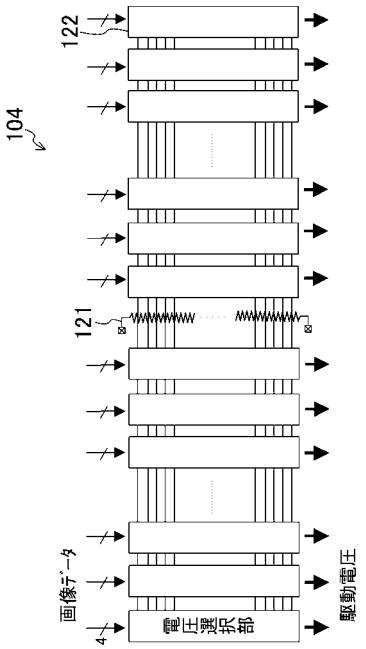


【図２】

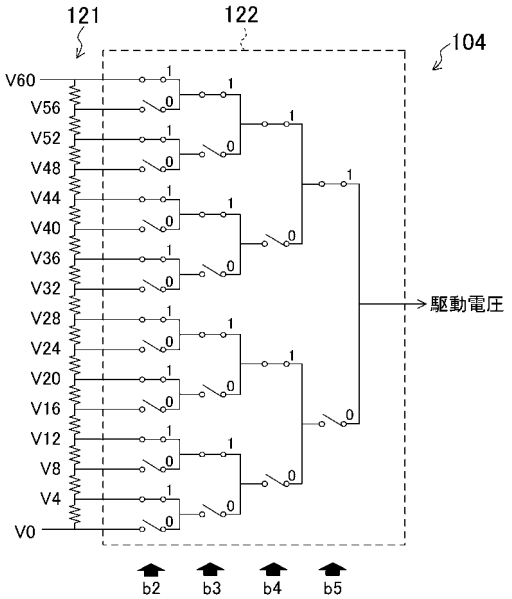
入力画像データ		保持回路データ(繰越データ)	通常の加算結果			実際の加算回路出力（＊印を調整）			駆動電圧
(10進)	(2進 b5-b0)	b1-b0	キャリー	b5-b2	b1-b0	出力画像データ b5-b2	次の繰越データ b1-b0		
0	000000	00		0000	00		00		
		01		0000	01		01		
		10		0000	10	0000	10		V0
		11		0000	11		11		
1	000001	00		0000	01		01		
		01		0000	10	0000	10		V0
		10		0000	11		11		
		11		0001	00	0001	00		V4
2	000010	00		0000	10	0000	10		V0
		01		0000	11		11		
		10		0001	00	0001	00		V4
		11		0001	01		01		
3	000011	00		0000	11	0000	11		V0
		01		0001	00		00		
		10		0001	01	0001	01		V4
		11		0001	10		10		
4	000100	00		0001	00		00		
		01		0001	01	0001	01		V4
		10		0001	10		10		
		11		0001	11		11		
5	000101	00		0001	01		01		
		01		0001	10	0001	10		V4
		10		0001	11		11		
		11		0010	00	0010	00		V8
・									
・									
・									
57	111001	00		1110	01		01		
		01		1110	10	1110	10		V56
		10		1110	11		11		
		11		1111	00	1111	00		V60
58	111010	00		1110	10	1110	10		V56
		01		1110	11		11		
		10		1111	00	1111	00		V60
		11		1111	01		01		
59	111011	00		1110	11	1110	11		V56
		01		1111	00		00		
		10		1111	01	1111	01		V60
		11		1111	10		10		
60	111100	00		1111	00		00		
		01		1111	01	1111	01		V60
		10		1111	10		10		
		11		1111	11		11		
61	111101	00		1111	01		01		
		01		1111	10	1111	10		V60
		10		1111	11		11		
		11	1	0000	00	＊1111	＊11		
62	111110	00		1111	10	1111	10		
		01		1111	11		11		V60
		10	1	0000	00	＊1111	＊10		
		11	1	0000	01		＊11		
63	111111	00		1111	11	1111	11		
		01	1	0000	00		＊01		V60
		10	1	0000	01	＊1111	＊10		
		11	1	0000	10		＊11		

＊強制的に＊元の繰り越しデータを維持
1111

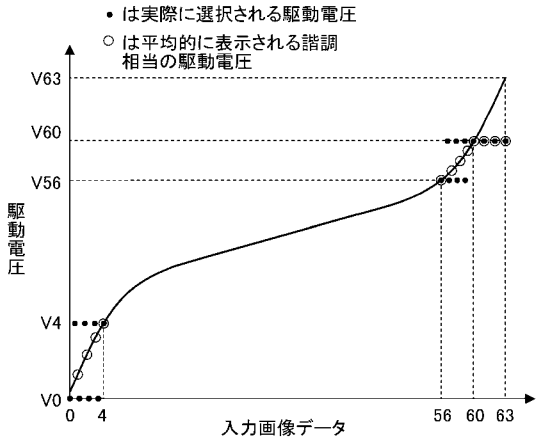
【図３】


122
104
121
画像データ
4
電圧選択部
駆動電圧

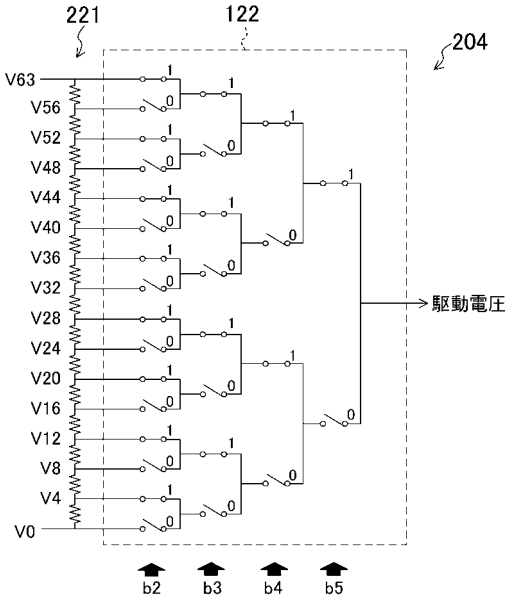
【図４】


121
122
104
V60
V56
V52
V48
V44
V40
V36
V32
V28
V24
V20
V16
V12
V8
V4
V0
駆動電圧
b2
b3
b4
b5

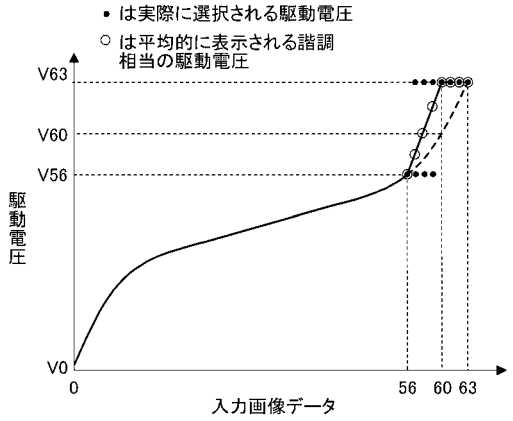
【図５】


• は実際に選択される駆動電圧
○ は平均的に表示される諧調
相当の駆動電圧
V63
V60
V56
V4
V0
駆動電圧
0
4
56
60
63
入力画像データ

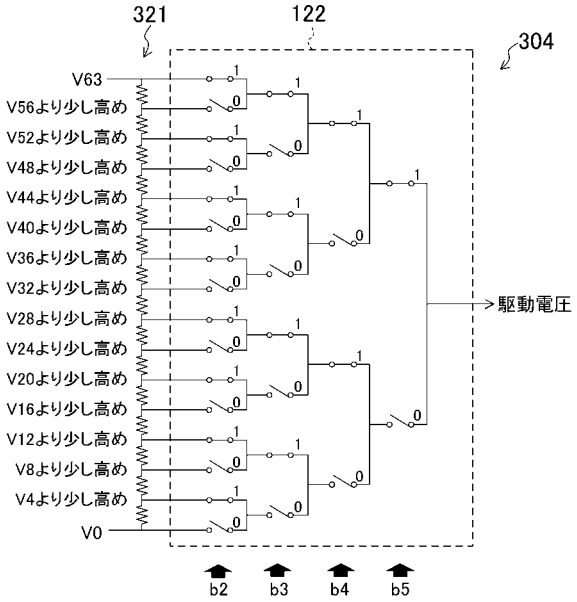
【図６】


221
122
204
V63
V56
V52
V48
V44
V40
V36
V32
V28
V24
V20
V16
V12
V8
V4
V0
駆動電圧
b2
b3
b4
b5

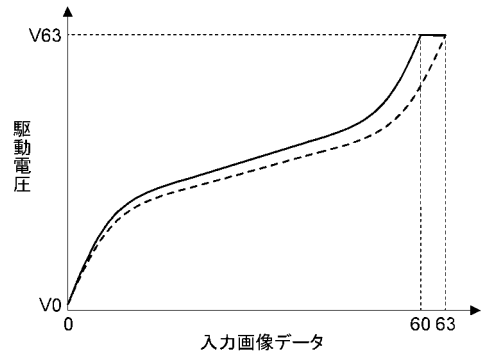
【図７】



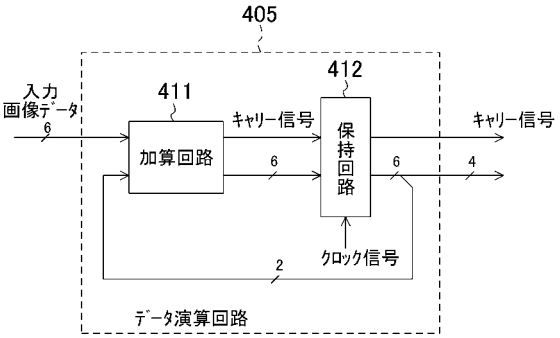
【図８】



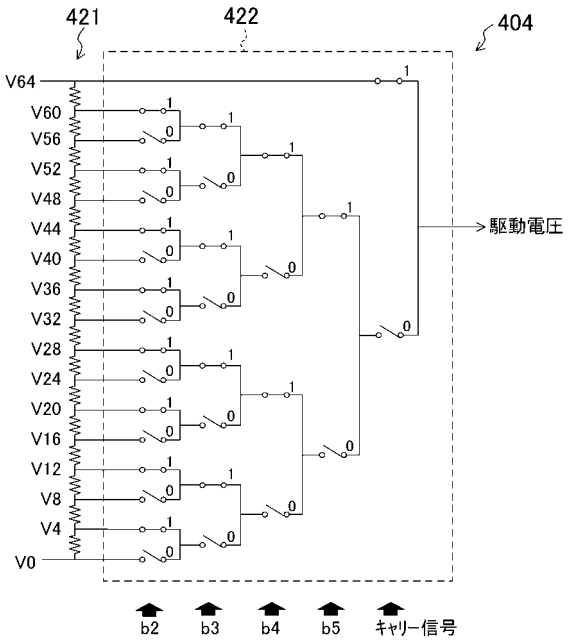
【図９】



【図１０】



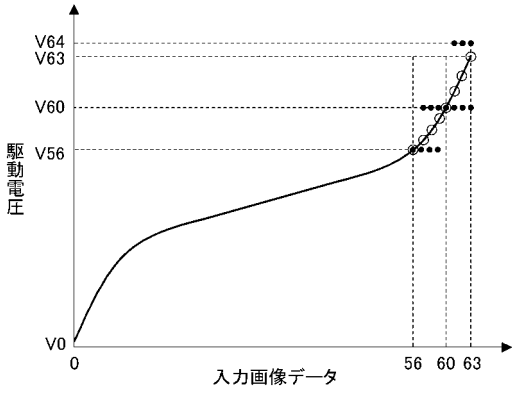
【図１１】



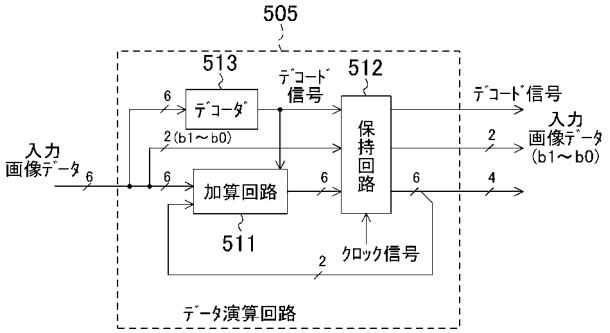
【図１２】

入力画像データ		保持回路データ(繰越データ)	通常の加算結果＝実際の加算回路出力				駆動電圧
(10進)	(2進 b5-b0)	b1-b0	キャリー	出力画像データ b5-b2	次の繰越データ b1-b0		
0	000000	00		0000	00		
		01		0000	01		
		10		0000	10		V0
		11		0000	11		
		・					
		・					
		・					
57	111001	00		1110	01		
		01		1110	10		V56
		10		1110	11		
		11		1111	00		V60
58	111010	00		1110	10		
		01		1110	11		V56
		10		1111	00		
		11		1111	01		V60
59	111011	00		1110	11		V56
		01		1111	00		
		10		1111	01		V60
		11		1111	10		
60	111100	00		1111	00		
		01		1111	01		
		10		1111	10		V60
		11		1111	11		
61	111101	00		1111	01		
		01		1111	10		V60
		10		1111	11		
		11	1	0000	00		V64
62	111110	00		1111	10		
		01		1111	11		V60
		10	1	0000	00		
		11	1	0000	01		V64
63	111111	00		1111	11		V60
		01	1	0000	00		
		10	1	0000	01		V64
		11	1	0000	10		

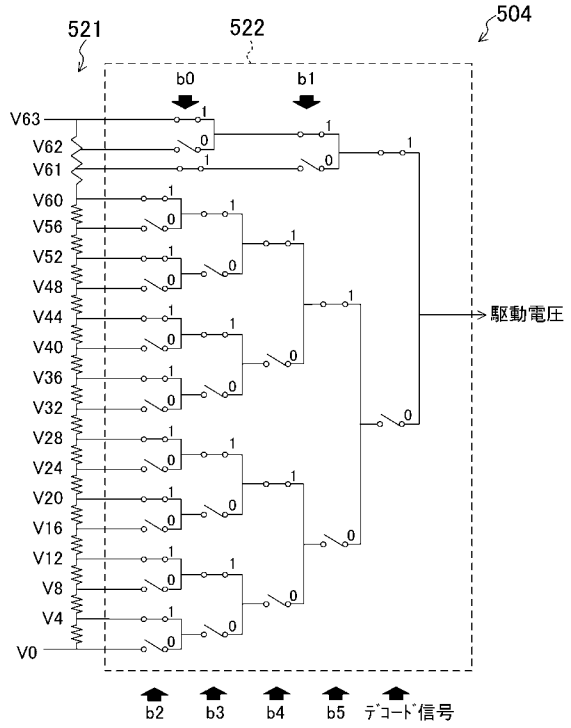
【図１３】



【図１４】



【図１５】

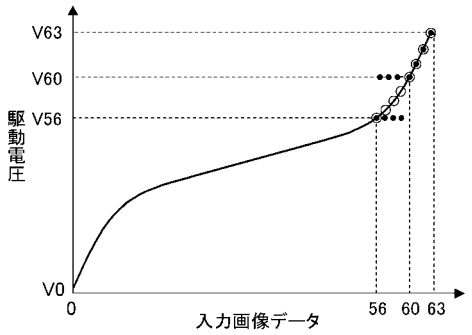


【図１６】

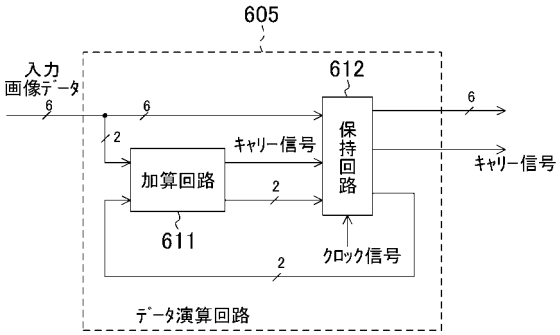
入力画像データ		保持回路データ(繰越データ)	通常の加算結果			デコーダ出力	実際の加算回路出力(＊印を調整)		駆動電圧
(10進)	(2進 b5-b0)	b1-b0	キャリー	出力画像データ b5-b2	次の繰越データ b1-b0		出力画像データ b5-b2	次の繰越データ b1-b0	
0	000000	00		0000	00			00	
		01		0000	01			01	
		10		0000	10	0	0000	10	V0
		11		0000	11			11	
		・							
		・							
		・							
57	111001	00		1110	01			01	
		01		1110	10		1110	10	V56
		10		1110	11	0		11	
		11		1111	00		1111	00	V60
58	111010	00		1110	10			10	
		01		1110	11		1110	11	V56
		10		1111	00	0		00	
		11		1111	01		1111	01	V60
59	111011	00		1110	11		1110	11	V56
		01		1111	00			00	
		10		1111	01	0	1111	01	V60
		11		1111	10			10	
60	111100	00		1111	00			00	
		01		1111	01			01	
		10		1111	10	0	1111	10	V60
		11		1111	11			11	
61	111101	00		1111	01			＊00	
		01		1111	10			＊01	
		10		1111	11	1	—	＊10	V61
		11	1	0000	00			＊11	
62	111110	00		1111	10			＊00	
		01		1111	11			＊01	
		10	1	0000	00	1	—	＊10	V62
		11	1	0000	01			＊11	
63	111111	00		1111	11			＊00	
		01	1	0000	00			＊01	
		10	1	0000	01	1	—	＊10	V63
		11	1	0000	10			＊11	

＊元の繰り越しデータを維持

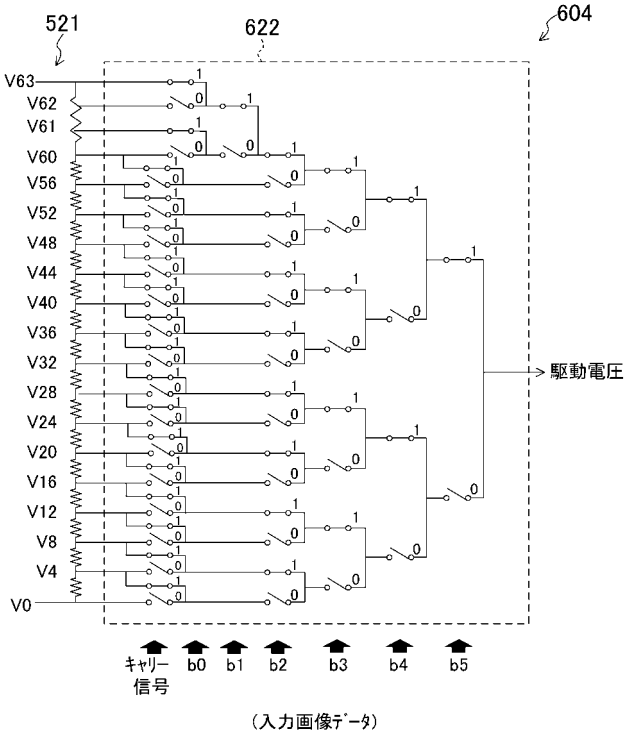
【図１７】



【図１８】



【図１９】

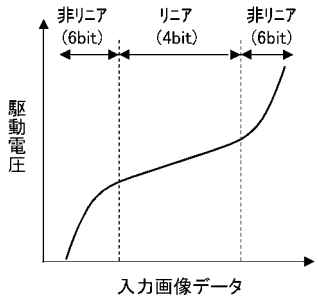


【図２０】

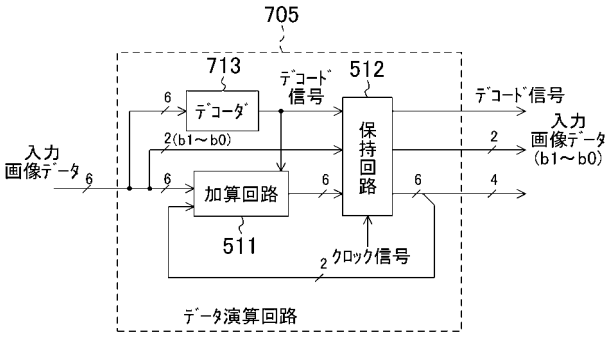
入力画像データ (10進)	(2進 b5-b0)	保持回路データ(繰越データ) b1-b0	通常の加算結果 b1からのキャリー	実際の加算回路出力=次の繰越データ b1-b0 (*印を調整)	駆動電圧
0	000000	00		00	
		01	0	01	V0
		10		10	
		11		11	
1	000001	00		01	
		01	0	10	V0
		10		11	
		11	1	00	V4
2	000010	00		10	
		01	0	11	V0
		10		00	
		11	1	01	V4
3	000011	00	0	11	V0
		01		00	
		10	1	01	V4
		11		10	
4	000100	00		00	
		01	0	01	V4
		10		10	
		11		11	
5	000101	00		01	
		01	0	10	V4
		10		11	
		11	1	00	V8
57	111001	00		01	
		01	0	10	V56
		10		11	
		11	1	00	V60
58	111010	00		10	
		01	0	11	V56
		10		00	
		11	1	01	V60
59	111011	00	0	11	V56
		01		00	
		10	1	01	V60
		11		10	
60	111100	00		00	
		01	0	01	V60
		10		10	
		11		11	
61	111101	00		01	*00
		01	—	10	*01
		10		11	*10
		11		00	*11
62	111110	00		10	*00
		01	—	11	*01
		10		00	*10
		11		01	*11
63	111111	00		11	*00
		01	—	00	*01
		10		01	*10
		11		10	*11

*元の繰り越しデータを維持

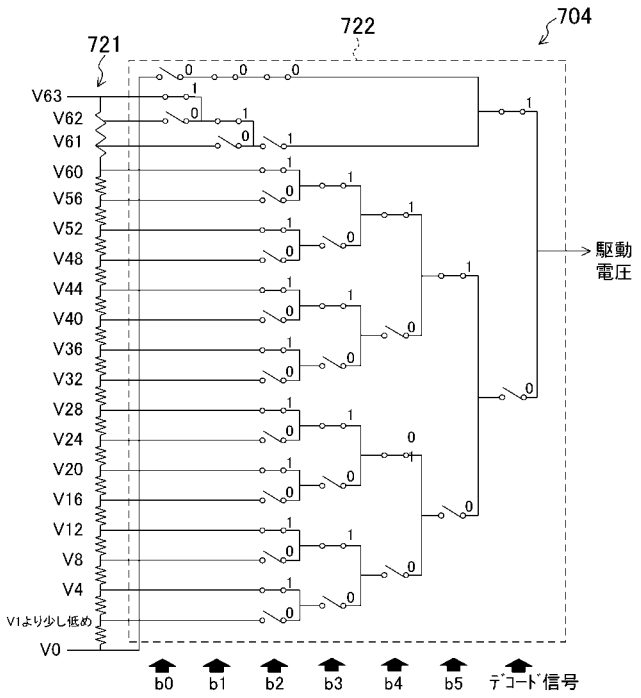
【図２１】



【図２２】



【図２３】

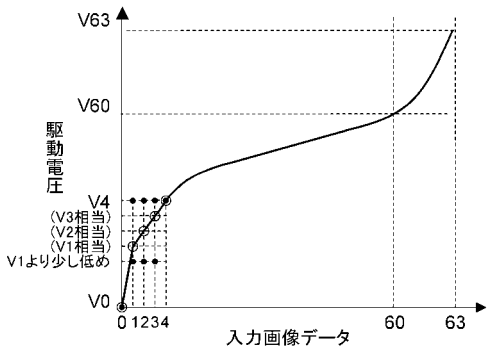


【図２４】

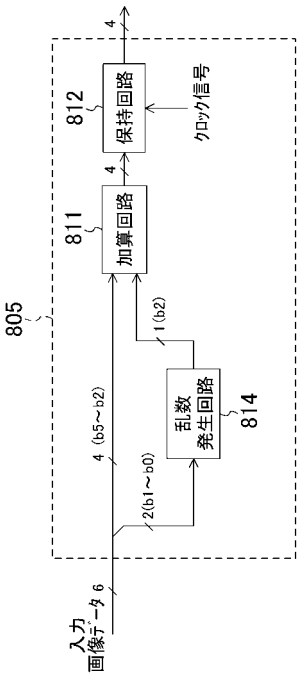
入力画像データ		保持回路データ(繰越データ)	通常の加算結果			デコーダ出力	実際の加算回路出力（＊印を調整）		駆動電圧
(10進)	(2進) b5-b0	b1-b0	キャリー	b5-b2	b1-b0		出力画像データ b5-b2	次の繰越データ b1-b0	
0	000000	00		0000	00			＊00	
		01		0000	01	1	—	＊01	V1
		10		0000	10			＊10	
		11		0000	11			＊11	
1	000001	00		0000	01			01	
		01		0000	10	0	0000	10	V1
		10		0000	11			11	
		11		0001	00		0001	00	V4
2	000010	00		0000	10			10	
		01		0000	11	0	0000	11	V1
		10		0001	00			00	
		11		0001	01		0001	01	V4
3	000011	00		0000	11		0000	11	V1
		01		0001	00	0		00	
		10		0001	01		0001	01	V4
		11		0001	10			10	
4	000100	00		0001	00			00	
		01		0001	01	0	0001	01	V4
		10		0001	10			10	
		11		0001	11			11	
5	000101	00		0001	01			01	
		01		0001	10	0	0001	10	V4
		10		0001	11			11	
		11		0010	00		0010	00	V8
				・					
				・					
				・					
57	111001	00		1110	01			01	
		01		1110	10	0	1110	10	V56
		10		1110	11			11	
		11		1111	00		1111	00	V60
58	111010	00		1110	10			10	
		01		1110	11	0	1110	11	V56
		10		1111	00			00	
		11		1111	01		1111	01	V60
59	111011	00		1110	11		1110	11	V56
		01		1111	00	0		00	
		10		1111	01		1111	01	V60
		11		1111	10			10	
60	111100	00		1111	00			00	
		01		1111	01	0	1111	01	V60
		10		1111	10			10	
		11		1111	11			11	
61	111101	00		1111	01			＊00	
		01		1111	10	1	—	＊01	V61
		10		1111	11			＊10	
		11	1	0000	00			＊11	
62	111110	00		1111	10			＊00	
		01		1111	11	1	—	＊01	V62
		10	1	0000	00			＊10	
		11	1	0000	01			＊11	
63	111111	00		1111	11			＊00	
		01	1	0000	00	1	—	＊01	V63
		10	1	0000	01			＊10	
		11	1	0000	10			＊11	

＊強制的に1111　＊元の繰り越しデータを維持

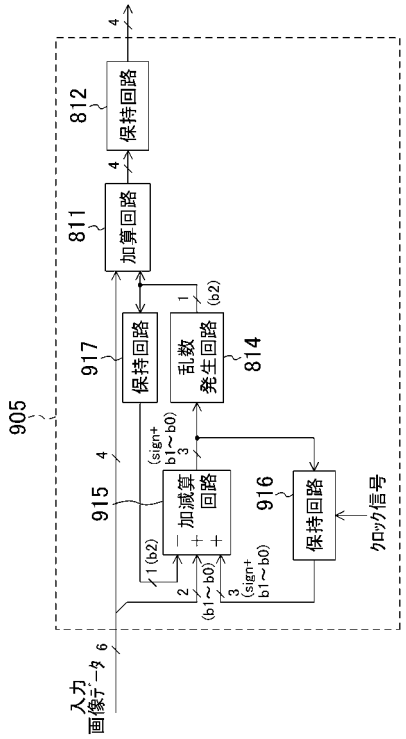
【図２５】



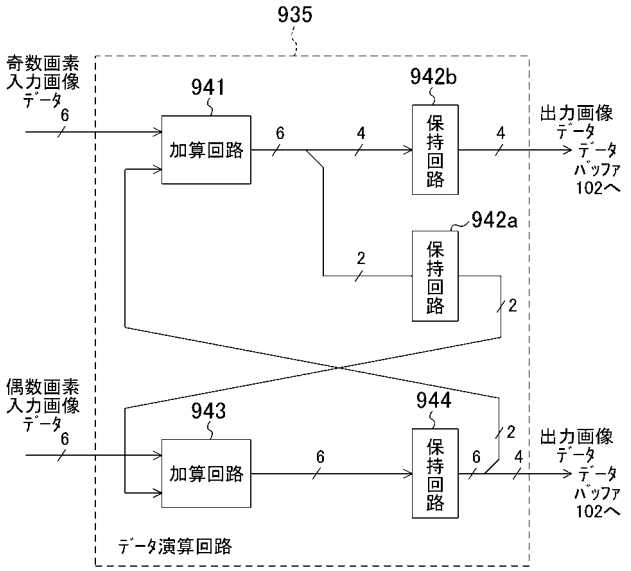
【図２６】



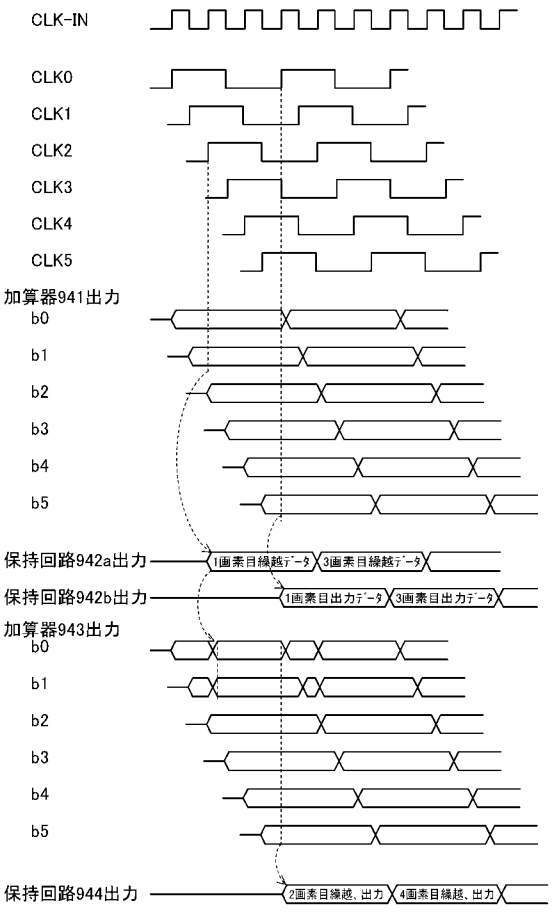
【図２７】



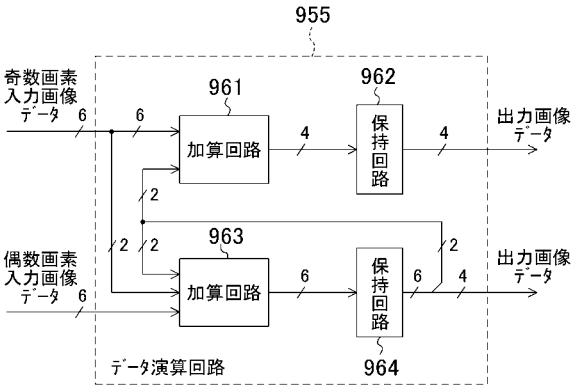
【図２８】



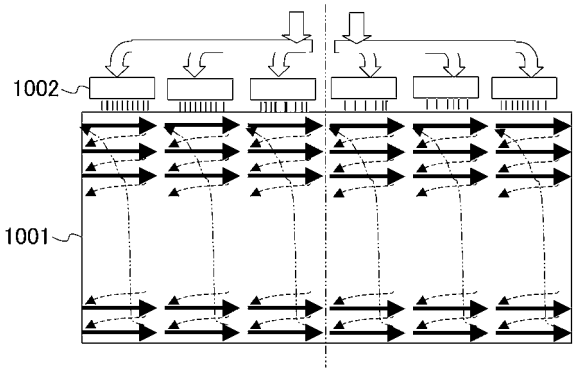
【図２９】



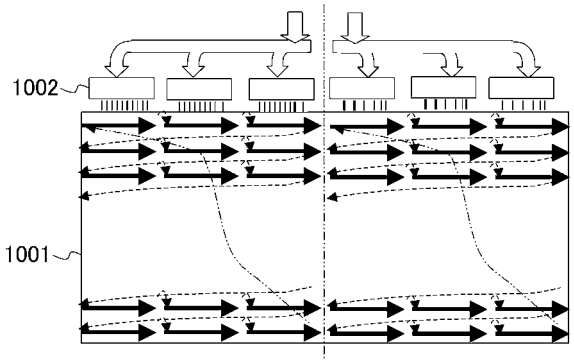
【図３０】



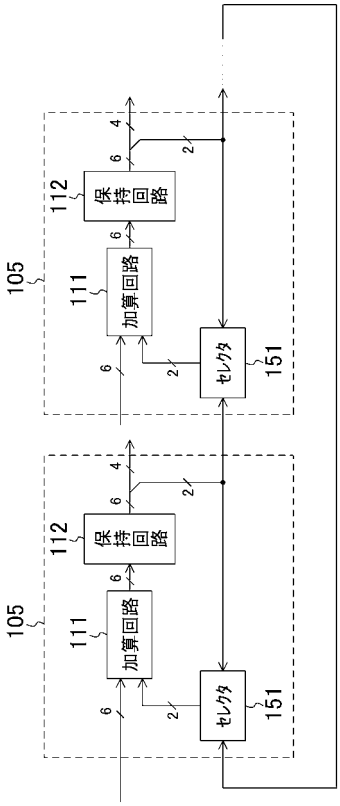
【図３１】



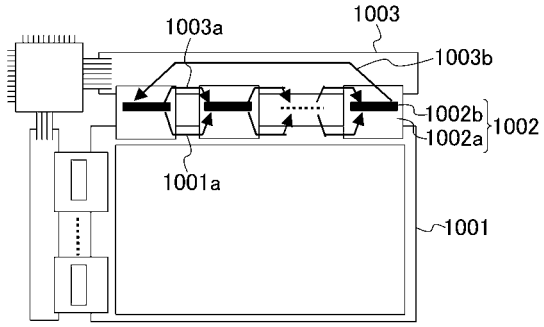
【図３２】



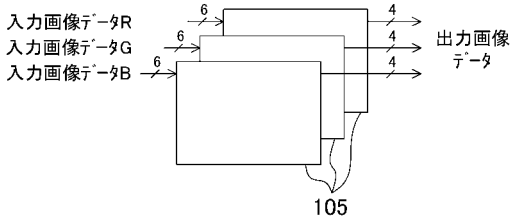
【図３３】



【図３４】



【図３５】



フロントページの続き

(51)Int.Cl.	FI			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６２１Ｍ	
	Ｇ０２Ｆ	1/133	５０５	
	Ｇ０２Ｆ	1/133	５５０	
	Ｇ０２Ｆ	1/133	５７５	
	Ｇ０２Ｆ	1/133	５２０	

(74)代理人 100117581
弁理士 二宮 克也
(74)代理人 100117710
弁理士 原田 智雄
(74)代理人 100121728
弁理士 井関 勝守
(74)代理人 100124671
弁理士 関 啓
(74)代理人 100131060
弁理士 杉浦 靖也
(72)発明者 土居 康之
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 服部 慎
大阪府門真市大字門真１００６番地 パナソニック半導体システムテクノ株式会社内
(72)発明者 國谷 久雄
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 影山 敦久
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 大森 哲郎
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 皿井 修
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 須山 透
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 中山 久留美
大阪府門真市大字門真１００６番地 松下電器産業株式会社内
(72)発明者 松本 和也
大阪府門真市大字門真１００６番地 パナソニック半導体システムテクノ株式会社内

Ｆターム(参考) 2H093 NA16 NA53 NA57 NC03 NC12 NC13 NC21 NC22 ND05 ND06
ND09 ND17 ND42 ND49 ND50
5C006 AA22 AC21 AF45 AF53 AF71 AF83 BB11 BC02 BC12 BC16
BC24 BF01 BF24 BF28 BF34 BF43 BF50 FA16 FA41
5C080 AA10 BB05 CC03 DD22 EE29 FF09 GG12 GG15 GG17 JJ02
JJ03 JJ04 JJ05 JJ06