



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년01월19일
(11) 등록번호 10-1009727
(24) 등록일자 2011년01월13일

(51) Int. Cl.
H01L 29/82 (2006.01) H01L 29/772 (2006.01)
(21) 출원번호 10-2008-0096896
(22) 출원일자 2008년10월02일
심사청구일자 2008년10월02일
(65) 공개번호 10-2010-0037683
(43) 공개일자 2010년04월12일
(56) 선행기술조사문헌
KR100709395 B1
KR100619300 B1
KR100855105 B1
JP2007005641 A

(73) 특허권자
한국과학기술연구원
서울 성북구 하월곡동 39-1
(72) 발명자
김형준
서울특별시 용산구 동부이촌동 동부센트레빌 102동 1003호
구현철
서울 성북구 상월곡동 동아에코빌아파트 111동 1203호
(뒷면에 계속)
(74) 대리인
특허법인 씨엔에스·로그스

전체 청구항 수 : 총 12 항

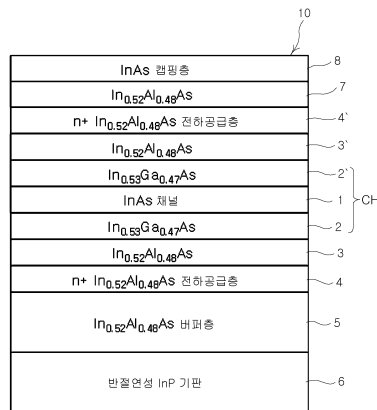
심사관 : 김건형

(54) 이중 전하 공급층 구조를 이용한 스핀 트랜지스터

(57) 요약

본 발명은 게이트 전압에 따라 채널 내의 전위 기울기를 음과 양의 값으로 용이하게 조절할 수 있는 스핀 트랜지스터에 관한 것이다. 본 발명의 스핀 트랜지스터는, 2차원 전자가스 구조의 채널층과 상기 채널층의 상하에 각각 배치된 상부 클래딩층 및 하부 클래딩층을 갖는 반도체 기판; 상기 반도체 기판 상에 형성되어 상기 채널층의 길이 방향으로 서로 이격 배치된 강자성체 소스 및 드레인; 상기 소스와 드레인 사이에서 상기 반도체 기판 위에 형성되어, 상기 채널층을 통과하는 전자의 스핀을 제어하도록 게이트 전압이 인가되는 게이트 전극; 상기 하부 클래딩층과 채널층 사이에 배치되어 상기 채널층에 캐리어(carrier)를 공급하는 제1 전하 공급층; 및 상기 상부 클래딩층과 채널층 사이에 배치되어 상기 채널층에 캐리어를 공급하는 제2 전하 공급층;을 포함한다.

대표도 - 도1



(72) 발명자

강준연

서울특별시 성북구 하월곡3동 222 두산위브 아파트
109-1003

한석희

서울특별시 노원구 중계동 363 대림벽산아파트 10
3동 1305호

김경호

서울특별시 성북구 길음2동 대림아파트 410동 180
2호

특허청구의 범위

청구항 1

2차원 전자가스 구조의 채널층과 상기 채널층의 상하에 각각 배치된 상부 클래딩층 및 하부 클래딩층을 갖는 반도체 기판;

상기 반도체 기판 상에 형성되어 상기 채널층의 길이 방향으로 서로 이격 배치된 강자성체 소스 및 드레인;

상기 소스와 드레인 사이에서 상기 반도체 기판 위에 형성되어, 상기 채널층을 통과하는 전자의 스핀을 제어하도록 게이트 전압이 인가되는 게이트 전극;

상기 하부 클래딩층과 채널층 사이에 배치되어 상기 채널층에 캐리어를 공급하는 제1 전하 공급층; 및

상기 상부 클래딩층과 채널층 사이에 배치되어 상기 채널층에 캐리어를 공급하는 제2 전하 공급층;을 포함하는 스핀 트랜지스터.

청구항 2

제1항에 있어서,

상기 채널층은 게이트 전압의 변화에 따라 상기 채널층 내의 전위 기울기가 양과 음의 값으로 임의 조절 가능한 것을 특징으로 하는 스핀 트랜지스터.

청구항 3

제1항에 있어서,

상기 채널층은 제1 밴드갭을 갖는 제1 채널층과, 상기 제1 밴드갭보다 더 큰 제2 밴드갭을 갖고 상기 제1 채널층을 상하에서 샌드위치하는 두개의 제2 채널층을 갖는 2중 채널 구조로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 4

제3항에 있어서,

상기 제1 채널층은 전체 채널층 내에서 비대칭적인 두께를 가지도록 배치된 것을 특징으로 하는 스핀 트랜지스터.

청구항 5

제3항에 있어서,

상기 제1 채널층은 InAs로 형성되고, 상기 제2 채널층은 InGaAs로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 6

제5항에 있어서,

상기 상하부 클래딩층은 InAlAs로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 7

제1항에 있어서,

상기 채널층은 단일 양자우물의 단일 채널 구조로 형성된 것을 특징으로 스핀 트랜지스터.

청구항 8

제7항에 있어서,

상기 채널층은 InGaAs로 형성된 것을 특징으로 하는 스핀 트랜지스터.

청구항 9

제1항에 있어서,

상기 제1 전하 공급층과 제2 전하 공급층의 도핑 농도가 서로 다르고, 상기 채널층내의 에너지 밴드 구조와 전자 분포가 비대칭인 것을 특징으로 하는 스핀 트랜지스터.

청구항 10

제1항에 있어서,

상기 제1 전하 공급층과 제2 전하 공급층의 두께가 서로 다르고, 상기 채널층의 에너지 밴드 구조와 전자 분포가 비대칭인 것을 특징으로 하는 스핀 트랜지스터.

청구항 11

제1항에 있어서,

상기 상부 클래딩층과 하부 클래딩층의 두께가 서로 다르고, 상기 채널층의 에너지 밴드 구조와 전자 분포가 비대칭인 것을 특징으로 하는 스핀 트랜지스터.

청구항 12

제1항에 있어서,

상기 채널층은 GaAs, InAs, InGaAs 및 InSb로 이루어진 그룹으로부터 선택된 반도체 재료로 형성된 것을 특징으로 하는 스핀 트랜지스터.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 강자성체 소스/드레인과 반도체 채널을 구비하는 스핀 트랜지스터에 관한 것으로, 특히 채널의 전위 기울기를 게이트 전압에 따라 양과 음의 값 사이에서 크게 변화시킬 수 있고, 게이트 전압에 따른 스핀-궤도 결합 상수값을 넓은 범위에서 용이하게 조절할 수 있는 스핀 트랜지스터 구조에 관한 것이다.

배경기술

[0002] 기존 전자 소자의 물리적 한계를 극복하기 위한 신개념 소자의 하나로 스핀 트랜지스터(spin transistor 또는 Spin-FET)의 연구가 활발히 진행되고 있다. 1990년 Datta와 Das에 의해 2차원 전자가스층(Two-Dimensional Electron Gas, 2DEG)을 채널로 사용한 스핀 트랜지스터가 제안된 이후(Applied physics letter, vol 56, 665,

1990 참조), 강자성체와 반도체가 결합된 하이브리드 구조에서 스핀 분극된 전자의 전달(스핀 주입)에 관한 연구 뿐만 아니라, 스핀 주입된 전자의 스핀을 조절하고자 하는 연구가 진행되어 왔다.

[0003] 전자 스핀의 세차운동을 이용하는 스핀 트랜지스터의 기본 동작을 위해서는, 강자성체로부터 반도체로의 스핀 주입이 필수적이며, 궁극적으로 게이트 전극을 이용하여 2차원 전자가스 채널 내로 주입된 스핀의 세차 운동 (spin precession)을 조절할 수 있어야 한다. 스핀의 세차 운동의 효과적인 조절을 위해서는 2차원 전자가스 채널 내에서의 스핀-궤도 결합(spin-orbit interaction)이 커야 하며, 전기적으로 스핀 주입 신호를 관찰하기 위해서는 강자성체와 반도체 간에 적절한 전기 저항값을 가져야 한다. 스핀-궤도 결합의 크기는 SdH(Shubnikov de Haas) 오실레이션(oscillation) 실험을 통해 얻을 수 있는 스핀-궤도 결합 상수(α)를 이용하여 정량화 할 수 있다. 현재까지는 InAs 2차원 전자가스층을 기반으로 하는 채널 구조가 이런 조건을 가장 잘 충족시키는 물질로 알려져 있다.

[0004] 실리콘을 중심으로 하는 반도체 기술은 현대 산업에서 가장 중요한 위치를 차지하고 있으며 MOSFET(Metal Semiconductor Field Effect Transistor)을 기반으로 하여 설계와 제조공정이 이루어지고 있다. 이러한 기존의 반도체를 기반으로 하는 트랜지스터는 전기장을 이용하여 반도체 내의 전하를 제어하는데 반하여, 스핀 트랜지스터는 전하와 스핀을 동시에 제어하는 것으로, 스핀 분극된 전자의 제어를 통해 스위칭 소자, 논리회로 등에 이용하려 하고 있다. 2차원 전자가스층 채널 내에서 이동하는 전자의 웨이브 벡터(\mathbf{k})와 수직인 전기장(E)가 존재하면, 스핀-궤도 결합(spin-orbit interaction)에 의해 자장이 $H_{\text{Rashba}} \propto \mathbf{k} \times \mathbf{E}$ 와 같이 발생한다. 이를 라쉬바(Rashba) 효과라 하며, 전류가 x 방향으로 진행하고 게이트 전압에 의해 전기장이 z 방향으로 가해지면 y 방향으로 스핀-궤도 결합 효과로 유도된 자장이 생긴다. 스핀 트랜지스터의 채널 내로 주입된 스핀은 이 자기장에 의해 세차(precession) 운동을 일으키며 세차 각도를 게이트 전압으로 제어할 수 있다.

[0005] 스핀 트랜지스터의 소스와 드레인을 이어주는 2차원 전자가스층의 채널에 전하를 공급하기 위해, 채널 아래에 전하 공급층이 형성될 수 있다. 그러나, 전하 공급층이 채널 아래에 위치하는 종래의 스핀 트랜지스터 구조에서는 채널의 에너지 밴드 구조와 전자 분포가 한쪽 방향으로 크게 기울어져 상당히 비대칭적이고 전위 기울기 기울기의 값을 가진다. 이러한 채널의 전위 기울기는 게이트 전압의 인가(또는 인가 전압의 변화)에도 불구하고 음의 값 내에서만 한정된 범위에서 변화한다. 이는 스핀 트랜지스터의 실현을 위해 스핀-궤도 결합을 향상시키는 데에 있어서 한계가 있음을 보여주는 것이다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명의 과제는, 게이트 전압의 인가에 따라 채널의 전위 기울기가 음의 값과 양의 값으로 임의로 조절할 수 있고, 게이트 전압에 따라 스핀 궤도 결합 상수 값을 크게 변화시킬 수 있는 스핀 트랜지스터 구조를 제공하는 것이다.

[0007] 또한 본 발명의 과제는, 원하는 스핀-궤도 결합 상수 변화 범위를 효과적으로 조절할 수 있는 스핀 트랜지스터 구조를 제공하는 것이다.

과제 해결수단

[0008] 본 발명의 일 측면에 따른 스핀 트랜지스터는, 2차원 전자가스 구조의 채널층과 상기 채널층의 상하에 각각 배치된 상부 클래딩층 및 하부 클래딩층을 갖는 반도체 기판; 상기 반도체 기판 상에 형성되어 상기 채널층의 길이 방향으로 서로 이격 배치된 강자성체 소스 및 드레인; 상기 소스와 드레인 사이에서 상기 반도체 기판 위에 형성되어, 상기 채널층을 통과하는 전자의 스핀을 제어하도록 게이트 전압이 인가되는 게이트 전극; 상기 하부 클래딩층과 채널층 사이에 배치되어 상기 채널층에 캐리어(carrier)를 공급하는 제1 전하 공급층; 및 상기 상부 클래딩층과 채널층 사이에 배치되어 상기 채널층에 캐리어를 공급하는 제2 전하 공급층;을 포함한다.

- [0009] 상기 채널층은 게이트 전압의 변화에 따라 상기 채널층 내의 전위 기울기(전위 그래디언트)가 양과 음의 값으로 임의로 조절될 수 있다.
- [0010] 본 발명의 실시형태에 따르면, 상기 채널층은 제1 밴드갭을 갖는 제1 채널층과, 상기 제1 밴드갭보다 더 큰 제2 밴드갭을 갖고 상기 제1 채널층을 상하에서 샌드위치하는 제2 채널층을 갖는 2중 채널 구조로 형성될 수 있다. 본 발명의 다른 실시형태에 따르면, 상기 채널층은 단일 양자우물의 단일 채널 구조로 형성될 수도 있다.
- [0011] 본 발명의 실시형태에 따르면, 상기 제1 전하 공급층과 제2 전하 공급층의 도핑 농도가 서로 다르고, 상기 채널층내의 에너지 밴드 구조와 전자 분포가 비대칭일 수 있다.
- [0012] 본 발명의 실시형태에 따르면, 상기 제1 전하 공급층과 제2 전하 공급층의 두께가 서로 다르고, 상기 채널층의 에너지 밴드 구조와 전자 분포가 비대칭일 수 있다.
- [0013] 본 발명의 실시형태에 따르면, 상기 상부 클래딩층과 하부 클래딩층의 두께가 서로 다르고, 상기 채널층의 에너지 밴드 구조와 전자 분포가 비대칭일 수 있다.
- [0014] 본 발명의 실시형태에 따르면, 상기 채널층이 상술한 2중 채널 구조로 되어 있을 경우, 밴드갭이 더 작은 제1 채널층을 전체 채널층 내에서 제2 채널층과의 관계에서 비대칭적으로 배치하여, 게이트 전압 없이 전위 기울기를 임의로 조절할 수 있다.
- [0015] 상기 채널층은 GaAs, InAs, InGaAs 및 InSb로 이루어진 그룹으로부터 선택된 반도체 재료로 형성될 수 있다. 특히, 상기 채널층이 상술한 2중 채널 구조로 되어 있을 경우, 상기 제1 채널층은 InAs로 형성되고, 제2 채널층은 InGaAs로 형성될 수 있다. 상기 상하부 클래딩층은 InAlAs로 형성될 수 있다. 상기 채널층이 단일 양자우물의 단일 채널 구조로 되어 있을 경우, InGaAs로 형성될 수 있다.

효 과

- [0016] 본 발명에 따르면, 스핀 트랜지스터의 실질적 구현의 핵심 요소 중 하나인 채널의 스핀-궤도 결합을 크게 향상시킬 수 있다. 2차원 전자가스 구조의 채널층의 상하에 2중 전하 공급층을 배치함으로써 에너지 밴드 구조와 채널 내의 전자 분포의 상하 대칭성을 높일 수 있다. 이로써, 채널의 전위 기울기가 게이트 전압에 의해 양과 음의 값으로 용이하게 변화될 수 있다. 또한, 채널층의 상하에 배치된 2개의 전하 공급층의 도핑 농도 또는 두께를 다르게 조절하거나 2중 채널 구조의 전체 채널부 내에서 중심 채널부를 비대칭적으로 배치함으로써, 스핀-궤도 결합 상수를 원하는 변화 범위로 효과적으로 조절할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0017] 이하, 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다.
- [0018] 도 1은 본 발명의 실시형태에 따른 스핀 트랜지스터의 반도체 기관의 단면 구조를 나타낸 도면이고, 도 2는 본 발명의 스핀 트랜지스터가 채용할 수 있는 개략적 구조의 일례를 나타낸 사이도이다. 도 2의 스핀 트랜지스터(100)는 도 1의 단면 구조를 갖는 반도체 기관(10)을 사용할 수 있다.

- [0019] 도 1을 참조하면, 반도체 기판(10)은 반절연성 InP 기판(6) 상에 순차 적층된 InAlAs 버퍼층, 제1 n+ InAlAs 전하 공급층(4), 하부 InAlAs 클래딩층(3), 하부 InGaAs 채널층(2), InAs 채널층(1), 상부 InGaAs 채널층(2'), 상부 InAlAs 클래딩층(3'), 제2 n+ InAlAs 전하 공급층(4')를 포함한다. 제2 n+ InAlAs 전하 공급층(4') 상에는 버퍼층(5)과 동일하거나 유사한 조성의 InAlAs층(7)이 추가로 형성되어 있고, 그 위에는 InAs 캡핑층(8)이 형성되어 있다.
- [0020] InGaAs 채널층(2, 2')과 그 사이에 삽입된 InAs 채널층(1)은 2차원 전자가스(2DEC)의 2중 채널 구조를 이루어, 스핀 트랜지스터 동작시 스핀 분극된 전자가 이 채널(CH: 1, 2, 2')을 통과한다. 이 경우, InAs 채널층(1)의 에너지 밴드갭은 InGaAs 채널층(2, 2')의 에너지 밴드갭보다 작다. 전체 채널층(1, 2, 2')은 채널보다 더 큰 밴드갭을 갖는 언도프의(undoped) 하부 클래딩층(3) 및 상부 클래딩층(3')에 의해 샌드위치되어 있는데, 이러한 클래딩층(3, 3')에 의해 채널층(1, 2, 2')으로 전자 캐리어가 갇힘으로써, 높은 이동도를 갖는 2차원 전자 가스 구조를 형성하게 된다. 본 실시형태에서는 채널(CH) 구조가 InAs와 InGaAs(1, 2, 2')의 2중 채널 구조로 되어 있으나, 본 발명이 이에 한정되는 것은 아니며, 예를 들어, 도 1의 채널(CH)에서 InAs 채널층(1)이 생략된 단일 양자우물의 단일 채널 구조가 스핀 트랜지스터의 채널로 사용될 수 있다. 본 실시형태에서는 채널(CH)로서 InAs 과 InGaAs를 사용하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 적절한 밴드갭을 갖는 클래딩 층 조성을 선정하여, GaAs 또는 InSb를 스핀 트랜지스터의 채널층으로 사용할 수도 있다.
- [0021] 비교적 두꺼운 버퍼층(5)은 반절연성 InP 기판(6)과 그 위에 성장되는 제1 전하 공급층(4), 2차원 전자 가스 구조 간의 격자 불일치를 완화하기 위해 형성되며, InAs 채널층(1)을 제외한 모든 층은 InP 기판과 격자가 일치하도록 할 수 있다. 상부의 InAs 캡핑층(6)은 반도체 기판 제작후 대기중 노출에 의해 발생할 수 있는 반도체의 산화와 변성을 방지하는 역할을 한다.
- [0022] 2차원 전자가스의 채널(CH: 1, 2, 2')에 전하(캐리어)를 공급하는 n+ InAlAs 전하 공급층(4, 4')은 2차원 전자 가스의 채널(CH)의 아래 뿐만 아니라 상부에도 형성되어 있다. 이와 같이, 채널(CH)의 아래와 위에 각각 전하 공급층(4, 4')을 배치함으로써, 채널(CH)의 에너지 밴드 구조(특히, 게이트 전압의 인가되지 않은 때의 에너지 밴드 구조)와 전자 분포를 상하 대칭적으로 만들 수 있다. 또한, 이러한 2중 전하 공급층(4, 4') 구조는 채널(CH)의 에너지 밴드를 완전히 상하 대칭적으로 만들지는 않는 경우라도, 채널(CH)의 에너지 밴드의 상하 대칭성을 보다 높일 수 있다.
- [0023] 이러한 2중 전하 공급층 구조에 의한 채널(CH)의 에너지 밴드의 대칭성 향상은 후술하는 바와 같이, 2차원 전자 가스 채널(CH)에서의 전위 기울기를 음에서 양으로 보다 용이하게 제어할 수 있게 해주고, 스핀-궤도 결합 상수를 보다 큰 범위에서 조절할 수 있게 해준다.
- [0024] 도 2는 본 발명이 적용될 수 있는 여러가지 가능한 스핀 트랜지스터 중 하나의 구조를 개략적으로 나타낸 도면이다. 도 2를 참조하면, 스핀 트랜지스터(100)는 반도체 채널(CH)을 갖는 반도체 기판(10)과 그 위에 서로 채널(CH) 방향으로 이격되어 배치된 강자성체 소스(13)와 드레인(14)을 포함한다. 소스(13)와 드레인(14) 사이에는 반도체 기판(10) 상에 게이트 전극(15)이 배치되어 있다. 게이트 전극(15)은 SiO₂등 게이트 절연막(16)에 의해 반도체 기판(10)로부터 절연되어 있다.
- [0025] 스핀 트랜지스터(100)의 기본적인 동작은, 예를 들어 아래와 같이 설명될 수 있다. 강자성체 소스(13)의 자화방향(m: 예컨대, 도시된 바와 같이 채널 방향인 x축 방향)과 평행한 스핀 전자가 소스(13)로부터 반도체 채널층(CH)에 주입되어 반도체 채널을 통해 이동한다. 이 때, 스핀-궤도 결합에 의해 유도된 자장(11: H_{Rashba})은 y축에 평행하므로 채널층(CH)을 통과하는 스핀 전자는 x-z 평면에서 세차 운동을 한다. 채널층(CH)에 표시된 화살표는 스핀 분극된 전자(S)의 세차 운동을 순차적으로 나타낸 것이다. 채널(CH)에 주입된 전자의 세차 운동의 정도를

게이트 전압(Vg)으로 조절하여, 스핀 전자(S)가 드레인(14)에 도착할 때 +x 방향의 스핀으로 혹은 -x 방향의 스핀으로 도착하게 함으로써 스핀 트랜지스터(100)의 상태를 "ON(온)" 또는 "OFF(오프)"로 제어할 수 있다. 이 경우, 채널(CH)을 중심으로 그 상하에 전하 공급층이 배치된 2중 전하 공급층(4, 4') 구조를 사용함으로써(도 1 참조), 채널(CH)에서의 전자의 세차 운동 제어 및 이를 통한 스핀 트랜지스터(100)의 온/오프 제어가 보다 용이하고 효과적으로 수행될 수 있게 된다.

[0026] 구체적으로 말해서, 상술한 2중 전하 공급층 구조를 통하여 채널(CH)에서의 전위 기울기 제어가 더 넓은 범위(음의 전위 기울기에서 양의 전위 기울기로)에서 용이하게 실행되고, 이에 따라 게이트 전압에 따른 스핀-궤도 결합 상수의 변화폭을 증가시킬 수 있다. 이는 결국 스핀-궤도 결합을 향상시키게 되고, 소스와 드레인 사이의 최적의 채널 길이를 구할 수 있을 뿐만 아니라 스핀 트랜지스터의 실제적 구현을 위해 필요한, 게이트 전극에 의한 스핀 세차운동의 효과적인 조절이 가능하게 된다.

[0027] 도 2에서는, 강자성체 소스 및 드레인(13, 14)의 자화 방향(m)이 채널(CH)의 길이 방향(x축 방향)으로 되어 있으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 도 3a 또는 도 3b에 도시된 바와 같이, 강자성체 소스/드레인(13, 14)의 자화방향은 채널층면에 수직인 -z 방향 또는 +z 방향으로 될 수 있고(화살표 참조), 이 경우에도 스핀-궤도 결합에 의해 채널(CH)에서 스핀 전자는 x-z 평면에서 세차운동을 할 수 있다. 강자성체의 수직 자화는 예를 들어, 형상 이방성 또는 결정 이방성을 이용하거나 적층체를 이용하여 구현될 수 있다.

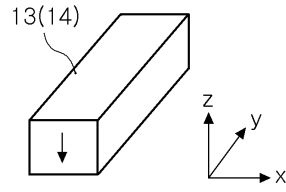
[0028] 도 4는 도 1의 반도체 기관(10) 구조에서 InAs 채널층(1)을 생략한 단일 양자 우물의 단일 채널 구조를 갖는 반도체 기관의 에너지 밴드 구조(실선)와 전자 분포(점선)를 보여주는 그래프이다. InAs(1)와 InGaAs(2, 2')를 사용한 이중 채널 구조(이중 양자 우물)에서의 InAs 채널층(1)보다 상대적으로 전자 이동도가 낮지만, 도 4에서는 InGaAs(2, 2')가 채널(CH) 역할을 한다. 단일 양자 우물의 채널(CH)을 갖는 반도체 기관에서 전하 공급층이 채널 위에 혹은 아래에 하나만 존재하는 경우에는, InGaAs 채널층 내의 전자 분포는 전하 공급층으로 치우쳐서 분포하고, 채널층 내의 에너지 밴드의 기울기가 양의 값 혹은 음의 값 중 하나만을 갖는다. 이에 반하여, 약 16nm 두께의 InGaAs 채널층의 상하에 동일한 조성과 두께의 전하 공급층(4, 4')이 존재하는 경우, 도 4에 도시된 바와 같이 채널층 내에는 비교적 대칭성이 높은 에너지 밴드 구조와 전자 분포를 보여준다. 도 4의 에너지 밴드 구조(실선)는 게이트 전압 비인가시의 포텐셜 에너지를 나타낸다.

[0029] 도 5는 도 4의 그래프를 나타내는 스핀 트랜지스터(단일 양자우물의 InGaAs 채널 구조를 구비함)에 있어서, 게이트 전압에 따른 단일 양자우물 구조의 채널(CH; 2, 2') 내 전자의 전위 기울기의 변화를 나타낸 그래프이다. 도 5에서 a, b, c, d, e는 각각 -1, -0.5, 0, 0.5, 1V의 게이트 전압 인가시 단일 양자우물 InGaAs 채널층에서의 두께 방향의 위치(nm)에 따른 포텐셜 에너지(eV)의 변화를 나타낸다. 도 5에 도시된 바와 같이, InGaAs 채널의 전위 기울기는 게이트 전압이 양에서 음의 값으로 변함에 따라 음에서 양의 값으로 변한다. 이는, 하나의 전하 공급층을 갖는 구조에서는 채널에서의 전위 기울기가 게이트 전압의 변화에 따라 양 혹은 음의 값 중 하나 내에서만 변하는 것과 대조를 보이는 것이다. 결국, 음의 값과 양의 값을 포함한 보다 넓은 범위에서 채널내의 전위 기울기 조절이 게이트 전압에 따라 용이하고 효과적으로 수행될 수 있고, 이에 따라 스핀-궤도 결합 상수의 변화폭도 증가하여 채널에서의 게이트 전압에 따른 전자 스핀의 제어도 용이하게 된다.

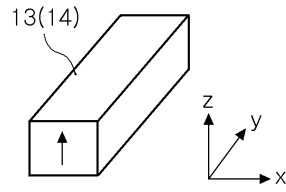
[0030] 도 6은 도 1의 반도체 기관(10) 구조를 갖는 스핀 트랜지스터의 이중 양자우물 채널층 및 그 근방의 에너지 밴드 구조(실선) 및 전자 분포(점선)를 나타낸 그래프이다. 도 6의 그래프를 참조하면, 가운데 좁은 폭의 에너지 우물이 도 1에서의 InAs 채널층(1)에 해당하고 그 양측의 좀 더 높은 에너지 우물이 InGaAs(2, 2') 채널에 해당한다. 도 6에 도시된 바와 같이, 이중 채널층의 에너지 밴드 구조는 상당히 높은 대칭성을 보여주며 전자는 이중 채널 구조의 가운데 삽입된 좁은 폭의 InAs 채널층(1)에 집중적으로 분포해 있다. 이중 채널 구조에서의 전류는 대부분(또는 상당부분 이상) InAs 채널층(1)을 통해서 흐른다.

[0031] 도 7는 도 6의 그래프를 나타내는 스핀 트랜지스터(이중 양자우물의 이중 채널 구조를 구비함)에 있어서, 게이

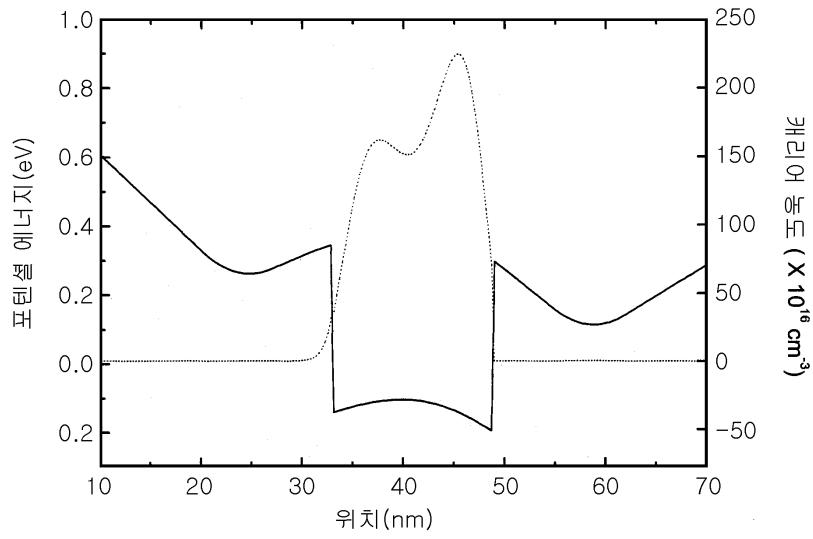
도면3a



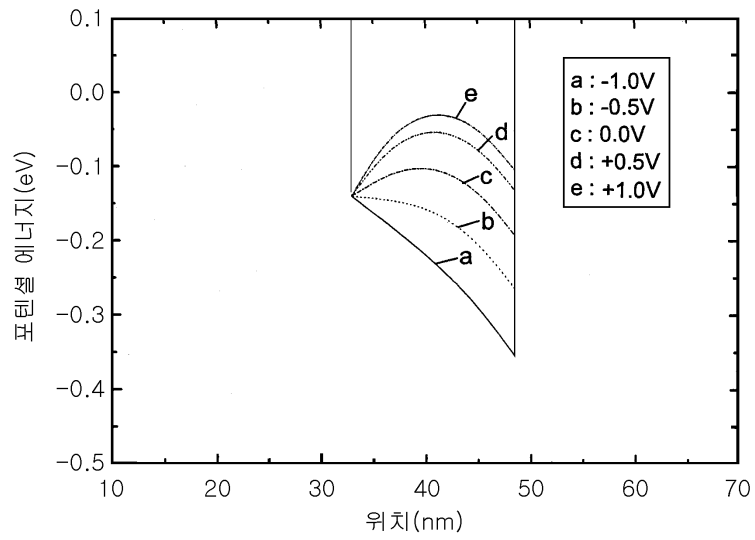
도면3b



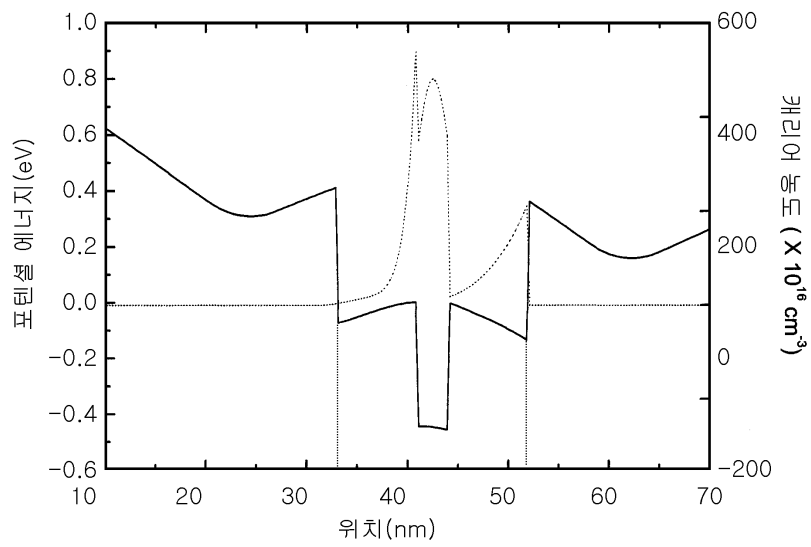
도면4



도면5



도면6



도면7

