



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

204849

(11)

(B1)

(51) Int. Cl.³
G 06 F 7/38

/22/ Přihlášeno 01 11 79
/21/ /PV 7439-79/

(40) Zveřejněno 31 07 80

(45) Vydáno 15 06 82

(75)

Autor vynálezu

SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro zrychlení jednooperandových výpočtů

1

Předmětem vynálezu je zapojení pro zrychlení jednooperandových výpočtů zejména v operační jednotce malého počítače.

V praxi existuje celá řada operačních jednotek malých počítačů. Jedním z nich je použití datového registru zapojeného na A- vstupu aritmetickologické sekce. Při dvouoperandových instrukcích se zde uchovává jeden z operandů před zpracováním v aritmetickologické sekci. Podobně je tomu i u jednooperandových instrukcí. V dosud známých zapojeních uvedeného typu je pro realizaci tohoto registru použito obvodů citlivých na hranu hodinového signálu.

Toto řešení má následující nevýhodu: Délka taktů řadiče procesoru se volí z důvodů jednoduchosti dekodéru podle nejdelších instrukcí co se týká doby trvání jednotlivých stavových fází řadiče. Například dvouoperandová instrukce probíhá ve třech takttech a pro ni je vypočtena doba trvání taktů, okamžik záznamu operandu do datového registru i okamžik uložení výsledku do buňky zápisníkové nebo operační paměti.

V průběhu jednooperandové instrukce není možné vynechat druhý takt z důvodů, že by se nestihl ve třetím taktu záznam operandu do datového registru, jeho další zpracování v aritmetickologické sekci a záznam do buňky zápisníkové nebo operační paměti. Tím se prodlužuje doba trvání celé instrukce a snižuje se operační rychlost počítače.

Tuto nevýhodu odstraňuje a možnost vynechání jednoho taktu řadiče při průběhu jednooperandových instrukcí řeší zapojení pro zrychlení jednooperandových výpočtů

2

podle vynálezu, jehož podstatou je, že datový registr zapojený mezi druhou vnitřní sběrnici a první vstup aritmetickologické sekce je vytvořen z obvodů citlivých na hladinu hodinového signálu.

Výhodou tohoto zapojení je možnost jednoduše měnit režim datového registru a to buď jako paměť, nebo jako propust. Pak lze při jednooperandových instrukcích vynechat druhý takt řadiče procesoru a zvýšit operační rychlost celého počítače.

Na výkrese je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením. První vnitřní sběrnice 3 je spojena s výstupem 11 zápisníkové paměti 1, s výstupem 21 datového přijímače 2, s prvním vstupem 40 a s druhým vstupem 41 slabikového přepínače 4. Druhá vnitřní sběrnice 5 je spojena s výstupem 42 slabikového přepínače 4, se vstupem 60 datového registru 6 a se vstupem 70 bloku konstant 7.

Výstup 62 datového registru 6 je spojen s prvním vstupem 80 aritmetickologické sekce 8, výstup 71 bloku konstant 7 je spojen s druhým vstupem 81 aritmetickologické sekce 8, jejíž výstup 82 je spojen se vstupem 90 oddělovací sekce 9. Datová sběrnice 13 je spojena s datovou svorkou 120 operační paměti 12, se vstupem 20 datového přijímače 2 a s přímým výstupem 92 oddělovací sekce 9, jejíž negovaný výstup 91 je zapojen na vstup 10 zápisníkové paměti 1.

Funkce zapojení je následující: Vnitřní jednooperandová instrukce proběhne tak, že v jednom taktu řadiče procesoru se přečte operand z adresované buňky zápisníkové paměti 1 a přes první vstup 40 slabikového

přepínače 4 se přesune na druhou vnitřní sběrnici 5. Hodinovým signálem 61 je datový registr 6 v předchozím taktu nastaven do propustného stavu, takže operand projde na první vstup 80 aritmetickologické sekce 8 a dále přes negovaný výstup 91 oddělovací sekce 9 na vstup 10 zápisníkové paměti 1, kam se запиše na buňku uložení.

Vnější jednooperandová instrukce proběhne tak, že v jednom taktu řadiče procesoru se přesune obsah adresované buňky operační paměti 12 z datové svorky 120 na datovou sběrnici 13 a dále přes datový přijímač 2 na první vnitřní sběrnici 3. Odtud se dostane přes první vstup 40 slabikového přepínače 4 na druhou vnitřní sběrnici 5 a dále přes datový registr 6, aritmetickologickou sekci 8 a přes přímý výstup 92 oddělovací sekce 9 na datovou sběrnici 13.

Operand se sejme do datové svorky 120 operační paměti 12 a запиše se na buňku uložení. V případě, že vnitřní nebo vnější

operace vyžaduje přičítání nebo odečítání konstanty od daného operandu, navolí se signálem 72 z řadiče procesoru tato konstanta na výstupu 71 bloku konstant 7. Slabiková operace uložení operandu z buňky

zápisníkové paměti 1 do buňky operační paměti 12 s lichou adresou proběhne tak, že z výstupu 11 zápisníkové paměti 1 se sejme spodní slabika operandu na druhý vstup 41 slabikového přepínače 4 a dojde k záměně pozic obou slabik.

Spodní slabika se objeví na horní polovině druhé vnitřní sběrnice 5. Odtud projde přes datový registr 6, aritmetickologickou sekci 8 a přes přímý výstup 92 oddělovací sekce 9 na horní polovinu datové sběrnice 13 a na datovou svorku 120. Z této svorky se pak запиše slabika operandu na buňku operační paměti 12 s lichou adresou.

Možnost použití uvedeného zapojení je v operační jednotce malého počítače s psanými operacemi.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení pro zrychlení jednooperandových výpočtů se zápisníkovou pamětí, s operační pamětí a s aritmetickologickou sekci, vyznačující se tím, že datový registr 6/ za-

pojený mezi druhou vnitřní sběrnici 5/ a první vstup 80/ aritmetickologické sekce 8/ je vytvořen z obvodů citlivých na hladinu hodinového signálu 61/.

1 list výkresů

