

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2021-0040602
(43) 공개일자 2021년04월14일

(51) 국제특허분류(Int. Cl.)
G11C 5/14 (2021.01) *G11C 16/24* (2006.01)
G11C 16/30 (2006.01)
 (52) CPC특허분류
G11C 5/145 (2013.01)
G11C 16/24 (2013.01)
 (21) 출원번호 10-2019-0123037
 (22) 출원일자 2019년10월04일
 심사청구일자 2019년10월04일

(71) 출원인
 창원대학교 산학협력단
 경상남도 창원시 의창구 창원대학로 20(퇴촌동)
 (72) 발명자
 김영희
 경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
 김홍주
 경상남도 창원시 의창구 창원대학로 20, 학생생활관 2동 216호
 (뒷면에 계속)
 (74) 대리인
 이철희, 고윤호

전체 청구항 수 : 총 10 항

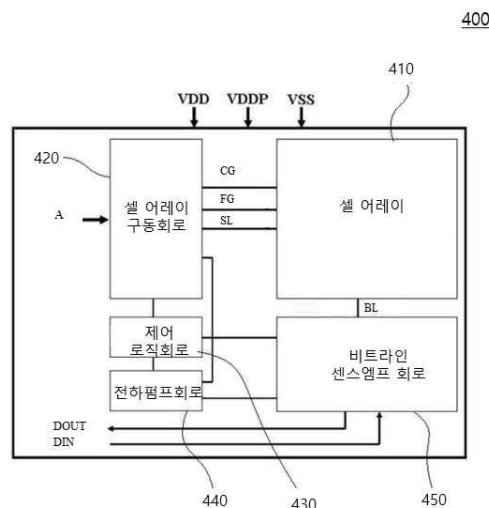
(54) 발명의 명칭 임베디드 플래쉬 메모리의 셀 제어회로

(57) 요약

본 발명은 핫 캐리어 인젝션 방식의 프로그램 및 FN 터널링 방식의 지우기 동작을 만족시키며, 크로스 커플드 NMOS 프리차징 회로를 사용하는 대신 바디가 접지된 NMOS 프리차징 트랜지스터의 게이트를 부스팅하여 프리차징 노드를 정상적으로 입력전압으로 프리차징시켜서 펌핑 전류를 증가시킬수 있는 임베디드 플래쉬 메모리의 셀 제어회로에 관한 것이다.

본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로에 의하면 핫 캐리어 인젝션 방식의 프로그램 및 FN 터널링 방식의 지우기 동작을 모두 만족시킬 수 있으며, body가 GND인 12V NMOS 프리차징 트랜지스터의 게이트를 부스팅하는 회로를 사용하여 VPP 단위 전하펌프의 프리차징 노드를 정상적으로 입력전압(VIN)으로 프리차징 시켜서 펌핑 전류를 증가시킬 수 있는 장점이 있다.

대표도 - 도4



(52) CPC특허분류

G11C 16/30 (2013.01)

(72) 발명자

이다솔

충청북도 청주시 흥덕구 대농로 17 지웰시티1차아
파트 106동 404호

이도규

경상남도 창원시 의창구 퇴촌로3번길 20

명세서

청구범위

청구항 1

임베디드 플래쉬 메모리의 셀 제어회로에 있어서,

임베디드 플래쉬 메모리의 셀 어레이;

상기 셀 어레이의 구동을 위한 셀 어레이 구동회로;

상기 셀 어레이에 대한 동작 모드에 따라 제어신호를 발생하는 제어 로직회로;

상기 셀 어레이에 프로그램전압을 공급하는 전하펌프회로; 및

상기 셀 어레이의 전류를 읽어내어 그에 해당되는 데이터를 증폭하여 출력하는 비트라인 센스앰프회로를 포함하는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 2

제 1항에 있어서, 상기 셀 어레이 구동회로는

컨트롤 게이트와 소스라인을 구동하는 로우 구동회로;

지우기 모드와 프로그램 모드에서 해당 전압을 비트라인에 스위칭해주는 비트라인 구동회로; 및

읽기모드에서 비트라인을 선택해주는 비트라인 스위치 회로;를 포함하는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 3

제 2항에 있어서, 상기 로우 구동회로는,

컨트롤 게이트 구동회로; 및

소스라인 구동회로;를 포함하는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 4

제 1항에 있어서, 상기 전하펌프는,

입력전압과 제1 펌핑노드(N21)의 사이에 형성된 제1 엔모스 트랜지스터;(MN21)

입력전압과 제2 펌핑노드(N22)의 사이에 형성된 제2 엔모스 트랜지스터;(MN22)

상기 제1 펌핑노드 및 상기 제2 펌핑노드와 출력전압의 사이에 크로스 커플된 제1, 제2 피모스 트랜지스터;(MP21, MP22)

제1 클럭신호의 단자와 상기 제1 펌핑노드의 사이에 연결된 제1 펌핑 커패시터;(MN24)

상기 제1 클럭신호의 반대 위상을 갖는 제2 클럭신호의 단자와 상기 제2 펌핑노드의 사이에 연결된 제2펌핑 커패시터;(MN25)

크로스 커플된 제3, 제4 피모스 트랜지스터를 구비하며, 상기 제1엔모스 트랜지스터에 연결된 제1 바디 포텐셜 바이어싱 회로; (MP23, MP24)

크로스 커플된 제5, 제6 피모스 트랜지스터를 구비하며, 상기 제2엔모스 트랜지스터에 연결된 제2 바디 포텐셜 바이어싱 회로;(MP25, MP26)

상기 입력전압과 상기 제1 펌핑노드의 사이에 연결되어 대기모드에서 상기 제1 펌핑노드를 상기 입력전압으로 프리차징시키는 제1 프리차지 회로;

상기 입력전압과 상기 제2 펌핑노드의 사이에 연결되어 대기모드에서 상기 제2 펌핑노드를 상기 입력전압으로

프리차징시키는 제2 프리차지 회로; 및

제1 프리차징노드(N20) 및 제2 프리차징노드(N23)와 입력전압의 사이에 크로스 커플된 제3, 제4 엔모스 트랜지스터(MN29, MN30);를 포함하는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 5

제 4항에 있어서,

상기 제1 엔모스 트랜지스터 및 상기 제2 엔모스 트랜지스터는 바디가 접지되어 있는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 6

제 4항에 있어서, 상기 제1 바디 포텐셜 바이어싱 회로는

상기 제1 펌핑노드의 전압과 상기 출력전압 중 높은 전압을 상기 제1 피모스 트랜지스터의 바디에 제공하는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 7

제 4항에 있어서, 상기 제2 바디 포텐셜 바이어싱 회로는

상기 제2 펌핑노드의 전압과 상기 출력전압 중 높은 전압을 상기 제2 피모스 트랜지스터의 바디에 제공하는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 8

제 4항에 있어서, 상기 제1 프리차지 회로는

상기 제1 엔모스 트랜지스터의 게이트 전압을 상기 입력전압으로 프리차지시키는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 9

제 4항에 있어서, 상기 제2 프리차지 회로는

상기 제2 엔모스 트랜지스터의 게이트 전압을 상기 입력전압으로 프리차지시키는 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

청구항 10

제 4항에 있어서, 상기 제1 펌핑 커패시터 및 제2 펌핑 커패시터는

네이티브 엔모스(native NMOS) 펌핑 커패시터인 것을 특징으로 하는 임베디드 플래쉬 메모리의 셀 제어회로.

발명의 설명

기술 분야

[0001]

본 발명은 임베디드 플래쉬 메모리의 셀 제어회로에 관한 것으로, 더욱 상세하게는, 핫 캐리어 인젝션 방식의 프로그램 및 FN 터널링 방식의 지우기 동작을 만족시키며, 크로스 커플드 NMOS 프리차징 회로를 사용하는 대신 바디가 접지된 NMOS 프리차징 트랜지스터의 게이트를 부스팅하여 프리차징 노드를 정상적으로 입력전압으로 프리차징시켜서 펌핑 전류를 증가시킬 수 있는 임베디드 플래쉬 메모리의 셀 제어회로에 관한 것이다.

배경 기술

[0002]

임베디드 시스템 설계는 내장형 메모리, 저전력 설계기술 및 칩 스택(chip stack)과 같은 3D 집적(integration) 기술의 발전과 함께 수요가 증가하여 왔으며, 이들 요소 중 내장형 메모리는 시스템 비용 및 성능과 파워 측면에서 가장 중요한 기본 기술이며, 시장에서 SRAM과 임베디드 플래쉬(eFlash, embedded Flash) 메모리가 우위를 차지하고 있다.

- [0003] 초기 MCU 시스템의 내장형 비휘발성 메모리(non-volatile memory)로는 코드 저장용으로 Mask ROM 메모리가 사용되었고, 대용량의 데이터 저장을 위한 EEPROM 메모리 칩이 별도로 사용되어 왔다. 이후 코드 저장용 Mask ROM과 데이터 ROM을 합친 임베디드 플래쉬(eFlash) 메모리가 1990년대에 개발되었으며, 응용 제품에 따라 512Kb 이상의 대용량 메모리에 대해서는 EEPROM 보다 eFlash 메모리가 더 많이 사용되고 있다.
- [0004] 비휘발성 메모리는 256 $\times$ 8bit Mask ROM 칩이 1969년, PROM 칩은 1970년, EPROM 칩은 1971년에 제품화되었다. 1983년 16Kb EEPROM이 발표되었고, 전기적으로 블록 지우기(block erase)가 가능한 Flash 메모리 셀은 Triple Poly Flash EEPROM 셀이 1984년 발표되었고, 1988년 ETOX (EEPROM Tunnel Oxide) Flash EEPROM이 세계 최초로 발표되었다.
- [0005] 도 1은 종래 기술에 따른 임베디드 플래쉬 메모리의 셀 공정 단면도이다.
- [0006] 임베디드 플래쉬(eFlash) 메모리의 셀은 전하를 저장하는 저장층(storage layer)이 있는 플로팅 게이트(Floating Gate, FG) 소자가 많이 사용되며, 임베디드 플래쉬(eFlash) 메모리의 셀에 사용되는 트랜지스터의 수에 따라 1T 셀, 1.5T 셀과 2T 셀로 구분된다. 1T 셀은 셀 사이즈가 작아서 대용량 메모리에 적합한 노어 타입(NOR type) 셀로 부가적인 공정이 필요하고 over-erase 문제와 데이터 유지에 취약하므로 임베디드 플래쉬(eFlash) 메모리의 용량이 아주 크지 않는 경우 사용이 되지 않는다. 분할 게이트(Split gate) 플로팅 게이트(FG) 셀인 1.5T FG 셀과 2T FG 셀은 1T FG 셀보다 셀 사이즈 크지만 성능과 전력소모 특성이 우수하므로 1T FG 셀보다 더 많이 사용되고 있다.
- [0007] 1.5T FG 셀인 1세대 슈퍼플래쉬(SuperFlash) 메모리 셀은 도 1에 도시된 바와 같이 빠른 플로팅 게이트(FG) 팁(tip)을 가지고 있다. 높은 소스 라인(Source Line:SL) 전압은 플로팅 게이트(FG)에 커플링되고 셀 문턱전압(threshold voltage) 보다 살짝 위에 있는 낮은 컨트롤 게이트(CG) 전압은 플로팅 게이트(FG)와 컨트롤 게이트(CG) 사이에 있는 갭 영역에 높은 전기장을 유기한다. 수평과 수직 전기장의 크기는 갭 영역에서 최대를 가지기 때문에 핫 일렉트론(hot electron)들은 갭 영역에서 효율적으로 만들어지고 플로팅 게이트(FG)로 주입된다.
- [0008] 그래서 슈퍼플래쉬(SuperFlash) 메모리 셀은 source-side electron injection 방식을 통해 프로그램되고 프로그램 전류가 5 μ A로 작다. 그리고 빠른 플로팅 게이트(FG) 팁(tip)을 통해 poly-to-poly FN (Fowler-Nordheim) 터널링 방식으로 소거된다. 이들 임베디드 플래쉬(eFlash) 메모리의 셀 중 슈퍼플래쉬(SuperFlash) 메모리 셀이 over-erase 문제가 없고 프로그램 전류도 5 μ A로 작기 때문에 종래로부터 가장 많이 사용되어 왔다.
- [0009] 한편, 최근 들어, DRAM의 전원전압(Supply voltage)이 1.8V 또는 1.5V로 감소하고 있는 추세에 있는데, 이는 파워 소모량을 줄이고 소자의 크기가 줄어들면서 생기는 신뢰성 문제를 개선하기 위한 것이라고 볼 수 있다. 전원전압이 감소하면 그에 따라 DRAM 트랜지스터의 문턱전압(Vt)도 감소해야 한다. 그러나, 트랜지스터의 문턱전압이 감소할 경우, 낮은 문턱전압 때문에 증가하는 누설전류로 인하여 리프레시(Refresh) 특성에 문제가 발생할 수 있다. 이러한 문제를 해결하기 위해 고전압 발생회로(VPP Generator)가 사용되고 있다. 고전압 발생회로는 선택된 트랜지스터들의 워드라인(Word-line) 전압을 상승시켜 DRAM에 사용되는 NMOS 트랜지스터의 문턱전압 문제를 해결해준다.
- [0010] 이러한 고전압 발생회로로는 인덕터를 사용하는 PWM(Pulse Width Modulation)방식과 스위치 커패시터(Switched Capacitor)를 사용하는 전하펌프(Charge Pump) 방식이 주로 사용되는데, 일반적으로 DRAM에서는 면적 등의 측면에서 장점이 있는 전하펌프 회로가 주로 사용된다.
- [0011] 도 2는 종래 기술에 의한 크로스 커플 프리차징 방식의 전하펌프회로의 회로도로서 이에 도시한 바와 같이 입력 전압(VIN)과 제1 펌핑노드(N1) 및 제2 펌핑노드(N2)의 사이에 크로스 커플된 제1,2엔모스 트랜지스터(MN1),(MN2), 상기 제1,2펌핑노드(N1),(N2)와 출력전압(VOUT)의 사이에 크로스 커플된 제1,2 피모스 트랜지스터(MP1),(MP2), 제1 클럭신호(CLK1)의 단자와 상기 제1펌핑노드(N1)의 사이에 연결된 제1펌핑 커패시터(C1) 및 제2 클럭신호(CLK2)의 단자와 상기 제2펌핑노드(N2)의 사이에 연결된 제2펌핑 커패시터(C2)를 포함한다. 여기서, 'MN'은 N 채널의 MOS 트랜지스터를 의미하고, 'MP'는 P 채널의 MOS 트랜지스터를 의미한다.
- [0012] 도 2와 같은 크로스 커플 프리차징 방식의 전하펌프회로를 이용하는 경우, 출력단 트랜지스터로서 크로스 커플된 제1,2 피모스 트랜지스터(MP1),(MP2)는 문턱전압 손실 없이 제1,2펌핑노드(N1),(N2)의 펌핑 전하를 출력전압(VOUT)이 출력되는 출력단으로 전달한다.
- [0013] 상기 제1,2 피모스 트랜지스터(MP1),(MP2)의 바디(body)가 부스트 전압에 연결되어 있으므로, 제1,2펌핑노드

(N1),(N2)에 전하가 펌핑될 때 그 제1,2 피모스 트랜지스터 (MP1),(MP2)의 바디 전압이 소스나 드레인의 전압보다 낮게 되어 활성 영역에 놓이게 된다.

[0014] 이로 인하여, 종래의 크로스 커플 프리차징 방식의 전하펌프회로에서는 펌핑 노드의 펌핑 전하 중 일부가 출력단 트랜지스터를 통해 기판(p-substrate)으로 누설되어 전하 손실을 초래하는 문제점이 있다.

[0015] 즉, 제1 클럭신호(CLK1)와 제2 클럭신호(CLK2)가 각각 0V 및 VCC일 때 제1 펌핑노드(N1) 및 제2 펌핑노드(N2)의 전압은 각각 입력전압(VIN) 및 펌핑전압(VIN+VCC)으로 되면서 제1 피모스 트랜지스터(MP1)를 통해 부스팅(boosting)된 전압은 출력으로 전달되고 제1 펌핑노드(N1)는 입력전압(VIN)으로 프리차징되어야 한다.

[0016] 그런데 VCC 전압이 2.5V인 경우에 12V HV (High Voltage) NMOS 트랜지스터의 바디(body) 전압이 그라운드(GND)에 연결되어 있으므로 바디 이펙트(body effect)에 의해 문턱전압은 2V 정도까지 높아져 제1 펌핑노드(N1)의 전압을 충분히 입력전압(VIN)으로 프리차징하지 못하는 문제가 있다. 또한 제1 펌핑노드(N1) 및 제2 펌핑노드(N2)의 전압이 크로싱(crossing)하면서 제1 엔모스 트랜지스터(MN1)는 오프(OFF) 되어 있어야 하지만 백워드(backward) 전류가 입력전압(VIN) 노드로 흘러서 펌핑전류가 떨어지는 문제점이 있다.

[0017] 도 3은 종래 기술에 의한 크로스 커플 프리차징 방식의 전하펌프회로의 다른 회로도이다.

[0018] 도 3에 도시한 바와 같이 입력전압(VIN)과 제11,12펌핑노드(N11),(N12)의 사이에 크로스 커플된 제11, 12엔모스 트랜지스터(MN11),(MN12), 상기 제11,12펌핑노드(N11), (N12)와 출력전압(VOUT)의 사이에 크로스 커플된 제11,12피모스 트랜지스터(MP11), (MP12), 제11클럭신호(CLK11)의 단자와 상기 제11펌핑노드(N11)의 사이에 연결된 제11펌핑 커패시터(C11), 제12클럭신호(CLK12)의 단자와 상기 제12펌핑노드(N12)의 사이에 연결된 제12펌핑 커패시터(C12), 상기 제11엔모스 트랜지스터(MN11)에 연결된 제1 벌크 포텐셜 바이어싱 회로(BPBC: Bulk-Potential Biasing Circuit)(330), 상기 제12엔모스 트랜지스터(MN12)에 연결된 제2 벌크 포텐셜 바이어싱 회로(340), 상기 제11피모스 트랜지스터(MP11)에 연결된 제3 벌크 포텐셜 바이어싱 회로(350) 및 상기 제12피모스 트랜지스터(MP12)에 연결된 제4 벌크 포텐셜 바이어싱 회로(360)를 포함한다.

[0019] 제11,12엔모스 트랜지스터(MN11),(MN12) 및 제11,12피모스 트랜지스터(MP11), (MP12)중 해당 트랜지스터에 각기 연결된 제1-4벌크 포텐셜 바이어싱 회로(330-360)는 전하 손실 문제를 해결하기 위해 연결된 것이다.

[0020] 디램(DRAM)에서는 제11 엔모스 프리차징 트랜지스터(MN11) 및 제12 엔모스 프리차징 트랜지스터(MN12)와 같은 isolated NMOS 트랜지스터를 사용하므로 바디 이펙트(body effect)를 제거할 수 있고 제10 내지 제13 클럭신호(CLK10, CLK11, CLK12 및 CLK13)는 비 중첩 클럭신호(non-overlap clock signal)들 이므로 제11 엔모스 프리차징 트랜지스터(MN11) 및 제12 엔모스 프리차징 트랜지스터(MN12)를 통한 백워드(backward) 전류로 인해 펌핑전류가 떨어지는 문제가 발생하지 않는다.

[0021] 한편, 제1 프리차지 회로(310)와 제2 프리차지 회로(320)는 대기(stand-by) 모드시 제11 엔모스 프리차징 트랜지스터(MN11) 및 제12 엔모스 프리차징 트랜지스터(MN12)의 게이트 노드 전압을 VCC 전압으로 프리차지 시키기 위한 것이며, 이로 인해 전하 펌핑 후 대기(stand-by) 모드 진입 시 부스팅된 전압을 VCC로 프리차징시켜 준다.

[0022] 한편, 임베디드 플래쉬 메모리에 있어서, 프로그램 모드와 지우기 모드에서 각각 9.5V와 11.5V의 VPP (Boosted Voltage) 전압을 공급하는 기존의 단위 전하펌프 회로에서 전하펌핑 시 부스팅 노드 전압이 크로스 커플드(cross-coupled) PMOS 트랜지스터를 통해 전하전달이 되면서 부스팅 노드의 전압이 떨어지고, 2개 펌핑 노드의 전압이 크로싱(crossing)될 때 백워드(backward) 전류가 입력전압(VIN) 노드로 흐르면서 바디 효과(body effect)로 인한 높은 문턱전압 (threshold voltage)을 갖는 크로스 커플드 NMOS 트랜지스터에 의해 프리차징 노드를 정상적으로 입력전압(VIN)으로 프리차징 시키지 못해서 펌핑 전류는 떨어지는 문제가 있다.

[0023] 그러나 디램(DRAM) 공정과 달리 임베디드 플래쉬(eFlash) 공정에서는 도 3에 도시된 제11 엔모스 프리차징 트랜지스터(MN11) 및 제12 엔모스 프리차징 트랜지스터(MN12)와 같은 아이솔레이티드(isolated) NMOS 트랜지스터를 사용할 수 없는 문제가 있었다.

발명의 내용

해결하려는 과제

[0024] 본 발명이 해결하고자 하는 과제는 핫 캐리어 인젝션 방식의 프로그램 및 FN 터널링 방식의 지우기 동작을 만족시키며, 크로스 커플드 NMOS 프리차징 회로를 사용하는 대신 바디가 접지된 NMOS 프리차징 트랜지스터의 게이트를 부스팅하여 프리차징 노드를 정상적으로 입력전압으로 프리차징시켜서 펌핑 전류를 증가시킬수 있는 임베디

드 플래쉬 메모리의 셀 제어회로를 제공하는데 있다.

과제의 해결 수단

[0025] 상기 기술적 과제를 이루기 위한 본 발명의 실시예에 따른 임베디드 플래쉬 메모리의 셀 제어회로는 임베디드 플래쉬 메모리의 셀 어레이; 상기 셀 어레이의 구동을 위한 셀 어레이 구동회로; 상기 셀 어레이에 대한 동작 모드에 따라 제어신호를 발생하는 제어 로직회로; 상기 셀 어레이에 프로그램전압을 공급하는 전하펌프회로; 및 상기 셀 어레이의 전류를 읽어내어 그에 해당되는 데이터를 증폭하여 출력하는 비트라인 센스앰프회로를 포함하는 것을 특징으로 한다.

발명의 효과

[0026] 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로에 의하면 핫 캐리어 인젝션 방식의 프로그램 및 FN 터널링 방식의 지우기 동작을 모두 만족시킬 수 있는 장점이 있다.

[0027] 한편, 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로에 의하면 크로스 커플드 NMOS 프리차징 회로를 사용하는 대신 body가 GND인 12V NMOS 프리차징 트랜지스터의 게이트를 부스팅하는 회로를 사용하여 VPP 단위 전하펌프의 프리차징 노드를 정상적으로 입력전압(VIN)으로 프리차징 시켜서 펌핑 전류를 증가시킬 수 있는 장점이 있다.

도면의 간단한 설명

[0028] 도 1은 종래 기술에 따른 임베디드 플래쉬 메모리 셀의 공정 단면도이다.
 도 2는 종래 기술에 의한 크로스 커플 프리차징 방식의 전하펌프회로의 회로도이다.
 도 3은 종래 기술에 의한 크로스 커플 프리차징 방식의 전하펌프회로의 다른 회로도이다.
 도 4는 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 블록도이다.
 도 5는 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 로우 구동회로의 회로도이다.
 도 6는 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 비트라인 구동회로의 회로도이다.
 도 7은 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 리드 비트라인 스위치회로의 회로도이다.
 도 8은 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 비트라인 센스 앰프 회로의 회로도이다.
 도 9는 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 전하펌프 회로의 회로도이다.
 도 10은 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 출력 실험결과를 나타내는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

[0030] 본 발명은 USB type-C 응용을 위한 110nm 임베디드 플래쉬(embedded Flash, eFlash) 셀을 사용한 512Kb 임베디드 플래쉬(eFlash) 메모리의 제어회로에 관한 것이다. 본 발명에 따른 임베디드 플래쉬(eFlash) 메모리의 제어회로는 핫 캐리어 인젝션(Hot carrier injection) 방식의 프로그램과 FN 터널링(tunneling) 방식의 지우기 동작을 모두 만족시킨다.

[0031] 도 4는 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 블록도이다.

[0032] 도 4를 참조하면, 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로(400)는 임베디드 플래쉬 메모리 셀들이 매트릭스 형태로 배열되어 있는 셀 어레이(410), 입력 어드레스(A)에 따라 상기 셀 어레이(410)의 로우(row)들 중에서 하나의 로우를 선택하여 컨트롤 게이트(CG) 및 소스라인(SL) 노드에 전압을 공급하는 셀 어레이 구동회로(420), 상기 셀 어레이(410)에 대한 프로그램 모드 또는 지우기 모드에 따라 제어신호를 발생하는 제어 로직회로(430), 상기 셀 어레이(410)에 프로그램전압(VPP)을 공급하는 전하펌프회로(440) 및 선택된 비트라인에 연결된 임베디드 플래쉬 메모리 셀의 전류를 읽어내어 그에 해당되는 데이터를 증폭하여 출력하는 비트라인 센스앰프회로(450)를 포함한다.

[0033] 셀 어레이(410)는 임베디드 플래쉬 메모리 셀이 매트릭스 형태로 배열되어 있는 스플릿 게이트(Split gate)형

의 셀 어레이이다. 셀 어레이(410)는 로우(row) 방향으로 컨트롤 게이트(CG), 플로팅 게이트(FG) 및 소스라인(SL)이 라우팅 되고, 컬럼(column) 방향으로 비트라인(BL)이 라우팅 되며, 비트라인(BL)과 소스라인(SL) 사이에 배치된 복수 개의 임베디드 플래쉬 메모리 셀을 구비한다.

[0034] 본 발명에서는 임베디드 플래쉬 메모리 셀을 사용한 110nm eFlash 공정기반 512Kb 임베디드 플래쉬 메모리의 셀 제어회로를 개발하였으며, 본 발명에 따른 임베디드 플래쉬 메모리 셀의 동작 모드별 선택된 셀 바이어스 조건은 다음과 같다.

[0035] 프로그램 모드에서 셀 바이어스 조건은 컨트롤 게이트(CG), 비트라인(BL), 소스라인(SL)의 전압을 각각 1.5V, 0.8V, 9.5V 인가하면 소스라인(SL)이 연결된 소스측(source side)에서 수평 방향의 높은 전기장에 의해 전자가 가속되어 hot electron이 발생되어 수직 방향의 높은 전기장에 의해 플로팅 게이트(FG)로 주입된다. 이와 같이 hot electron injection에 의해 임베디드 플래쉬 메모리 셀의 문턱전압이 4V 정도로 상승한다.

[0036] 한편, 지우기 모드에서 셀 바이어스 조건은 컨트롤 게이트(CG), 비트라인(BL), 소스라인(SL)의 전압을 각각 11.5V, 0V, 0V 인가하면 FG poly로부터 CG poly로 FN 터널링에 의해 전자 소거(electron ejection)가 일어난다. 이와 같이 전자 소거에 의해 임베디드 플래쉬 메모리 셀의 문턱전압이 0.8V 이하로 감소한다.

[0037] 한편 읽기 모드에서 셀 바이어스 조건은 컨트롤 게이트(CG), 비트라인(BL), 소스라인(SL)의 전압을 각각 2.5V, 0.8V, 0V 인가하면 지워진 셀은 ON 상태를 유지하고 ON 전류가 40 μ A 흐르는 반면, 프로그램 셀은 OFF 상태를 유지하고 OFF 전류는 1nA 이하의 전류가 흐른다. BL S/A는 ON 전류와 OFF 전류를 구분하므로 데이터 '0'과 '1'을 각각 출력한다.

[0038] 110nm eFlash 공정을 사용하여 설계된 512Kb 임베디드 플래쉬 메모리의 주요 특징은 표 1과 같다.

[0039] 임베디드 플래쉬 메모리 셀은 분할 게이트 임베디드 플래쉬 메모리 셀을 사용하고 있으며, 컨트롤 게이트(CG)와 소스라인(SL)은 제1 메탈을 사용하여 행(row) 방향으로 라우팅 되어 있으며, 비트라인(BL)은 제2 메탈을 사용하여 열(column) 방향으로 라우팅 되어 있다.

[0040] 사용되는 전압은 VCC와 VDD의 dual power를 사용하고 있고 VCC 전압은 2.5V~5.5V의 넓은 동작 전압 범위를 가지며, VDD 전압은 1.5V 로직 소자에 사용하는 전압으로 1.5V $\pm$ 10%이다. 동작 모드는 정상동작 모드로 읽기, 페이지 지우기 (page erase), 프로그램(program) 모드가 있으며, write-verify-read 모드로 erase-verify-read와 program-verify-read 모드가 있다. 그리고 all erase 모드를 지원하고 있다. 임베디드 플래쉬 메모리 셀어레이는 512행 $\times$ 1,024열로 구성되어 있으며, 페이지 지우기, 프로그램과 읽기 동작은 각각 1Kbit, 32bit, 32bit 단위로 수행된다.

[0041] 본 발명에 따라 0.13 μ m BCD 공정을 사용하여 설계된 512Kb 임베디드 플래쉬 메모리 장치의 주요 특징은 다음의 [표 1]과 같다.

[0042] [표 1]

Items		Main Features
Supply Voltage	VCC	2.5V ~ 5.5V
	VDD	1.35V ~ 1.65V
Function	Normal Mode	Read / Page Erase / Program
	Write-Verify-Read	Erase-Verify-Read / Program-Verify-Read
	Others	All Erase / Cell V _T Measuring
Memory Density		512Kb
Cell Array		512Rows $\times$ 1024Columns
I/O		32bit
Temperature Range		-40~125°C
Erase Time		10ms
Program Time		10 μ s
Access Time		40ns
Endurance		100K Cycles
Data Retention		10Years

[0043]

[0044] 본 발명에 따른 임베디드 플래쉬(eFlash) 메모리의 셀 제어회로의 셀 어레이 구동회로(420)는 로우 구동회로(421)와, 비트라인 구동회로(422)와, 비트라인 스위치회로(423)를 포함한다.

[0045] 도 5는 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 로우 구동회로를 나타내는 회로도이다. 로우 구동회로(421)는 컨트롤 게이트(CG) 구동회로와 소스라인(SL) 구동회로를 포함한다. 도 5의 (a)는 컨트롤 게이트(CG) 구동회로의 회로도이고, 도 5의 (b)는 소스라인(SL) 구동회로의 회로도이다.

[0046] 컨트롤 게이트(CG) 구동회로는 동작모드에 따라 선택되는 컨트롤 게이트(CG)는 CG_HV, 선택 안되는 컨트롤 게이트(CG)는 0V를 구동한다. 표 2는 동작 모드에 따라 CG_HV의 스위칭 출력전압을 보여주고 있다. CG_HV 전압은 읽기 모드에서 2.5V, 프로그램 모드에서 1.5V와 페이지 지우기 모드에서 11.5V의 스위칭 파위를 공급한다.

[0047] 소스라인(SL) 구동회로는 지우기 모드에서만 SL_ENb 신호가 VDD가 되며, 나머지 동작모드는 0V가 된다. 그래서 지우기 (page erase / all erase) 모드에서는 SL_SEL와 SL_SELb 신호는 각각 0V, VPP가 출력되어 MN0가 ON이 되면서 SL은 VSL_UNSEL 전압인 0V를 구동한다. 그리고 지우기 모드가 아닌 나머지 모드들은 SL_ENb 신호가 0V이므로 행 어드레스 RA[8:0]에 의해 선택된 소스라인(SL)은 SL_SEL와 SL_SELb 신호가 각각 VPP, 0V가 출력되므로 MP1과 MN1 MOS 트랜지스터를 ON시켜 SL 전압을 VSL_SEL 전압으로 구동하는 반면, RA[8:0]에 의해 선택되지 않는 SL은 SL_SEL와 SL_SELb 신호가 각각 0V, VPP가 출력되므로 MP1과 MN1 MOS 트랜지스터를 OFF시켜 SL 전압을 VSL_UNSEL 전압으로 구동한다.

[0048] 동작 모드별 선택된 VSL 전압(VSL_SEL)과 선택되지 아니한 VSL 전압(VSL_UNSEL)은 표 2에 도시된 바와 같다.

[0049] [표 2]

Functions	CG_HV	VSL_SEL	VSL_UNSEL	BL_HV	BL_LV
Power-Down Reset	VCC	0V	0V	VCC	0V
Stand-by	VCP	0V	0.5V	VCP	0V
Read	VCP	0V	0.5V	VCP	0V
Program	1.5V	9.5V	0.5V	3.3V	0.8V
Page Erase	11.5V	0V	0V	VCP	0V
EVR	1.5V	0V	0.5V	VCP	0V
PVR	3.5V	0V	0.5V	VCP	0V
FVTE	VTEM	0V	0.5V	VCP	0V
FVTP	VTPM	0V	0.5V	VCP	0V
Chip Erase	11.5V	0V	0V	VCP	0V

[0050]

[0051] 도 6은 비트라인 구동회로를 나타내는 회로도이다.

[0052] 도 6에 도시된 비트라인 구동회로(422)는 지우기 모드와 프로그램 모드인 write 모드에서 해당되는 전압을 비트라인(BL)에 스위칭 해주는 WBL (Write Bit-Line) 스위칭 회로와 프로그램 모드에서 32개 WDb_BL을 선택해주는 PBL_SEL 회로를 포함한다.

[0053] 도 6에 도시된 바와 같이 비트라인 구동회로(422)는 프로그램 모드에서만 PBL_ENb 신호는 0V를 출력하여 MP3 트랜지스터를 ON시키고 지우기 모드와 읽기 모드를 포함하는 나머지 모드는 BL_HV 전압을 출력하므로 MP3 트랜지스터는 OFF 상태가 된다.

[0054] 도 6의 (a)는 WBL 스위치 회로로, 그 동작을 보면 프로그램 모드에서는 PBL_ENb 신호는 0V를 출력하고 열 어드레스 CA[4:0]에 의해 선택된 PBL_SEL와 PBL_SELb 신호는 각각 BL_HV와 0V를 출력하므로 MP5와 MN5 트랜지스터를 ON시킨다. 이렇게 되면 비트라인(BL)은 WDb_BL 전압을 그대로 스위칭해 주는데 WDb_BL은 프로그램 데이터가 VDD와 0V에 대해 각각 0V와 BL_HV (=3.3V)를 구동한다.

[0055] 그리고 프로그램 모드에서 선택되지 않은 PBL_SEL와 PBL_SELb 신호는 각각 0V와 BL_HV를 출력하므로 해당되는 비트라인(BL)의 MP5와 MN5는 OFF, MP3와 MP4는 ON 상태가 되므로 비트라인(BL) 전압은 inhibit voltage인 BL_HV 전압을 구동한다.

[0056] 한편 지우기 모드에서는 PBL_ENb 신호는 BL_HV (=2.5V) 전압을 출력하므로 MP3 트랜지스터를 OFF시키고, PBL_SEL와 PBL_SELb 신호는 각각 BL_HV와 0V를 출력하므로 MP5와 MN5 트랜지스터를 ON시켜 모든 비트라인(BL)은 WDb_BL에 의해 0V를 구동한다.

[0057] 또한, 읽기 모드에서는 PBL_ENb 신호는 BL_HV (=2.5V) 전압을 출력하므로 MP3 트랜지스터를 OFF시키고,

PBL_SEL와 PBL_SELb 신호는 각각 0V와 BL_HV를 출력하므로 MP5와 MN5 트랜지스터를 OFF시켜 모든 비트라인(BL)은 하이 임피던스(high impedance) 상태를 유지한다.

- [0058] 도 6의 (b)는 프로그램 모드에서 32개 WDb_BL을 선택해주는 PBL_SEL신호와 PBL_SELb 신호를 생성하는 PBL_SEL 회로를 나타낸다.
- [0059] 도 7은 읽기 모드에서 비트라인을 선택해주는 비트라인 스위치회로를 나타내는 회로도이다.
- [0060] 도 7에 도시된 바와 같이 비트라인 스위치회로(423)는 읽기 모드시 1024개의 비트라인(BL)을 32개 비트라인(BL)으로 나누며, 32개 비트라인(BL)을 선택해주는 RBL_SEL[31:0] 신호에 의해 해당되는 비트라인(BL)의 데이터가 데이터라인(DL)에 전달된다. 데이터라인(DL)[31:0]에 전달된 32개의 임베디드 플래쉬 메모리 셀의 데이터는 출력데이터(DOUT)로 출력된다.
- [0061] 도 8은 본 발명에 따른 임베디드 플래쉬 메모리 셀 제어회로의 비트라인 센스앰프회로의 회로도이다.
- [0062] 도 8에 도시된 비트라인 센스앰프회로(450)는 선택된 비트라인(BL)에 연결된 임베디드 플래쉬(eFlash) 메모리 셀의 전류를 읽어내어 출력데이터(DOUT)를 출력한다.
- [0063] 도 8을 참고하면, 대기(Stand-by)모드에서 DL_PCGb 전압은 0V이므로 MP1 트랜지스터가 ON 상태에 있으므로 RD 노드 전압은 VDD로 프리차징되고, MN2 트랜지스터가 ON되므로 RDb 노드 전압은 0V로 디스차징(discharging) 된다. 그리고 읽기 모드로 진입하게 되면 DL_CLAMPb 신호는 0V가 되므로 DL 클램핑 회로(451)의 동작에 의해 데이터라인(DL)은 0.8V 정도로 클램핑 되면서 비트라인(BL)의 전압도 0.8V로 프리차징된다. 비트라인(BL)의 전압을 충분히 프리차징한 상태에서 데이터라인(DL)을 프리차징시키는 신호인 DL_PCGb 신호가 0V에서 VDD로 디스에이블(disable) 되면 MN2 트랜지스터와 MP1 트랜지스터는 OFF 상태가 된다.
- [0064] 한편 임베디드 플래쉬 메모리의 셀이 프로그램된 셀인 경우 MN1을 통한 풀-다운 전류가 1nA 수준으로 무시할 만큼 작으므로 RD, RDb, DOUT 노드 전압은 DL_PCGb 신호가 0V일 때의 전압인 VDD, 0V, VDD 전압을 각각 유지한다. 반면 소거(erase)된 임베디드 플래쉬 메모리의 셀인 경우 임베디드 플래쉬(eFlash) 메모리 셀의 ON 전류 40 μ A 정도가 MN1 트랜지스터를 통해 GND로 흐르면서 임베디드 플래쉬(eFlash) 메모리 셀의 ON 전류가 PMOS 전류 미러(452)에 미러링(mirroring) 되며, 이때 RDb의 미러링(mirroring)된 전류가 MN3 트랜지스터를 통해 흐르는 기준전류보다 더 크게 되면 RDb 노드 전압은 VDD로 상승하면서 출력데이터(DOUT)는 0V를 출력한다.
- [0065] 도 9는 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 전하펌프회로의 회로도이다.
- [0066] 전하펌프 회로의 펌핑 전류가 떨어지는 문제를 해결하기 위해 본 발명에서는 크로스 커플드 NMOS 프리차징 회로를 사용하는 대신 body가 GND인 12V NMOS 프리차징 트랜지스터의 게이트를 부스탕하는 회로를 사용하여 VPP 단위 전하펌프의 프리차징 노드를 정상적으로 입력전압(VIN)으로 프리차징 시켜서 펌핑 전류를 증가시켰다.
- [0067] 즉, 본 발명에서는 임베디드 플래쉬(eFlash) 메모리 공정기반에서 12V의 NMOS 프리차징 트랜지스터와 12V PMOS 크로스 커플드(cross-coupled) 전하전달 스위치를 사용하면서 NMOS 펌핑 커패시터를 사용하는 도 9의 전하펌프 회로를 제안하였다.
- [0068] 도 9에 도시된 바와 같이 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 전하펌프회로(440)는 입력전압과 제1 펌핑노드(N21)의 사이에 형성된 제1 엔모스 트랜지스터(MN21), 입력전압과 제2 펌핑노드(N22)의 사이에 형성된 제2 엔모스 트랜지스터(MN22), 상기 제1 펌핑노드 및 상기 제2 펌핑노드와 출력전압의 사이에 크로스 커플된 제1, 제2 피모스 트랜지스터(MP21, MP22), 제1 클럭신호(CLK11)의 단자와 상기 제1 펌핑노드의 사이에 연결된 제1 펌핑 커패시터(MN24), 상기 제1 클럭신호(CLK11)의 반대 위상을 갖는 제2 클럭신호(CLK12)의 단자와 상기 제2 펌핑노드의 사이에 연결된 제2 펌핑 커패시터(MN25), 크로스 커플된 제3, 제4 피모스 트랜지스터(MP23, MP24)를 구비하며 상기 제1엔모스 트랜지스터(MN21)에 연결된 제1 바디 포텐셜 바이어싱 회로(443), 크로스 커플된 제5, 제6 피모스 트랜지스터(MP25, MP26)를 구비하며 상기 제2 엔모스 트랜지스터(MN22)에 연결된 제2 바디 포텐셜 바이어싱 회로(444), 상기 입력전압(VIN)과 상기 제1 펌핑노드(N21)의 사이에 연결되어 대기모드에서 상기 제1 펌핑노드(N21)를 상기 입력전압(VIN)으로 프리차징시키는 제1 프리차징 회로(441), 상기 입력전압(VIN)과 상기 제2 펌핑노드(N22)의 사이에 연결되어 대기모드에서 상기 제2 펌핑노드(N22)를 상기 입력전압(VIN)으로 프리차징시키는 제2 프리차징 회로(442) 및 제1 프리차징노드(N20) 및 제2 프리차징노드(N23)와 입력전압(VIN)의 사이에 크로스 커플된 제3, 제4 엔모스 트랜지스터(MN29, MN30)를 포함한다.
- [0069] 임베디드 플래쉬(eFlash) 메모리 공정에서는 도 2의 제1 엔모스 트랜지스터(MN11) 및 제2 엔모스 트랜지스터(MN12)와 같은 isolated NMOS 트랜지스터가 지원되지 않으므로 도 9의 제1 엔모스 트랜지스터(MN21) 및 제2 엔

모스 트랜지스터(MN22)와 같은 바디(body)가 GND인 12V NMOS 트랜지스터를 사용하였다.

- [0070] 그리고 제1 피모스 트랜지스터(MP21) 및 제2 피모스 트랜지스터(MP22)와 같은 12V PMOS 트랜지스터의 body는 도 9의 제1 바디 포텐셜 바이어싱 회로(443) 및 제2 바디 포텐셜 바이어싱 회로(444)를 사용하여 제1 노드(N21)와 출력전압(VOUT) 중 높은 전압을 제1 피모스 트랜지스터(MP21)의 바디(body)에 연결해주고, 제2 노드(N22)와 출력전압(VOUT) 중 높은 전압을 제2 피모스 트랜지스터(MP22)의 바디(body)에 연결해주었다. 이때, 제1 바디 포텐셜 바이어싱 회로(443) 및 제2 바디 포텐셜 바이어싱 회로(444)를 사용하지 않고 제1 피모스 트랜지스터(MP21)와 제2 피모스 트랜지스터(MP22)의 body를 출력전압(VOUT) 노드에 연결할 수도 있다.
- [0071] 전하펌프 회로(440)가 동작하지 않는 경우 제1 프리차지 회로(441) 및 제2 프리차지 회로(442)는 제1 엔모스 트랜지스터(MN21) 및 제2 엔모스 트랜지스터(MN22)의 게이트 노드 전압을 입력전압(VIN)으로 프리차지시켜 준다. 그런데 각 펌핑 단의 출력 전압 노드는 별도의 VCC 프리차징 회로가 있어 VPP가 OFF되면 각 단위 전하펌프 회로의 VOUT 노드는 VCC로 프리차징 되기 때문에 도 9의 전하펌프회로(440)에서 제1 엔모스 트랜지스터(MN21)와 제2 엔모스 트랜지스터(MN22)의 게이트 노드 전압을 VCC로 프리차징하지 않아도 된다.
- [0072] VPP 단위 전하펌프 회로의 제1 펌핑 커패시터(MN24) 및 제2 펌핑 커패시터(MN25)는 PMOS 트랜지스터, NMOS 트랜지스터와 native NMOS 트랜지스터를 사용할 수 있다. 다만, 펌핑전류와 레이아웃 면적을 검토하였을 때 native NMOS 펌핑 커패시터는 PMOS 펌핑 커패시터에 비해 펌핑전류도 크고 레이아웃 면적이 작아서 본 발명에서는 12V native NMOS 펌핑 커패시터를 사용하는 것이 더욱 바람직하다. 한편, 본 발명에서의 전하펌프 회로는 도 9의 단위 전하펌프 회로를 7단 캐스케이드(cascade)로 연결하여 사용할 수 있다.
- [0073] 도 10은 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 출력의 실험결과를 나타내는 파형도이다.
- [0074] 본 발명에서는 VCC=2.5V, VDD=135V, Temp.=125℃, slow model parameter의 simulation 조건에서 출력파의 파형에 대한 모의실험을 수행하였다. 도 10의 (a)는 프로그램 모드에서의 셀 어레이 관련 선택된 신호와 선택되지 않은 신호의 출력파의 모의실험 결과를 나타내고 있으며, 도 10의 (b)는 지우기 모드에서의 셀 어레이 관련 선택된 신호와 선택되지 않은 신호의 출력파의 모의실험 결과를 나타낸다.
- [0075] 도 10의 (a)를 참고하면, 프로그램 모드에서 선택된 CG와 선택되지 않은 CG 전압은 각각 1.5V와 0V인 것을 보여주고 있으며, 선택된 소스라인(SL)과 선택되지 않은 소스라인(SL)의 전압은 각각 9.5V와 0.8V인 것을 보여주고 있으며, 선택된 비트라인(BL)과 선택되지 않은 비트라인(BL)의 전압은 각각 0.8V와 3.3V인 것을 보여주고 있다. 한편 지우기 모드에서 선택된 CG와 선택되지 않은 CG 전압은 각각 11.5V와 0V인 것을 보여주고 있으며, 소스라인(SL)과 비트라인(BL) 전압은 모두 0V인 것을 보여주고 있다.
- [0076] 한편, 도 10의 (b)를 참고하면, 지우기 모드에서 선택된 CG와 선택되지 않은 CG 전압은 각각 11.7 내지 11.8V와 0V인 것을 보여주고 있다.
- [0077] 표 3은 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 전하펌프 회로와 종래의 전하펌프 회로에 따른 펌핑 전류 모의실험 결과를 비교하여 보여주고 있다.
- [0078] 표 3에서 기존 단위 전하펌프 회로는 도 2에 도시된 단위 전하펌프 회로를 사용하였고 본 발명에 따른 임베디드 플래쉬 메모리의 단위전하펌프 회로는 도 9에서 도시된 단위 전하펌프 회로를 사용하였다. 한편, 펌핑 커패시터는 accumulation 영역에서 동작하는 12V PMOS 펌핑 커패시터와, inversion 영역에서 동작하는 12V normal NMOS 펌핑 커패시터 및 12V native NMOS 펌핑 커패시터의 3가지를 사용하여 그 결과를 비교하였다.
- [0079] 비교 결과 도 9에서 도시된 단위 전하펌프 회로에 native NMOS 펌핑 커패시터를 사용하는 경우 레이아웃 면적도 작고 펌핑전류도 커짐을 확인할 수 있다. 따라서 본 발명에서는 12V native NMOS 펌핑 커패시터가 적용된 단위 전하펌프 회로를 사용하는 것이 바람직하다.

[0080] [표 3]

전하펌프회로	펌핑 커패시터	펌핑 전류
종래	PMOS	1.16 μ A
	Normal NMOS	1.15 μ A
	Native NMOS	1.29 μ A
본 발명	PMOS	19.89 μ A
	Normal NMOS	21.10 μ A
	Native NMOS	21.13 μ A

[0081]

[0082] 살펴본 바와 같이 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로는 USB type-C 응용을 위한 110nm eFlash 셀을 사용하여 512Kb 이상의 대용량 메모리의 셀을 제어한다. 즉, 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로는 프로그램 동작과 지우기 동작을 만족시키는 로우 구동회로와, BL 구동회로 및 비트라인 셀스앰프회로(BL S/A)를 포함한다.

[0083]

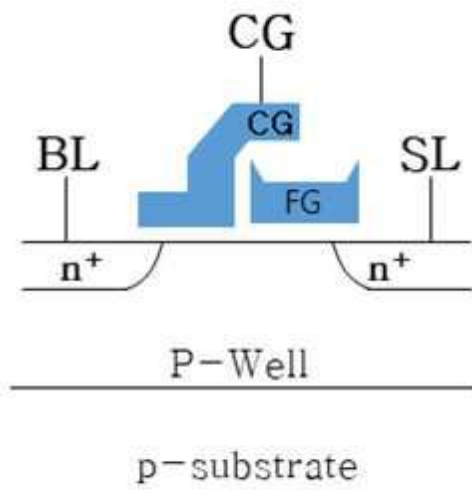
한편, 본 발명에 따른 임베디드 플래쉬 메모리의 셀 제어회로의 전하펌프 회로는 크로스 커플드(cross-coupled) NMOS 프리차징 회로를 사용하는 대신 body가 GND인 12V NMOS 프리차징 트랜지스터 및 12V native NMOS 펌핑 커패시터를 사용하여 NMOS 프리차징 트랜지스터의 게이트를 부스팅하는 단위전하 펌프 회로를 통해 VPP 단위 전하펌프의 프리차징 노드를 입력전압(VIN)으로 프리차징 시켜서 펌핑 전류를 증가시킴으로써 프리차징 노드를 정상적으로 프리차징 시킬 수 있도록 하였다.

[0084]

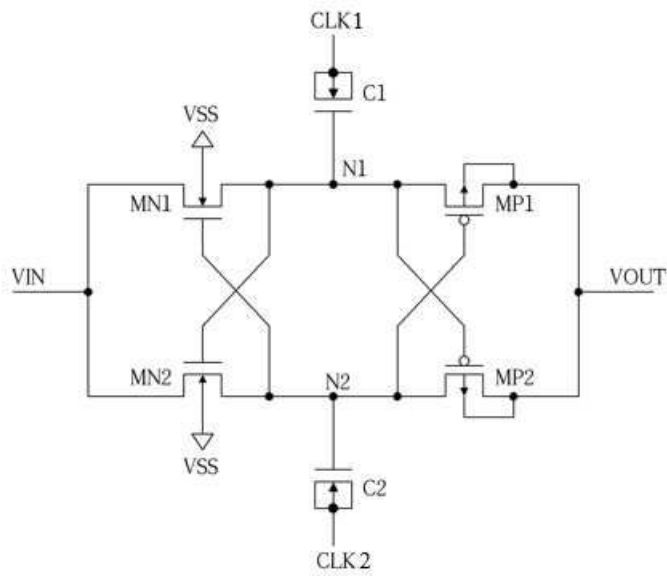
이상에서 본 발명의 바람직한 실시예에 대하여 상세히 설명하였지만, 본 발명의 권리범위가 이에 한정되는 것이 아니라 다음의 청구범위에서 정의하는 본 발명의 기본 개념을 바탕으로 보다 다양한 실시예로 구현될 수 있으며, 이러한 실시예들 또한 본 발명의 권리범위에 속하는 것이다.

도면

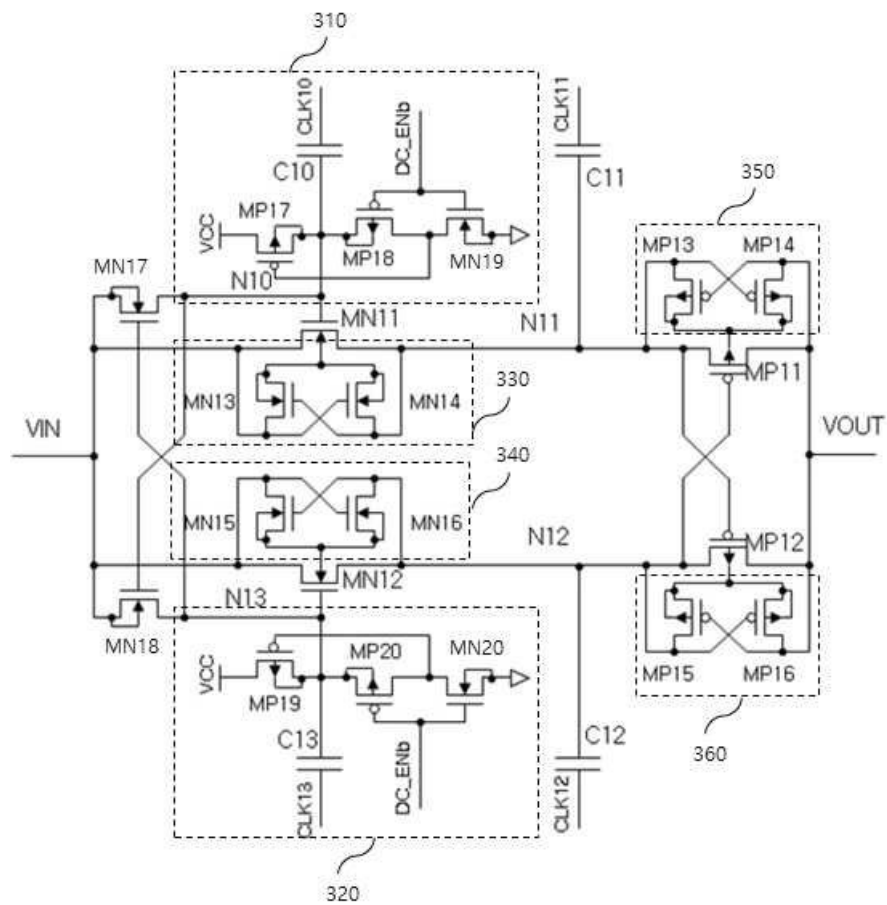
도면1



도면2

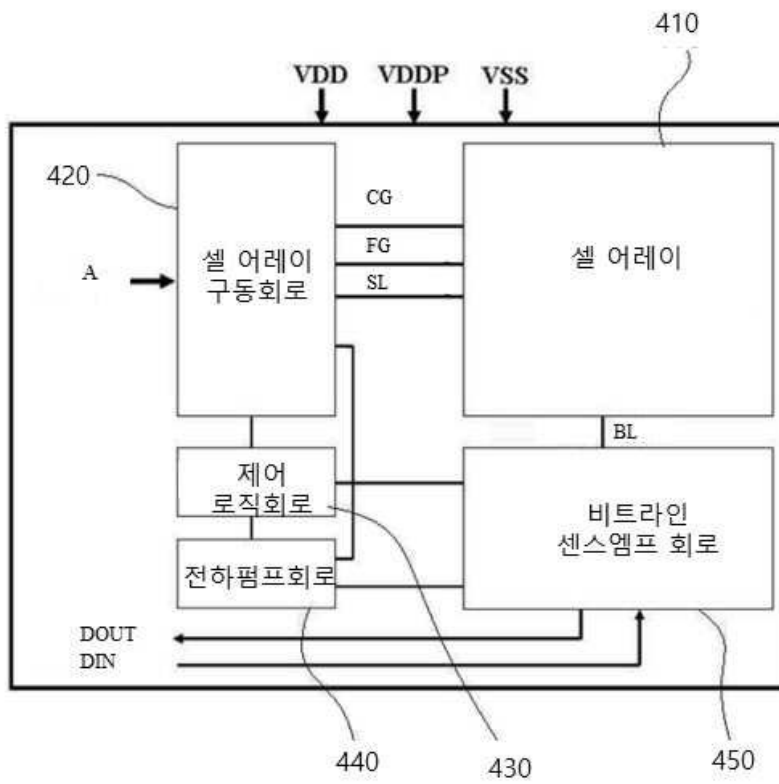


도면3



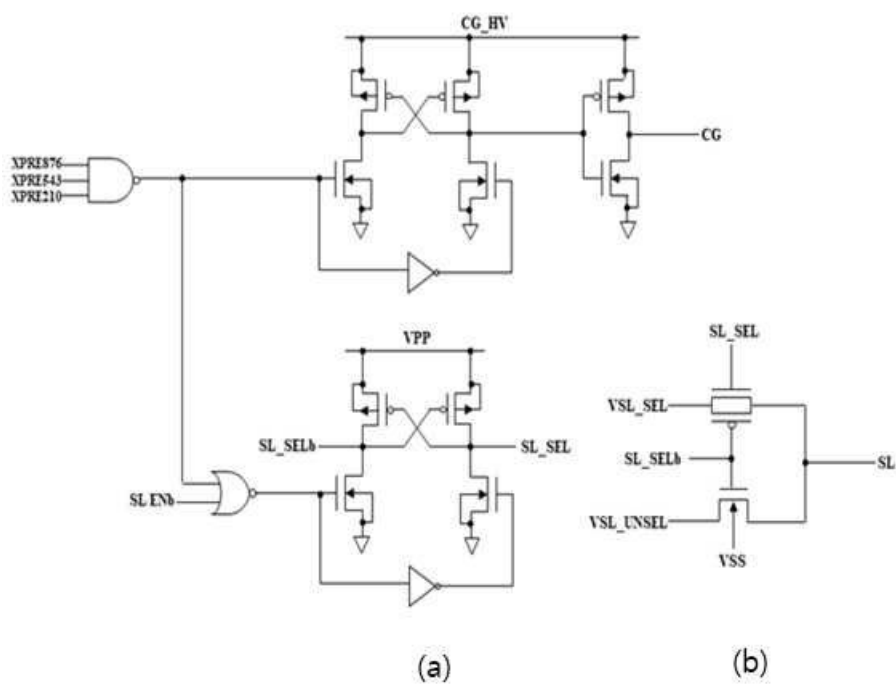
도면4

400

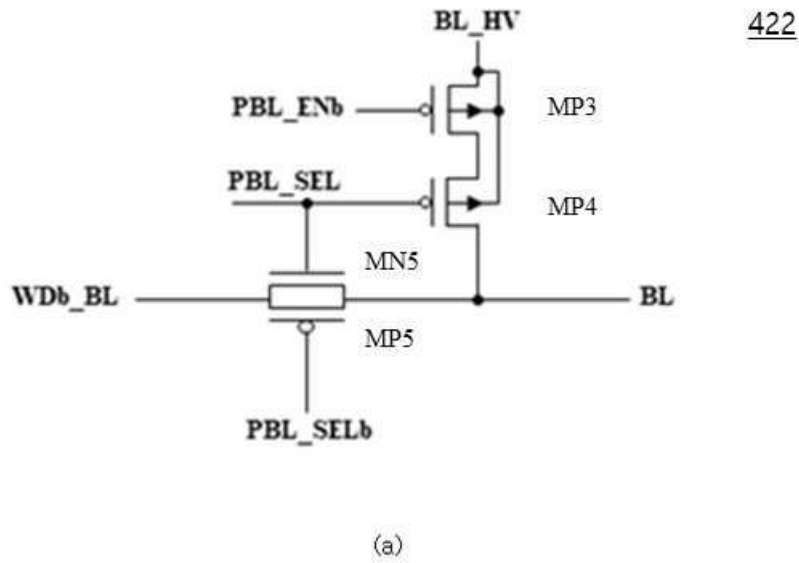


도면5

421

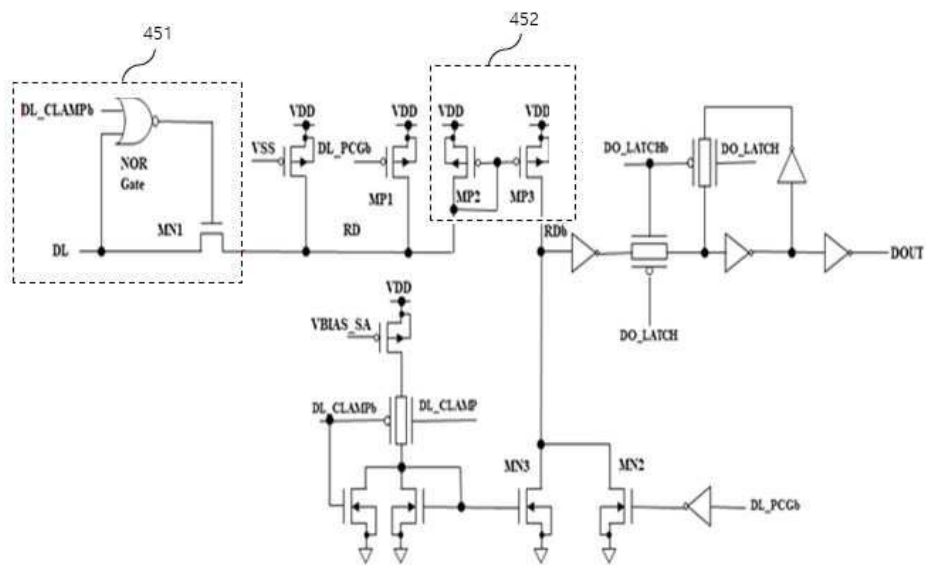


도면6

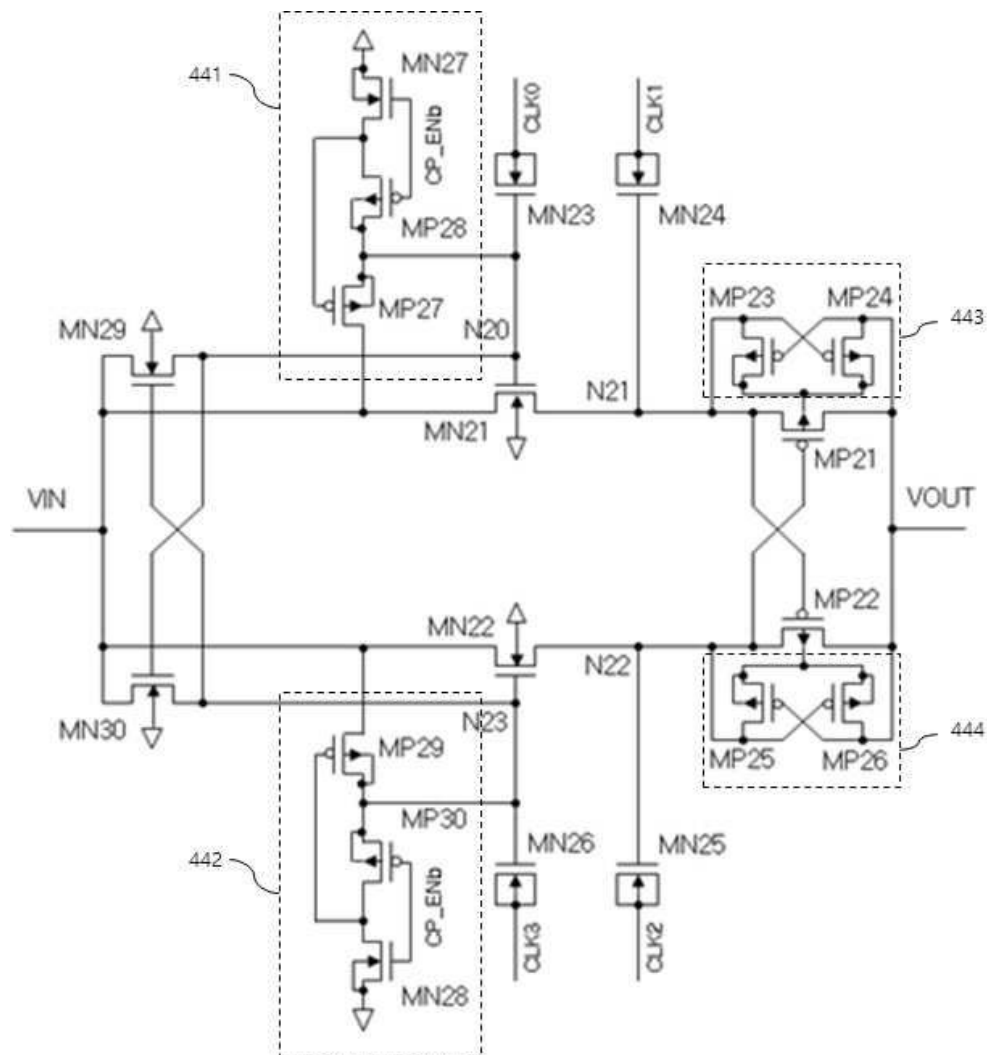


도면8

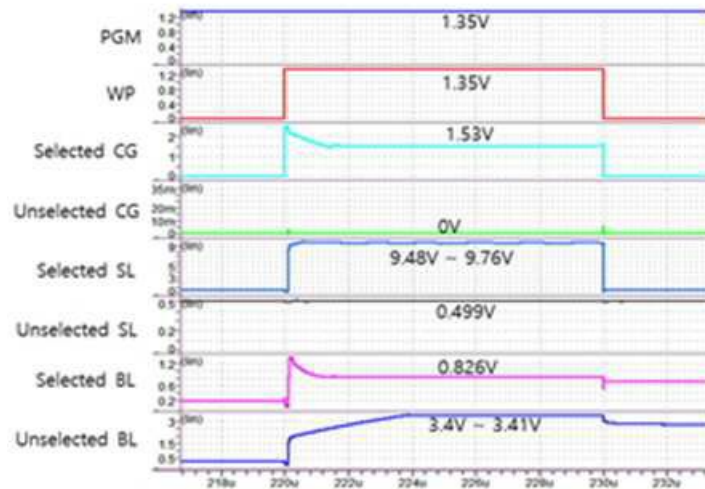
450



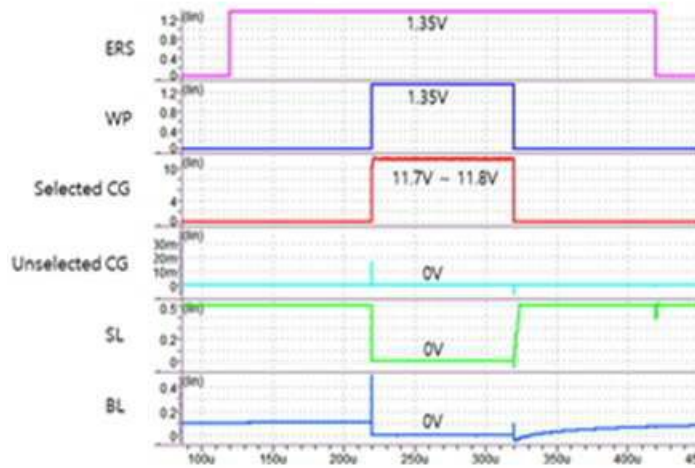
도면9



도면10



(a)



(b)