

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成 21 年 9 月 3 日 (2009.9.3)

【公表番号】特表 2009-503729 (P2009-503729A)  
 【公表日】平成 21 年 1 月 29 日 (2009.1.29)  
 【年通号数】公開・登録公報 2009-004  
 【出願番号】特願 2008-525026 (P2008-525026)  
 【国際特許分類】

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 12/00 5 4 2 A

G 0 6 F 12/00 5 0 1 A

【手続補正書】  
 【提出日】平成 21 年 7 月 17 日 (2009.7.17)  
 【手続補正 1】

【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更  
 【補正の内容】  
 【特許請求の範囲】  
 【請求項 1】

メモリシステムを操作する方法であって、

単独ファイルの中のデータの論理アドレスの識別子を収容しない、連続論理アドレス空間の中のアドレスによって識別される、複数の単独データファイルを受信するステップと、

複数の連続論理アドレスグループに分割された前記論理アドレス空間を操作するステップであって、前記複数の論理アドレスグループの個々の論理アドレスグループは、所定の量のデータを収容するステップと、

前記個々の論理アドレスグループの中で、一意なグループ識別情報と前記グループ内でのデータのオフセットとによって、前記データを論理的にアドレスするステップと、

前記複数の論理アドレスグループのデータを前記メモリシステムにマッピングするステップであって、前記メモリシステムは、重複しない単位に分割された再プログラム可能な不揮発性半導体メモリセルを含み、前記個々の論理アドレスグループの前記所定のデータ量は、前記個々のメモリセル単位のデータ記憶容量に等しいステップと、

を含む方法。

【請求項 2】

請求項 1 記載の方法において、

前記個々のメモリセル単位は、少なくとも 1 ブロックのメモリセルを収容し、1 ブロックは、ともに消去できる最低数のメモリセルを収容する方法。

【請求項 3】

請求項 2 記載の方法において、

前記個々のメモリセル単位は、メタブロックとしてともに論理的にリンクされた 2 ブロック以上のメモリセルを収容する方法。

【請求項 4】

請求項 1 記載の方法において、

前記メモリシステムは、2 ビット以上のデータを個別に記憶するためにそのメモリセルを操作する方法。

【請求項 5】

請求項 1 記載の方法において、

一意なファイル識別情報と第 2 の複数の個別ファイル内でのデータのオフセットとにより識別される第 2 の複数の単独データファイルを受信するステップと、

前記第 2 の複数のファイルのデータを前記メモリシステムに直接マッピングするステップと、

をさらに含む方法。

【請求項 6】

請求項 5 記載の方法において、

前記メモリは少なくとも、前記複数の論理アドレスグループのデータがマッピングされる第 1 の区画と、前記第 2 の複数の受信ファイルのデータが直接マッピングされる第 2 の区画とに区画される方法。

【請求項 7】

請求項 6 記載の方法において、

前記メモリは、前記メモリシステムの動作を制御するデータが記憶される第 3 の区画に区画される方法。

【請求項 8】

請求項 7 記載の方法において、

前記メモリは、前記複数の論理アドレスグループまたは前記第 2 の複数の受信ファイルからデータを受け入れるために使用できる第 4 の区画に区画される方法。

【請求項 9】

請求項 5 記載の方法において、

前記複数の論理アドレスグループと前記第 2 の複数の受信ファイルからのデータは、いずれも前記メモリの共通区画にマッピングされる方法。

【請求項 10】

請求項 9 記載の方法において、

前記メモリは、前記共通区画と、前記メモリシステムの動作を制御するデータが記憶される第 2 の区画とに区画される方法。

【請求項 11】

請求項 10 記載の方法において、

前記メモリは、前記複数の論理アドレスグループまたは前記第 2 の複数の受信ファイルのいずれかからデータを受け入れるために使用できる消去済みメモリセル単位からなる、第 3 の区画にさらに区画される方法。

【請求項 12】

セル単位に分割された半導体メモリセルと論理アドレス空間を含むインターフェイスとを有するタイプの再プログラム可能な不揮発性メモリシステムを操作する方法であって、前記インターフェイスを通じてホストから受信する複数のデータファイルは前記論理アドレス空間で識別される方法において、

前記個々のメモリセル単位の記憶容量に等しいサイズを有する複数の連続論理アドレスグループに分割された前記論理アドレス空間を操作するステップと、

前記論理グループを、一意なファイル識別情報とファイル内でのデータのオフセットとを個々に有する単独ファイルとして前記メモリセル単位のうちの特定のメモリセル単位にマッピングするためのテーブルを保守するステップと、

を含む方法。

【請求項 13】

請求項 12 記載の方法において、

一意なファイル識別情報と第 2 の複数の個別ファイル内でのデータのオフセットとにより識別される第 2 の複数の単独データファイルを受信するステップと、

前記第 2 の複数のファイルを前記メモリシステムの中の特定のメモリセル単位に直接マッピングするためのテーブルを保守するステップと、

をさらに含む方法。

**【請求項 14】**

セル単位に分割されたメモリセルを有するタイプの不揮発性メモリシステムを操作する方法であって、

一意なファイル識別情報とファイル内でのデータのオフセットとによってアドレス指定されるファイルとしてデータを前記メモリシステムに記憶するステップと、

一意なファイル識別情報とファイル内でのデータのオフセットとによってアドレス指定されるホストデータファイルを前記メモリの外部から受信することに応じて、このようなファイルアドレスにより前記受信データファイルを前記メモリシステムに直接記憶するステップと、

ホストデータファイルとしてではなく前記メモリの論理アドレス空間の中でアドレス指定されるホストデータを前記メモリの外部から受信することに応じて、ローカルアドレス範囲からなる所定のグループの中でアドレス指定されるメモリデータファイルとして前記受信ホストデータを記憶するステップであって、前記メモリファイルは、一意なファイル識別情報と前記メモリファイル内でのデータのオフセットとによって記憶されるステップと、

を含む方法。

**【請求項 15】**

請求項 14 記載の方法において、

前記メモリシステムの中の前記メモリセル単位は少なくとも、ホストデータファイルが直接マッピングされる第1のグループと、前記メモリデータファイルが直接マッピングされる第2のグループとに区画される方法。

**【請求項 16】**

請求項 15 記載の方法において、

前記メモリシステムの中の前記メモリセル単位は、前記メモリシステムの動作を制御するデータが記憶される第3のグループに区画される方法。

**【請求項 17】**

請求項 16 記載の方法において、

前記メモリシステムの中の前記メモリセル単位は、ホストデータファイルまたはメモリデータファイルのいずれかを受け入れるために使用できる消去済みメモリセル単位からなる第4のグループに区画される方法。

**【請求項 18】**

請求項 15 記載の方法において、

ローカルアドレス範囲からなる前記所定のグループは、個々のメモリセル単位の記憶容量に等しい量のデータを個々に含む方法。

**【請求項 19】**

請求項 14 記載の方法において、

前記ホストデータファイルと前記メモリデータファイルはいずれも、メモリセル単位からなる共通グループにマッピングされる方法。

**【請求項 20】**

請求項 19 記載の方法において、

ローカルアドレス範囲からなる前記所定のグループは、個々のメモリセル単位の記憶容量に等しい量のデータを個々に含む方法。

**【請求項 21】**

請求項 19 記載の方法において、

前記メモリシステムの中の前記メモリセル単位は、前記共通グループと、前記メモリシステムの動作を制御するデータが記憶される第2のグループとに区画される方法。

**【請求項 22】**

請求項 21 記載の方法において、

前記メモリシステムの中の前記メモリセル単位は、ホストデータファイルまたはメモリデータファイルのいずれかを受け入れるために使用できる消去済みメモリセル単位からな

る、第3のグループにさらに区画される方法。

【請求項23】

請求項14記載の方法において、

ローカルアドレス範囲からなる前記所定のグループは、個々のメモリセル単位の記憶容量に等しい量のデータを含む方法。

【請求項24】

電子装置であって、

データファイルの第1のセットを、連続論理アドレス空間の中の一意なアドレスによって識別するインターフェイスを有する第1のシステムと、

データファイルの第2のセットを、前記ファイルの一意な識別情報と前記個々のファイル内でのデータのオフセットとによって識別するインターフェイスを有する第2のシステムと、

前記連続論理アドレス空間を別々のアドレスグループに分割し、かつこれらのアドレスグループの中のデータを前記第2のセットのデータファイルとして識別するファイル変換部と、

を備える電子装置。

【請求項25】

請求項24記載の電子装置において、

前記ファイル変換部は、前記連続論理アドレス空間をサイズが同じ別々のアドレスグループに分割し、これにより前記第2のセットのデータファイルの前記データファイルもまた同じサイズとなる電子装置。

【請求項26】

データ記憶システムであって、

アドレス指定可能なメモリと、

データをプログラムし読み出すために前記メモリのアドレスされる部分へのアクセスを引き起こす動作制御部と、

複数のホストファイルがマッピングされるが、個々のホストファイルによって占められる論理アドレス空間の中のアドレスの識別情報を収容しない、連続論理アドレス空間を含む第1のインターフェイスと、

(a) 前記論理アドレス空間を占めるホストファイルの論理アドレスとは無関係に、一意なファイル識別子とファイル内でのデータのオフセットとにより論理ファイルとして識別される前記論理アドレス空間の中の一意なアドレスグループと、(b) 前記メモリの物理部分のアドレスとの間のアドレス翻訳と、

一意なホストファイル識別子と識別されるホストファイル内でのデータのオフセットとによってアドレスされるホストデータ論理ファイルをホストシステムとやり取りするための第2のインターフェイスと、

を備えるデータ記憶システム。

【請求項27】

再プログラム可能な不揮発性メモリシステムであって、

少なくとも1つの電荷記憶素子を個々に含み、かつメモリセル単位に分割されるメモリセルアレイと、

(a) 一意なファイル識別子と識別されるファイル内でのデータのオフセットとを個々に含む論理ファイルのアドレスと、(b) 前記メモリセル単位の少なくともいくつかのメモリセル単位の物理アドレスとの間の第1のアドレス翻訳部と、

前記論理ファイルのデータをプログラムし読み出すために前記メモリセル単位の前記少なくともいくつかのメモリセル単位へのアクセスを引き起こす動作制御部と、

複数のホストファイルがマッピングされるが、個々のホストファイルによって占められる論理アドレス空間の中のアドレスの識別情報を収容しない、連続論理アドレス空間を含む第1のインターフェイスと、

(a) 一意なファイル識別子とファイル内でのデータのオフセットとにより論理ファイ

ルとして識別される前記論理アドレス空間の中のアドレスグループと、(b)前記第1のアドレス翻訳部の論理ファイルのアドレスとの間の第2のアドレス翻訳部と、

一意なホストファイル識別子と識別されるホストファイル内でのデータのオフセットとによってアドレスされるホストデータ論理ファイルをホストシステムとやり取りするための第2のインターフェイスと、

を備える再プログラム可能な不揮発性メモリシステム。

【請求項28】

請求項27記載のメモリシステムにおいて、

前記第2のアドレス翻訳部は、個々のメモリセル単位の記憶容量と同じ量のデータを個々に収容する前記論理アドレス空間内のアドレスグループ間でアドレスを翻訳するメモリシステム。

【請求項29】

請求項28記載のメモリシステムにおいて、

前記アレイの前記メモリセル単位は、少なくとも1ブロックのメモリセルを個々に含み、1ブロックは、ともに消去できる最低数のメモリセルを収容するメモリシステム。

【請求項30】

請求項29記載のメモリシステムにおいて、

前記アレイの前記メモリセル単位は、メタブロックとしてともに論理的にリンクされた2ブロック以上のメモリセルを個々に含むメモリシステム。

【請求項31】

請求項27記載のメモリシステムにおいて、

前記動作制御部は、記憶されるデータを表す個々の電荷記憶素子の3つ以上の測定可能な電荷レベルのうちの1つの測定可能な電荷レベルを記憶するべくさらに動作し、これにより前記個々の電荷記憶素子で2ビット以上のデータを記憶するメモリシステム。

【請求項32】

請求項27記載のメモリシステムにおいて、

前記第1のアドレス翻訳部は、前記第2のインターフェイスの前記論理アドレス空間の中のアドレスグループから形成される論理ファイルのアドレスを、前記第1のインターフェイスを通過するホスト論理ファイルのアドレスとは異なる1セットのメモリセル単位にマッピングするべくさらに動作するメモリシステム。

【請求項33】

請求項27記載のメモリシステムにおいて、

前記第1のアドレス翻訳部は、前記第2のインターフェイスの前記論理アドレス空間の中のアドレスグループから形成される論理ファイルのアドレスと、前記第1のインターフェイスを通過するホスト論理ファイルのアドレスとを、共通の1セットのメモリセル単位にマッピングするべくさらに動作するメモリシステム。