

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-207295

(P2014-207295A)

(43) 公開日 平成26年10月30日 (2014. 10. 30)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 6 7 1 A	5 F 0 4 8
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10 6 8 1 F	5 F 0 8 3
H O 1 L 27/088 (2006.01)	H O 1 L 27/08 1 0 2 D	
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 0 2 B	

審査請求 未請求 請求項の数 14 O L (全 26 頁)

(21) 出願番号 特願2013-83309 (P2013-83309)
 (22) 出願日 平成25年4月11日 (2013. 4. 11)

(71) 出願人 513192281
 ビーエスフォー ルクスコ エスエイアー
 ルエル
 P S 4 L u x c o S . a . r . l .
 ルクセンブルク大公国エルー 2 1 2 1、ル
 クセンブルク、ヴァル デ ボン マラデ
 ス 2 0 8
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (74) 代理人 100130982
 弁理士 黒瀬 泰之
 (74) 代理人 100127199
 弁理士 三谷 拓也

最終頁に続く

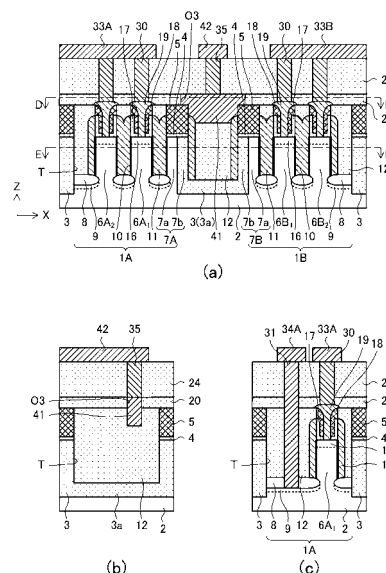
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】第1のゲート電極と第2のゲート電極の間の配線抵抗を小さくする。

【解決手段】半導体装置1は、半導体基板2の主面のうち第1及び第2の活性領域1A、1Bの間に配置されて第1の活性領域1Aに対応するゲート電極11と第2の活性領域1Bに対応するゲート電極11とを分離する一方、これらの上端が上面から突出する膜厚で形成された埋設絶縁膜12と、埋設絶縁膜12の上面に形成され、下面の一端で第1の活性領域1Aに対応するゲート電極11の上端と接触し、下面の他端で第2の活性領域1Bに対応するゲート電極11の上端と接触する金属膜41とを備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

主面に第 1 及び第 2 の活性領域が区画された半導体基板と、
前記第 1 の活性領域に立設された第 1 の半導体ピラーと、
前記第 2 の活性領域に立設された第 2 の半導体ピラーと、
ゲート絶縁膜を介して前記第 1 の半導体ピラーの側面を覆う第 1 のゲート電極と、
ゲート絶縁膜を介して前記第 2 の半導体ピラーの側面を覆う第 2 のゲート電極と、
前記第 1 の半導体ピラーの上端に設けられた第 1 の上部不純物拡散層と、
前記第 2 の半導体ピラーの上端に設けられた第 2 の上部不純物拡散層と、
前記第 1 の半導体ピラーの下部に接して設けられた第 1 の下部不純物拡散層と、
前記第 2 の半導体ピラーの下部に接して設けられた第 2 の下部不純物拡散層と、
前記主面のうち前記第 1 及び第 2 の活性領域の間に配置されて前記第 1 のゲート電極と
前記第 2 のゲート電極とを分離する一方、前記第 1 及び第 2 のゲート電極それぞれの上端
が上面から突出する膜厚で形成された埋設絶縁膜と、
前記埋設絶縁膜の上面に形成され、下面の一端で前記第 1 のゲート電極の上端と接触し
、下面の他端で前記第 2 のゲート電極の上端と接触する金属膜と
を備えることを特徴とする半導体装置。

10

【請求項 2】

前記主面のうち、平面的に見て前記埋設絶縁膜を挟んで互いに対向する位置に立設され
た第 1 及び第 2 のダミーピラーをさらに備え、
前記第 1 のゲート電極は、前記ゲート絶縁膜を介して前記第 1 のダミーピラーの側面を
覆うよう構成され、
前記第 2 のゲート電極は、前記ゲート絶縁膜を介して前記第 2 のダミーピラーの側面を
覆うよう構成され、
前記金属膜は、下面の一端で前記第 1 のゲート電極のうち前記第 1 のダミーピラーの側
面を覆う部分の上端と接触し、下面の他端で前記第 2 のゲート電極のうち前記第 2 のダミ
ーピラーの側面を覆う部分の上端と接触する
ことを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 3】

前記第 1 のダミーピラーは、前記埋設絶縁膜と前記第 1 の活性領域との境界に設けられ
ることを特徴とする請求項 2 に記載の半導体装置。

30

【請求項 4】

前記第 1 のダミーピラーは、前記埋設絶縁膜に設けられる第 1 のダミー絶縁体ピラーと
、前記第 1 の活性領域に設けられる第 1 のダミー半導体ピラーとが合体した構造を有する
複合ピラーであることを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 5】

前記第 2 のダミーピラーは、前記埋設絶縁膜と前記第 2 の活性領域との境界に設けられ
ることを特徴とする請求項 2 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記第 2 のダミーピラーは、前記埋設絶縁膜に設けられる第 2 のダミー絶縁体ピラーと
、前記第 2 の活性領域に設けられる第 2 のダミー半導体ピラーとが合体した構造を有する
複合ピラーであることを特徴とする請求項 2 乃至 5 のいずれか一項に記載の半導体装置。

40

【請求項 7】

層間絶縁膜と、
それぞれ前記層間絶縁膜の上面に形成された第 1 乃至第 5 の配線を含む配線層と、
前記層間絶縁膜を貫通して設けられ、上面で前記第 1 の配線と電氣的に接触するととも
に、下面で前記第 1 の上部不純物拡散層と電氣的に接触する第 1 のコンタクトプラグと、
前記層間絶縁膜を貫通して設けられ、上面で前記第 2 の配線と電氣的に接触するととも
に、下面で前記第 2 の上部不純物拡散層と電氣的に接触する第 2 のコンタクトプラグと、
前記層間絶縁膜を貫通して設けられ、上面で前記第 3 の配線と電氣的に接触するととも

50

に、下面で前記第 1 の下部不純物拡散層と電氣的に接触する第 3 のコンタクトプラグと、
前記層間絶縁膜を貫通して設けられ、上面で前記第 4 の配線と電氣的に接触するとともに、
下面で前記第 2 の下部不純物拡散層と電氣的に接触する第 4 のコンタクトプラグと、
前記層間絶縁膜を貫通して設けられ、上面で前記第 5 の配線と電氣的に接触するとともに、
下面で前記金属膜と電氣的に接触する第 5 のコンタクトプラグと

をさらに備えることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置。

【請求項 8】

主面に第 1 及び第 2 の活性領域が区画された半導体基板と、
それぞれ前記第 1 の活性領域に立設された複数の第 1 の半導体ピラーと、
それぞれ前記第 2 の活性領域に立設された複数の第 2 の半導体ピラーと、
ゲート絶縁膜を介して前記複数の第 1 の半導体ピラーの側面を覆う第 1 のゲート電極と

10

、
ゲート絶縁膜を介して前記複数の第 2 の半導体ピラーの側面を覆う第 2 のゲート電極と

、
それぞれ前記複数の第 1 の半導体ピラーの上端に設けられた複数の第 1 の上部不純物拡散層と、

それぞれ前記複数の第 2 の半導体ピラーの上端に設けられた複数の第 2 の上部不純物拡散層と、

前記複数の第 1 の半導体ピラーそれぞれの下部に接して設けられた第 1 の下部不純物拡散層と、

20

前記複数の第 2 の半導体ピラーそれぞれの下部に接して設けられた第 2 の下部不純物拡散層と、

前記主面のうち前記第 1 及び第 2 の活性領域の間に配置されて前記第 1 のゲート電極と前記第 2 のゲート電極とを分離する一方、前記第 1 及び第 2 のゲート電極それぞれの上端が上面から突出する膜厚で形成された埋設絶縁膜と、

前記埋設絶縁膜の上面に形成され、下面の一端で前記第 1 のゲート電極の上端と接触し、
下面の他端で前記第 2 のゲート電極の上端と接触する金属膜と

を備えることを特徴とする半導体装置。

【請求項 9】

層間絶縁膜と、

30

それぞれ前記層間絶縁膜の上面に形成された第 1 乃至第 5 の配線を含む配線層と、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第 1 の配線と電氣的に接触するとともに、
下面でそれぞれ前記複数の第 1 の上部不純物拡散層と電氣的に接触する複数の第 1 のコンタクトプラグと、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第 2 の配線と電氣的に接触するとともに、
下面でそれぞれ前記複数の第 2 の上部不純物拡散層と電氣的に接触する複数の第 2 のコンタクトプラグと、

前記層間絶縁膜を貫通して設けられ、上面で前記第 3 の配線と電氣的に接触するとともに、
下面で前記第 1 の下部不純物拡散層と電氣的に接触する第 3 のコンタクトプラグと、

40

前記層間絶縁膜を貫通して設けられ、上面で前記第 4 の配線と電氣的に接触するとともに、
下面で前記第 2 の下部不純物拡散層と電氣的に接触する第 4 のコンタクトプラグと、

前記層間絶縁膜を貫通して設けられ、上面で前記第 5 の配線と電氣的に接触するとともに、
下面で前記金属膜と電氣的に接触する第 5 のコンタクトプラグと

をさらに備えることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記金属膜は、平面的に見て前記第 1 及び第 2 の活性領域の間の領域と重ならない領域まで延設され、

前記第 1 のコンタクトプラグは、平面的に見て前記第 1 及び第 2 の活性領域の間の領域と重ならない位置で、前記金属膜及び前記第 5 の配線のそれぞれと電氣的に接触する

ことを特徴とする請求項 9 に記載の半導体装置。

50

【請求項 1 1】

層間絶縁膜と、

それぞれ前記層間絶縁膜の上面に形成された第 1 乃至第 5 の配線を含む配線層と、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第 1 の配線と電氣的に接触するとともに、下面でそれぞれ前記複数の第 1 の上部不純物拡散層のうちの一部と電氣的に接触する少なくとも 1 つの第 1 のコンタクトプラグと、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第 2 の配線と電氣的に接触するとともに、下面でそれぞれ前記複数の第 1 の上部不純物拡散層のうちの残りの一部と電氣的に接触する少なくとも 1 つの第 2 のコンタクトプラグと、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第 3 の配線と電氣的に接触するとともに、下面でそれぞれ前記複数の第 2 の上部不純物拡散層のうちの一部と電氣的に接触する少なくとも 1 つの第 3 のコンタクトプラグと、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第 4 の配線と電氣的に接触するとともに、下面でそれぞれ前記複数の第 2 の上部不純物拡散層のうちの残りの一部と電氣的に接触する少なくとも 1 つの第 4 のコンタクトプラグと、

前記層間絶縁膜を貫通して設けられ、上面で前記第 5 の配線と電氣的に接触するとともに、下面で前記金属膜と電氣的に接触する第 5 のコンタクトプラグと

をさらに備えることを特徴とする請求項 8 に記載の半導体装置。

【請求項 1 2】

前記第 1 の活性領域は第 1 の導電型であり、

前記第 2 の活性領域は前記第 1 の導電型とは異なる第 2 の導電型であり、

前記第 1 の配線と前記第 3 の配線とは互いに接続される

ことを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】

第 1 の導電型である第 1 の活性領域、及び、前記第 1 の導電型とは異なる第 2 の導電型である第 2 の活性領域が主面に区画された半導体基板と、

それぞれ前記第 1 の活性領域に立設された複数の第 1 の半導体ピラーと、

それぞれ前記第 2 の活性領域に立設された複数の第 2 の半導体ピラーと、

ゲート絶縁膜を介して前記複数の第 1 の半導体ピラーの側面を覆う第 1 のゲート電極と

、ゲート絶縁膜を介して前記複数の第 2 の半導体ピラーの側面を覆う第 2 のゲート電極と

、それぞれ前記複数の第 1 の半導体ピラーの上端に設けられた複数の第 1 の上部不純物拡散層と、

それぞれ前記複数の第 2 の半導体ピラーの上端に設けられた複数の第 2 の上部不純物拡散層と、

前記複数の第 1 の半導体ピラーそれぞれの下部に接して設けられた第 1 の下部不純物拡散層と、

前記複数の第 2 の半導体ピラーそれぞれの下部に接して設けられた第 2 の下部不純物拡散層と、

前記主面のうち前記第 1 及び第 2 の活性領域の間に配置されて前記第 1 のゲート電極と前記第 2 のゲート電極とを分離する一方、前記第 1 及び第 2 のゲート電極それぞれの先端が上面から突出する膜厚で形成された埋設絶縁膜と、

前記埋設絶縁膜の上面に形成され、下面の一端で前記第 1 のゲート電極の上端と接触し、下面の他端で前記第 2 のゲート電極の上端と接触する金属膜とを備え、

前記複数の第 1 の上部不純物拡散層の一部と、前記複数の第 2 の上部不純物拡散層の一部とは、互いに電氣的に接続される

ことを特徴とする半導体装置。

【請求項 1 4】

層間絶縁膜と、

10

20

30

40

50

それぞれ前記層間絶縁膜の上面に形成された第1乃至第4の配線を含む配線層と、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第1の配線と電氣的に接触するとともに、下面でそれぞれ前記複数の第1の上部不純物拡散層のうちの前記一部と電氣的に接触する少なくとも1つの第1のコンタクトプラグと、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第2の配線と電氣的に接触するとともに、下面でそれぞれ前記複数の第1の上部不純物拡散層のうちの残りの一部と電氣的に接触する少なくとも1つの第2のコンタクトプラグと、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第1の配線と電氣的に接触するとともに、下面でそれぞれ前記複数の第2の上部不純物拡散層のうちの前記一部と電氣的に接触する少なくとも1つの第3のコンタクトプラグと、

それぞれ前記層間絶縁膜を貫通して設けられ、上面で前記第3の配線と電氣的に接触するとともに、下面でそれぞれ前記複数の第2の上部不純物拡散層のうちの残りの一部と電氣的に接触する少なくとも1つの第4のコンタクトプラグと、

前記層間絶縁膜を貫通して設けられ、上面で前記第4の配線と電氣的に接触するとともに、下面で前記金属膜と電氣的に接触する第5のコンタクトプラグと

をさらに備えることを特徴とする請求項13に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に縦型トランジスタを用いる半導体装置に関する。

【背景技術】

【0002】

半導体装置、特にメモリデバイスのチップサイズは、低コストの観点から年々縮小されている。これに応じ、DRAM(Dynamic Random Access Memory)では、セルトランジスタ用として $4F^2$ 構造を有する縦型トランジスタの採用が進められている(例えば特許文献1, 2参照)。

【0003】

縦型トランジスタは、チャンネルが半導体基板主面の法線方向に延設されるトランジスタである。具体的には、半導体基板の主面に立設された半導体ピラーの上部にソース領域／ドレイン領域の一方、下部にソース領域／ドレイン領域の他方がそれぞれ設けられ、ゲート電極が半導体ピラーの側面全周を取り囲むという構成を有している。縦型トランジスタを用いる場合、チャンネル長が平面的な占有面積に左右されず、微細化が進んでも十分なチャンネル長を確保することができるので、短チャンネル効果の抑制、チャンネルの完全空乏化、良好なS値(Subthreshold swing value)、大きなドレイン電流、といった数々のメリットが得られる。

【0004】

周辺回路のトランジスタ用としては、セルトランジスタほど縮小化の要請がないことから従来のプレーナー型トランジスタが引き続き採用されている。しかし、セルと周辺回路とでトランジスタの構造が異なると工程数が大幅に増大してしまうことから、最近では、周辺回路のトランジスタにも $4F^2$ 構造を有する縦型トランジスタの採用が検討されている(例えば特許文献3参照)

【0005】

周辺回路に設置される縦型トランジスタでは、特許文献3に記載されているように、2種類の半導体ピラーが用いられる。一方の種類の半導体ピラーはチャンネルとして用いられるもので、上部及び下部それぞれに不純物拡散層が設けられ、側面はゲート絶縁膜を介してゲート電極に覆われている。ゲート電極として具体的には、導電性のシリコン膜(CVD(Chemical Vapor Deposition)法により不純物ドーピングシリコン膜として形成したもの)を成膜した後、これをエッチバックすることにより得られるサイドウォール状のシリコン膜が用いられる。シリコン膜には比抵抗が大きいという難があるが、比抵抗の小さい金属材料は結晶性が高く、エッチバックによる形成ではゲート電極上面を均一に構成すること

10

20

30

40

50

が困難であることから、今のところシリコン膜が利用されている。他方の種類の半導体ピラーは、サイドウォール状のシリコン膜であるゲート電極の長さを横方向に延長するためのダミーピラーであり、延長された部分を利用してゲートコンタクトプラグが設けられる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-311641号公報

【特許文献2】特開2009-10366号公報

【特許文献3】特開2009-81389号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、DRAMの周辺回路では、素子分離領域を挟んで隣接する活性領域に各々配置された縦型トランジスタのゲート電極を互いに接続する場合がある。この場合、これまでは、素子分離領域を横断するダミーピラーを設けることによりサイドウォール状のシリコン膜で接続する方法や、それぞれのゲート電極を上述したゲートコンタクトプラグによって上層配線に引き出して上層配線で接続する方法が取られている。

【0008】

しかしながら、いずれの方法にも、ゲート電極間の配線抵抗が大きくなってしまいう問題がある。前者の方法については、シリコン膜が高い抵抗値を有する（金属膜材料に比べて2桁程度高い）ためであり、後者の方法については、ゲートコンタクトプラグを経由する分の配線抵抗が加算されるためである。

20

【課題を解決するための手段】

【0009】

本発明による半導体装置は、主面に第1及び第2の活性領域が区画された半導体基板と、前記第1の活性領域に立設された第1の半導体ピラーと、前記第2の活性領域に立設された第2の半導体ピラーと、ゲート絶縁膜を介して前記第1の半導体ピラーの側面を覆う第1のゲート電極と、ゲート絶縁膜を介して前記第2の半導体ピラーの側面を覆う第2のゲート電極と、前記第1の半導体ピラーの上端に設けられた第1の上部不純物拡散層と、前記第2の半導体ピラーの上端に設けられた第2の上部不純物拡散層と、前記第1の半導体ピラーの下部に接して設けられた第1の下部不純物拡散層と、前記第2の半導体ピラーの下部に接して設けられた第2の下部不純物拡散層と、前記主面のうち前記第1及び第2の活性領域の間に配置されて前記第1のゲート電極と前記第2のゲート電極とを分離する一方、前記第1及び第2のゲート電極それぞれの上端が上面から突出する膜厚で形成された埋設絶縁膜と、前記埋設絶縁膜の上面に形成され、下面の一端で前記第1のゲート電極の上端と接触し、下面の他端で前記第2のゲート電極の上端と接触する金属膜とを備えることを特徴とする。

30

【0010】

本発明の他の一側面による半導体装置は、主面に第1及び第2の活性領域が区画された半導体基板と、それぞれ前記第1の活性領域に立設された複数の第1の半導体ピラーと、それぞれ前記第2の活性領域に立設された複数の第2の半導体ピラーと、ゲート絶縁膜を介して前記複数の第1の半導体ピラーの側面を覆う第1のゲート電極と、ゲート絶縁膜を介して前記複数の第2の半導体ピラーの側面を覆う第2のゲート電極と、それぞれ前記複数の第1の半導体ピラーの上端に設けられた複数の第1の上部不純物拡散層と、それぞれ前記複数の第2の半導体ピラーの上端に設けられた複数の第2の上部不純物拡散層と、前記複数の第1の半導体ピラーそれぞれ下部に接して設けられた第1の下部不純物拡散層と、前記複数の第2の半導体ピラーそれぞれ下部に接して設けられた第2の下部不純物拡散層と、前記主面のうち前記第1及び第2の活性領域の間に配置されて前記第1のゲート電極と前記第2のゲート電極とを分離する一方、前記第1及び第2のゲート電極それぞ

40

50

れの上端が上面から突出する膜厚で形成された埋設絶縁膜と、前記埋設絶縁膜の上面に形成され、下面の一端で前記第1のゲート電極の上端と接触し、下面の他端で前記第2のゲート電極の上端と接触する金属膜とを備えることを特徴とする。

【0011】

本発明のさらに他の一側面による半導体装置は、第1の導電型である第1の活性領域、及び、前記第1の導電型とは異なる第2の導電型である第2の活性領域が主面に区画された半導体基板と、それぞれ前記第1の活性領域に立設された複数の第1の半導体ピラーと、それぞれ前記第2の活性領域に立設された複数の第2の半導体ピラーと、ゲート絶縁膜を介して前記複数の第1の半導体ピラーの側面を覆う第1のゲート電極と、ゲート絶縁膜を介して前記複数の第2の半導体ピラーの側面を覆う第2のゲート電極と、それぞれ前記複数の第1の半導体ピラーの上端に設けられた複数の第1の上部不純物拡散層と、それぞれ前記複数の第2の半導体ピラーの上端に設けられた複数の第2の上部不純物拡散層と、前記複数の第1の半導体ピラーそれぞれの下部に接して設けられた第1の下部不純物拡散層と、前記複数の第2の半導体ピラーそれぞれの下部に接して設けられた第2の下部不純物拡散層と、前記主面のうち前記第1及び第2の活性領域の間に配置されて前記第1のゲート電極と前記第2のゲート電極とを分離する一方、前記第1及び第2のゲート電極それぞれの上端が上面から突出する膜厚で形成された埋設絶縁膜と、前記埋設絶縁膜の上面に形成され、下面の一端で前記第1のゲート電極の上端と接触し、下面の他端で前記第2のゲート電極の上端と接触する金属膜とを備え、前記複数の第1の上部不純物拡散層の一部と、前記複数の第2の上部不純物拡散層の一部とは、互いに電氣的に接続されることを特徴とする。

【発明の効果】

【0012】

本発明によれば、第1及び第2のゲート電極が、これらを分離する埋設絶縁膜の上面に形成され、かつ、それぞれの上端と直接接触する金属膜によって互いに接続されるので、素子分離領域にもダミーピラーを設けることによりサイドウォール状のシリコン膜で接続する方法や、それぞれのゲート電極を上述したゲートコンタクトプラグによって上層配線に引き出して上層配線で接続する方法に比べて、第1のゲート電極と第2のゲート電極の間の配線抵抗を小さくすることが可能になる。

【図面の簡単な説明】

【0013】

【図1】(a)(b)は、本発明の第1の実施の形態による半導体装置1の、それぞれ図2(a)のD-D線、E-E線に対応する平面図である。

【図2】(a)～(c)はそれぞれ、図1(a)のA-A線、B-B線、C-C線に対応する半導体装置1の断面図である。

【図3】図1(a)(b)に示した半導体装置1の製造工程における上面図である。

【図4】(a)～(c)はそれぞれ、図3のA-A線、B-B線、C-C線に対応する半導体装置1の断面図である。

【図5】図1(a)(b)に示した半導体装置1の製造工程における上面図である。

【図6】(a)～(c)はそれぞれ、図5のA-A線、B-B線、C-C線に対応する半導体装置1の断面図である。

【図7】図1(a)(b)に示した半導体装置1の製造工程における上面図である。

【図8】(a)～(c)はそれぞれ、図7のA-A線、B-B線、C-C線に対応する半導体装置1の断面図である。

【図9】図1(a)(b)に示した半導体装置1の製造工程における上面図である。

【図10】(a)～(c)はそれぞれ、図9のA-A線、B-B線、C-C線に対応する半導体装置1の断面図である。

【図11】図1(a)(b)に示した半導体装置1の製造工程における上面図である。

【図12】(a)～(c)はそれぞれ、図11のA-A線、B-B線、C-C線に対応する半導体装置1の断面図である。

【図 1 3】図 1 (a) (b) に示した半導体装置 1 の製造工程における上面図である。

【図 1 4】(a) ~ (c) はそれぞれ、図 1 3 の A - A 線、B - B 線、C - C 線に対応する半導体装置 1 の断面図である。

【図 1 5】(a) (b) は、本発明の第 2 の実施の形態による半導体装置 1 の、それぞれ図 1 6 (a) の D - D 線、E - E 線に対応する平面図である。

【図 1 6】(a) ~ (c) はそれぞれ、図 1 5 (a) の A - A 線、B - B 線、C - C 線に対応する半導体装置 1 の断面図である。

【図 1 7】(a) (b) は、本発明の第 3 の実施の形態による半導体装置 1 の、それぞれ図 1 8 (a) の D - D 線、E - E 線に対応する平面図である。

【図 1 8】(a) ~ (c) はそれぞれ、図 1 7 (a) の A - A 線、B - B 線、C - C 線に対応する半導体装置 1 の断面図である。 10

【図 1 9】(a) (b) は、本発明の第 4 の実施の形態による半導体装置 1 の、それぞれ図 2 0 (a) の D - D 線、E - E 線に対応する平面図である。

【図 2 0】(a) ~ (c) はそれぞれ、図 1 9 (a) の A - A 線、B - B 線、C - C 線に対応する半導体装置 1 の断面図である。

【図 2 1】図 1 9 (a) (b) 及び図 2 0 (a) ~ (c) に示した半導体装置 1 の等価回路図である。

【発明を実施するための形態】

【0014】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。 20

【0015】

まず、図 1 (a) (b) 及び図 2 (a) ~ (c) を参照しながら、本発明の第 1 の実施の形態による半導体装置 1 の構造について説明する。なお、以下に示す各図においては、各構成を分かりやすく描画した結果、縮尺や数などの面で実際の構成とは異なっている部分がある。また、各図に示す Z 方向は半導体基板の主面に垂直な方向であり、X 方向は Z 方向と直交する方向であり、Y 方向は X 方向及び Z 方向と直交する方向である。

【0016】

本実施の形態に係る半導体装置 1 は DRAM であり、図 2 (a) ~ (c) に示すように、例えば不純物を加えて p 型としたシリコン単結晶からなる半導体基板 2 を備えている。半導体基板 2 の主面には、図 1 (b) 及び図 2 (a) ~ (c) に示すように、トレンチ T が設けられる。トレンチ T は X 方向に長い長方形の平面形状を有しており、その周囲は、STI (Shallow Trench Isolation) 法による素子分離領域を構成する素子分離用絶縁膜 3 によって囲まれている。トレンチ T の底面のうち X 方向の中央付近に位置する部分には素子分離用絶縁膜 3 の一部を構成する素子分離用絶縁膜 3 a が埋め込まれており、これにより、トレンチ T 内の X 方向一端側の領域及び X 方向他端側の領域に、それぞれ第 1 及び第 2 の活性領域 1 A, 1 B が区画されている。第 1 及び第 2 の活性領域 1 A, 1 B は、素子分離用絶縁膜 3 a を挟んで X 方向に隣接している。 30

【0017】

なお、各図及び以下の説明から理解されるように、第 1 及び第 2 の活性領域 1 A, 1 B 内の構造は、素子分離用絶縁膜 3 a を挟んで互いに線対称となっている。ただし、このような構造は必須ではなく、第 2 の実施の形態として後に詳しく説明する例のように、第 1 及び第 2 の活性領域 1 A, 1 B 内の構造が線対称の関係になっていなくてもよい。 40

【0018】

トレンチ T の底面には、図 1 (b) 及び図 2 (a) (c) に示すように、第 1 の活性領域 1 A に対応して、第 1 - 1 の半導体ピラー 6 A₁、第 1 - 2 の半導体ピラー 6 A₂、及び第 1 のダミーピラー 7 A とが立設されている。また、第 2 の活性領域 1 B に対応して、第 2 - 1 の半導体ピラー 6 B₁、第 2 - 2 の半導体ピラー 6 B₂、及び第 2 のダミーピラー 7 B が立設されている。以下の説明で「各ピラー」という場合、これらのピラーを指す。また、以下の説明では、第 1 - 1 の半導体ピラー 6 A₁ 及び第 1 - 2 の半導体ピラー 6 50

A₂をまとめて「第1の半導体ピラー」と称し、第2-1の半導体ピラー6B₁及び第2-2の半導体ピラー6B₂をまとめて「第2の半導体ピラー」と称する場合がある。

【0019】

詳しくは後述するが、各ピラーは、半導体基板2に素子分離用絶縁膜3を埋め込んだ後、トレンチTと同時に形成される。つまり、まず半導体基板2の表面にシリコン酸化膜である素子分離用絶縁膜3を埋め込んで表面を平坦化した後、シリコン酸化膜であるパッド絶縁膜4とシリコン窒化膜であるマスク膜5とを順次成膜し、さらにフォトリソグラフィ法を用いて、これらをトレンチTの形状にパターンニングする。このとき、各ピラーを形成する領域にもマスク膜5を残すようにする。これにより、マスク膜5をマスクとして半導体基板2及び素子分離用絶縁膜3をエッチングすることによりトレンチTを作ると、同時に各ピラーが形成されることになる。このときに用いたパッド絶縁膜4及びマスク膜5は、図2(a)～(c)に示すように、素子分離用絶縁膜3のうちトレンチTの周囲を取り囲む部分(素子分離用絶縁膜3a以外の部分)の上面と、ダミーピラー6の上面とに残存している。パッド絶縁膜4及びマスク膜5は、後述するゲート電極11の上面の高さを各ピラーの上面より高い位置まで嵩上げし、ゲート電極11の上面と後述する配線42との距離を小さくするための突起層としても機能する。

【0020】

第1の半導体ピラー6A₁、6A₂及び第2の半導体ピラー6B₁、6B₂は、いずれも全体が半導体基板2によって構成されており、第1の半導体ピラー6A₁、6A₂は素子分離用絶縁膜3aに近い側から第1-1の半導体ピラー6A₁、第1-2の半導体ピラー6A₂の順で、第2の半導体ピラー6B₁、6B₂は素子分離用絶縁膜3aに近い側から第2-1の半導体ピラー6B₁、第2-2の半導体ピラー6B₂の順で、それぞれX方向に並べて配置されている。したがって、第1-1の半導体ピラー6A₁と第2-1の半導体ピラー6B₁とは、平面的に見て、素子分離用絶縁膜3aを挟んで互いに対向している。

【0021】

一方、第1及び第2のダミーピラー7A、7Bはそれぞれ、半導体基板2からなる半導体ピラー7a(ダミー半導体ピラー)と、素子分離用絶縁膜3aからなる絶縁体ピラー7b(ダミー絶縁体ピラー)とが合体した構造を有する複合ピラーとされている。この構造は、上述したマスク膜5をパターンニングする際、第1及び第2のダミーピラー7A、7B形成用のパターンを素子分離用絶縁膜3aと各活性領域との境界に設けることによって実現される。第1のダミーピラー7Aと、第2のダミーピラー7Bとは、後述する埋設絶縁膜12を挟んで互いに対向している。

【0022】

なお、図1(b)では、各ピラーのそれぞれを平面形状が正方形である四角柱として描いているが、柱状であればよく、平面形状は例えば長方形、角丸長方形、円形などであってもよい。各ピラーそれぞれの平面的な大きさ(正方形である場合には一辺の長さ。円形である場合には直径)は、例えば50nmとする。第1の半導体ピラー6A₁、6A₂及び第2の半導体ピラー6B₁、6B₂の平面的な大きさを50nm以下とすることで、これらを完全空乏化することが可能になる。

【0023】

第1の半導体ピラー6A₁、6A₂及び第2の半導体ピラー6B₁、6B₂それぞれの上端には、上部不純物拡散層16が形成される。また、第1及び第2の活性領域1A、1B内に位置する半導体基板2の表面のうち、各ピラーが形成されている領域を除く部分には、各ピラーの下部に接する下部不純物拡散層9が形成される。これらはいずれも、p型の半導体基板2にn型の不純物イオンを注入することにより形成される。下部不純物拡散層9の上面には、シリコン酸化膜である底絶縁膜8が形成されている。

【0024】

各ピラーの側面は、導電性のシリコン膜(n型不純物含有シリコン膜)であるゲート電極11によって覆われている。ただし、第1の半導体ピラー6A₁、6A₂、第2の半導

10

20

30

40

50

体ピラー6B₁、6B₂、及び、第1及び第2のダミーピラー7A、7Bのそれぞれを構成する半導体ピラー7aに関しては、側面とゲート電極11との間に、半導体基板2を熱酸化することによって作られるゲート絶縁膜10が配置されている。ゲート電極11の横方向の膜厚は、20nmとすることが好適である。ゲート電極11と下部不純物拡散層9とは、底絶縁膜8によって絶縁されている。

【0025】

各ピラーの配置間隔（X方向の表面間距離）は、第1及び第2の活性領域1A、1Bのそれぞれにおいて、各ピラーの側面に形成されるゲート電極11が一体化する値に設定される。具体的な例を挙げて説明すると、例えば上記のようにゲート電極11の横方向の膜厚を20nmとした場合には、上記配置間隔を40nm（＝20nmの2倍）以下の値、例えば30nmに設定することにより、各ピラーの側面に形成されるゲート電極11を、活性領域ごとに一体化することができる。半導体装置1では、このように上記配置間隔を設定した結果、第1及び第2の活性領域1A、1Bのそれぞれにおいて、各ピラーの側面に形成されるゲート電極11は一体化されており、互いに短絡している。

【0026】

トレンチTの内部には、図2（a）などに示すように、マスク膜5の上面の高さまで、シリコン酸化膜である埋設絶縁膜12（埋設絶縁膜）が埋め込まれている。第1の活性領域1A内のゲート電極11（第1のゲート電極）と、第2の活性領域1B内のゲート電極11（第2のゲート電極）とは、この埋設絶縁膜12によって分離されている。

【0027】

ただし、素子分離用絶縁膜3aを挟んで対向する2つのダミーピラー6の間の領域では、埋設絶縁膜12のZ方向の膜厚が、埋設絶縁膜12の上面の位置がゲート電極11の上面より低くなるように設定される。詳しくは後述するが、この膜厚は、埋設絶縁膜12とその上面に形成された層間絶縁膜20とに、図1（b）及び図2（a）（b）に示したゲート給電コンタクト孔O3を設けることによって実現される。これにより、ゲート給電コンタクト孔O3の内部では、ゲート電極11の上端が埋設絶縁膜12の上面から突出している。

【0028】

ゲート給電コンタクト孔O3の内部には、チタン（Ti）膜、窒化チタン（TiN）膜、タングステン（W）膜を順に積層した金属膜である給電コンタクトプラグ41が埋め込まれている。給電コンタクトプラグ41は、Y方向に延在する下面の一端で第1の活性領域1Aに対応するゲート電極11（第1のダミーピラー7Aを構成する絶縁体ピラー7bの側面に形成された部分）の上端と接し、下面の他端で第2の活性領域1Bに対応するゲート電極11（第2のダミーピラー7Bを構成する絶縁体ピラー7bの側面に形成された部分）の上端と接している。したがって、第1の活性領域1A内のゲート電極11と第2の活性領域1B内のゲート電極11とは、給電コンタクトプラグ41を通じて短絡している。

【0029】

なお、ゲート給電コンタクト孔O3を形成する際には、ゲート電極11と給電コンタクトプラグ41の接触面積を最大化するため、第1及び第2のダミーピラー7A、7Bそれぞれの上面に残存するマスク膜5の一部分が底面に露出するようにしている。その結果として、ゲート給電コンタクト孔O3を埋める給電コンタクトプラグ41の下面の一端は、平面的に見て第1のダミーピラー7Aと重なる位置にも配置されている。同様に、ゲート給電コンタクト孔O3を埋める給電コンタクトプラグ41の下面の他端は、平面的に見て第2のダミーピラー7Bと重なる位置にも配置されている。

【0030】

また、給電コンタクトプラグ41の最下層にチタン膜を配置するのは、シリコン膜からなるゲート電極11との接触抵抗を低減するためである。シリコン膜と接しているチタン膜はチタンシリサイド膜を構成し、これにより、給電コンタクトプラグ41とゲート電極11との接触抵抗が低減される。チタン膜に代え、コバルト（Co）膜やニッケル（Ni

10

20

30

40

50

）膜など他のシリサイド形成金属を用いて給電コンタクトプラグ41の最下層を構成してもよく、そうすることによっても同様の接触抵抗低減効果が得られる。また、チタン膜の上層に位置する窒化チタン膜に代え、窒化タングステン（WN）膜や窒化タンタル（Ta_N）膜など他のバリア膜を用いてもよい。

【0031】

第1の半導体ピラー6A₁、6A₂及び第2の半導体ピラー6B₁、6B₂それぞれの上面ではパッド絶縁膜4及びマスク膜5は取り除かれており、その代わりに導電膜であるシリコンプラグ19が設けられている。シリコンプラグ19は、シリコンを成膜し、その中にヒ素等の不純物を注入（拡散）することによって形成される。シリコンプラグ19の側面は絶縁膜17及びサイドウォール膜18で覆われており、これらによってシリコンプラグ19とゲート電極11との間が絶縁されている。各シリコンプラグ19の下面は、対応する半導体ピラーの上端に設けられた上部不純物拡散層16と導通している。

10

【0032】

マスク膜5、埋設絶縁膜12、及びシリコンプラグ19の上面には、上述した層間絶縁膜20が形成される。層間絶縁膜20の上面にはさらに層間絶縁膜24が形成され、層間絶縁膜24の上面には配線33A、33B、34A、34B、42（第1乃至第5の配線）を含む配線層が形成される。これらの各配線（上層配線）は、金属材料によって構成されるメタル配線である。

【0033】

配線33Aは、層間絶縁膜20、24を貫通するコンタクトプラグ30（第1のコンタクトプラグ）により、第1の半導体ピラー6A₁、6A₂それぞれの上面に形成された2つのシリコンプラグ19それぞれの上面と共通に接続される。配線33Bも同様であり、層間絶縁膜24、20を貫通するコンタクトプラグ30（第2のコンタクトプラグ）により、第2の半導体ピラー6B₁、6B₂それぞれの上面に形成された2つのシリコンプラグ19それぞれの上面と共通に接続される。

20

【0034】

配線34Aは、層間絶縁膜24、20、埋設絶縁膜12、及び底絶縁膜8を貫通するコンタクトプラグ31（第3のコンタクトプラグ）により、第1の活性領域1A内の下部不純物拡散層9に接続される。配線34Bも同様であり、層間絶縁膜24、20、埋設絶縁膜12、及び底絶縁膜8を貫通するコンタクトプラグ31（第4のコンタクトプラグ）により、第2の活性領域1B内の下部不純物拡散層9に接続される。なお、これらのコンタクトプラグ31の具体的な設置領域は特に制限されないが、図1（b）に示すように、第1-1の半導体ピラー6A₁及び第2-1の半導体ピラー6B₁のそれぞれとY方向に隣接する位置に設置することが好ましい。

30

【0035】

配線42は、層間絶縁膜24を貫通するコンタクトプラグ35（第5のコンタクトプラグ）により、給電コンタクトプラグ41の上面に接続される。

【0036】

以上の構成により、第1の活性領域1Aに、それぞれ第1の半導体ピラー6A₁、6A₂をチャネル領域とする2つの縦型MOSトランジスタが形成される。同様に、第2の活性領域1Bに、それぞれ第2の半導体ピラー6B₁、6B₂をチャネル領域とする2つの縦型MOSトランジスタが形成される。上部不純物拡散層16及びシリコンプラグ19は各MOSトランジスタのソース／ドレインの一方を構成し、下部不純物拡散層9は各MOSトランジスタのソース／ドレインの他方を構成する。第1の活性領域1Aに形成される2つのMOSトランジスタは、それぞれの上部不純物拡散層16が共通の配線33Aに接続されており、また下部不純物拡散層9が共通であることから、配線33Aと配線34Aとの間に並列に接続され一つの第1並列トランジスタを構成している。第2の活性領域1Bに形成される2つのMOSトランジスタについても同様であり、配線33Bと配線34Bとの間に並列に接続され一つの第2並列トランジスタを構成している。

40

【0037】

50

以上説明したように、本実施の形態による半導体装置 1 によれば、第 1 の活性領域 1 A 内のゲート電極 1 1 と、第 2 の活性領域 1 B 内のゲート電極 1 1 とが、これらを分離する埋設絶縁膜 1 2 の上面に形成され、かつ、それぞれの上端と直接接触する金属膜である給電コンタクトプラグ 4 1 によって互いに接続される。したがって、素子分離領域にもダミーピラーを設けることによりサイドウォール状のシリコン膜で接続する方法や、それぞれのゲート電極をゲートコンタクトプラグによって上層配線に引き出して上層配線で接続する方法に比べて、各活性領域に形成されたゲート電極 1 1 の間の配線抵抗を小さくすることが可能になる。

【0038】

また、素子分離領域を横断するダミーピラーが不要になるので、構造が簡単になり、製造工程での歩留まりが向上する。さらに、金属膜は容易にパターンニングできることから、各活性領域に形成されたゲート電極 1 1 の接続に金属膜である給電コンタクトプラグ 4 1 を用いることで、各活性領域の配置の自由度が向上するという効果も得られる。

【0039】

さらに、半導体装置 1 の構造によれば、給電コンタクトプラグ 4 1 を（サイドウォールではなく）平面的な形状で構成できることから、シリコン膜ではなく金属膜によって、給電コンタクトプラグ 4 1 を構成することが可能になる。したがって、上記のような効果を得ることが可能になる。

【0040】

また、本実施の形態による半導体装置 1 によれば、各活性領域内の MOS トランジスタを 2 つの MOS トランジスタを並列に接続してなる並列トランジスタとしているので、各活性領域内に 1 つの MOS トランジスタのみを形成する場合に比べ、実効チャネル断面積が拡大され大電流を処理することが可能になる。

【0041】

なお、本実施の形態では各活性領域に 2 つの MOS トランジスタを配置したが、1 つ又は 3 つ以上の MOS トランジスタを配置してもよい。また、本実施の形態では活性領域ごとに 1 つのコンタクトプラグ 3 1 を設けたが、活性領域ごとに複数のコンタクトプラグ 3 1 を設けてもよい。この場合、1 つの活性領域内に設けられる複数のコンタクトプラグ 3 1 を同一の上層配線に接続することが好ましい。

【0042】

次に、図 3～図 1 4 を参照しながら、本実施の形態による半導体装置 1 の製造方法について説明する。

【0043】

初めに、半導体基板 2 の表面に素子分離用絶縁膜 3 を埋め込むことにより、図 3 及び図 4 (a)～(c) に示すように、第 1 及び第 2 の活性領域 1 A, 1 B を区画する。具体的には、半導体基板 2 の主面のうち第 1 及び第 2 の活性領域 1 A, 1 B を形成する領域以外の領域に、フォトリソグラフィ法およびドライエッチング法を用いて、深さが例えば 250 nm のトレンチを形成する。そして、このトレンチの内部を埋める膜厚で、CVD 法により、全面にシリコン酸化膜を成膜する。その後、CMP (Chemical Mechanical Polishing) 法を用いて全面を平坦化することによりトレンチの内部だけにシリコン酸化膜を残すことにより、第 1 及び第 2 の活性領域 1 A, 1 B を区画する素子分離用絶縁膜 3 (素子分離領域) を形成する。図 3 及び図 4 (a) (b) に示すように、第 1 の活性領域 1 A と第 2 の活性領域 1 B の間に位置する素子分離用絶縁膜 3 は、上述した素子分離用絶縁膜 3 a となる。

【0044】

次に、図 5 及び図 6 (a)～(c) に示すように、トレンチ T 及び各ピラーを形成する。具体的には、まず CVD 法を用いて、全面に 2 nm 厚のシリコン酸化膜を形成する。このシリコン酸化膜は、パッド絶縁膜 4 となる。次に、再度 CVD 法を用いて、全面に 120 nm 厚のシリコン窒化膜を形成する。このシリコン窒化膜は、マスク膜 5 となる。続いて、フォトリソグラフィ法により、トレンチ T の周囲の素子分離用絶縁膜 3 (素子分離用

10

20

30

40

50

絶縁膜 3 a 以外の部分) の上面、及び、各ピラーの形成領域を覆うフォトリソマスクを形成する。このとき、第 1 及び第 2 のダミーピラー 7 A, 7 B の形成領域を覆うフォトリソマスクのパターンは、素子分離用絶縁膜 3 a と各活性領域との境界に設ける。そして、このフォトリソマスクをマスクとする異方性ドライエッチングにより、マスク膜 5 及びパッド絶縁膜 4 をエッチングする。これにより、フォトリソマスクのパターンがマスク膜 5 及びパッド絶縁膜 4 に転写される。続いて、フォトリソマスクを除去した後、マスク膜 5 をマスクとする異方性ドライエッチングにより、半導体基板 2 及び素子分離用絶縁膜 3 a をエッチングする。このエッチングは、トレンチ T の深さが 150 nm となる程度まで行うようにすることが好ましい。以上により、トレンチ T 及び各ピラーが形成される。こうして形成された第 1 及び第 2 のダミーピラー 7 A, 7 B はそれぞれ、

10

【0045】

次に、図 7 及び図 8 (a) ~ (c) に示すように、各ピラーの周囲にゲート電極 11 を形成するとともに、トレンチ T の底面のうち第 1 及び第 2 の活性領域 1 A, 1 B の内側に相当する領域に下部不純物拡散層 9 を形成する。具体的には、まず初めに熱酸化法により、半導体基板 2 の露出面 (トレンチ T の底面のうち第 1 及び第 2 の活性領域 1 A, 1 B の内側に相当する領域、及び各ピラーの側面) に、1 nm 厚のシリコン酸化膜 (不図示) を形成する。続いて、CVD 法を用いて 4 nm 厚のシリコン窒化膜を成膜し、全面エッチバックを行うことにより、各ピラーの側面をサイドウォール形状のシリコン窒化膜 (不図示) で覆う。次に、再度熱酸化を行うことにより、トレンチ T の底面のうち第 1 及び第 2 の活性領域 1 A, 1 B の内側に相当する領域に、30 nm 厚の底絶縁膜 8 を形成する。このとき、各ピラーの側面はシリコン窒化膜で覆われているので、酸化されない。次いでイオン注入法により、底絶縁膜 8 の下方の半導体基板 2 の表面に、n 型不純物を導入する。これにより、下部不純物拡散層 9 が形成される。なお、n 型不純物の注入は、平面的に見て各ピラーと重なる部分を除く各活性領域の全面に対して行われる。その結果、下部不純物拡散層 9 は、上述した各活性領域内の 2 つの縦型 MOS トランジスタに共通となる。注入する n 型不純物としては、例えばヒ素やリンを用いることが好適である。

20

【0046】

下部不純物拡散層 9 を形成した後は、ドライエッチング法あるいはウェットエッチング法によって、各ピラーの側面に形成したシリコン窒化膜及びシリコン酸化膜を除去する。こうして第 1 の半導体ピラー 6 A₁, 6 A₂、第 2 の半導体ピラー 6 B₁, 6 B₂、及び、第 1 及び第 2 のダミーピラー 7 A, 7 B のそれぞれを構成する半導体ピラー 6 a の側面に半導体基板 2 が露出したら、再度熱酸化を行うことにより、各側面に 3 nm 厚のシリコン酸化膜であるゲート絶縁膜 10 を形成する。続いて CVD 法によって全面に、横方向の膜厚が 20 nm である n 型不純物含有多結晶シリコン膜を成膜する。そして全面エッチバックを行うことにより、各ピラーの側面にサイドウォール形状のゲート電極 11 を形成する。こうして各ピラーの側面に形成されたゲート電極 11 は、図 7 に示すように、活性領域ごとに一体化して 1 つのゲート電極 11 を構成する。これは、上述したように、各ピラーの間隔を、ゲート電極 11 の横方向の膜厚 20 nm の 2 倍以下に設定することによって

30

40

【0047】

なお、上記の工程では、トレンチ T の内壁 (素子分離用絶縁膜 3 a を除く素子分離用絶縁膜 3 の露出面) にもサイドウォール形状の n 型不純物含有多結晶シリコン膜が形成されるが、これはゲート電極 11 として機能するものではないので、図示を省略している。各ピラーの配置は、この n 型不純物含有多結晶シリコン膜と各ピラーの側面に形成されるゲート電極 11 とが一体化しないように設定される。

【0048】

ゲート電極 11 の形成が完了したら、CVD 法によって全面にシリコン酸化膜を成膜し、CMP 法によって、マスク膜 5 の上面が露出する程度まで成膜したシリコン酸化膜の表

50

面を平坦化する。これにより、図9及び図10(a)～(c)に示すように、トレンチTが埋設絶縁膜12によって埋められる。続いて、CVD法によって全面に50nm厚のシリコン酸化膜であるマスク膜13を成膜し、フォトリソグラフィ法とエッチング法を用いて、マスク膜13に開口部O1を設ける。開口部O1の形成位置は、第1の半導体ピラー6A₁、6A₂及び第2の半導体ピラー6B₁、6B₂それぞれの上面に形成されたマスク膜5の上面を露出する位置とする。その他の領域に形成されたマスク膜5については、マスク膜13で覆われた状態を維持する。次に、ウェットエッチングによってシリコン窒化膜を選択的に除去することにより、露出したマスク膜5を選択的に除去し、さらにマスク膜5の除去によって露出したパッド絶縁膜4も除去する。これにより、図9及び図10(a)～(c)に示すように、第1の半導体ピラー6A₁、6A₂及び第2の半導体ピラー6B₁、6B₂それぞれの上側に開口部O2が形成される。開口部O2の底面には半導体基板2の表面が露出し、側面にはゲート電極11及び埋設絶縁膜12が露出する。

【0049】

続いて、熱酸化法などによって開口部O2の底面及び内側面にシリコン酸化膜である絶縁膜17を形成した後、イオン注入を行うことにより、図11及び図12(a)～(c)に示すように、第1の半導体ピラー6A₁、6A₂及び第2の半導体ピラー6B₁、6B₂それぞれの上端に上部不純物拡散層16を形成する。次いで、CVD法によって開口部O2の内面を覆う10nm厚のシリコン窒化膜を成膜し、エッチバックを行うことにより、サイドウォール膜18を形成する。このとき、絶縁膜17のうち開口部O2の底面(第1の半導体ピラー6A₁、6A₂及び第2の半導体ピラー6B₁、6B₂それぞれの上面)に形成されていた部分も除去し、対応する半導体ピラーの上面を露出させる。絶縁膜17は、サイドウォール膜18の下方と開口部O2内のゲート電極11の露出面に残留することになる。絶縁膜17及びサイドウォール膜18は、ゲート電極11とこの後に形成するシリコンプラグ19との間の絶縁を確保する役割を果たす。

【0050】

次に、選択エピタキシャル成長法を用い、開口部O2を埋設する膜厚で、半導体ピラー5₁、5₂の上面にシリコンを成長させる。そして、このシリコンにヒ素などをイオン注入することにより、n型の導電体であるシリコンプラグ19を形成する。シリコンプラグ19は、対応する半導体ピラーの上端に形成されている上部不純物拡散層16と電氣的に接触することになる。

【0051】

続いてCVD法により、開口部O1を埋める膜厚でシリコン酸化膜を成膜し、CMP法によって表面を平坦化する。こうして、図13及び図14(a)～(c)に示すように、全面に層間絶縁膜20が形成される。層間絶縁膜20は、ここで成膜したシリコン酸化膜と、ここまでに成膜したマスク膜13(シリコン酸化膜)とによって構成される。

【0052】

層間絶縁膜20を形成したら、次に、フォトリソグラフィ法およびドライエッチング法を用いて、層間絶縁膜20にゲート給電コンタクト孔O3を形成する。ゲート給電コンタクト孔O3は、平面的には、図13に示すように、第1及び第2のダミーピラー7A、7Bをつなぐ長方形の形状を有している。ゲート給電コンタクト孔O3を形成する際のエッチングでは、層間絶縁膜20の下にある埋設絶縁膜12も、ゲート電極11の上端が露出する程度までエッチングする。このようなエッチングを行うことにより、長方形であるゲート給電コンタクト孔O3の両端(長辺方向の両端)には、ダミーピラー6の上方に形成されたマスク膜5の一部と、ダミーピラー6の側面に形成されたゲート電極11の一部とが露出する。一方、ゲート給電コンタクト孔O3の中央部(長辺方向の中央部)には、埋設絶縁膜12が露出する。

【0053】

その後、CVD法によってチタン(Ti)膜、窒化チタン(TiN)膜、タングステン(W)を順次成膜することにより、ゲート給電コンタクト孔O3を埋める金属膜を成膜し、CMP法によって層間絶縁膜20の表面が露出する程度まで金属膜の表面を平坦化する

。これにより、図 1 (a) (b) 及び図 2 (a) ~ (c) に示したように、ゲート給電コンタクト孔 O 3 内に、下面の一端で第 1 の活性領域 1 A 内のゲート電極 1 1 の上端と接し、下面の他端で第 2 の活性領域 1 B 内のゲート電極 1 1 の上端と接する給電コンタクトプラグ 4 1 が形成される。

【0054】

上述したように、チタン膜とシリコン膜であるゲート電極 1 1 との間にはチタンシリサイド膜が形成され、これにより、ゲート電極 1 1 と給電コンタクトプラグ 4 1 の接触抵抗が低減される。なお、CVD 法によってチタン膜を成膜する場合には、成膜中にシリサイド反応が生ずるので特にシリサイド化のための処理を行う必要はない。一方、上述したように、チタン膜に代えてコバルト (Co) 膜やニッケル (Ni) 膜など他のシリサイド形成金属を用いる場合には、CVD 法ではなくスパッタ法によりこれらの膜を成膜することになるので、成膜中のシリサイド反応が生じず、成膜後に熱処理工程を付加してシリサイド化する必要がある。この場合には、熱処理工程の後、ゲート電極 1 1 の表面以外に形成され、未反応状態の Co 膜や Ni 膜を除去する必要もある。窒化チタン膜及びタングステンの成膜はその後に行う。チタン膜であってもスパッタ法で成膜する場合には、同様の処理が必要となる。

【0055】

次に、CVD 法によって、全面にシリコン酸化膜である層間絶縁膜 2 4 を成膜する。続いて、フォトリソグラフィ法およびドライエッチング法を用いて、上述したコンタクトプラグ 3 0, 3 1, 3 5 を埋め込むためのコンタクト孔を形成し、その内部にチタン膜、窒化チタン膜、タングステン膜を順次成膜することにより、これらの積層膜によって構成されたコンタクトプラグ 3 0, 3 1, 3 5 を形成する。そして、CMP 法によって層間絶縁膜 2 4 の上面に形成された金属膜を除去し、配線 3 3 A, 3 3 B, 3 4 A, 3 4 B, 4 2 を含む配線層を形成することにより、半導体装置 1 が完成する。なお、配線層は、スパッタ法により窒化タングステン (WN) 膜およびタングステン (W) 膜で構成された金属膜を全面に成膜し、その後、フォトリソグラフィとドライエッチング法によりこの金属膜をパターニングすることにより形成することが好適である。

【0056】

以上説明したように、本実施の形態による半導体装置 1 の製造方法によれば、第 1 の活性領域 1 A 内のゲート電極 1 1 と、第 2 の活性領域 1 B 内のゲート電極 1 1 とを分離する埋設絶縁膜 1 2 の上面に形成され、かつ、各ゲート電極 1 1 の上端と直接接触する金属膜である給電コンタクトプラグ 4 1 を形成することが可能になる。したがって、素子分離領域にもダミーピラーを設けることによりサイドウォール状のシリコン膜で接続する方法や、それぞれのゲート電極をゲートコンタクトプラグによって上層配線に引き出して上層配線で接続する方法に比べて、各活性領域に形成されたゲート電極 1 1 の間の配線抵抗を小さくすることが可能になる。

【0057】

また、本実施の形態による半導体装置 1 の製造方法によれば、図 5 及び図 6 (a) ~ (c) に示した工程で形成する半導体ピラーの数を適宜制御することにより、1 つの活性領域内に配置する MOS トランジスタの数を自由に制御することができる。したがって、必要に応じた実効チャネル断面積を確保することが可能になる。

【0058】

次に、図 15 (a) (b) 及び図 16 (a) ~ (c) を参照しながら、本発明の第 2 の実施の形態による半導体装置 1 の構造について説明する。本実施の形態による半導体装置 1 は、配線 3 3 B, 3 4 A, 3 4 B, 4 2 それぞれの形状及び配置の点で、第 1 の実施の形態による半導体装置 1 と相違している。また、この相違に伴い、給電コンタクトプラグ 4 1 及びコンタクトプラグ 3 1 の形状及び配置も相違している。なお、本実施の形態によるコンタクトプラグ 3 1 は、第 1 の活性領域 1 A に関してはコンタクトプラグ 3 1 A a, 3 1 A b により構成され、第 2 の活性領域 1 B に関してはコンタクトプラグ 3 1 B a, 3 1 B b により構成される。さらに、コンタクトプラグ 3 5 の位置が相違している。以下で

は、これらの相違点を中心に説明する。

【0059】

なお、以下の説明では、各構成の端部等にマイナス側又はプラス側の呼称を付加する場合がある。Y方向のマイナス側端部は図15(a)における下側の端部を示し、Y方向のプラス側端部は図15(a)における上側の端部を示す。また、X方向のマイナス側端部は図15(a)における左側の端部を示し、X方向のプラス側端部は図15(a)における右側の端部を示す。このような呼称を用いると、例えば第1-1の半導体ピラー6A₁は、第1-2の半導体ピラー6A₂に比べて第1の活性領域1AのX方向のプラス側端部寄りに設けられていると言える。また、第1の活性領域1A内の2つのコンタクトプラグ30はいずれも、同じ第1の活性領域1A内のコンタクトプラグ31Aaに比べて、第1

10

【0060】

まず配線42について、第1の実施の形態では第1及び第2の活性領域1A、1Bの間の領域をY方向に延設されていた(図1(a)参照)が、本実施の形態では、一端が素子分離用絶縁膜3aの上方の領域(第1及び第2の活性領域1A、1Bの間の領域)からそのマイナス側端部側に少し外れた位置にあり、そこから第1の活性領域1AのY方向マイナス側縁辺に沿ってX方向に延設されている。これに伴い、給電コンタクトプラグ41が、各活性領域に対応するダミーピラー6の間から、第1及び第2の活性領域1A、1Bの間の領域と重ならない領域(配線42の一端の下方の位置)までY方向に延設されている(Y方向に拡幅されている)。なお、図15(a)では、給電コンタクトプラグ41のY

20

【0061】

次に配線34Aについて、第1の実施の形態では第1の活性領域1AのX方向中央付近から、半導体装置1のX方向マイナス側端部に向かってX方向に延設されていた(図1(a)参照)が、本実施の形態では、一端が素子分離用絶縁膜3aの上方の領域(第1及び第2の活性領域1A、1Bの間の領域)のうち、給電コンタクトプラグ41より素子分離用絶縁膜3aのY方向プラス側端部寄りの位置にあり、そこからまず第2の活性領域1Bに向かってX方向に延伸し、一部が第2の活性領域1BにかかったところでY方向に折れ曲がり、そこからさらに半導体装置1のY方向マイナス側端部に向かってY方向に延伸するよう延設されている。これに伴い、まずコンタクトプラグ31Abは、層間絶縁膜24のうち素子分離用絶縁膜3aの上方の領域に位置する部分を貫通しており、上面で配線34Aの一端に接している。一方、コンタクトプラグ31Aaは、垂直方向には層間絶縁膜24、埋設絶縁膜12、及び底絶縁膜8を貫通しており、平面方向には第1の活性領域1Aから第1及び第2の活性領域1A、1Bの間の領域までX方向に延設されている。これ

30

40

【0062】

次に配線34Bについて、第1の実施の形態では第2の活性領域1BのX方向中央付近から、半導体装置1のX方向プラス側端部に向かってX方向に延設されていた(図1(a)参照)が、本実施の形態では、全体的にX方向プラス側及びY方向プラス側にずらして設けられている。その結果、平面的に見て第2の活性領域1Bと重なる部分は一端の一部

50

分のみとなっており、図15(a)に示すように、コンタクトプラグ31(コンタクトプラグ31Ba, 31Bb)をY方向に延長する必要が生じている。具体的に説明すると、まずコンタクトプラグ31Bbは、垂直方向には層間絶縁膜24を貫通しており、平面方向には素子分離用絶縁膜3のうち第2の活性領域1BのY方向プラス側縁辺に接する部分に設けられて、上面で配線34Bの一端に接している。一方、コンタクトプラグ31Baは、垂直方向には層間絶縁膜24、埋設絶縁膜12、及び底絶縁膜8を貫通しており、平面方向にはコンタクトプラグ31Bbの下方から第2の活性領域1Bの内側に向かってY方向に延設されている。これにより、コンタクトプラグ31Baの上面は、素子分離用絶縁膜3の上方でコンタクトプラグ31Bbの下面と接触し、下面は、第2の活性領域1B内で下部不純物拡散層9と接触している。したがって、配線34Bは、コンタクトプラグ31Ba, 31Bbを介して、第1の実施の形態と同様、第2の活性領域1B内の下部不純物拡散層9と短絡している。

【0063】

次に配線33Bについて、第1の実施の形態では第2の活性領域1BのX方向中央付近から、半導体装置1のX方向プラス側端部に向かってX方向に延設されていた(図1(a)参照)が、本実施の形態では、第2-2の半導体ピラー6B₂の位置でY方向に折れ曲がり、そこから半導体装置1のY方向マイナス側端部に向かってY方向に延設されている。配線33Bにかかる第1の実施の形態との相違点は以上の点のみであり、コンタクトプラグ30の位置は第1の実施の形態と同様である。

【0064】

以上例示したように、本発明によれば、給電コンタクトプラグ41及びコンタクトプラグ31の形状を変更することにより、配線34A, 34B, 42のレイアウトを自由に変更することが可能になる。したがって、配線層のレイアウト設計の自由度を向上することが可能になる。

【0065】

次に、図17(a)(b)及び図18(a)~(c)を参照しながら、本発明の第3の実施の形態による半導体装置1の構造について説明する。本実施の形態による半導体装置1は、第1-1の半導体ピラー6A₁をチャンネル領域とするトランジスタと、第1-2の半導体ピラー6A₂をチャンネル領域とするトランジスタとを、並列ではなく直列に接続する点で、第1の実施の形態による半導体装置1と相違する。それぞれ第2の半導体ピラー6B₁, 6B₂をチャンネル領域とする2つのトランジスタについても同様である。また、これに伴ってコンタクトプラグ31が不要になっており、したがって第1及び第2の活性領域1A, 1Bにコンタクトプラグ31の設置領域を確保する必要がないので、その分第1及び第2の活性領域1A, 1BのY方向の幅が狭められている。また、配線34A, 34Bが削除される一方、配線33Aが配線33Aa, 33Abの2本に分割され、配線33Bが配線33Ba, 33Bbの2本に分割されている。以下では、これらの相違点を中心に説明する。

【0066】

第1及び第2の活性領域1A, 1Bのそれぞれに2本ずつ設置されるトランジスタ自体の構造は、第1の実施の形態と同様である。図18(a)を参照しながら第1の活性領域1Aを例にとって説明すると、まず第1-1の半導体ピラー6A₁をチャンネル領域とするトランジスタは、第1-1の半導体ピラー6A₁の上部不純物拡散層16₁をソース/ドレインの一方とし、下部不純物拡散層9をソース/ドレインの他方として構成される。一方、第1-2の半導体ピラー6A₂をチャンネル領域とするトランジスタは、第1-2の半導体ピラー6A₂の上部不純物拡散層16₂をソース/ドレインの一方とし、下部不純物拡散層9をソース/ドレインの他方として構成される。配線34Aaは、コンタクトプラグ30(第1のコンタクトプラグ)を通じて上部不純物拡散層16₁に接続され、配線34Abは、別のコンタクトプラグ30(第2のコンタクトプラグ)を通じて上部不純物拡散層16₂に接続される。下部不純物拡散層9は2つのトランジスタに共通である。以上の構成により、これら2つのトランジスタは、配線34Aaと配線34Abとの間に直列

に接続されていると言える。第2の活性領域1Bについても同様である。

【0067】

以上説明したように、本実施の形態による半導体装置1によれば、各活性領域内の2つのトランジスタを直列に接続して用いることができる。したがって、実効チャネル長が長く、高耐圧のトランジスタを得ることが可能になる。

【0068】

なお、本実施の形態で説明した第1及び第2の活性領域1A、1Bのような構造を有する活性領域を追加することにより、直列に接続するトランジスタの数を増やすことが可能である。この場合、活性領域間の接続は、配線33Aa、33Abのような上層配線によって行えばよい。

【0069】

また、各上層配線に接続するトランジスタは1つだけでなくてもよい。例えば配線33Aaに複数のトランジスタを接続するには、第1の活性領域1A内に複数の第1の半導体ピラー6A₁を設け、それぞれの上部不純物拡散層16₁を配線34Aaに接続すればよい。

【0070】

次に、図19(a)(b)、図20(a)~(c)、及び図21を参照しながら、本発明の第4の実施の形態による半導体装置1の構造について説明する。本実施の形態による半導体装置1は、第2の活性領域1BがNウェル70内に設けられている点、第2の活性領域1B内の上部不純物拡散層16₁、16₂及び下部不純物拡散層9が、それぞれp型半導体である上部不純物拡散層71₁、71₂及び下部不純物拡散層72に置き換えられている点、第2の活性領域1Bに対応するゲート電極11が、p型不純物含有シリコン膜であるゲート電極73に置き換えられている点、及び、第1の活性領域1A内の上部不純物拡散層16₁と、第2の活性領域1B内の上部不純物拡散層71₁とが上層の配線33ABで相互に接続され、配線33Ab、33Bbが設けられない点で、第3の実施の形態による半導体装置1と相違する。以下では、これらの相違点を中心に説明する。

【0071】

初めに、Nウェル70、p型半導体である上部不純物拡散層71₁、71₂及び下部不純物拡散層72、p型不純物含有シリコン膜であるゲート電極73それぞれの、好適な形成方法を説明する。

【0072】

まず、Nウェル70については、図3に示した状態（素子分離用絶縁膜3を形成し、第1及び第2の活性領域1A、1Bを区画した状態）で第2の活性領域1Bの位置に開口部を有するマスク膜（不図示）を形成し、この開口部を介して半導体基板2内に、イオン注入法を用いて砒素や磷などのn型不純物を導入することにより形成することが好適である。これにより、第2の活性領域1Bに相当する領域にNウェル70が形成され、第2の活性領域1Bがn型（第2の導電型）の活性領域となる。なお、第1の活性領域1Aは、p型（第1の導電型）の活性領域である。

【0073】

p型半導体である上部不純物拡散層71₁、71₂及び下部不純物拡散層72は、半導体基板2にp型不純物となるボロンをイオン注入することにより形成することが好適である。また、p型不純物含有シリコン膜であるゲート電極73は、成膜時にボロンを含有させるCVD法によって形成することができる。具体的には、CVD法での成膜に用いる原料ガスとしてモノシラン(SiH₄)とジボラン(B₂H₆)を同時に供給することで、成膜時にボロンを含有させることが可能になる。この場合、第1活性領域1Aに形成されるn型ゲート電極11と第2活性領域1Bに形成されるp型ゲート電極73は別々の工程で形成される。不純物含有シリコン膜を形成するCVD法に代えて、気相拡散法を用いて不純物を含有させても良い。すなわち、ノンドープシリコン膜のゲート電極材料を形成した後、第2活性領域1Bに形成されたゲート電極材料をマスク膜で覆い、ホスフィン(PH₃)雰囲気中で熱処理することにより第1活性領域1Aに形成されたゲート電極材にリン

10

20

30

40

50

を気相拡散させてn型シリコンからなるゲート電極11を形成する。その後マスク膜を除去し、ゲート電極11を新たなマスク膜で覆い、ジボラン(B_2H_6)雰囲気中で熱処理することにより第2活性領域1Bに形成されたゲート電極材にボロンを気相拡散させてp型シリコンからなるゲート電極73を形成する。

【0074】

このように第2の活性領域1BをNウェル70内に設け、さらに、上部不純物拡散層71₁、71₂、下部不純物拡散層72、ゲート電極73をいずれもp型としたことにより、第2の活性領域1Bに形成される2つのトランジスタは、ともにPチャンネル型MOSトランジスタとなる。なお、第1の活性領域1Aに形成される2つのトランジスタは、ともにNチャンネル型MOSトランジスタである。

10

【0075】

本実施の形態による半導体装置1に含まれる4つのトランジスタは、図21に示すように、C-MOS（相補型MOS）インバータ回路を構成する。なお、図21に示すPチャンネル型MOSトランジスタP1、P2はそれぞれ第2の半導体ピラー6B₁、6B₂をチャンネルとするトランジスタであり、Nチャンネル型MOSトランジスタN1、N2はそれぞれ第1の半導体ピラー6A₁、6A₂をチャンネルとするトランジスタである。C-MOSインバータ回路の入力は配線42（第4の配線）、出力は配線33AB（第1の配線）となる。また、配線33Bb（第3の配線）は高位側電源電圧VDDが供給される電源端子を構成し、配線33Ab（第2の配線）は接地電位が供給される接地端子を構成する。

20

【0076】

以上説明したように、本実施の形態による半導体装置1によれば、第2の活性領域1BをNウェル70内に設け、第2の活性領域1B内の上部不純物拡散層16₁、16₂及び下部不純物拡散層9をそれぞれp型半導体である上部不純物拡散層71₁、71₂及び下部不純物拡散層72に置き換えたことにより、C-MOSインバータ回路を構成することが可能になっている。これを基本構成とし、基本構成を複数段にわたって接続すれば、複雑なロジック回路を構成することも可能になる。

【0077】

なお、本実施の形態ではトランジスタP2、P1及びトランジスタN1、N2をそれぞれ直列に接続した例を説明したが、第1の実施の形態で説明した構成のように、トランジスタP2、P1及びトランジスタN1、N2をそれぞれ並列に接続してもよい。

30

【0078】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【符号の説明】

【0079】

1	半導体装置
1A, 1B	活性領域
2	半導体基板
3, 3a	素子分離用絶縁膜
4	パッド絶縁膜
5	マスク膜
6A ₁ , 6A ₂ , 6B ₁ , 6B ₂ , 7a	半導体ピラー
7A, 7B	ダミーピラー
7b	絶縁体ピラー
8	底絶縁膜
9, 72	下部不純物拡散層
10	ゲート絶縁膜
11, 73	ゲート電極

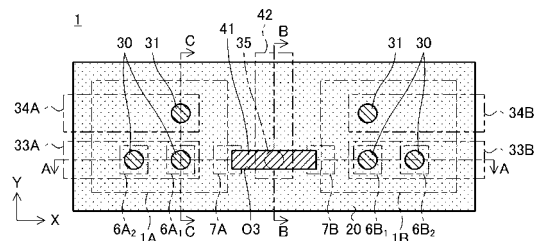
40

50

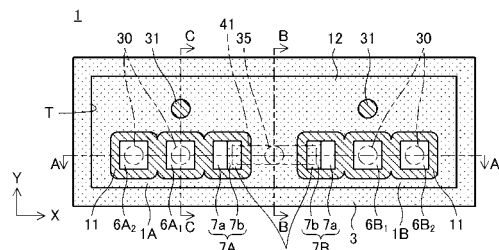
- | | |
|--|------------------|
| 1 2 | 埋設絶縁膜 |
| 1 3 | マスク膜 |
| 1 6, 1 6 ₁ , 1 6 ₂ , 7 1 ₁ , 7 1 ₂ | 上部不純物拡散層 |
| 1 7 | 絶縁膜 |
| 1 8 | サイドウォール膜 |
| 1 9 | シリコンプラグ |
| 2 0, 2 4 | 層間絶縁膜 |
| 3 0, 3 1, 3 1 A a, 3 1 A b, 3 1 B a, 3 1 B b, 3 5 | コンタクトプラグ |
| 3 3 A, 3 3 A a, 3 3 A b, 3 3 A B, 3 3 B, 3 3 B a, 3 3 B b, 3 4 A, 3 4 B | |
| , 4 2 | 配線 |
| 4 1 | 給電コンタクトプラグ |
| 4 1 | 金属膜 |
| 7 0 | Nウェル |
| N 1, N 2 | Nチャンネル型MOSトランジスタ |
| O 1, O 2 | 開口部 |
| O 3 | ゲート給電コンタクト孔 |
| P 1, P 2 | Nチャンネル型MOSトランジスタ |
| T | トレンチ |

10

【図 1】

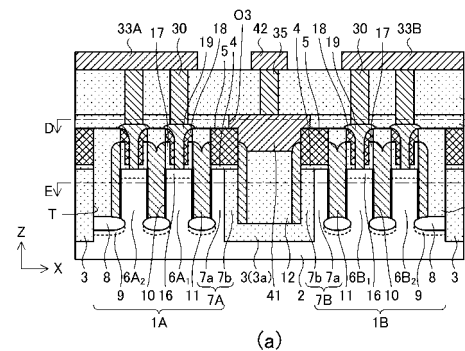


(a)

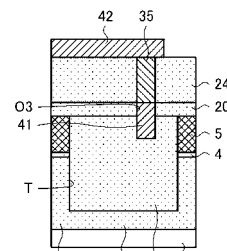


(b)

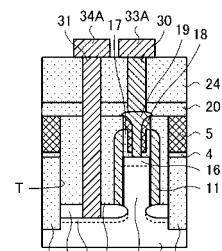
【図 2】



(a)

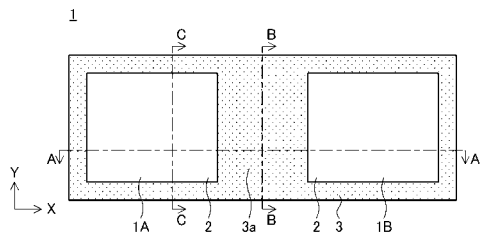


(b)

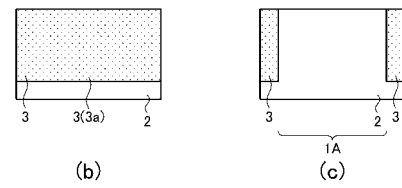
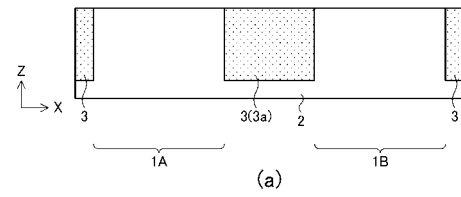


(c)

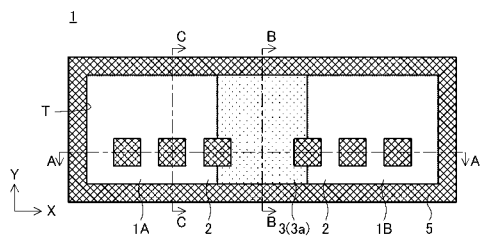
【図 3】



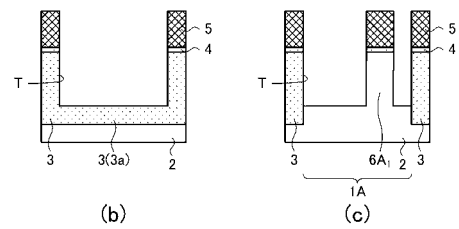
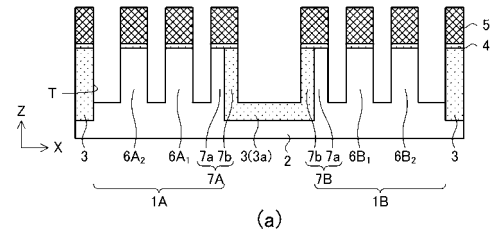
【図 4】



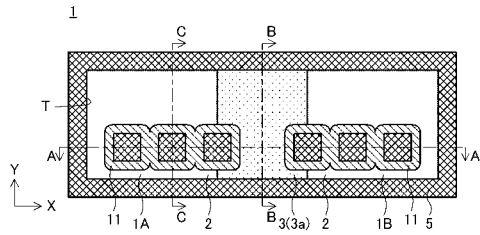
【図 5】



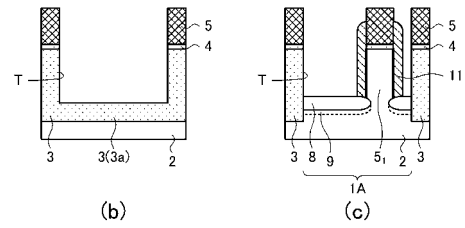
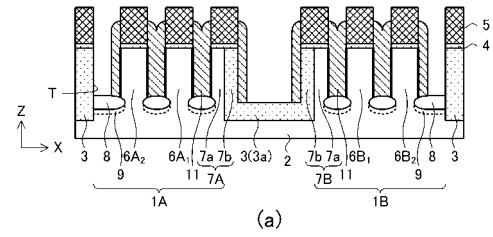
【図 6】



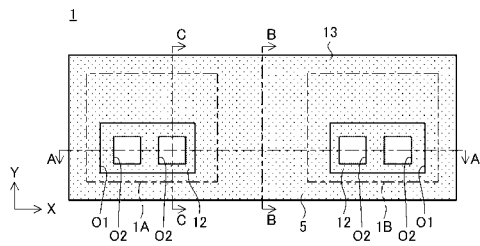
【図 7】



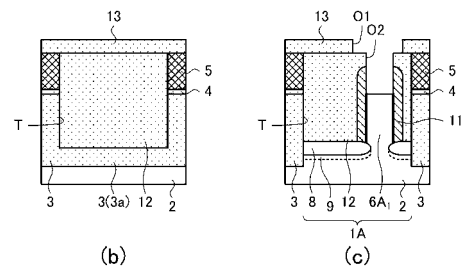
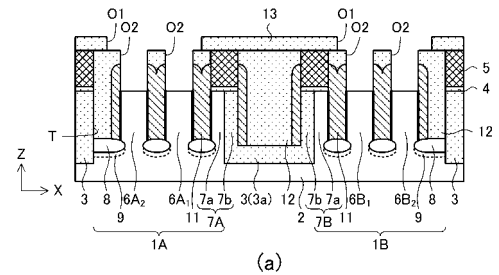
【図 8】



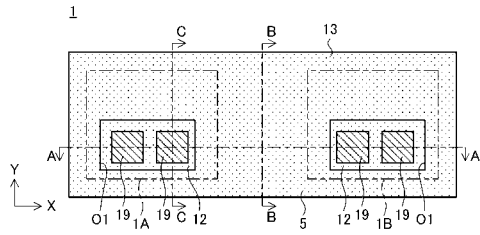
【図 9】



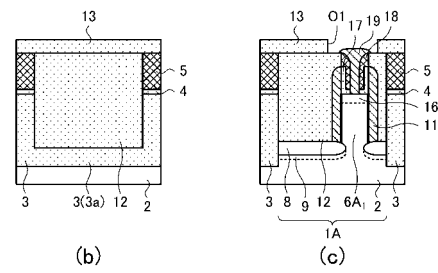
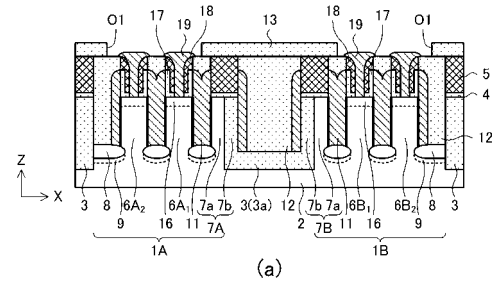
【図 10】



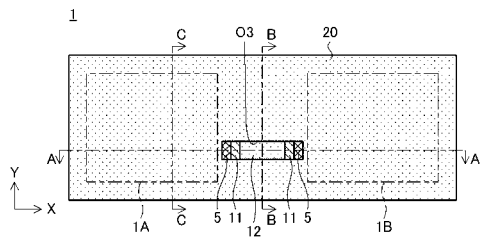
【図 1 1】



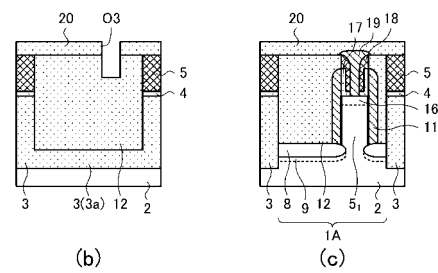
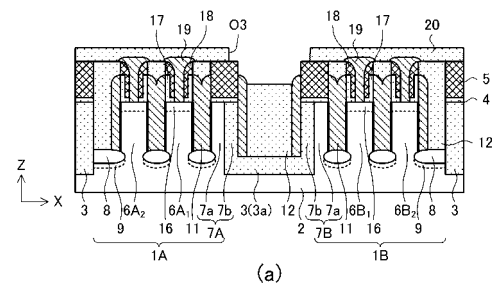
【図 1 2】



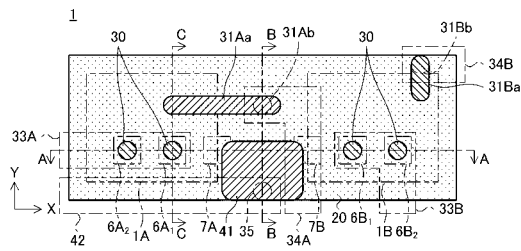
【図 1 3】



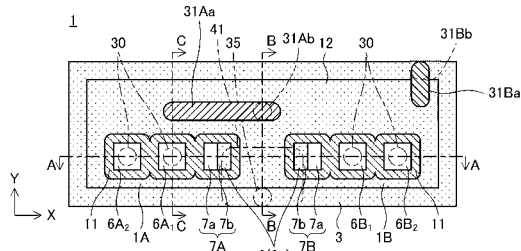
【図 1 4】



【図 15】

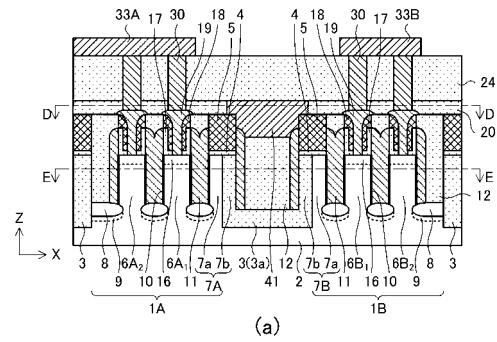


(a)

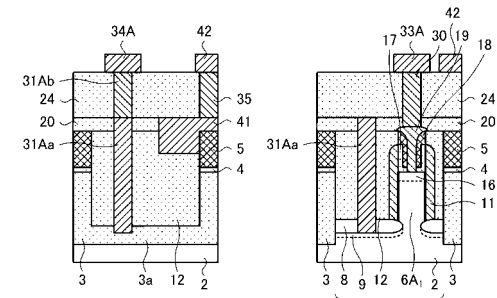


(b)

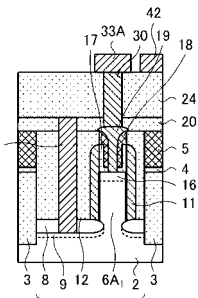
【図 16】



(a)

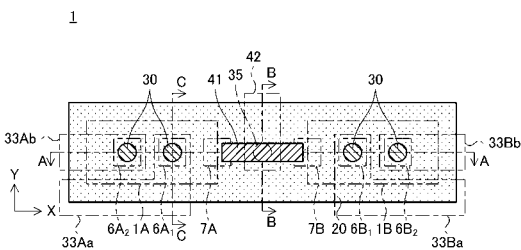


(b)

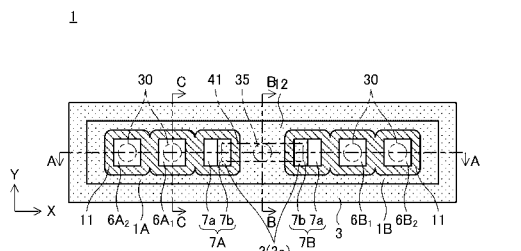


(c)

【図 17】

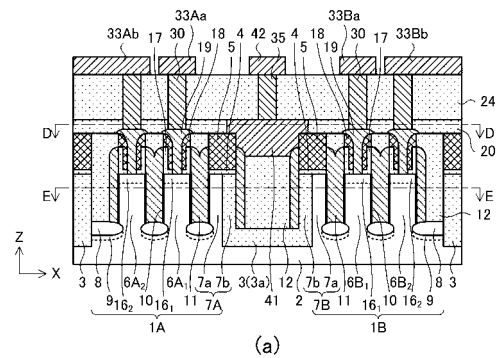


(a)

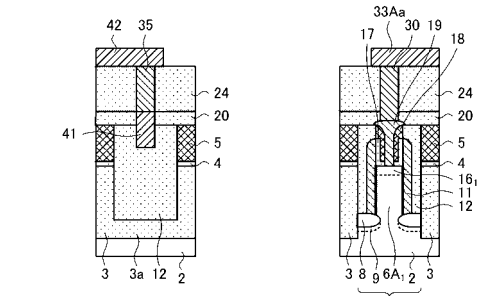


(b)

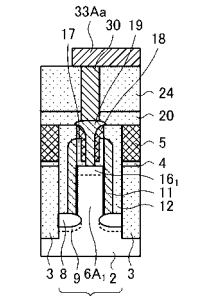
【図 18】



(a)

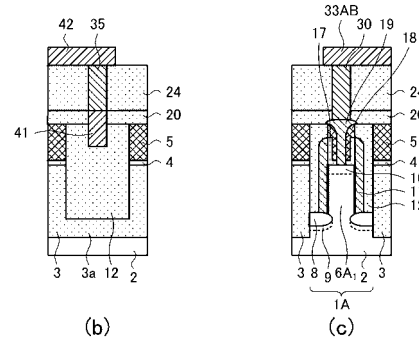
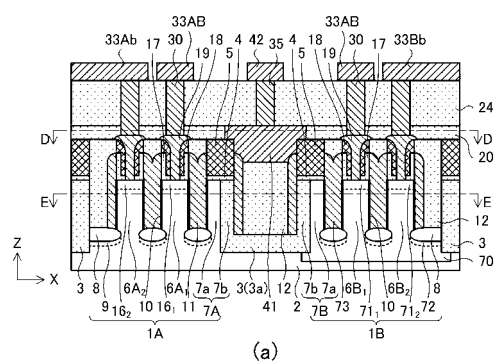


(b)

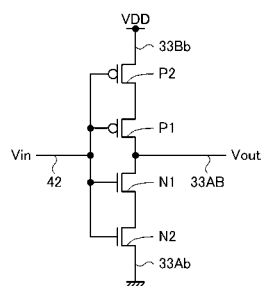


(c)

【図 20】



【図 2 1】



フロントページの続き

(72)発明者 高石 芳宏

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5F048 AA01 AB01 AC01 BA01 BB01 BB06 BB19 BD06 BD07 BF07
BF11 BF15 BF19 CB06 CB07
5F083 AD00 GA02 GA09 GA27 JA35 JA39 JA40 JA53 MA06 MA19
NA01 PR25 PR40 ZA28