

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4198906号
(P4198906)

(45) 発行日 平成20年12月17日 (2008.12.17)

(24) 登録日 平成20年10月10日 (2008.10.10)

(51) Int.Cl.	F I
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 A
HO 1 L 23/522 (2006.01)	HO 1 L 21/90 M

請求項の数 20 (全 46 頁)

(21) 出願番号	特願2001-349875 (P2001-349875)	(73) 特許権者	503121103
(22) 出願日	平成13年11月15日 (2001.11.15)		株式会社ルネサステクノロジ
(65) 公開番号	特開2003-152077 (P2003-152077A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成15年5月23日 (2003.5.23)	(74) 代理人	100080001
審査請求日	平成16年3月29日 (2004.3.29)		弁理士 筒井 大和
前置審査		(72) 発明者	齋藤 達之
			東京都青梅市新町六丁目16番地の3 株
			式会社日立製作所 デバイス開発センタ内
		(72) 発明者	大橋 直史
			東京都青梅市新町六丁目16番地の3 株
			式会社日立製作所 デバイス開発センタ内
		(72) 発明者	今井 俊則
			東京都青梅市新町六丁目16番地の3 株
			式会社日立製作所 デバイス開発センタ内
			最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

- (a) 半導体基板上の第1絶縁膜中に第1配線溝を形成する工程と、
- (b) 前記第1配線溝の側壁と底部に第1バリアメタル膜を形成する工程と、
- (c) 前記第1配線溝内に、前記第1バリアメタル膜を介して、第1導電体層を埋め込んで形成する工程と、
- (d) 前記第1導電体層の表面にキャップバリアメタル膜を形成する工程と、
- (e) 前記キャップバリアメタル膜および第1絶縁膜上に第2絶縁膜を形成し、前記第2絶縁膜上に第3絶縁膜を順次形成する工程と、
- (f) 前記第2および第3絶縁膜を選択的に除去することにより、前記第3絶縁膜中に形成された第2配線溝、および前記第2絶縁膜中に形成された接続孔であって、前記第2配線溝の底部から前記キャップバリアメタル膜上に至る接続孔を形成する工程と、
- (g) 前記接続孔の外部の前記キャップバリアメタル膜を残しつつ、前記接続孔の内部の前記キャップバリアメタル膜を除去する工程と、
- (h) 前記(g)工程後に、前記第2配線溝の側壁と底部および前記接続孔の側壁と底部に第2バリアメタル膜を形成する工程と、
- (i) 前記(h)工程後に、前記接続孔の底部の前記第2バリアメタル膜を除去する工程と、
- (j) 前記(i)工程後に、前記第2配線溝内および前記接続孔内に第2導電体層を形成する工程と、

10

20

を有し、

前記第1および第2導電体層はCuを主成分とした金属膜を含み、

前記(h)工程で、前記第2バリアメタル膜は、前記第2配線溝の底部に形成される前記第2バリアメタル膜の膜厚が、前記接続孔の底部に形成される前記第2バリアメタル膜の膜厚よりも大きくなるように形成され、

前記(i)工程後に、前記第2バリアメタル膜は、前記第2配線溝の側壁と底部および前記接続孔の側壁に、連続的に残されていることを特徴とする半導体装置の製造方法。

【請求項2】

請求項1に記載の半導体装置の製造方法において、

前記(i)工程は、異方性エッチングにより行われることを特徴とする半導体装置の製造方法。

10

【請求項3】

請求項1または2に記載の半導体装置の製造方法において、

前記第1および第2バリアメタル膜は、Ta、Ta_N、TaSi_N、W、WN、WSi_N、Ti、Ti_N又はTiSi_Nのいずれか1つの単層膜、または、これらのうちいずれかを複数積層した積層膜であることを特徴とする半導体装置の製造方法。

【請求項4】

請求項1～3のいずれか1項に記載の半導体装置の製造方法において、

前記キャップバリアメタル膜は、W、WN、WSi_N、Wを主成分とした金属膜であることを特徴とする半導体装置の製造方法。

20

【請求項5】

請求項1～3のいずれか1項に記載の半導体装置の製造方法において、

前記キャップバリアメタル膜は、Ti_N、TiSi_N、Ta、Ta_N又はTaSi_Nのいずれか1つの単層膜、または、これらのうちいずれか2層を積層した膜であることを特徴とする半導体装置の製造方法。

【請求項6】

請求項1～5のいずれか1項に記載の半導体装置の製造方法において、

前記第2および第3絶縁膜は、酸化シリコン膜よりも低い誘電率を有する膜であることを特徴とする半導体装置の製造方法。

【請求項7】

30

請求項1～5のいずれか1項に記載の半導体装置の製造方法において、

前記第2および第3絶縁膜は、Si、OおよびCを有する膜であることを特徴とする半導体装置の製造方法。

【請求項8】

請求項1～5のいずれか1項に記載の半導体装置の製造方法において、

前記第2および第3絶縁膜は、有機膜であることを特徴とする半導体装置の製造方法。

【請求項9】

請求項1～5のいずれか1項に記載の半導体装置の製造方法において、

前記第2および第3絶縁膜は、膜中に空孔を有する膜であることを特徴とする半導体装置の製造方法。

40

【請求項10】

請求項1～9のいずれか1項に記載の半導体装置の製造方法において、

前記(i)工程と前記(j)工程の間に、前記第1導電体層に対して、還元雰囲気中での熱処理を行うことを特徴とする半導体装置の製造方法。

【請求項11】

請求項1～9のいずれか1項に記載の半導体装置の製造方法において、

前記(i)工程と前記(j)工程の間に、前記第1導電体層に対して、還元雰囲気中でのプラズマ処理を行うことを特徴とする半導体装置の製造方法。

【請求項12】

請求項1～9のいずれか1項に記載の半導体装置の製造方法において、

50

前記 (i) 工程と前記 (j) 工程の間に、フッ化水素による洗浄を行うことを特徴とする半導体装置の製造方法。

【請求項 1 3】

半導体基板上に形成された第 1 絶縁膜と、
前記第 1 絶縁膜中に形成された第 1 配線溝と、
前記第 1 配線溝の内部に形成された第 1 バリアメタル膜と、
前記第 1 バリアメタル膜を介して、前記第 1 配線溝内に埋め込まれて形成された第 1 導電体層と、

前記第 1 導電体層の表面に形成されたキャップバリアメタル膜と、
前記キャップバリアメタル膜および第 1 絶縁膜上に形成された第 2 絶縁膜と、
前記第 2 絶縁膜上に形成された第 3 絶縁膜と、
前記第 3 絶縁膜中に形成された第 2 配線溝と、
前記第 2 絶縁膜中に形成された接続孔であって、前記第 2 配線溝と前記第 1 導電体層とを接続する接続孔と、

前記第 2 配線溝の内部および前記接続孔の内部に形成された第 2 バリアメタル膜と、
前記第 2 バリアメタル膜を介して、前記第 2 配線溝内および前記接続孔内に形成された第 2 導電体層と、

を有し、

前記第 1 および第 2 導電体層は Cu を主成分とした金属膜を含み、

前記キャップバリアメタル膜は、前記接続孔の外部の前記キャップバリアメタル膜が残されるように、前記接続孔の内部の前記キャップバリアメタル膜が除去されており、

前記第 2 バリアメタル膜は、前記第 2 配線溝の側壁と底部および前記接続孔の側壁に前記第 2 バリアメタル膜が連続的に残されるように、前記接続孔の底部の前記第 2 バリアメタル膜が除去されており、

前記第 1 導電体層と前記第 2 導電体層とが直接接続していることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 3 に記載の半導体装置において、

前記第 1 および第 2 バリアメタル膜は、Ta、Ta₂N、TaSiN、W、WN、WSiN、Ti、TiN 又は TiSiN のいずれか 1 つの単層膜、または、これらのうちいずれかを複数積層した積層膜であることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 3 または 1 4 に記載の半導体装置において、

前記キャップバリアメタル膜は、W、WN、WSiN、W を主成分とした金属膜であることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 3 ~ 1 5 のいずれか 1 項に記載の半導体装置において、

前記キャップバリアメタル膜は、TiN、TiSiN、Ta、Ta₂N 又は TaSiN のいずれか 1 つの単層膜、または、これらのうちいずれか 2 層を積層した膜で形成であることを特徴とする半導体装置。

【請求項 1 7】

請求項 1 3 ~ 1 6 のいずれか 1 項に記載の半導体装置において、

前記第 2 および第 3 絶縁膜は、酸化シリコン膜よりも低い誘電率を有する膜であることを特徴とする半導体装置。

【請求項 1 8】

請求項 1 3 ~ 1 6 のいずれか 1 項に記載の半導体装置において、

前記第 2 および第 3 絶縁膜は、Si、O および C を有する膜であることを特徴とする半導体装置。

【請求項 1 9】

請求項 1 3 ~ 1 6 のいずれか 1 項に記載の半導体装置において、

前記第2および第3絶縁膜は、有機膜であることを特徴とする半導体装置。

【請求項20】

請求項13～16のいずれか1項に記載の半導体装置において、

前記第2および第3絶縁膜は、膜中に空孔を有する膜であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関し、特に、配線間の接続部に適用して有効な技術に関するものである。

【0002】

【従来の技術】

近年、半導体集積回路装置（半導体装置）における配線の微細化および多層化に伴い、例えば、絶縁膜中に溝を形成し、導電性膜を溝内部に埋め込むことにより配線等を形成する、いわゆるダマシン技術が検討されている。

【0003】

このダマシン技術には、配線用の溝と、配線と配線とを接続する接続部用の溝とを異なる工程で埋め込むシングルダマシン法と、配線用の溝と接続部用の溝とを同時に埋め込むデュアルダマシン法がある。

【0004】

これらの溝中に埋め込まれる導電性膜として例えば、銅膜等が用いられている。

【0005】

また、この溝の内部には、1)埋め込まれる導電性膜を構成する金属（銅膜の場合は銅）の絶縁膜中への拡散を防止するため、また、2)絶縁膜が、酸化シリコン膜のような酸化物で形成される場合、この酸化シリコン膜と導電性膜とが接触することによって導電性膜が酸化されることを防止する等のために、溝内部に例えば、バリア性を有する導電性膜を形成する。

【0006】

また、埋め込まれる導電性膜（例えば、銅膜）上には、この上部に形成される絶縁膜中への金属の拡散や絶縁膜による酸化を防止するため、窒化シリコン膜等のバリア性を有する絶縁膜を形成する。

【0007】

【発明が解決しようとする課題】

しかしながら、窒化シリコン膜は、誘電率が高いことから配線のRC時定数が大きくなり、装置の高速動作を妨げる。

【0008】

また、導電性膜を構成する金属の拡散（移動）によりエレクトロマイグレーションが生じ得るが、例えば銅の拡散のしやすさを本発明者らが検討した結果、銅-バリア膜界面と銅-窒化シリコン膜界面とでは、拡散の活性化エネルギーが銅-バリア膜界面の方が大きい（すなわち、銅が拡散しにくい）と推測された。従って、エレクトロマイグレーション寿命は、銅-窒化シリコン膜界面での銅の拡散の活性化エネルギー値により律則されることになる。

【0009】

さらに、配線と配線とを接続する接続部の底面において、エレクトロマイグレーションによりボイドが発生すると、接続部と下層の配線との接触面積が小さくなり、加速的に配線寿命が低下してしまう。

【0010】

そこで、本発明者らは、配線の上部にタングステン（W）膜等のバリア性を有する導電性膜を形成することを検討している。

【0011】

10

20

30

40

50

例えば、USP 6 1 4 7 4 0 2 号公報には、AlとCu合金 (Al n Cu y ALLOY) よりなる配線上に、Wよりなるキャップ (WCAP) を形成する技術が開示されている。

【0012】

また、USP 6 1 1 4 2 4 3 号公報には、いわゆるデュアルダマシン構造において、銅層 (24) の上部に導電性のキャップ層 (26) を形成し、さらにその上部にビアもしくはデュアルダマシンの開口部 (35) を形成し、バリア層 (36) と銅層 (36) を形成する技術が開示されている。カッコ内は、公報中の符号を示す。

【0013】

しかしながら、このように配線の上部にタングステン (W) 膜等のバリア性を有する導電性膜 (以下、「キャップバリアメタル層」という) を形成する場合、配線と接続部との間は、配線を構成する金属膜 - キャップバリアメタル層 - バリアメタル層 - 接続部を構成する金属層が積層された構造となり、これらの膜間の接触抵抗が増加してしまう。

10

【0014】

また、このような構造では、エレクトロマイグレーションによる金属原子の移動が起こった場合において、接続部と配線部との間にキャップバリアメタル層およびバリアメタル層が存在するため、接続部と配線との間に、金属の移動が起きない。

【0015】

その結果、ボイドの発生頻度が大きくなり、断線を起こすポテンシャルが高くなってしまふ。また、同様な断線はエレクトロマイグレーションのみでなく、ストレスによるバリアメタルと銅の界面での剥離、すなわちマイグレーションによっても引き起こされる懸念がある。

20

【0016】

本発明の目的は、配線と接続部との間の接触抵抗を低減することにある。

【0017】

また、本発明の他の目的は、エレクトロマイグレーションによるボイドの発生率や断線の発生率を低減させることやストレスマイグレーションによる断線の発生率を低減させる等、信頼性を向上させることにある。

【0018】

また、本発明の他の目的は、半導体装置の特性を向上させることにある。

【0019】

本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【0020】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0021】

(1) 本発明の半導体装置は、半導体基板上に形成され、かつ、配線溝を有する第1層間絶縁膜と、前記配線溝の側壁と底面に形成された第1バリアメタル層と、前記配線溝を埋め込むように前記第1バリアメタル層上に形成された第1導電体層と、前記第1導電体層の表面に形成されたキャップバリアメタル膜とを有する配線部と、前記第1層間絶縁膜上に形成され、かつ、接続孔を有する第2層間絶縁膜と、前記接続孔の側壁と底面に形成された第2バリアメタル層と、前記接続孔を埋め込むように前記第2バリアメタル層上に形成された第2導電体層とを有する接続部と、を有する半導体装置において、前記接続部と前記配線部の接続部分において、前記接続孔の底面の前記第2バリアメタル層又は前記キャップバリアメタル膜の、少なくともどちらか一方が除去されているか、又はそれらのバリア材が不連続な膜で構成されたものである。

40

【0022】

(2) 本発明の半導体装置の製造方法は、半導体基板上に第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜中に配線溝を形成する工程と、前記配線溝の側壁と底面に第1バ

50

リアメタル層を形成する工程と、前記配線溝を埋め込むように前記第1バリアメタル層上に第1導電体層を形成する工程と、前記第1導電体層の表面にキャップバリアメタル膜を形成する工程と、前記第1層間絶縁膜上に第2層間絶縁膜を形成する工程と、前記第2層間絶縁膜中に接続孔を形成する工程と、前記接続孔の側壁と底面に第2バリアメタル層を形成する工程と、前記接続孔を埋め込むように前記第2バリアメタル層上に第2導電体層を形成する工程と、を有する半導体装置の製造方法であって、前記接続孔を形成する工程において、前記キャップバリアメタル膜を前記接続孔と前記配線溝の重なり部分のみ除去するものである。

【0023】

(3) 本発明の半導体装置は、第1配線構造と第2配線構造を有する半導体装置であって、前記第1配線構造は、第1配線部と第1配線部上に形成された第1接続部を含み、前記第1配線部は、第1導電体層と、前記第1導電体層を囲むように前記第1導電体層の側面と底面に形成された第1バリアメタル層と、前記第1導電体層の表面に形成された第1キャップバリアメタル膜とを有し、前記第1接続部は、前記配線部上に形成され、第2導電体層と、前記第2導電体層を囲むように前記第2導電体層の側面と底面に形成された第2バリアメタル層とからなり、前記第2配線構造は前記第1配線構造上に形成され、第2配線部と第2配線部上に形成された第2接続部を含み、前記第2配線部は、第3導電体層と、前記第3導電体層を囲むように前記第3導電体層の側面と底面に形成された第3バリアメタル層と、前記第3導電体層の表面に形成された第2キャップバリアメタル膜とを有し、前記第2接続部は、前記配線部上に形成され、第4導電体層と、前記第4導電体層を囲むように前記第4導電体層の側面と底面に形成された第4バリアメタル層とからなり、前記第1、第2バリアメタル層および前記第1キャップバリアメタル膜の構造は、前記第3、第4バリアメタル層および前記第2キャップバリアメタル膜の構造と、異なる構造であるものである。

【0024】

(4) 本発明の半導体装置は、半導体基板上に形成された第1絶縁膜と、前記第1絶縁膜上に形成された第2絶縁膜と、前記第1絶縁膜と前記第2絶縁膜を選択的に除去して形成された配線溝と、前記配線溝の側壁と底面に形成された第1バリアメタル層と、前記配線溝を埋め込むように前記第1バリアメタル層上に形成された第1導電体層と、前記第1導電体層の表面に形成されたキャップバリアメタル膜とを有する配線部と、前記第2絶縁膜上に形成され、かつ、接続孔を有する第3絶縁膜と、前記接続孔の側壁と底面のうち、少なくとも前記側壁に形成された第2バリアメタル層と、前記接続孔を埋め込むように前記第2バリアメタル層上に形成された第2導電体層とを有する接続部と、を有する半導体装置において、前記第2絶縁膜は、バリア絶縁膜としての機能を有するものである。

【0025】

(5) 本発明の半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜上に第2絶縁膜を形成する工程と、前記第1絶縁膜と前記第2絶縁膜を選択的に除去して配線溝を形成する工程と、前記配線溝の側壁と底面に第1バリアメタル層を形成する工程と、前記配線溝を埋め込むように前記第1バリアメタル層上に第1導電体層を形成する工程と、前記第1導電体層の表面にキャップバリアメタル膜を形成する工程と、前記第2絶縁膜上に第3絶縁膜を形成する工程と、前記第3絶縁膜中に接続孔を形成する工程と、前記接続孔の側壁と底面のうち、少なくとも前記側壁に第2バリアメタル層を形成する工程と、前記接続孔を埋め込むように前記第2バリアメタル層上に第2導電体層を形成する工程と、を有する半導体装置の製造方法であって、前記第2絶縁膜は、バリア絶縁膜としての機能を有するものである。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 7 】

(実施の形態 1)

本発明の実施の形態である半導体装置をその製造方法に従って説明する。図 1 ~ 図 2 3 は、本発明の実施の形態 1 である半導体装置の製造方法を示す基板の要部断面図もしくは要部平面図である。

【 0 0 2 8 】

まず、図 1 に示すように、例えば、半導体基板の主表面に、半導体素子の一例として n チヤネル型 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) Q n を形成する。

【 0 0 2 9 】

これらの M I S F E T 形成プロセスの一例を以下に示す。

【 0 0 3 0 】

まず、例えば、半導体領域 1 a 上に絶縁膜として例えば酸化シリコン膜 1 b が形成され、さらに、その上部に p 型の半導体領域 1 c が形成された半導体基板 1、いわゆる S O I (silicon on Insulator) 基板を準備する。この半導体基板 (半導体領域 1 c) 1 の各素子形成領域は、素子分離 2 により絶縁される。この素子分離 2 は、例えば半導体領域 1 c の熱酸化もしくは半導体領域 1 c に形成された素子分離溝内に酸化シリコン膜を埋め込むことにより形成することができる。この素子分離 2 が形成された領域により、M I S F E T 等の半導体素子が形成される活性領域が規定される。

【 0 0 3 1 】

次に、半導体基板 (以下、単に「基板」という) 1 を例えば熱酸化することにより、その表面に清浄なゲート絶縁膜 8 を形成する。

【 0 0 3 2 】

次に、ゲート絶縁膜 8 の上部に、例えば導電性膜として、リン (P) をドーブした低抵抗多結晶シリコン膜 9 a、薄い W N (窒化タングステン) 膜 9 b および W (タングステン) 膜 9 c を順次堆積する。

【 0 0 3 3 】

次に、W 膜 9 c、W N 膜 9 b および多結晶シリコン膜 9 a を、例えばドライエッチング技術等を用いてエッチングすることにより、多結晶シリコン膜 9 a、W N 膜 9 b および W 膜 9 c からなるゲート電極 9 を形成する。

【 0 0 3 4 】

次に、ゲート電極 9 の両側の基板 1 に n 型不純物として例えばリン (P) 又は砒素 (A s) をイオン打ち込みすることによって n⁻ 型半導体領域 1 1 を形成する。

【 0 0 3 5 】

次に、基板 1 上に絶縁膜として例えば窒化シリコン膜を堆積した後、異方的にエッチングすることによって、ゲート電極 9 の側壁にサイドウォールスペーサ 1 3 を形成する。

【 0 0 3 6 】

次に、ゲート電極 9 の両側の基板 1 に n 型不純物をイオン打ち込みすることによって n⁻ 型半導体領域 1 1 よりも不純物濃度の高い n⁺ 型半導体領域 1 4 (ソース、ドレイン) を形成する。

【 0 0 3 7 】

ここまでの工程で、L D D (Lightly Doped Drain) 構造のソース、ドレインを備えた n チヤネル型 M I S F E T Q n が形成される。なお、p チヤネル型 M I S F E T Q p を同様の工程により形成してもよい。この場合、用いられる不純物の導電型が n チヤネル型 M I S F E T Q n を形成する場合と逆となる。

【 0 0 3 8 】

この後、n チヤネル型 M I S F E T Q n や図示しない他の素子等と電気的に接続される配線を形成するのであるが、以下、その工程について説明する。

【 0 0 3 9 】

まず、図 1 に示すように n チヤネル型 M I S F E T Q n 上に、絶縁膜として例えば酸化シ

10

20

30

40

50

リコン膜 20 を C V D (Chemical Vapor deposition) 法で堆積した後、例えば酸化シリコン膜 20 の表面を化学的機械研磨 (C M P ; Chemical Mechanical Polishing) 法で研磨してその表面を平坦化する。

【0040】

次に、例えば酸化シリコン膜 20 上にフォトレジスト膜 (図示せず、以下単に「レジスト膜」という) を形成し、このレジスト膜をマスクに酸化シリコン膜 20 をエッチングすることにより n チャネル型 M I S F E T Q n のゲート電極 9 上にコンタクトホール C 1 を形成する。

【0041】

次いで、例えばコンタクトホール C 1 内を含む酸化シリコン膜 20 上に、バリアメタル層として例えば窒化チタン (T i N) 膜 P 1 a を C V D 法もしくはスパッタ法により薄く形成した後、導電性膜として例えばタングステン (W) 膜 P 1 b を C V D 法により形成する。次いで、コンタクトホール C 1 外部の T i N 膜 P 1 a および W 膜 P 1 b を、例えば C M P により除去し、プラグ P 1 を形成する。なお、バリアメタル層として、チタン (T i) 膜と T i N 膜との積層膜を用いても良い。

10

【0042】

次いで、図 2 に示すように、酸化シリコン膜 20 およびプラグ P 1 上に、絶縁膜として例えばテトラエトキシシランを原料とした C V D 法により酸化シリコン膜 22 a を形成する。以下、この酸化シリコン膜 22 a を T E O S 膜 22 a という。なお、図 2 は、図 1 に示すプラグ P 1 近傍の部分拡大図である。なお、プラグ P 1 (P 1 b) 中の線は、タングステン膜を堆積した際に生じる接合面 (シーム) である。

20

【0043】

次いで、T E O S 膜 22 a 上に、低誘電絶縁膜 22 b を形成する。この低誘電絶縁膜は、例えば芳香族ポリマー材料を塗布し、熱処理を施すことにより形成することができる。また、低誘電絶縁膜として、有機系のシリカガラスを用いてもよい。この場合も、材料を塗布した後熱処理を施す。この有機系のシリカガラスの組成は、主に S i O C H である。また、他の有機ポリマー材料や、上記の各種材料に空孔を導入した材料を用いることもできる。

【0044】

このような塗布膜を低誘電絶縁膜として用いた場合には、基板表面の凹凸を平坦化することができる。基板表面の凹凸は、下層のパターンに起因するものや、C M P 時のエロージョンやディッシングによっても生じる。

30

【0045】

一方、低誘電絶縁膜を、C V D 法により形成することもできる。例えば、トリメチルシランやテトラメチルシランを原料とした C V D 法により低誘電絶縁膜を形成することができる。この場合の膜組成は、主に S i O C である。この他、低誘電絶縁膜としては S i O F を主成分とする膜、S i C を主成分とする膜や、芳香族炭化水素構造の有機ポリマー膜 (C と H を含有する膜) や、上記各種膜や S i O₂ (酸化シリコン膜) 等の膜中に空孔を導入 (ポーラス化) することにより誘電率を下げることもできる。これらの膜は、C V D 法を用いて形成することができる。

40

【0046】

このような低誘電絶縁膜の誘電率は、酸化シリコン膜 (例えば、T E O S 膜) より低く (誘電率が 3 . 7 以下であり)、その結果、配線 (ゲート電極も含む) 間の寄生容量が低減されるため半導体装置の動作の高速化を図ることができる。

【0047】

もちろん T E O S 膜 22 a の代わりに、前述の C V D 法を用いて形成した低誘電絶縁膜 (S i O C、S i O F もしくは S i O C や S i O₂ のポーラス材料等) を用いてもよい。

【0048】

次いで、低誘電絶縁膜 22 b 上に、T E O S 膜 22 c を形成する。T E O S 膜 22 c は、T E O S 膜 22 a と同様に形成する。

50

【 0 0 4 9 】

このように、低誘電絶縁膜 2 2 b を T E O S 膜 2 2 a および 2 2 c で挟み込むのは、これらの積層膜の機械的強度を確保するためである。また、これら T E O S 膜 2 2 a、2 2 c および低誘電絶縁膜 2 2 b の 3 層の絶縁膜 (2 2) 中に配線溝が形成される。

【 0 0 5 0 】

次いで、図 3 に示すように、第 1 層配線形成予定領域の絶縁膜 2 2 (2 2 a、2 2 b、2 2 c) をフォトリソグラフィーおよびドライエッチング技術を用いて除去することにより配線溝 H M 1 を形成する。この配線溝 H M 1 の深さは、例えば 0 . 2 5 μ m で、幅は、例えば 0 . 1 8 μ m である。なお、低誘電絶縁膜 2 2 b と T E O S 膜 2 2 a とのエッチング選択比を利用し、T E O S 膜 2 2 a を前記エッチングの際のエッチングストッパー膜として利用すれば、制御性よく配線溝 H M 1 を形成することができる。

10

【 0 0 5 1 】

次に、図 4 に示すように、配線溝 H M 1 内を含む絶縁膜 2 2 上に、例えば窒化タンタル (T a N) 膜およびタンタル (T a) 膜が下から順に積層されたバリア膜 M 1 a をスパッタ法により堆積する。このバリア膜 M 1 a の形成方法としては、C V D 法を用いてもよいし、また、スパッタ法的一种であるイオン化スパッタ法を用いてもよい。このイオン化スパッタ法は、バリア膜を構成する金属をイオン化し、さらに、基板にバイアスを印加することによって、金属イオンに指向性を持たせるものであり、微細な溝の内部においても被覆性良く膜を堆積させることができる。配線溝 H M 1 の側壁には、約 5 n m、配線溝の底部には、約 3 0 n m 程度のバリア膜 M 1 a を形成する。

20

【 0 0 5 2 】

また、バリア膜としては、前述の T a N および T a との積層膜に限定されるものではなく、例えば、T a、T a N、T a S i N、W、窒化タングステン (W N)、W S i N、T i、T i N もしくは T i S i N からなる単層膜や、T i、T i N および T i の 3 層膜、T i および T i N の 2 層膜、T i S i N および T a の 2 層膜、T a、T a N および T a の 3 層膜、もしくは T a および T a N の 2 層膜等、前記単層膜として挙げた膜のうちいずれかを複数積層した積層膜を用いても良い。

【 0 0 5 3 】

次いで、バリア膜 M 1 a 上に、導電性膜として例えば銅膜を例えば電解メッキ法を用いて形成するのであるが、まず、電界メッキ用のシード膜として薄い銅膜 M 1 b を例えばイオン化スパッタ法を用いて形成する。即ち、銅をイオン化し、さらに、基板にバイアスを印加することによって、銅イオンに指向性を持たせたスパッタ法によって銅膜 M 1 b を堆積する。この際、例えば、ターゲットと基板との距離は 3 0 0 m m 程度、基板温度は 2 5 度以下で成膜する。成膜初期においては、基板に比較的小さな D C もしくは R F バイアスを印加し、基板上に一定の銅膜を堆積した後、バイアスを比較的大きくする。このようにバイアスを大きくすることによって、基板表面にイオンが入射され、既に堆積している銅膜をスパッタエッチングする。この際、イオンは基板に対しほぼ垂直に入射するため、平面部 (絶縁膜 2 2 上および配線溝 H M 1 底部) が、優先的にエッチングされ、飛散した銅が配線溝 H M 1 側壁に再堆積し、配線溝 H M 1 の側壁底部の段差被覆性 (ステップカバレッジ) を向上させる。なお、イオン化スパッタ法に代えて、低圧長距離スパッタ法を用いて成膜を行ってもよい。

30

40

【 0 0 5 4 】

次いで、例えばメッキ液として硫酸銅を含む溶液を用いた電界メッキ法により、銅膜 M 1 b 上に銅膜 M 1 c を形成する。この際、配線溝 H M 1 を埋め込むように銅膜 M 1 c を形成する。

【 0 0 5 5 】

次に、還元雰囲気下において基板 1 にアニール (熱処理) を施した後、図 5 に示すように、配線溝 H M 1 外部の銅膜 M 1 c、M 1 b およびバリア膜 M 1 a を例えば C M P 法もしくはエッチバック法を用いて除去することにより銅膜 M 1 b、M 1 c およびバリア膜 M 1 a から成る第 1 層配線 M 1 を形成する。この後、さらに、還元雰囲気下において基板 1 にア

50

ニール（熱処理）を施す。

【0056】

次に、図6に示すように、第1層配線M1上にタングステン（W）を選択成長もしくは優先成長させることにより、第1層配線M1上に2～20nm程度のタングステン膜CM1を形成する。タングステン膜CM1は、例えば、0.3 Torr（ $0.3 \times 1.33322 \times 10^2$ Pa）、サセプタ設定温度460（基板実温430）で、6フッ化タングステン（WF₆）流量5 scc、水素（H₂）流量500 sccの条件下で、1.5分間処理を行うことにより形成する。

【0057】

かかる処理により、第1層配線M1上にのみにタングステンが選択的に成長もしくは、TEOS膜22c上に比べ第1層配線M1上にタングステンが優先的に成長する。なお、ここでは、タングステンの成長速度を優先して比較的高温で処理を行ったが、例えば300程度で処理を行ってもよい。このように、選択成長もしくは優先成長を用いることにより、キャップ導電性膜を簡便に形成することができる。例えば、1）タングステン膜を基板上に全面形成した後、フォトリソグラフィおよびドライエッチング技術を用いてタングステン膜のパターニングを行う、もしくは、2）銅膜表面のCMPやエッチバック時にオーバー研磨やオーバーエッチングを行うことにより、銅膜の表面を窪ませ、かかる窪みにタングステン膜を埋め込む（即ち、タングステン膜を全面成膜したのち、窪み外のタングステン膜をCMP法等により除去する）ことによりキャップ導電性膜を形成してもよいが、これらの方法では、製造工程が複雑になる。また、フォトリソグラフィ時の合わせずれや、CMP時のディッシングまたはエロージョン等の制御が必要になり、精度良くキャップ導電性膜を形成することが困難となる。これに対して、選択成長もしくは優先成長を用いれば、製造工程が複雑になることがなく、また、精度良く、キャップ導電性膜を形成することができる。ただし、キャップ導電性膜の形成方法は選択成長もしくは優先成長に限定されるものではないことは言うまでもない。

【0058】

また、タングステンの他、Wを主成分とした金属層、WN、WSiN、TiN、TiSiN、Ta、Ta₂NもしくはTaSiN（窒化タンタルシリサイド）等の単層膜もしくはこれらのうちいずれかを積層した積層膜（2層膜や3層膜等）を第1層配線M1上のキャップ導電性膜として使用してもよい。なお、タングステンの抵抗が5～20μΩであるのに対し、例えば、TiNは、その抵抗が80～150μΩであり、TaやTa₂Nもタングステンより高抵抗であるため、タングステンをキャップ導電性膜として使用すれば、他の膜を使用するよりも配線の低抵抗化を図ることができる。なお、銅の抵抗は、1.7～2.2μΩである。

【0059】

また、タングステン膜CM1形成直前のアニールと、タングステン膜CM1の成膜を同一装置内（インシチュー）で行ってもよい。例えば、成膜装置とアニール装置とを有するマルチチャンバーを用いて、装置外に取り出すことなく処理することによって、基板（銅膜M1c）表面の汚染を防止することができ、タングステン膜の成膜性や膜質を向上させることができる。

【0060】

また、タングステン膜CM1の成膜に先立ち、CMP後の基板表面の銅の汚染を除去するために、例えばフッ化水素（HF）等の洗浄液を用いた洗浄を行ってもよい。このような洗浄を行うことによってタングステン膜の選択性を良くすることができる。なお、ここではフッ化水素による洗浄を例に挙げたが、基板表面に露出した絶縁膜の表面をエッチングする能力や、表面に付着した銅汚染を除去する能力を有する洗浄であれば、フッ化水素に限定されるものではない。また、タングステン膜CM1の成膜に先立ち、基板1を例えば3000Pa（例えば150から10000Pa）の圧力下、水素（H₂）流量500 cm³/min（sccm）（例えば50から3000 sccm）の雰囲気下に3分間晒す処理を行うことによって、前述の洗浄と同様の効果を得ることができる。このように、

10

20

30

40

50

銅の汚染を除去し、また、水素処理により銅表面の酸化物を銅に戻すことにより、タングステン膜の選択性を良くすることができ、選択性の破れによる配線間の短絡を防止し、また、配線（銅膜）上に形成されるタングステン膜の膜厚の均一性を向上させることができる。また、銅の酸化物は、電界拡散による銅イオンの供給源となることから、かかる酸化物を除去することにより、絶縁膜中への銅イオンの注入量を低減することができ、半導体装置の信頼性を向上させることができる。

【0061】

一方、例えば、TEOS膜22c上にタングステン膜が成長してしまった場合には、タングステン膜の形成後に、前述の銅の洗浄を行うことによるリフトオフ効果により、絶縁膜上のタングステン膜を除去することができる。なお、ここで、基板表面に露出した絶縁膜の表面をエッチングする能力や、表面に付着したタングステンを除去する能力を有する洗浄であれば、その洗浄液組成は限定されるものではない。また、タングステン膜形成後、基板表面に軽いCMPおよび後洗浄を施すことにより、絶縁膜上のタングステン膜を除去することも可能である。このように、TEOS膜22c上の導電性物質を除去することにより、配線間ショートを防止することができる。

【0062】

次いで、図7に示すように、TEOS膜22cおよびタングステン膜CM1上に、絶縁膜として例えばTEOS膜24a、SiOC膜24bおよびTEOS膜24cをCVD法により順次堆積する。これらの膜の表面には、タングステン膜CM1等の凹凸に対応した凹凸が形成されている。また、これらの積層膜（24）のうちTEOS膜24aおよびSiOC膜24bによって、第1層配線M1と第2層配線M2とが絶縁され、これらの膜中に、第1層配線M1と第2層配線M2とを接続するプラグ（接続部）P2を形成するためのコンタクトホールC2が形成される。なお、TEOS膜24aや24cの代わりに、SiN膜（窒化シリコン膜）に対して比較的誘電率が低いバリア絶縁膜であるTMS膜、SiC膜もしくはSiCN膜等を用いてもよい。これらの低誘電絶縁膜の形成方法としては、以下の例が挙げられる。例えば、TMS膜の場合は、トリメトキシシランと一酸化二窒素（ N_2O ）を用いてCVD法により形成することができる。この場合の膜組成は、主にSiONである（この膜をTMS膜という）。あるいは、トリメチルシランを用いてSiC膜を形成したり、トリメチルシランとアンモニアを用いてSiCN膜を形成することもできる。また、TEOS膜24aや24cの代わりにその他の低誘電率膜を用いても良い。また、SiOC膜24bの代わりに、SiOF膜等を用いてもよい。

【0063】

次いで、図8に示すように、TEOS膜24c上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜26bおよびTEOS膜26cを順次形成する。これらの膜（26b、26c）は、それぞれ、低誘電絶縁膜22bおよびTEOS膜22cと同様に形成する。従って、塗布膜を低誘電絶縁膜として用いたので、基板表面の凹凸を平坦化することができる。また、低誘電絶縁膜26bをTEOS膜26cおよび24cで挟み込んだ構造となるので、これらの積層膜（26）の機械的強度を確保することができる。また、これらの絶縁膜（26）および前述のTEOS膜24c中には、第2層配線M2が埋め込まれる配線溝HM2が形成される。

【0064】

次いで、図9に示すように、TEOS膜26c上に、例えばハードマスクMKを堆積し、フォトリソグラフィーおよびドライエッチング技術を用いて第2層配線形成領域のハードマスクMKを除去する。ハードマスクMKとしては、例えば窒化シリコン膜等を用いることができる。

【0065】

次いで、図10に示すように、ハードマスクMK上に、例えばレジスト膜R1を形成し、フォトリソグラフィー技術を用いて第1層配線と第2層配線との接続領域のレジスト膜R1を除去する。

【0066】

次いで、レジスト膜 R 1 をマスクに、絶縁膜 2 6 (2 6 b および 2 6 c) および絶縁膜 2 4 のうち、T E O S 膜 2 4 c および S i O C 膜 2 4 b を例えばドライエッチング法を用いて除去することによりコンタクトホール C 2 を形成する。このように、第 1 層配線 M 1 上に T E O S 膜 2 4 a を残存させておくのは、後述のレジスト除去のためのアッシング時の露出銅の酸化を防止するためであり、また、ドライエッチング時などに銅が飛散することを防止するためである。ただし、基本的には銅膜 M 1 c はキャップ導電性膜であるタングステン膜 C M 1 により被覆されており、T E O S 膜 2 4 a は残存させなくてもよい。

【 0 0 6 7 】

次いで、図 1 1 に示すように、レジスト膜 R 1 を除去した後、ハードマスク M K をマスクに、絶縁膜 2 6 (2 6 b および 2 6 c) および T E O S 膜 2 4 c を例えばドライエッチング法を用いて除去することにより配線溝 H M 2 を形成する。この際、コンタクトホール C 2 の底部に残存する T E O S 膜 2 4 a も除去する。

10

【 0 0 6 8 】

この配線溝 H M 2 の深さは例えば 0 . 2 5 μ m 程度、幅は、0 . 1 8 μ m 程度である。また、コンタクトホール C 2 の深さは、配線溝 H M 2 の底部から例えば 0 . 3 5 μ m 程度、直径は、0 . 1 8 μ m 程度である。

【 0 0 6 9 】

なお、ここでは、コンタクトホール C 2 を形成した後配線溝 H M 2 を形成したが、配線溝 H M 2 を形成した後、例えばこの配線溝をレジスト膜等を埋め込むことにより基板表面を平坦化し、コンタクトホール C 2 を形成してもよい。

20

【 0 0 7 0 】

次いで、図 1 2 に示すように、コンタクトホール C 2 の底部に露出しているタングステン膜 C M 1 を例えばドライエッチング法を用いて除去し、銅膜 M 1 c を露出させる。なお、特に限定はされないが、この配線溝 H M 2 形成及びタングステン膜 C M 1 の除去のドライエッチングは例えばエッチングガスの種類を変えることにより連続的に行うことができる。

【 0 0 7 1 】

このように、コンタクトホール C 2 及び配線溝 H M 2 を形成する工程を利用してコンタクトホール C 2 の底部に露出しているタングステン膜 C M 1 を除去するので、新たなマスクの形成等の工程増加なしにコンタクトホール C 2 の底部に露出しているタングステン膜 C M 1 を選択的に除去できる。次にハードマスク M K を除去する。

30

【 0 0 7 2 】

次いで、露出した銅膜 M 1 c 上の酸化物を除去するため、水素やアンモニアを含む雰囲気中で熱処理を行うか、水素やアンモニアや水素がアンモニアのいずれかと A r 等の希ガスを含む雰囲気中でプラズマを発生させ基板表面に照射するか、A r 等の希ガスで基板表面をスパッタエッチングするか、いずれか単独もしくはそれらを組み合わせた処理を行った後、図 1 3 に示すように、配線溝 H M 2 およびコンタクトホール C 2 の内部を含む T E O S 膜 2 6 c 上に、例えば窒化タンタル (T a N) 膜およびタンタル (T a) 膜が下から順に積層されたバリア膜 P M 2 a を例えば低圧長距離スパッタ法により堆積する。なお、バリア膜 P M 2 a を C V D 法により形成してもよい。また、銅膜 M 1 b の形成工程で詳細に説明したイオン化スパッタ法を用いて形成してもよい。前述した通りイオン化スパッタ法によれば、堆積する金属イオンに指向性を持たせることができる。また、成膜後期において、バイアスを大きくすることにより配線溝やコンタクトホール底部に堆積した金属をスパッタエッチングし、飛散した金属をこれらの側壁に再堆積させることができ、側壁底部の段差被覆性 (ステップカバレッジ) を向上させることができる。

40

【 0 0 7 3 】

ここで、バリア膜 P M 2 a の膜厚は、配線溝 H M 2 の側壁において 5 n m 程度、配線溝 H M 2 の底部において 3 0 n m 程度、コンタクトホール C 2 の側壁において 3 n m 程度、コンタクトホール C 2 の底部において 2 0 n m 程度とする。このように、配線溝 H M 2 底部のバリア膜 P M 2 a の膜厚をコンタクトホール C 2 底部のバリア膜 P M 2 a の膜厚より大

50

きくすることによって、後述のコンタクトホールC 2の底部のバリア膜PM 2 aをスパッタエッチングにより除去しても、配線溝HM 2底部にバリア膜PM 2 aを残存させることができる。また、バリア膜PM 2 a形成時の初期段階の成膜条件を異方性（指向性）が高くなるような条件で行うことにより、配線溝HM 2底部や側壁、コンタクトホールC 2の側壁のバリア膜PM 2 aが必要以上に厚くなることを防止することができる。

【0074】

次いで、図14に示すように、コンタクトホールC 2底部のバリア膜PM 2 aを除去し、バリア膜PM 2 aおよび露出した銅膜M 1 c上に、銅膜PM 2 bを形成する。例えば、前述したイオン化スパッタ法を用いバリア膜PM 2 aの除去と銅膜PM 2 bの形成を行うことができる。

10

【0075】

例えば、ターゲットと基板との距離を300mm程度、基板温度を25度以下とし、初期段階においては、基板に大きなDCもしくはRFバイアスを印加し、基板表面に銅イオンや雰囲気中のアルゴン（Ar）イオンを入射させ、これにより、コンタクトホールC 2底部のバリア膜PM 2 aをスパッタエッチングする。この際、イオンは、基板に対しほぼ垂直に入射するため、平面部（配線溝HM 2底部およびコンタクトホールC 2底部）が、優先的にエッチングされる。ここで、前述したように、配線溝HM 2底部のバリア膜PM 2 aの膜厚をコンタクトホールC 2底部のバリア膜PM 2 aの膜厚より大きくしたので、コンタクトホールC 2の底部のバリア膜PM 2 aを除去しつつ、配線溝HM 2底部には、バリア膜PM 2 aを残存させることができる。

20

【0076】

また、このエッチングの際の条件を適宜選択することにより、飛散したバリア膜PM 2 aを、配線溝HM 1やコンタクトホールC 2の側壁底部に再堆積させ、これらの側壁底部の段差被覆性（ステップカバレッジ）を向上させることもできる。また、配線溝HM 2やコンタクトホールC 2の側壁上部（コーナー部）に厚く堆積したバリア膜PM 2 aを、配線溝HM 2やコンタクトホールC 2の側壁に再堆積させ、これらの側壁のバリア膜PM 2 aの膜厚を均一化することもできる。

【0077】

その後、バイアスを低減するか、バイアスの印加を中止することによって、図15に示すように、配線溝HM 2およびコンタクトホールC 2内に、電界メッキ用のシード膜として薄い銅膜PM 2 bを堆積する。なお、この際も、前述したように、基板上に一定の銅膜を堆積した後、バイアスを比較的大きくすることによって、配線溝HM 2やコンタクトホールC 2の側壁底部の銅膜PM 2 bの段差被覆性（ステップカバレッジ）を向上させることができる。

30

【0078】

その結果、配線溝HM 2の側部、底部およびコンタクトホールC 2の側部上には、バリア膜PM 2 aを介して銅膜PM 2 bが形成され、コンタクトホールC 2底部に露出した銅膜M 1 c上には、バリア膜PM 2 aを介さず直接銅膜PM 2 bが形成される。また、配線溝HM 2の側部および底部のバリア膜PM 2 aは5nm程度、コンタクトホールC 2の側部のバリア膜PM 2 aは、3nm程度であり、銅膜PM 2 bは、10nm程度である。

40

【0079】

このように、コンタクトホールC 2の底部のバリア膜PM 2 aの除去と、配線溝HM 2およびコンタクトホールC 2内部の銅膜PM 2 bの形成を同一装置内で行えば、バリア膜PM 2 aの酸化や膜上への異物の付着を防止することができ、バリア膜PM 2 aや銅膜PM 2 bの膜質を向上させることができる。なお、バイアス等の条件を適宜変更することによりコンタクトホールC 2の底部のバリア膜PM 2 aの除去を行いつつ、他の部位（配線溝HM 2内部やコンタクトホールC 2の側壁上）に銅膜PM 2 bを形成してもよい。

【0080】

もちろん、コンタクトホールC 2の底部のバリア膜PM 2 aの除去と、配線溝HM 2およびコンタクトホールC 2内部の銅膜PM 2 bの形成を異なる装置を用いて行っても良く、

50

例えば、コンタクトホールC 2の底部のバリア膜PM 2 aを異方性エッチングにより除去した後、配線溝HM 2およびコンタクトホールC 2内部に、スパッタ法により銅膜PM 2 bを形成してもよい。この場合、バリア膜PM 2 aおよび異方性エッチングにより露出した銅膜M 1 c表面の酸化物や異物を除去するため、例えば水素やアンモニアなどを含む還元雰囲気中での熱処理やプラズマ処理を行ってもよいし、フッ化水素(HF)等の洗浄液を用いた洗浄等を行ってもよい。

【0081】

次いで、例えばメッキ液として硫酸銅を含む溶液を用いた電界メッキ法により、銅膜PM 2 b上に銅膜PM 2 cを形成する。この際、配線溝HM 2およびコンタクトホールC 2を埋め込むように銅膜PM 2 cを形成する。

10

【0082】

次に、還元雰囲気下において基板1にアニール(熱処理)を施した後、図16に示すように、配線溝HM 2およびコンタクトホールC 2外部の銅膜PM 2 c、PM 2 bおよびバリア膜PM 2 aを例えばCMP法もしくはエッチバック法を用いて除去することにより銅膜PM 2 b、PM 2 cおよびバリア膜PM 2 aから成る第2層配線M 2および第1層配線M 1と第2層配線を接続するプラグ(接続部)P 2を形成する。ここで、第2層配線M 2とは、配線溝HM 2内部に埋め込まれた銅膜PM 2 b、PM 2 cおよびバリア膜PM 2 aをいい、プラグP 2とは、配線溝HM 2底部から延在するコンタクトホールC 2内に埋め込まれた銅膜PM 2 b、PM 2 cおよびバリア膜PM 2 aをいう。

【0083】

20

この後、さらに、還元雰囲気下において基板1にアニール(熱処理)を施す。

【0084】

このように本実施の形態によれば、第1層配線M 1とプラグP 2との間のタングステン膜CM 1およびバリア膜PM 2 aを除去したので、第1層配線M 1とプラグP 2を構成する主たる金属である銅が直接接しているため、低抵抗化を図ることができる。また、第1層配線M 1とプラグP 2との間の銅原子の移動が可能となり、第1層配線M 1とプラグP 2との界面におけるボイドの発生率を小さくすることができ、エレクトロマイグレーション特性を向上させることができる。

【0085】

すなわち、第1層配線M 1とプラグ(接続部)P 2の接続部分であるコンタクトホールC 2の底部において、コンタクトホールC 2の底部のバリア膜PM 2 a及びタングステン膜CM 1の両方が形成されていない。すなわち、コンタクトホールC 2の底部のバリア膜PM 2 a及びタングステン膜CM 1の両方が除去され、第1層配線M 1とプラグP 2を構成する主たる金属である銅が直接接しており、バリア金属と銅の界面が存在しないため、ストレスマイグレーションによるプラグ近辺での断線を防止できる。

30

【0086】

また、タングステン膜CM 1およびバリア膜PM 2 aが一体化する(これらの膜により連続して銅膜を覆う)こととなるため、その内部の銅膜はその全表面をバリア金属膜で覆われることとなり、密着性の比較的低い銅と絶縁膜界面を構造から排除でき、銅の表面での密着性が向上する。その結果、ボイドの発生を抑えることができ、エレクトロマイグレーション特性を向上させることができる。

40

【0087】

一方、タングステン膜CM 1およびバリア膜PM 2 aが除去されているのは、第1層配線M 1とプラグP 2との間のみであり、第1層配線M 1やプラグP 2の他の部分は、タングステン膜CM 1もしくはバリア膜PM 2 aによって覆われているので、1)埋め込まれる導電性膜を構成する金属(銅膜の場合は銅)の絶縁膜中への拡散を防止することができ、また、2)酸化シリコン膜と導電性膜とが接触することによって導電性膜が酸化されることを防止することができる。

【0088】

また、キャップ導電性膜としてタングステン膜を用いたので、窒化シリコン膜等の絶縁膜

50

をキャップ膜として用いた場合と比較し、エレクトロマイグレーション特性を向上させることができる。これは、前述したとおり、銅 - バリア膜界面と銅 - 窒化シリコン膜界面とでは、銅 - バリア膜界面の方が、銅が拡散しにくいからである。

【0089】

また、キャップ導電性膜として窒化シリコン膜等の絶縁膜を用いていないので、配線間に存在する絶縁膜の実効的な誘電率を低減することができる。その結果、配線を介して伝わる信号の伝達速度を向上させることができ、半導体装置の高速動作を実現することができる。なお、窒化シリコン膜の誘電率は6～8程度であり、TEOS膜の誘電率は4である。

【0090】

また、第1層配線M1およびプラグP2が、固いタングステン膜CM1もしくはバリア膜PM2aによって覆われているので、ストレスマイグレーションによる配線等の欠けを防止することができる。このようなストレスは、例えば、熱処理時に加わる熱応力により生じる。特に、本実施の形態においては、硬度の低い低誘電絶縁膜を用いているため、第1層配線M1およびプラグP2の保護は、有効である。

【0091】

また、キャップ導電性膜としてタングステン膜を用いたので、その下層の銅膜の表面に欠陥部が生じていても、タングステン膜をその欠陥に埋め込むことができ、配線の信頼性を向上させ、製品歩留まりを向上させることができる。この銅膜の表面の欠陥は、欠け、収縮もしくはスクラッチ等によるものである。例えば、CMP法による銅膜の研磨の際等に欠けやスクラッチが生じ、熱処理や銅膜の埋め込み不良等によっても生じ得る。

【0092】

このような欠陥によって、銅膜中もしくは銅膜とバリア膜との界面に隙間ができると、配線抵抗の上昇が生じる。また、このような隙間は、エレクトロマイグレーションの起点となり、その特性を低下させる。また、このような隙間上に、プラグが形成されると接続抵抗が上昇してしまう。

【0093】

キャップ導電性膜としてタングステン膜を用いれば、このような隙間にタングステン膜を埋め込むことにより隙間を修復することができ、エレクトロマイグレーション特性を向上させ、半導体装置の信頼性を向上させることができる。また、製品歩留まりを向上させることができる。

【0094】

次に、図17に示すように、第2層配線M2上にタングステン(W)を選択成長もしくは優先成長させることにより、第2層配線M2(PM2c)上に2～20nm程度のタングステン膜CM2を形成する。タングステン膜CM2は、例えば、0.3 Torr (0.3 × 1.33322 × 10² Pa)、サセプタ設定温度460 (基板実温430)で、6フッ化タングステン(WF₆)流量5 scc、水素(H₂)流量500 sccの条件下で、1.5分間処理を行うことにより形成する。

【0095】

かかる処理により、第2層配線M2上にのみにタングステンが選択的に成長もしくは、TEOS膜26c上に比べ第2層配線M2上にタングステンが優先的に成長する。なお、ここでは、タングステンの成長速度を優先して比較的高温で処理を行ったが、例えば300程度で処理を行ってもよい。

【0096】

また、キャップ導電性膜としては、タングステンの他、WN、WSiN、TiN、TiSiN、Ta、Ta₂NもしくはTaSiN等の単層膜もしくはこれらのうちいずれかを積層した積層膜(2層膜や3層膜等)を使用してもよい。

【0097】

なお、前述したようにタングステン膜CM2形成直前のアニールと、タングステン膜CM2の成膜を同一装置内(インシチュー)で行ってもよい。

【0098】

また、タングステン膜CM2の成膜に先立ち、CMP後の基板表面の銅の汚染を除去するために、例えばフッ化水素(HF)等の洗浄液を用いた洗浄や3000Paの圧力下、水素(H₂)流量500cm³/min(sccm)の雰囲気下での3分間の処理などを行ってもよい。

【0099】

また、TEOS膜26c上に成長したタングステン膜を除去するため、前述の銅の洗浄を行い、リフトオフ効果によりTEOS膜26c上のタングステン膜を除去することができる。また、タングステン膜形成後、基板表面に軽いCMPを施すことにより、TEOS膜26c上のタングステン膜を除去することも可能である。このように、TEOS膜26c上の導電性物質を除去することにより、配線間ショートを防止することができる。

10

【0100】

この後、図18に示すように、TEOS膜26cおよびタングステン膜CM2上に、絶縁膜として例えばTEOS膜28a、SiOC膜28bおよびTEOS膜28cをCVD法により順次堆積する。これらの膜は、TEOS膜24a、24cおよびSiOC膜24bと同様に形成する。さらに、TEOS膜28c上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜30bおよびTEOS膜(図示せず)を順次形成する。これらの膜は、低誘電絶縁膜22bおよびTEOS膜22cと同様に形成する。

【0101】

次いで、前記5層の絶縁膜中に、配線溝HM2およびコンタクトホールC2と同様に、配線溝およびコンタクトホールを形成するのであるが、これらの図示は省略する。

20

【0102】

このように、絶縁膜、配線溝およびコンタクトホール、およびバリア膜、銅膜、タングステン膜の形成を繰り返すことによって、多層配線を有する半導体装置が形成される。

【0103】

図19および図20に5層配線(M1~M5)構造の一例を示す。図21~図23は、図19および図20に示す半導体装置の要部平面図であり、図19は、A-A'断面と対応し、図20は、B-B'断面と対応する。図21は、第1層配線M1~第5層配線M5の配置を明示した平面図であり、これらの関係を分かり易くするため、図22は、このうち第1層配線M1~第3層配線M3の配置を、図23は、第3層配線M3~第5層配線M5の配置を明示したものである。

30

【0104】

図19~図23に示すように、第3層配線M3およびその下のプラグP3は、第2層配線M2およびその下のプラグP2と同様に形成することができる。

【0105】

即ち、絶縁膜(28と30)中に、配線溝(HM3)およびコンタクトホール(C3)を形成した後、これらの内部を含む絶縁膜上にバリア膜(PM3a)および銅膜(PM3bとPM3c)を順次形成するコンタクトホール3内にはプラグP3が形成される。

【0106】

このコンタクトホール(C3)形成の際、下層の配線の表面上に形成されているタングステン膜(CM2)を除去しておく、また、銅膜(PM3b)を形成する前に、このコンタクトホール(C3)底部のバリア膜(PM3a)を除去しておく。なお、銅膜(PM3b)を形成しつつ、コンタクトホール(C3)底部のバリア膜(PM3a)を除去してもよい。

40

【0107】

その結果、配線(M3)とプラグ(P3)との接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性を向上させることができる等の前述の効果を得ることができる。

【0108】

また、図19および図20に示すように、第3層配線M3と第4層配線M4および第4層

50

配線 M 4 と第 5 層配線 M 5 とは、それぞれバリア膜 P M 4 a とタングステン膜 C M 3、バリア膜 P M 5 a とタングステン膜 C M 4 とを介して接続されている。これは、図 2 1 および図 2 3 に示したように、第 3 層配線 M 3 ~ 第 5 層配線 M 5 は、その配線幅が大きく接続領域（プラグ P 4 や P 5 の径）を大きく確保することができる。従って、バリア膜（P M 4 a、P M 5 a）とタングステン膜（C M 3、C M 4）とが介在しても接触抵抗を比較的小さくすることができ、接続領域におけるこれらの膜を除去する工程を省くことで、工程の簡略化を図ることができる。なお、第 5 層配線 M 5 を構成するバリア膜 P M 5 a は、例えば、T i N 膜、T i 膜と T i N 膜の 2 層膜もしくは T i 膜と T i N 膜と T i 膜の 3 層膜、P M 5 b は、アルミニウム（A l）または A l 合金膜、その上部の P M 5 c は、T i N 膜もしくは T i 膜と T i N 膜の 2 層膜である。また、第 5 層配線 M 5 上には、保護膜として、例えば、酸化シリコン膜と窒化シリコン膜の積層膜 3 8 が形成される。

10

【 0 1 0 9 】

ここで、図 1 9 および図 2 0 に示すように、例えば、第 4 層配線 M 4 および第 5 層配線 M 5 上のタングステン膜 C M 4、C M 5 について、タングステン膜 C M 5 を C M 4 より薄く形成してもよい。このように上層の配線上のタングステン膜（第 2 キャップバリアメタル膜）の膜厚を、下層の配線上のタングステン膜（第 1 キャップバリアメタル膜）の膜厚よりも薄く形成することにより上層の配線との接続抵抗を低減することができる。また、下層の配線上のタングステン膜を厚くすることにより信頼度のマージンを確保することができる。

【 0 1 1 0 】

20

逆に、例えば、第 4 層配線 M 4 および第 5 層配線 M 5 上のタングステン膜 C M 4、C M 5 について、タングステン膜 C M 4 を C M 5 より薄く形成してもよい。上層の配線上に形成されるコンタクトホールは、一般的にその径が大きいので、上層の配線上のタングステン膜（第 2 キャップバリアメタル膜）の膜厚を大きくしても接続抵抗に影響を与えない。また、接続抵抗に影響がでない程度の範囲で、上層の配線上のタングステン膜を厚くすることにより信頼度のマージンを確保することができる。また、上層の配線は、一般的にレイアウトルールも緩いため、タングステン膜の膜厚を大きくすることにより生じ得るショートの可能性も低減できる。また、下層の配線上のタングステン膜（第 1 キャップバリアメタル膜）を薄くすることにより、配線表面の凹凸を低減することができ、また、配線間ショートの可能性を低減することができる。なお、このような凹凸は層を重ねる毎に顕著になっていくため、配線表面の凹凸が顕著な場合には、その上部の絶縁膜に塗布膜を用いることにより平坦化をすることができる。また、ここでは、第 4 層配線 M 4 および第 5 層配線 M 5 上のタングステン膜 C M 4、C M 5 について説明したが、第 3 層配線 M 3 および第 4 層配線 M 4 上のタングステン膜 C M 3、C M 4 について、また、第 2 層配線 M 2 および第 3 層配線 M 3 上のタングステン膜 C M 2、C M 3 についても同様である。

30

【 0 1 1 1 】

積層膜 3 8 の形成後、基板表面を N H₃ プラズマ処理を施す。この処理によって、1) 基板上に形成された配線（M 1 ~ M 4）を構成する銅膜の表面の還元、2) 銅膜表面の窒化、3) 基板上に形成された T E O S 膜等の絶縁膜表面のクリーニング、4) 絶縁膜表面のダメージの回復、または 5) 絶縁膜表面の窒化等が起こる。その結果、配線を構成する銅のイオン化の抑制を図ることができ、また、絶縁膜中への銅イオンの拡散を防止することができ、絶縁膜の特性を向上させることができる。

40

【 0 1 1 2 】

（実施の形態 2）

本実施の形態においては、配線溝およびコンタクトホールが形成される絶縁膜の積層構造の例について説明する。

【 0 1 1 3 】

（1）実施の形態 1 においては、配線溝 H M 2 およびコンタクトホール C 2 を 5 層の絶縁膜（2 4 a、2 4 b、2 4 c、2 6 b、2 6 c）中に形成した（図 1 2 参照）が、この 5 層の絶縁膜のうち、2 4 a を省略してもよい。図 2 4 は、本発明の実施の形態 2 である半

50

導体装置の製造方法を示す基板の要部断面図である。

【0114】

以下に、本発明の実施の形態である半導体装置をその製造方法に従って説明する。なお、第1層配線M1およびその上部のタングステン膜CM1の形成工程までは、図1～6を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。

【0115】

次いで、図24に示すように、TEOS膜22cおよびタングステン膜CM1上に、絶縁膜として例えばSiOC膜24bおよびTEOS膜24cをCVD法により順次堆積する。次いで、TEOS膜24c上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜26bおよびTEOS膜26cを順次形成する。これらの4層の膜(24b、24c、26b、26c)の性質や形状は、実施の形態1において詳細に説明した通りである。

10

【0116】

これらの4層の膜(24b、24c、26b、26c)のうち、SiOC膜24bには、第1層配線M1と第2層配線M2とを接続するプラグ(接続部)P2を形成するためのコンタクトホールC2が形成され、TEOS膜24c、低誘電絶縁膜26bおよびTEOS膜26c中には、配線溝HM2が形成される。

【0117】

次いで、実施の形態1と同様に、TEOS膜26c上に、例えば第2層配線形成領域が開口したハードマスク(図示せず)を形成し、さらに、ハードマスク上に、第1層配線と第2層配線との接続領域が開口したレジスト膜(図示せず)を形成する。

20

【0118】

次いで、レジスト膜をマスクに、絶縁膜26および絶縁膜24を除去することによりコンタクトホールC2を形成する。次いで、レジスト膜を除去した後、ハードマスクをマスクに、絶縁膜26およびTEOS膜24cを除去することにより配線溝HM2を形成する。なお、配線溝HM2を形成した後、コンタクトホールC2を形成してもよい。

【0119】

次いで、コンタクトホールC2の底部に露出しているタングステン膜CM1を例えばドライエッチング法を用いて除去し、銅膜M1cを露出させる。

【0120】

次いで、第2層配線M2およびプラグ(接続部)P2を形成するのであるが、以降の工程は、実施の形態1と同様であるため、概略のみを述べる。

30

【0121】

即ち、実施の形態1と同様に、配線溝HM2およびコンタクトホールC2の内部を含むTEOS膜26c上に、バリア膜PM2aを、配線溝HM2の側壁において5nm程度、配線溝HM2の底部において30nm程度、コンタクトホールC2の側壁において3nm程度、コンタクトホールC2の底部において20nm程度の膜厚となるよう堆積する。

【0122】

次いで、実施の形態1と同様に、コンタクトホールC2底部のバリア膜PM2aを除去し、電界メッキ用のシード膜として薄い銅膜PM2bを堆積した後、電界メッキ法により、銅膜PM2b上に銅膜PM2cを形成する。次に、還元雰囲気下において基板1にアニール(熱処理)を施した後、配線溝HM2およびコンタクトホールC2外部の銅膜PM2c、PM2bおよびバリア膜PM2aを例えばCMP法もしくはエッチバック法を用いて除去することにより銅膜PM2b、PM2cおよびバリア膜PM2aから成る第2層配線M2および第1層配線M1と第2層配線を接続するプラグ(接続部)P2を形成する。

40

【0123】

次に、実施の形態1と同様に、第2層配線M2上にタングステン(W)を選択成長もしくは優先成長させることにより、タングステン膜CM2を形成する。

【0124】

この後、図24に示すように、TEOS膜26cおよびタングステン膜CM2上に、絶縁

50

膜として例えばS i O C膜2 8 bおよびT E O S膜2 8 cをC V D法により順次堆積する。これらの膜は、S i O C膜2 4 bおよびT E O S膜2 4 cと同様に形成する。さらに、T E O S膜2 8 c上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜3 0 bおよびT E O S膜（図示せず）を順次形成する。これらの膜は、低誘電絶縁膜2 2 bおよびT E O S膜2 2 cと同様に形成する。

【0 1 2 5】

次いで、前記4層の絶縁膜中に、配線溝H M 2およびコンタクトホールC 2と同様に、配線溝およびコンタクトホールを形成するのであるが、これらの図示は省略する。

【0 1 2 6】

このように本実施の形態によれば、配線溝H M 2およびコンタクトホールC 2を4層の絶縁膜（2 4 b、2 4 c、2 6 b、2 6 c）中に形成したので、実施の形態1と比較し、形成工程を簡略化することができる。

【0 1 2 7】

また、第1層配線M 1とプラグP 2との間のタングステン膜C M 1およびバリア膜P M 2 aを除去したので、第1層配線M 1とプラグP 2との接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性を向上させることができる等の実施の形態1で説明した効果を得ることができる。

【0 1 2 8】

（2）実施の形態1においては、配線溝H M 2およびコンタクトホールC 2を5層の絶縁膜（2 4 a、2 4 b、2 4 c、2 6 b、2 6 c）中に形成したが、この5層の絶縁膜のうち、2 6 cを省略してもよい。図2 5は、本発明の実施の形態2である半導体装置の製造方法を示す基板の要部断面図である。

【0 1 2 9】

以下に、本発明の実施の形態である半導体装置をその製造方法に従って説明する。なお、第1層配線M 1およびその上部のタングステン膜C M 1の形成工程までは、図1～6を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。

【0 1 3 0】

次いで、図2 5に示すように、基板1（第1層配線M 1）上に、絶縁膜として例えばT E O S膜2 4 a、S i O C膜2 4 bおよびT E O S膜2 4 cをC V D法により順次堆積する。次いで、T E O S膜2 4 c上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜2 6 bを形成する。これらの4層の膜（2 4 a、2 4 b、2 4 c、2 6 b）の性質や形状は、実施の形態1において詳細に説明した通りである。

【0 1 3 1】

これらの4層の膜（2 4 a、2 4 b、2 4 c、2 6 b）のうち、S i O C膜2 4 bおよびT E O S膜2 4 a中には、第1層配線M 1と第2層配線M 2とを接続するプラグ（接続部）P 2を形成するためのコンタクトホールC 2が形成され、T E O S膜2 4 cおよび低誘電絶縁膜2 6 b中には、配線溝H M 2が形成される。

【0 1 3 2】

次いで、実施の形態1と同様に、低誘電絶縁膜2 6 b上に、例えば第2層配線形成領域が開口したハードマスク（図示せず）を形成し、さらに、ハードマスク上に、第1層配線と第2層配線との接続領域が開口したレジスト膜（図示せず）を形成する。

【0 1 3 3】

次いで、レジスト膜をマスクに、低誘電絶縁膜2 6 b、T E O S膜2 4 cおよびS i O C膜2 4 bを除去することによりコンタクトホールC 2を形成する。次いで、レジスト膜を除去した後、ハードマスクをマスクに、低誘電絶縁膜2 6 bおよびT E O S膜2 4 cを除去することにより配線溝H M 2を形成するとともに、コンタクトホールC 2の底部のT E O S膜2 4 aを除去する。なお、配線溝H M 2を形成した後、コンタクトホールC 2を形成してもよい。

【0 1 3 4】

次いで、コンタクトホールC 2の底部に露出しているタングステン膜C M 1を例えばドラ

10

20

30

40

50

イエッチング法を用いて除去し、銅膜 M 1 c (第 1 層配線 M 1) を露出させる。

【 0 1 3 5 】

次いで、第 2 層配線 M 2 およびプラグ (接続部) P 2 を形成するのであるが、以降の工程は、実施の形態 1 と同様であるため、概略のみを述べる。

【 0 1 3 6 】

即ち、実施の形態 1 と同様に、配線溝 H M 2 およびコンタクトホール C 2 の内部を含む低誘電絶縁膜 2 6 b 上に、バリア膜 P M 2 a を、配線溝 H M 2 の側壁において 5 n m 程度、配線溝 H M 2 の底部において 3 0 n m 程度、コンタクトホール C 2 の側壁において 3 n m 程度、コンタクトホール C 2 の底部において 2 0 n m 程度の膜厚となるよう堆積する。

【 0 1 3 7 】

次いで、実施の形態 1 と同様に、コンタクトホール C 2 底部のバリア膜 P M 2 a を除去し、電界メッキ用のシード膜として薄い銅膜 P M 2 b を堆積した後、電界メッキ法により、銅膜 P M 2 b 上に銅膜 P M 2 c を形成する。次に、還元雰囲気下において基板 1 にアニール (熱処理) を施した後、配線溝 H M 2 およびコンタクトホール C 2 外部の銅膜 P M 2 c 、 P M 2 b およびバリア膜 P M 2 a を例えば C M P 法もしくはエッチバック法を用いて除去することにより銅膜 P M 2 b 、 P M 2 c およびバリア膜 P M 2 a から成る第 2 層配線 M 2 および第 1 層配線 M 1 と第 2 層配線を接続するプラグ (接続部) P 2 を形成する。

【 0 1 3 8 】

次に、実施の形態 1 と同様に、第 2 層配線 M 2 上にタングステン (W) を選択成長もしくは優先成長させることにより、タングステン膜 C M 2 を形成する。

【 0 1 3 9 】

この後、図 2 5 に示すように、低誘電絶縁膜 2 6 b およびタングステン膜 C M 2 上に、絶縁膜として例えば T E O S 膜 2 8 a 、 S i O C 膜 2 8 b および T E O S 膜 2 8 c を C V D 法により順次堆積する。これらの膜は、T E O S 膜 2 4 a 、 2 4 c および S i O C 膜 2 4 b と同様に形成する。さらに、T E O S 膜 2 8 c 上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜 3 0 b を形成する。この膜は、低誘電絶縁膜 2 2 b と同様に形成する。

【 0 1 4 0 】

次いで、前記 4 層の絶縁膜中に、配線溝 H M 2 およびコンタクトホール C 2 と同様に、配線溝およびコンタクトホールを形成するのであるが、これらの図示は省略する。

【 0 1 4 1 】

このように本実施の形態によれば、配線溝 H M 2 およびコンタクトホール C 2 を 4 層の絶縁膜 (2 4 a 、 2 4 b 、 2 4 c 、 2 6 b) 中に形成したので、実施の形態 1 と比較し、形成工程を簡略化することができる。なお、同様に、第 1 層配線が形成される絶縁膜を、T E O S 膜 2 2 a および低誘電絶縁膜 2 2 b で構成し、実施の形態 1 で示した T E O S 膜 2 2 c を省略してもよい。図 2 5 は、2 2 c を省略した場合の図を示す。

【 0 1 4 2 】

また、第 1 層配線 M 1 とプラグ P 2 との間のタングステン膜 C M 1 およびバリア膜 P M 2 a を除去したので、第 1 層配線 M 1 とプラグ P 2 との接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性を向上させることができる等の実施の形態 1 で説明した効果を得ることができる。

【 0 1 4 3 】

(実施の形態 3)

実施の形態 1 においては、絶縁膜 2 6 および T E O S 膜 2 4 c 中に、第 2 層配線 M 2 が埋め込まれる配線溝 H M 2 を形成したが、この配線溝 H M 2 を絶縁膜 2 6 に形成してもよい。図 2 6 は、本発明の実施の形態 3 である半導体装置の製造方法を示す基板の要部断面図である。

【 0 1 4 4 】

以下に、本発明の実施の形態である半導体装置をその製造方法に従って説明する。なお、第 1 層配線 M 1 およびその上部のタングステン膜 C M 1 の形成工程までは、図 1 ~ 6 を参

10

20

30

40

50

照しながら説明した実施の形態 1 の場合と同様であるためその説明を省略する。

【0145】

次いで、図 26 に示すように、TEOS 膜 22c およびタングステン膜 CM1 上に、絶縁膜として例えば TEOS 膜 24a、SiOC 膜 24b および TEOS 膜 24c を CVD 法により順次堆積する。次いで、TEOS 膜 24c 上に、絶縁膜として例えば芳香族ポリマー材料を用いた低誘電絶縁膜 26b および TEOS 膜 26c を順次形成する。これらの 5 層の膜 (24a、24b、24c、26b、26c) の性質や形状は、実施の形態 1 において詳細に説明した通りである。

【0146】

これらの 5 層の膜 (24a、24b、24c、26b、26c) のうち、TEOS 膜 24a、24c および SiOC 膜 24b 中には、第 1 層配線 M1 と第 2 層配線 M2 とを接続するプラグ (接続部) P2 を形成するためのコンタクトホール C2 が形成され、低誘電絶縁膜 26b および TEOS 膜 26c 中には、配線溝 HM2 が形成される。

10

【0147】

次いで、実施の形態 1 と同様に、TEOS 膜 26c 上に、例えば第 2 層配線形成領域が開口したハードマスク (図示せず) を形成し、さらに、ハードマスク上に、第 1 層配線と第 2 層配線との接続領域が開口したレジスト膜 (図示せず) を形成する。

【0148】

次いで、レジスト膜をマスクに、絶縁膜 26 (26b および 26c)、TEOS 膜 24c および SiOC 膜 24b を除去することによりコンタクトホール C2 を形成する。次いで、レジスト膜を除去した後、ハードマスクをマスクに、絶縁膜 26 (26b および 26c) を除去することにより配線溝 HM2 を形成するとともに、コンタクトホール C2 の底部の TEOS 膜 24a を除去する。なお、配線溝 HM2 を形成した後、コンタクトホール C2 を形成してもよい。

20

【0149】

次いで、コンタクトホール C2 の底部に露出しているタングステン膜 CM1 を例えばドライエッチング法を用いて除去し、銅膜 M1c を露出させる。

【0150】

次いで、第 2 層配線 M2 およびプラグ (接続部) P2 を形成するのであるが、以降の工程は、実施の形態 1 と同様であるため、概略のみを述べる。

30

【0151】

即ち、実施の形態 1 と同様に、配線溝 HM2 およびコンタクトホール C2 の内部を含む TEOS 膜 26c 上に、バリア膜 PM2a を、配線溝 HM2 の側壁において 5nm 程度、配線溝 HM2 の底部において 30nm 程度、コンタクトホール C2 の側壁において 3nm 程度、コンタクトホール C2 の底部において 20nm 程度の膜厚となるよう堆積する。

【0152】

次いで、実施の形態 1 と同様に、コンタクトホール C2 底部のバリア膜 PM2a を除去し、電界メッキ用のシード膜として薄い銅膜 PM2b を堆積した後、電界メッキ法により、銅膜 PM2b 上に銅膜 PM2c を形成する。次に、還元雰囲気下において基板 1 にアニール (熱処理) を施した後、配線溝 HM2 およびコンタクトホール C2 外部の銅膜 PM2c、PM2b およびバリア膜 PM2a を例えば CMP 法もしくはエッチバック法を用いて除去することにより銅膜 PM2b、PM2c およびバリア膜 PM2a から成る第 2 層配線 M2 および第 1 層配線 M1 と第 2 層配線を接続するプラグ (接続部) P2 を形成する。

40

【0153】

次に、実施の形態 1 と同様に、第 2 層配線 M2 上にタングステン (W) を選択成長もしくは優先成長させることにより、タングステン膜 CM2 を形成する。

【0154】

この後、図 26 に示すように、TEOS 膜 26c およびタングステン膜 CM2 上に、絶縁膜として例えば TEOS 膜 28a、SiOC 膜 28b および TEOS 膜 28c を CVD 法により順次堆積する。これらの膜は、SiOC 膜 24b および TEOS 膜 24a、24c

50

と同様に形成する。さらに、T E O S 膜 2 8 c 上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜 3 0 b および T E O S 膜 (図示せず) を順次形成する。これらの膜は、低誘電絶縁膜 2 2 b および T E O S 膜 2 2 c と同様に形成する。

【 0 1 5 5 】

次いで、前記 5 層の絶縁膜中に、配線溝 H M 2 およびコンタクトホール C 2 と同様に、配線溝およびコンタクトホールを形成するのであるが、これらの図示は省略する。

【 0 1 5 6 】

このように、配線溝 H M 2 を絶縁膜 (2 6) 中に形成することもできる。

【 0 1 5 7 】

また、本実施の形態によっても、第 1 層配線 M 1 とプラグ P 2 との間のタングステン膜 C M 1 およびバリア膜 P M 2 a を除去しているので、第 1 層配線 M 1 とプラグ P 2 との接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性を向上させることができる等の実施の形態 1 で説明した効果を得ることができる。

【 0 1 5 8 】

(実施の形態 4)

実施の形態 2 においては、配線 M 1、M 2 等上にタングステン膜 C M 1、C M 2 等を形成することにより、配線を構成する銅の絶縁膜中への拡散を防止し、また、酸化シリコン膜等と銅膜との接触による酸化物の形成等を防止したが、このタングステン膜上に、さらに薄い窒化シリコン膜を形成することにより銅の拡散や酸化の防止を強化してもよい。図 2 7 は、本発明の実施の形態 4 である半導体装置の製造方法を示す基板の要部断面図である。

【 0 1 5 9 】

以下に、本発明の実施の形態である半導体装置をその製造方法に従って説明する。なお、第 1 層配線 M 1 およびその上部のタングステン膜 C M 1 の形成工程までは、図 1 ~ 6 を参照しながら説明した実施の形態 1 の場合と同様であるためその説明を省略する。

【 0 1 6 0 】

次いで、図 2 7 に示すように、銅の拡散や酸化防止膜として例えば窒化シリコン膜 4 0 1 を C V D 法により堆積する。この窒化シリコン膜の膜厚は、2 0 n m 以下とする。これは、実施の形態 1 で詳細に説明したように、誘電率の大きい窒化シリコン膜の膜厚をできるだけ小さくして、配線間に存在する絶縁膜の実効的な誘電率を低減するためである。

【 0 1 6 1 】

次いで、窒化シリコン膜 4 0 1 上に、絶縁膜として例えば S i O C 膜 2 4 b および T E O S 膜 2 4 c を C V D 法により順次堆積する。次いで、T E O S 膜 2 4 c 上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜 2 6 b および T E O S 膜 2 6 c を順次形成する。これらの 4 層の膜 (2 4 b、2 4 c、2 6 b、2 6 c) の性質や形状は、実施の形態 1 において詳細に説明した通りである。

【 0 1 6 2 】

これらの 4 層の膜 (2 4 b、2 4 c、2 6 b、2 6 c) のうち、S i O C 膜 2 4 b および窒化シリコン膜 4 0 1 中には、第 1 層配線 M 1 と第 2 層配線 M 2 とを接続するプラグ (接続部) P 2 を形成するためのコンタクトホール C 2 が形成され、T E O S 膜 2 4 c、低誘電絶縁膜 2 6 b および T E O S 膜 2 6 c 中には、配線溝 H M 2 が形成される。

【 0 1 6 3 】

次いで、実施の形態 1 と同様に、T E O S 膜 2 6 c 上に、例えば第 2 層配線形成領域が開口したハードマスク (図示せず) を形成し、さらに、ハードマスク上に、第 1 層配線と第 2 層配線との接続領域が開口したレジスト膜 (図示せず) を形成する。

【 0 1 6 4 】

次いで、レジスト膜をマスクに、絶縁膜 2 6 および絶縁膜 2 4 のうち T E O S 膜 2 4 c および S i O C 膜 2 4 b を除去することによりコンタクトホール C 2 を形成する。次いで、レジスト膜を除去した後、ハードマスクをマスクに、絶縁膜 2 6 (2 6 b および 2 6 c) および T E O S 膜 2 4 c を除去することにより配線溝 H M 2 を形成する。なお、配線溝 H

M 2 を形成した後、コンタクトホール C 2 を形成してもよい。

【 0 1 6 5 】

次いで、コンタクトホール C 2 の底部に露出している窒化シリコン膜 4 0 1 およびその下層のタングステン膜 C M 1 を例えばドライエッチング法を用いて除去し、銅膜 M 1 c を露出させる。

【 0 1 6 6 】

次いで、第 2 層配線 M 2 およびプラグ（接続部）P 2 を形成するのであるが、以降の工程は、実施の形態 1 と同様であるため、概略のみを述べる。

【 0 1 6 7 】

即ち、実施の形態 1 と同様に、配線溝 H M 2 およびコンタクトホール C 2 の内部を含む T E O S 膜 2 6 c 上に、バリア膜 P M 2 a を、配線溝 H M 2 の側壁において 5 n m 程度、配線溝 H M 2 の底部において 3 0 n m 程度、コンタクトホール C 2 の側壁において 3 n m 程度、コンタクトホール C 2 の底部において 2 0 n m 程度の膜厚となるよう堆積する。

10

【 0 1 6 8 】

次いで、実施の形態 1 と同様に、コンタクトホール C 2 底部のバリア膜 P M 2 a を除去し、電界メッキ用のシード膜として薄い銅膜 P M 2 b を堆積した後、電界メッキ法により、銅膜 P M 2 b 上に銅膜 P M 2 c を形成する。次に、還元雰囲気下において基板 1 にアニール（熱処理）を施した後、配線溝 H M 2 およびコンタクトホール C 2 外部の銅膜 P M 2 c 、 P M 2 b およびバリア膜 P M 2 a を例えば C M P 法もしくはエッチバック法を用いて除去することにより銅膜 P M 2 b 、 P M 2 c およびバリア膜 P M 2 a から成る第 2 層配線 M 2 および第 1 層配線 M 1 と第 2 層配線を接続するプラグ（接続部）P 2 を形成する。

20

【 0 1 6 9 】

次に、実施の形態 1 と同様に、第 2 層配線 M 2 上にタングステン（W）を選択成長もしくは優先成長させることにより、タングステン膜 C M 2 を形成する。次いで、タングステン膜 C M 2 上に、さらに銅の拡散や酸化防止膜として例えば窒化シリコン膜 4 0 2 を C V D 法により堆積する。この窒化シリコン膜の膜厚も、2 0 n m 以下とする。

【 0 1 7 0 】

この後、図 2 7 に示すように、窒化シリコン膜 4 0 2 上に、絶縁膜として例えば S i O C 膜 2 8 b および T E O S 膜 2 8 c を C V D 法により順次堆積する。これらの膜は、S i O C 膜 2 4 b および T E O S 膜 2 4 c と同様に形成する。さらに、T E O S 膜 2 8 c 上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜 3 0 b および T E O S 膜（図示せず）を順次形成する。これらの膜は、低誘電絶縁膜 2 2 b および T E O S 膜 2 2 c と同様に形成する。

30

【 0 1 7 1 】

次いで、これらの絶縁膜中に、配線溝 H M 2 およびコンタクトホール C 2 と同様に、配線溝およびコンタクトホールを形成するのであるが、これらの図示は省略する。

【 0 1 7 2 】

このように本実施の形態によれば、タングステン膜 C M 1 、 C M 2 上にさらに、薄い窒化シリコン膜 4 0 1 、 4 0 2 を形成したので、銅の拡散や酸化の防止を強化することができる。また、この窒化シリコン膜 4 0 1 、 4 0 2 の膜厚を 2 0 n m 以下とすることで、配線間に存在する絶縁膜の実効的な誘電率を低減することができる。

40

【 0 1 7 3 】

また、第 1 層配線 M 1 とプラグ P 2 との間のタングステン膜 C M 1 およびバリア膜 P M 2 a を除去したので、第 1 層配線 M 1 とプラグ P 2 との接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性を向上させることができる等の実施の形態 1 で説明した効果を得ることができる。

【 0 1 7 4 】

（実施の形態 5）

実施の形態 1 においては、配線 M 1 、 M 2 が埋め込まれる絶縁膜の最上層を T E O S 膜 2 2 c 、 2 6 c としたが、これを窒化シリコン膜としてもよい。また、これを窒化シリコン

50

膜に対して比較的誘電率が低いバリア絶縁膜であるTMS膜、SiC膜もしくはSiCN膜等としてもよい。これらの膜の形成方法として、例えば、トリメトキシシランと一酸化二窒素(N_2O)を用いたCVD法により低誘電絶縁膜を形成することができる。この場合の膜組成は、主にSiONである(この膜をTMS膜という)。あるいは、トリメチルシランを用いてSiC膜を形成したり、トリメチルシランとアンモニアを用いてSiCN膜を形成することもできる。

【0175】

すなわち、実施の形態1におけるTEOS膜22c、26cを、窒化シリコン膜、SiON膜、TMS膜、SiC膜もしくはSiCN膜等のバリア絶縁膜501、502にしたのが本実施の形態5である。

10

【0176】

図28は、本発明の実施の形態5である半導体装置の製造方法を示す基板の要部断面図である。

【0177】

以下に、本発明の実施の形態である半導体装置をその製造方法に従って説明する。なお、酸化シリコン膜20およびこの膜中に埋め込まれたプラグP1の形成工程までは、図1を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。

【0178】

次いで、図28に示すように、酸化シリコン膜20およびプラグP1上に、実施の形態1と同様に、絶縁膜として例えばTEOS膜22aを形成し、次いで、TEOS膜22a上に、低誘電絶縁膜22bを塗布し、熱処理を施す。なお、低誘電絶縁膜を、CVD法により形成することもできる。

20

【0179】

次いで、低誘電絶縁膜22b上に、銅の拡散や酸化の防止膜として例えば窒化シリコン膜、SiON膜、TMS膜、SiC膜もしくはSiCN膜等のバリア絶縁膜501をCVD法により形成する。

【0180】

このように、低誘電絶縁膜22bをCVD法で形成された膜(22a、501)で挟み込むのは、これらの積層膜の機械的強度を確保するためである。また、これらTEOS膜22a、低誘電絶縁膜22bおよび窒化シリコン膜等のバリア絶縁膜501の3層の絶縁膜(22)中に配線溝HM1が形成される。

30

【0181】

次いで、第1層配線形成予定領域の絶縁膜22(22a、22b、501)をフォトリソグラフィおよびドライエッチング技術を用いて除去することにより配線溝HM1を形成する。この配線溝HM1の深さは、例えば0.25 μm で、幅は、例えば0.18 μm である。

【0182】

次に、配線溝HM1内を含む絶縁膜22上に、実施の形態1と同様に、バリア膜M1aを例えばスパッタ法により堆積し、バリア膜M1a上に、電界メッキ用のシード膜として薄い銅膜M1bを例えばイオン化スパッタ法を用いて形成する。次いで、例えば電界メッキ法により、銅膜M1b上に銅膜M1cを形成する。この際、配線溝HM1を埋め込むように銅膜M1cを形成する。

40

【0183】

次に、還元雰囲気下において基板1にアニール(熱処理)を施した後、配線溝HM1外部の銅膜M1c、M1bおよびバリア膜M1aを例えばCMP法もしくはエッチバック法を用いて除去することにより銅膜M1c、M1bおよびバリア膜M1aから成る第1層配線M1を形成する。この際、第1層配線M1の形成領域以外の領域には、窒化シリコン膜、SiON膜、TMS膜、SiC膜もしくはSiCN膜である501が露出している。この後、さらに、還元雰囲気下において基板1にアニール(熱処理)を施す。

【0184】

50

次に、実施の形態 1 と同様に、第 1 層配線 M 1 上にキャップ導電性膜として例えばタングステン (W) を選択成長もしくは優先成長させることにより、第 1 層配線 M 1 上に 2 ~ 20 nm 程度のタングステン膜 C M 1 を形成する。なお、タングステン膜 C M 1 の成膜に先立ち、洗浄や水素処理を行ってもよい。また、タングステン膜 C M 1 形成後に、洗浄を行ってもよい。

【 0 1 8 5 】

次いで、窒化シリコン膜、S i O N 膜、T M S 膜、S i C 膜もしくは S i C N 膜であるバリア絶縁膜 5 0 1 およびタングステン膜 C M 1 上に、絶縁膜として例えば T E O S 膜 2 4 a、S i O C 膜 2 4 b および T E O S 膜 2 4 c を C V D 法により順次堆積する。次いで、T E O S 膜 2 4 c 上に、絶縁膜として例えば芳香族ポリマー材料を用いた低誘電絶縁膜 2 6 b を形成し、さらに、その上部に窒化シリコン膜、S i O N 膜、T M S 膜、S i C 膜もしくは S i C N 膜であるバリア絶縁膜 5 0 1 と同様に窒化シリコン膜、S i O N 膜、T M S 膜、S i C 膜もしくは S i C N 膜であるバリア絶縁膜 5 0 2 を形成する。これらの膜のうち、2 4 a、2 4 b、2 4 c および 2 6 b の性質や形状は、実施の形態 1 において詳細に説明した通りである。

【 0 1 8 6 】

これらの 5 層の膜 (2 4 a、2 4 b、2 4 c、2 6 b、5 0 2) のうち、T E O S 膜 2 4 a および S i O C 膜 2 4 b 中には、第 1 層配線 M 1 と第 2 層配線 M 2 とを接続するプラグ (接続部) P 2 を形成するためのコンタクトホール C 2 が形成され、T E O S 膜 2 4 c、低誘電絶縁膜 2 6 b および窒化シリコン膜 5 0 2 中には、配線溝 H M 2 が形成される。

【 0 1 8 7 】

次いで、実施の形態 1 と同様に、バリア絶縁膜 5 0 2 上に、例えば第 2 層配線形成領域が開口したハードマスク (図示せず) を形成し、さらに、ハードマスク上に、第 1 層配線と第 2 層配線との接続領域が開口したレジスト膜 (図示せず) を形成する。

【 0 1 8 8 】

次いで、レジスト膜をマスクに、絶縁膜 2 6 (5 0 2 および 2 6 b) および T E O S 膜 2 4 c および S i O C 膜 2 4 b を除去することによりコンタクトホール C 2 を形成する。次いで、レジスト膜を除去した後、ハードマスクをマスクに、絶縁膜 2 6 (5 0 2 および 2 6 b) および T E O S 膜 2 4 c を除去することにより配線溝 H M 2 を形成するとともに、コンタクトホール C 2 の底部の T E O S 膜 2 4 a を除去する。なお、配線溝 H M 2 を形成した後、コンタクトホール C 2 を形成してもよい。

【 0 1 8 9 】

次いで、コンタクトホール C 2 の底部に露出しているタングステン膜 C M 1 を例えばドライエッチング法を用いて除去し、銅膜 M 1 c を露出させる。

【 0 1 9 0 】

次いで、第 2 層配線 M 2 およびプラグ (接続部) P 2 を形成するのであるが、以降の工程は、実施の形態 1 と同様であるため、概略のみを述べる。

【 0 1 9 1 】

即ち、実施の形態 1 と同様に、配線溝 H M 2 およびコンタクトホール C 2 の内部を含む窒化シリコン膜、S i O N 膜、T M S 膜、S i C 膜もしくは S i C N 膜であるバリア絶縁膜 5 0 2 上に、バリア膜 P M 2 a を、配線溝 H M 2 の側壁において 5 nm 程度、配線溝 H M 2 の底部において 30 nm 程度、コンタクトホール C 2 の側壁において 3 nm 程度、コンタクトホール C 2 の底部において 20 nm 程度の膜厚となるよう堆積する。

【 0 1 9 2 】

次いで、実施の形態 1 と同様に、コンタクトホール C 2 底部のバリア膜 P M 2 a を除去し、電界メッキ用のシード膜として薄い銅膜 P M 2 b を堆積した後、電界メッキ法により、銅膜 P M 2 b 上に銅膜 P M 2 c を形成する。次に、還元雰囲気下において基板 1 にアニール (熱処理) を施した後、配線溝 H M 2 およびコンタクトホール C 2 外部の銅膜 P M 2 c、P M 2 b およびバリア膜 P M 2 a を例えば C M P 法もしくはエッチバック法を用いて除去することにより銅膜 P M 2 b、P M 2 c およびバリア膜 P M 2 a から成る第 2 層配線 M

2 および第 1 層配線 M 1 と第 2 層配線を接続するプラグ (接続部) P 2 を形成する。

【 0 1 9 3 】

次に、実施の形態 1 と同様に、第 2 層配線 M 2 上にタングステン (W) を選択成長もしくは優先成長させることにより、タングステン膜 C M 2 を形成する。

【 0 1 9 4 】

この後、図 2 8 に示すように、バリア絶縁膜 5 0 2 およびタングステン膜 C M 2 上に、絶縁膜として例えば T E O S 膜 2 8 a、S i O C 膜 2 8 b および T E O S 膜 2 8 c を C V D 法により順次堆積する。これらの膜は、S i O C 膜 2 4 b および T E O S 膜 2 4 a、2 4 c と同様に形成する。さらに、T E O S 膜 2 8 c 上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜 3 0 b および窒化シリコン膜、S i O N 膜、T M S 膜、S i C 膜もしくは S i C N 膜 (図示せず) を順次形成する。これらの膜は、低誘電絶縁膜 2 2 b および窒化シリコン膜、S i O N 膜、T M S 膜、S i C 膜もしくは S i C N 膜であるバリア絶縁膜 5 0 2 と同様に形成する。

10

【 0 1 9 5 】

次いで、前記 5 層の絶縁膜中に、配線溝 H M 2 およびコンタクトホール C 2 と同様に、配線溝およびコンタクトホールを形成するのであるが、これらの図示は省略する。

【 0 1 9 6 】

このように本実施の形態によれば、配線 M 1、M 2 が埋め込まれる絶縁膜の最上層を窒化シリコン膜、S i O N 膜、T M S 膜、S i C 膜もしくは S i C N 膜等のバリア絶縁膜 5 0 1、5 0 2 としたので、例えば、コンタクトホール C 2 の形成時において、マスクずれが生じ、コンタクトホール C 2 (プラグ P 2) のパターンが、第 1 層配線 M 1 上を越えて窒化シリコン膜 5 0 1 上に至ったとしても、このバリア絶縁膜 5 0 1 によって、プラグ P 2 を構成する銅膜から銅が拡散することを防止でき、また、銅膜と酸化シリコン膜 (低誘電絶縁膜 2 2 b) とが接することによる銅膜の酸化を防止することができる。なお、配線間に存在する絶縁膜の実効的な誘電率を低減するため、バリア絶縁膜の膜厚は、できるだけ小さい方が好ましい。

20

【 0 1 9 7 】

すなわち、図 2 8 に示すように、配線の高密度化、高集積化のため第 1 層配線 M 1 の配線幅とコンタクトホール C 2 の径とを等しくなるように設計した場合は、第 1 層配線 M 1 とコンタクトホール C 2 との間で合わせ余裕によるマスクの合わせずれが生じるが、この合わせずれが生じた場合においても、コンタクトホール C 2 の底部にはバリア絶縁膜 5 0 1 が形成されているので、プラグ P 2 を構成する銅膜から銅がコンタクトホール C 2 の底部を介して絶縁膜 2 2 b へ拡散することを防止することができる。

30

【 0 1 9 8 】

このように、合わせずれが生じた場合においても、コンタクトホール C 2 の底部において銅の拡散のバリア性を確保できるので、第 1 層配線 M 1 の配線幅とコンタクトホール C 2 の径とを等しくなるように設計でき、配線の信頼性を確保したまま配線の高密度化、高集積化を図ることができる。

【 0 1 9 9 】

また、第 1 層配線 M 1 とプラグ P 2 との間のタングステン膜 C M 1 およびバリア膜 P M 2 a を除去したので、第 1 層配線 M 1 とプラグ P 2 との接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性を向上させることができる等の実施の形態 1 で説明した効果を得ることができる。

40

【 0 2 0 0 】

(実施の形態 6)

実施の形態 1 においては、コンタクトホール C 2 底部のバリア膜 P M 2 a を除去した後、銅膜 P M 2 b、P M 2 c を形成したが、コンタクトホール C 2 底部のバリア膜 P M 2 a を除去せず、第 2 層配線 M 2 とプラグ P 2 との間に残存させてもよい。図 2 9 および図 3 0 は、本発明の実施の形態 6 である半導体装置の製造方法を示す基板の要部断面図である。

【 0 2 0 1 】

50

以下に、本発明の実施の形態である半導体装置をその製造方法に従って説明する。なお、第1層配線M1およびその上部のタングステン膜CM1の形成工程までは、図1～6を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。なお、以下に示す図29中においては、酸化シリコン膜20中のプラグP1が省略されている(図30～図32についても同じ)。

【0202】

次いで、図29に示すように、基板1(タングステン膜CM1)上に、絶縁膜として例えばTEOS膜24a、SiOC膜24bおよびTEOS膜24cをCVD法により順次堆積する。次いで、TEOS膜24c上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜26bおよびTEOS膜26cを順次形成する。これらの5層の膜(24a、24b、24c、26b、26c)の性質や形状は、実施の形態1において詳細に説明した通りである。

10

【0203】

これらの5層の膜(24a、24b、24c、26b、26c)のうち、SiOC膜24bおよびTEOS膜24aには、第1層配線M1と第2層配線M2とを接続するプラグ(接続部)P2を形成するためのコンタクトホールC2が形成され、TEOS膜24c、26cおよび低誘電絶縁膜26b中には、配線溝HM2が形成される。

【0204】

次いで、実施の形態1と同様に、TEOS膜26c上に、例えば第2層配線形成領域が開口したハードマスク(図9と同様)を形成し、さらに、ハードマスク上に、第1層配線と第2層配線との接続領域が開口したレジスト膜(図10と同様)を形成する。

20

【0205】

次いで、レジスト膜をマスクに、TEOS膜26c、低誘電絶縁膜26bおよび絶縁膜24のうち、TEOS膜24c、24aおよびSiOC膜24bを除去することによりコンタクトホールC2を形成する(図10と同様)。次いで、レジスト膜を除去した後、ハードマスクをマスクに、TEOS膜26c、24cおよび低誘電絶縁膜26bを除去することにより配線溝HM2を形成する(図11と同様)。なお、配線溝HM2を形成した後、コンタクトホールC2を形成してもよい。

【0206】

次いで、コンタクトホールC2の底部に露出しているタングステン膜CM1を例えばドライエッチング法を用いて除去し、銅膜M1cを露出させる(図12と同様)。なお、タングステン膜CM1を完全に除去してもよいが、例えば、コンタクトホール底部に不連続なタングステン膜を残存させてもよい。

30

【0207】

次いで、実施の形態1と同様に、配線溝HM2およびコンタクトホールC2の内部を含むTEOS膜26c上に、バリア膜PM2aを、配線溝HM2の側壁において5nm程度、配線溝HM2の底部において30nm程度、コンタクトホールC2の側壁において3nm程度、コンタクトホールC2の底部において20nm程度の膜厚となるよう堆積する。

【0208】

次に、実施の形態1と同様に、バリア膜PM2a上に、電界メッキ用のシード膜として薄い銅膜PM2bを堆積した後、電界メッキ法により、銅膜PM2b上に銅膜PM2cを形成する。次に、還元雰囲気下において基板1にアニール(熱処理)を施した後、配線溝HM2およびコンタクトホールC2外部の銅膜PM2c、PM2bおよびバリア膜PM2aを例えばCMP法もしくはエッチバック法を用いて除去することにより銅膜PM2b、PM2cおよびバリア膜PM2aから成る第2層配線M2および第1層配線M1と第2層配線を接続するプラグ(接続部)P2を形成する。

40

【0209】

次に、実施の形態1と同様に、第2層配線M2上にタングステン(W)を選択成長もしくは優先成長させることにより、タングステン膜CM2を形成する。

【0210】

50

この後、図 29 に示すように、T E O S 膜 26 c およびタングステン膜 C M 2 上に、絶縁膜として例えば T E O S 膜 28 a 等の絶縁膜を堆積する。

【 0 2 1 1 】

このように、第 1 層配線 M 1 とプラグ（接続部）P 2 の接続部分であるコンタクトホール C 2 の底部において、コンタクトホール C 2 の底部のバリア膜 P M 2 a 又はタングステン膜 C M 1 のうち、コンタクトホール C 2 の底部のバリア膜 P M 2 a が形成されていない。すなわち、コンタクトホール C 2 の底部のタングステン膜 C M 1 のみが除去され、コンタクトホール C 2 の底部のバリア膜 P M 2 a を除去する工程を削除できるので、実施の形態 1 に比べて製造工程を低減することができる。

【 0 2 1 2 】

また、本実施の形態によれば、第 1 層配線 M 1 とプラグ P 2 との間のタングステン膜 C M 1 を除去したので、第 1 層配線 M 1 とプラグ P 2 との接触抵抗の低減を図ることができる。なお、第 1 層配線 M 1 とプラグ P 2 との間にバリア膜 P M 2 a が介在するので、その効果は低減され得るが、エレクトロマイグレーション特性の向上等の実施の形態 1 で説明した効果を得ることができる。なお、バリア膜 P M 2 a の表面をエッチングすることにより、その膜厚を小さくした後、銅膜 P M 2 b を堆積してもよい。

【 0 2 1 3 】

次に、本実施の形態 6 を、配線の高密度化、高集積化のため第 1 層配線 M 1 の配線幅とコンタクトホール C 2 の径とを等しくなるように設計した場合に適用した例を図 37 を用いて説明する。図 37 に示すように、配線の高密度化、高集積化のため第 1 層配線 M 1 の配線幅とコンタクトホール C 2 の径とを等しくなるように設計した場合は、コンタクトホール C 2 の形成時において、合わせずれによりマスクずれが生じ、コンタクトホール C 2 のパターンが、第 1 層配線 M 1 上を越えて低誘電絶縁膜 22 c 上にかかるように形成されるが、コンタクトホール C 2 側壁および底部にバリア膜 P M 2 a が形成されているので、コンタクトホール C 2 底部においてプラグ P 2 を構成する銅膜から銅が絶縁膜 22 c へ拡散することを防止できる。また、銅膜と酸化シリコン膜（T E O S 膜 22 c）とが接することによる銅膜の酸化を防止することができる。

【 0 2 1 4 】

すなわち、合わせずれが生じた場合においても、コンタクトホール C 2 の底部において銅の拡散のバリア性を確保できるので、第 1 層配線 M 1 の配線幅とコンタクトホール C 2 の径とを等しくなるように設計でき、配線の信頼性を確保したまま配線の高密度化、高集積化を図ることができる。また、コンタクトホール C 2 の底部のバリア膜 P M 2 a を除去する工程を削除できるので、実施の形態 1 に比べて製造工程を低減することができる。

【 0 2 1 5 】

また、図 30 に示すように、第 1 層配線 M 1 とプラグ P 2 との間に介在するバリア膜 P M 2 a を不連続な膜としてもよい。

【 0 2 1 6 】

すなわち、バリア膜 P M 2 a は、コンタクトホール C 2 の底部において、底面全面に一樣に形成されているのではなく、部分的に形成されおり、形成されていない部分では銅膜 M 1 c, M 1 b と銅膜 P M 2 b, P M 2 c とが直接接触するように不連続な膜として構成される。

【 0 2 1 7 】

このように、第 1 層配線 M 1 とプラグ（接続部）P 2 の接続部分であるコンタクトホール C 2 の底部において、銅膜の拡散防止用のバリア材が不連続な膜として構成されている。

【 0 2 1 8 】

このような不連続な膜を形成する方法としては、例えば配線溝 H M 2 およびコンタクトホール C 2 の内部を含む T E O S 膜 26 c 上に、バリア膜 P M 2 a を形成する際、コンタクトホール C 2 の底部においてごく薄い膜厚のバリア膜が形成されるよう成膜条件を制御する方法がある。

【 0 2 1 9 】

また、例えば、前述のように、配線溝HM2およびコンタクトホールC2の内部を含むTEOS膜26c上に、バリア膜PM2aを、配線溝HM2の側壁において5nm程度、配線溝HM2の底部において30nm程度、コンタクトホールC2の側壁において3nm程度、コンタクトホールC2の底部において20nm程度の膜厚となるよう堆積した後、コンタクトホールC2底部のバリア膜PM2aを除去する際、かかる部位のバリア膜が完全には除去されないよう、エッチング条件を制御する方法がある。

【0220】

このように、第1層配線M1とプラグP2との間に介在するバリア膜PM2aを不連続な膜とすれば、さらに、第1層配線M1とプラグP2との接触抵抗の低減を図ることができる。また、バリア膜PM2aの不連続部を介し、銅の移動が可能となりエレクトロマイグレーション特性の向上等の実施の形態1で説明した効果を得ることができる。

10

【0221】

(実施の形態7)

実施の形態1においては、コンタクトホールC2底部のタングステン膜CM1を除去した後、銅膜PM2b、PM2cを形成したが、コンタクトホールC2底部のタングステン膜CM1を除去せず、第2層配線M2とプラグP2との間に残存させてもよい。図31は、本発明の実施の形態7である半導体装置の製造方法を示す基板の要部断面図である。

【0222】

以下に、本発明の実施の形態である半導体装置をその製造方法に従って説明する。なお、第1層配線M1およびその上部のタングステン膜CM1の形成工程までは、図1～6を参照しながら説明した実施の形態1の場合と同様であるためその説明を省略する。

20

【0223】

次いで、図31に示すように、基板1(タングステン膜CM1)上に、絶縁膜として例えばTEOS膜24a、SiOC膜24bおよびTEOS膜24cをCVD法により順次堆積する。次いで、TEOS膜24c上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜26bおよびTEOS膜26cを順次形成する。これらの5層の膜(24a、24b、24c、26b、26c)の性質や形状は、実施の形態1において詳細に説明した通りである。

【0224】

これらの5層の膜(24a、24b、24c、26b、26c)のうち、SiOC膜24bおよびTEOS膜24aには、第1層配線M1と第2層配線M2とを接続するプラグ(接続部)P2を形成するためのコンタクトホールC2が形成され、TEOS膜24c、26cおよび低誘電絶縁膜26b中には、配線溝HM2が形成される。

30

【0225】

次いで、実施の形態1と同様に、TEOS膜26c上に、例えば第2層配線形成領域が開口したハードマスク(図9と同様)を形成し、さらに、ハードマスク上に、第1層配線と第2層配線との接続領域が開口したレジスト膜(図10と同様)を形成する。

【0226】

次いで、レジスト膜をマスクに、TEOS膜26c、低誘電絶縁膜26b、TEOS膜24c、24aおよびSiOC膜24bを除去することによりコンタクトホールC2を形成する(図10と同様)。次いで、レジスト膜を除去した後、ハードマスクをマスクに、TEOS膜26c、24cおよび低誘電絶縁膜26bを除去することにより配線溝HM2を形成する。なお、配線溝HM2を形成した後、コンタクトホールC2を形成してもよい(図11と同様)。次にハードマスクMKを除去し、コンタクトホールC2の底部には、タングステン膜CM1が露出している状態で、第2層配線M2およびプラグ(接続部)P2を形成するのであるが、以降の工程は、実施の形態1と同様であるため、概略のみを述べる。

40

【0227】

即ち、実施の形態1と同様に、配線溝HM2およびタングステン膜CM1が露出しているコンタクトホールC2の内部を含むTEOS膜26c上に、バリア膜PM2aを、配線溝

50

H M 2 の側壁において 5 n m 程度、配線溝 H M 2 の底部において 3 0 n m 程度、コンタクトホール C 2 の側壁において 3 n m 程度、コンタクトホール C 2 の底部において 2 0 n m 程度の膜厚となるよう堆積する。

【 0 2 2 8 】

次いで、実施の形態 1 と同様に、コンタクトホール C 2 底部のバリア膜 P M 2 a を除去し、電界メッキ用のシード膜として薄い銅膜 P M 2 b を堆積した後、電界メッキ法により、銅膜 P M 2 b 上に銅膜 P M 2 c を形成する。次に、還元雰囲気下において基板 1 にアニール（熱処理）を施した後、配線溝 H M 2 およびコンタクトホール C 2 外部の銅膜 P M 2 c 、 P M 2 b およびバリア膜 P M 2 a を例えば C M P 法もしくはエッチバック法を用いて除去することにより銅膜 P M 2 b 、 P M 2 c およびバリア膜 P M 2 a から成る第 2 層配線 M 2 および第 1 層配線 M 1 と第 2 層配線を接続するプラグ（接続部）P 2 を形成する。

10

【 0 2 2 9 】

次に、実施の形態 1 と同様に、第 2 層配線 M 2 上にタングステン（W）を選択成長もしくは優先成長させることにより、タングステン膜 C M 2 を形成する。

【 0 2 3 0 】

この後、図 3 1 に示すように、T E O S 膜 2 6 c およびタングステン膜 C M 2 上に、絶縁膜として例えば T E O S 膜 2 8 a 等の絶縁膜を堆積する。

【 0 2 3 1 】

このように本実施の形態によれば、第 1 層配線 M 1 とプラグ P 2 との間のバリア膜 P M 2 a を除去したので、第 1 層配線 M 1 とプラグ P 2 との接触抵抗の低減を図ることができる。なお、第 1 層配線 M 1 とプラグ P 2 との間にタングステン膜 C M 1 が介在するので、その効果は低減され得るが、エレクトロマイグレーション特性の向上等の実施の形態 1 で説明した効果を得ることができる。

20

【 0 2 3 2 】

このように、第 1 層配線 M 1 とプラグ（接続部）P 2 の接続部分であるコンタクトホール C 2 の底部において、コンタクトホール C 2 の底部のバリア膜 P M 2 a 又はタングステン膜 C M 1 のうち、コンタクトホール C 2 の底部のバリア膜 P M 2 a が形成されていない。すなわち、コンタクトホール C 2 の底部のバリア膜 P M 2 a のみが除去され、コンタクトホール C 2 の底部のタングステン膜 C M 1 を除去する工程を削除できるので、実施の形態 1 に比べて製造工程を低減することができる。

30

【 0 2 3 3 】

次に、本実施の形態 7 を、配線の高密度化、高集積化のため第 1 層配線 M 1 の配線幅とコンタクトホール C 2 の径とを等しくなるように設計した場合に適用した例を図 3 8 を用いて説明する。図 3 8 に示すように絶縁膜 2 2 は、実施の形態 5 と同様に構成される。すなわち、図 3 8 に示すように、実施の形態 5 と同様に酸化シリコン膜 2 0 およびプラグ P 1 上に、実施の形態 1 と同様に、絶縁膜として例えば T E O S 膜 2 2 a を形成し、次いで、T E O S 膜 2 2 a 上に低誘電絶縁膜 2 2 b を塗布し、熱処理を施す。なお、低誘電絶縁膜を、C V D 法により形成することもできる。

【 0 2 3 4 】

次いで、低誘電絶縁膜 2 2 b 上に、銅の拡散や酸化の防止膜として例えば窒化シリコン膜、S i O N 膜、T M S 膜、S i C 膜もしくは S i C N 膜等のバリア絶縁膜 5 0 1 を C V D 法により形成する。

40

【 0 2 3 5 】

以後の製造工程は上述した本実施の形態 7 において図 3 1 を参照しながら説明した製造工程と同様であるため省略する。

【 0 2 3 6 】

このように、配線 M 1 が埋め込まれる絶縁膜の最上層をバリア絶縁膜 5 0 1 としたので、例えば、コンタクトホール C 2 の形成時において、マスクずれが生じ、コンタクトホール C 2 のパターンが、第 1 層配線 M 1 上を越えてバリア絶縁膜 5 0 1 上に至ったとしても、コンタクトホール C 2 の底部のバリア絶縁膜 5 0 1 によって、プラグ P 2 を構成する銅膜

50

から銅が絶縁膜 2 2 b へ拡散することを防止でき、また、銅膜と酸化シリコン膜（低誘電絶縁膜 2 2 b）とが接することによる銅膜の酸化を防止することができる。なお、配線間に存在する絶縁膜の実効的な誘電率を低減するため、窒化シリコン膜の膜厚は、できるだけ小さいほうが好ましい。

【 0 2 3 7 】

すなわち、合わせずれが生じた場合においても、コンタクトホール C 2 の底部において銅の拡散のバリア性を確保できるので、第 1 層配線 M 1 の配線幅とコンタクトホール C 2 の径とを等しくなるように設計でき、配線の信頼性を確保したまま配線の高密度化、高集積化を図ることができる。また、コンタクトホール C 2 の底部のタングステン膜 C M 1 を除去する工程を削除できるので、実施の形態 1 に比べて製造工程を低減することができる。

10

【 0 2 3 8 】

（実施の形態 8）

実施の形態 1 においては、配線 M 1、M 2 等上にキャップ導電性膜として単層のタングステン膜 C M 1、C M 2 等を形成したが、このキャップ導電性膜を積層膜としてもよい。図 3 2 は、本発明の実施の形態 8 である半導体装置の製造方法を示す基板の要部断面図である。

【 0 2 3 9 】

以下に、本発明の実施の形態である半導体装置をその製造方法に従って説明する。なお、第 1 層配線 M 1 およびその上部のタングステン膜 C M 1 の形成工程までは、図 1 ~ 6 を参照しながら説明した実施の形態 1 の場合と同様であるためその説明を省略する。

20

【 0 2 4 0 】

次いで、図 3 2 に示すように、窒素雰囲気中で処理することによりタングステン膜 C M 1 を窒化タングステン膜 C M 1 a とした後、窒化タングステン膜 C M 1 a 上に実施の形態 1 と同様に、タングステン（W）を選択成長もしくは優先成長させることにより、タングステン膜 C M 1 b を形成する。この窒化タングステン膜 C M 1 a とタングステン膜 C M 1 b とでキャップ導電性膜 8 0 1 を構成する。

【 0 2 4 1 】

次いで、基板 1（タングステン膜 C M 1 b）上に、絶縁膜として例えば T E O S 膜 2 4 a、S i O C 膜 2 4 b および T E O S 膜 2 4 c を C V D 法により順次堆積する。次いで、T E O S 膜 2 4 c 上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜 2 6 b および T E O S 膜 2 6 c を順次形成する。これらの 5 層の膜（2 4 a、2 4 b、2 4 c、2 6 b、2 6 c）の性質や形状は、実施の形態 1 において詳細に説明した通りである。

30

【 0 2 4 2 】

これらの 5 層の膜（2 4 a、2 4 b、2 4 c、2 6 b、2 6 c）のうち、S i O C 膜 2 4 b および T E O S 膜 2 4 a には、第 1 層配線 M 1 と第 2 層配線 M 2 とを接続するプラグ（接続部）P 2 を形成するためのコンタクトホール C 2 が形成され、T E O S 膜 2 4 c、2 6 c および低誘電絶縁膜 2 6 b 中には、配線溝 H M 2 が形成される。

【 0 2 4 3 】

次いで、実施の形態 1 と同様に、T E O S 膜 2 6 c 上に、例えば第 2 層配線形成領域が開口したハードマスク（図示せず）を形成し、さらに、ハードマスク上に、第 1 層配線と第 2 層配線との接続領域が開口したレジスト膜（図示せず）を形成する。

40

【 0 2 4 4 】

次いで、レジスト膜をマスクに、T E O S 膜 2 6 c、低誘電絶縁膜 2 6 b、T E O S 膜 2 4 c、2 4 a および S i O C 膜 2 4 b を除去することによりコンタクトホール C 2 を形成する。次いで、レジスト膜を除去した後、ハードマスクをマスクに、T E O S 膜 2 6 c、2 4 c および低誘電絶縁膜 2 6 b を除去することにより配線溝 H M 2 を形成する。なお、配線溝 H M 2 を形成した後、コンタクトホール C 2 を形成してもよい。

【 0 2 4 5 】

次いで、コンタクトホール C 2 の底部に露出しているタングステン膜 C M 1 b およびその

50

下層の窒化タングステン膜 C M 1 a を例えばドライエッチング法を用いて除去し、銅膜 M 1 c を露出させる。

【 0 2 4 6 】

次いで、第 2 層配線 M 2 およびプラグ（接続部）P 2 を形成するのであるが、以降の工程は、実施の形態 1 と同様であるため、概略のみを述べる。

【 0 2 4 7 】

即ち、実施の形態 1 と同様に、配線溝 H M 2 およびコンタクトホール C 2 の内部を含む T E O S 膜 2 6 c 上に、バリア膜 P M 2 a を、配線溝 H M 2 の側壁において 5 n m 程度、配線溝 H M 2 の底部において 3 0 n m 程度、コンタクトホール C 2 の側壁において 3 n m 程度、コンタクトホール C 2 の底部において 2 0 n m 程度の膜厚となるよう堆積する。

10

【 0 2 4 8 】

次いで、実施の形態 1 と同様に、コンタクトホール C 2 底部のバリア膜 P M 2 a を除去し、電界メッキ用のシード膜として薄い銅膜 P M 2 b を堆積した後、電界メッキ法により、銅膜 P M 2 b 上に銅膜 P M 2 c を形成する。次に、還元雰囲気下において基板 1 にアニール（熱処理）を施した後、配線溝 H M 2 およびコンタクトホール C 2 外部の銅膜 P M 2 c 、 P M 2 b およびバリア膜 P M 2 a を例えば C M P 法もしくはエッチバック法を用いて除去することにより銅膜 P M 2 b 、 P M 2 c およびバリア膜 P M 2 a から成る第 2 層配線 M 2 および第 1 層配線 M 1 と第 2 層配線を接続するプラグ（接続部）P 2 を形成する。

【 0 2 4 9 】

次に、実施の形態 1 と同様に、第 2 層配線 M 2 上に、窒化タングステン膜 C M 1 a およびタングステン膜 C M 1 b と同様に、窒化タングステン膜 C M 2 a およびタングステン膜 C M 2 b を形成する。

20

【 0 2 5 0 】

この後、図 3 2 に示すように、T E O S 膜 2 6 c およびタングステン膜 C M 2 b 上に、絶縁膜として例えば T E O S 膜 2 8 a 、 S i O C 膜 2 8 b および T E O S 膜 2 8 c を C V D 法により順次堆積する。さらに、T E O S 膜 2 8 c 上に、絶縁膜として例えば、芳香族ポリマー材料を用いた低誘電絶縁膜 3 0 b および T E O S 膜（図示せず）を順次形成する。

【 0 2 5 1 】

次いで、前記 5 層の絶縁膜中に、配線溝 H M 2 およびコンタクトホール C 2 と同様に、配線溝およびコンタクトホールを形成するのであるが、これらの図示は省略する。

30

【 0 2 5 2 】

このように配線上のキャップ導電性膜 8 0 1 、 8 0 2 を積層膜とすることができる。

【 0 2 5 3 】

また、本実施の形態によれば、第 1 層配線 M 1 とプラグ P 2 との間の窒化タングステン膜 C M 1 a 、タングステン膜 C M 1 b およびバリア膜 P M 2 a を除去したので、第 1 層配線 M 1 とプラグ P 2 との接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性を向上させることができる等の実施の形態 1 で説明した効果を得ることができる。

【 0 2 5 4 】

（実施の形態 9 ）

40

実施の形態 1 においては、コンタクトホールの直径とその下層の配線幅とをほぼ同じ大きさとしたが、下層の配線幅をコンタクトホールの直径より大きくしてもよいし、また、配線の一部にコンタクトホールの直径より大きい接続領域を設けてもよい。

【 0 2 5 5 】

例えば、実施の形態 1 においては、図 2 2 等にしたように、コンタクトホール（例えば、C 2 ）の直径とその下層の配線幅（例えば、M 1 の幅）とがほぼ同じ大きさである。図 3 3 に、第 1 層配線 M 1 と、第 2 層配線 M 2 およびこれらを接続するプラグ P 2 のパターンを示す。図 3 4 は、図 3 3 の C - C ' 断面図である。図 3 4 に示すように、プラグ P 2 がその内部に形成されるコンタクトホール（C 2 ）と、第 2 層配線 M 2 がその内部に形成される配線溝（H M 2 ）の側壁や底面には、バリア膜 P M 2 a が形成されている。また、

50

図 3 4 に示す断面には表れないが、第 1 層配線 M 1 の表面には、キャップ導電性膜としてタングステン膜 C M 1 が形成されている。しかしながら、プラグ P 2 と配線 M 1 との間のバリア膜 P M 2 a およびタングステン膜 C M 1 は、除去されているので、プラグ P 2 と配線 M 1 との間の接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性の向上等の実施の形態 1 で説明した効果を得ることができる。

【 0 2 5 6 】

これに対して、図 3 5 に示すように、第 1 層配線 M 1 の端部に接続領域 M 9 0 1 を設けてもよい。この接続領域 M 9 0 1 は、第 1 層配線 M 1 の幅より大きく形成されている。また、第 2 層配線 M 2 の端部にも接続領域 M 9 0 2 が設けられている。図 3 5 は、本実施の形態の第 1 層配線 M 1 と、第 2 層配線 M 2 およびこれらを接続するプラグ P 2 のパターンを示す図である。また、図 3 6 は、図 3 5 の C - C ' 断面図である。図 3 6 に示すように、プラグ P 2 がその内部に形成されるコンタクトホール (C 2) と、第 2 層配線 M 2 がその内部に形成される配線溝 (H M 2) の側壁や底面には、バリア膜 P M 2 a が形成されている。また、第 1 層配線 M 1 の表面には、キャップ導電性膜としてタングステン膜 C M 1 が形成されており、接続領域 M 9 0 1 の外周表面には、キャップ導電性膜としてタングステン膜 C M 1 が残存する。

【 0 2 5 7 】

この場合も、プラグ P 2 と配線 M 1 との間のバリア膜 P M 2 a およびタングステン膜 C M 1 は、除去されているので、プラグ P 2 と配線 M 1 との間の接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性の向上等の実施の形態 1 で説明した効果を得ることができる。

【 0 2 5 8 】

このように、配線中に幅の広い接続領域 M 9 0 1、M 9 0 2 を設けた場合は、その上部に形成されるプラグや配線パターンとの合わせ余裕を確保することができる。

【 0 2 5 9 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 2 6 0 】

特に、本実施の形態 1 ~ 9 においては、デュアルダマシン法を用いて、例えば第 2 層配線 M 2 および接続部 (プラグ) P 2 等を形成したが、シングルダマシン法を用いて第 2 層配線 M 2 と接続部 (プラグ) P 2 とを別工程で形成してもよい。この場合も、プラグ P 2 の下層の第 1 層配線 M 1 表面のキャップ導電性膜やプラグ P 2 底部のバリア膜を除去することにより、接触抵抗の低減を図ることができ、また、エレクトロマイグレーション特性の向上等を図ることができる。

【 0 2 6 1 】

また、本実施の形態 5 に示したバリア絶縁膜 5 0 1 を有する絶縁膜 2 2 を他の実施の形態 2 ~ 4 及び 6 ~ 9 に適用してもよい。これにより合わせずれが生じた場合においても、コンタクトホール C 2 の底部において銅の拡散のバリア性を確保できるので、第 1 層配線 M 1 の配線幅とコンタクトホール C 2 の径とを等しくなるように設計でき、配線の信頼性を確保したまま配線の高密度化、高集積化を図ることができる。

【 0 2 6 2 】

また、本実施の形態 2 ~ 4 に示したに示した絶縁膜 2 2 , 2 4 , 2 6 を他の実施の形態 6 ~ 9 に適用してもよい。

【 0 2 6 3 】

また、本実施の形態 1 等においては、半導体素子の例として M I S F E T Q n を挙げたが、これら M I S F E T に限られず、バイポーラトランジスタ等他の素子を形成することもできる。

【 0 2 6 4 】

また、本実施の形態 6 においては、第 1 層配線 M 1 とプラグ (接続部) P 2 の接続部分で

あるコンタクトホールＣ２の底部において、不連続な膜として構成されたバリア材としてバリア膜ＰＭ２ａを開示したが、これに限らず、不連続な膜として構成されたバリア材をタングステン膜ＣＭ１で形成しても良いし、バリア膜ＰＭ２ａとタングステン膜ＣＭ１の両方で形成してもよい。

【０２６５】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【０２６６】

その表面にキャップバリアメタル膜を有する配線部と、この上部に形成された接続部であって、その周囲がバリアメタル層で覆われた導電体層からなる接続部とを有する半導体装置の、接続部と配線部との接続部分のバリアメタル層又はキャップバリアメタル膜の少なくともどちらか一方を除去したので、配線部と接続部との間の接触抵抗を低減することができる。また、エレクトロマイグレーションによるボイドの発生率や断線の発生率を低減させることができる。また、半導体装置の特性を向上させることができる。

【図面の簡単な説明】

【図１】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図２】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図３】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図４】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図５】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図６】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図７】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図８】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図９】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図１０】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図１１】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図１２】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図１３】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図１４】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図１５】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図１６】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

【図１７】本発明の実施の形態１である半導体装置の製造方法を示した基板の要部断面図である。

10

20

30

40

50

【図 18】本発明の実施の形態 1 である半導体装置の製造方法を示した基板の要部断面図である。

【図 19】本発明の実施の形態 1 である半導体装置の製造方法を示した基板の要部断面図である。

【図 20】本発明の実施の形態 1 である半導体装置の製造方法を示した基板の要部断面図である。

【図 21】本発明の実施の形態 1 である半導体装置の製造方法を示した基板の要部断面図である。

【図 22】本発明の実施の形態 1 である半導体装置の製造方法を示した基板の要部断面図である。

10

【図 23】本発明の実施の形態 1 である半導体装置の製造方法を示した基板の要部断面図である。

【図 24】本発明の実施の形態 2 である半導体装置の製造方法を示した基板の要部断面図である。

【図 25】本発明の実施の形態 2 である半導体装置の製造方法を示した基板の要部断面図である。

【図 26】本発明の実施の形態 3 である半導体装置の製造方法を示した基板の要部断面図である。

【図 27】本発明の実施の形態 4 である半導体装置の製造方法を示した基板の要部断面図である。

20

【図 28】本発明の実施の形態 5 である半導体装置の製造方法を示した基板の要部断面図である。

【図 29】本発明の実施の形態 6 である半導体装置の製造方法を示した基板の要部断面図である。

【図 30】本発明の実施の形態 6 である半導体装置の製造方法を示した基板の要部断面図である。

【図 31】本発明の実施の形態 7 である半導体装置の製造方法を示した基板の要部断面図である。

【図 32】本発明の実施の形態 8 である半導体装置の製造方法を示した基板の要部断面図である。

30

【図 33】本発明の実施の形態である半導体装置の製造方法を示した基板の要部断面図である。

【図 34】本発明の実施の形態である半導体装置の製造方法を示した基板の要部断面図である。

【図 35】本発明の実施の形態 9 である半導体装置の製造方法を示した基板の要部断面図である。

【図 36】本発明の実施の形態 9 である半導体装置の製造方法を示した基板の要部断面図である。

【図 37】本発明の実施の形態 6 である半導体装置の製造方法を示した基板の要部断面図である。

40

【図 38】本発明の実施の形態 7 である半導体装置の製造方法を示した基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 1 a 半導体領域
- 1 b 酸化シリコン膜
- 1 c 半導体領域
- 2 素子分離
- 8 ゲート絶縁膜
- 9 ゲート電極

50

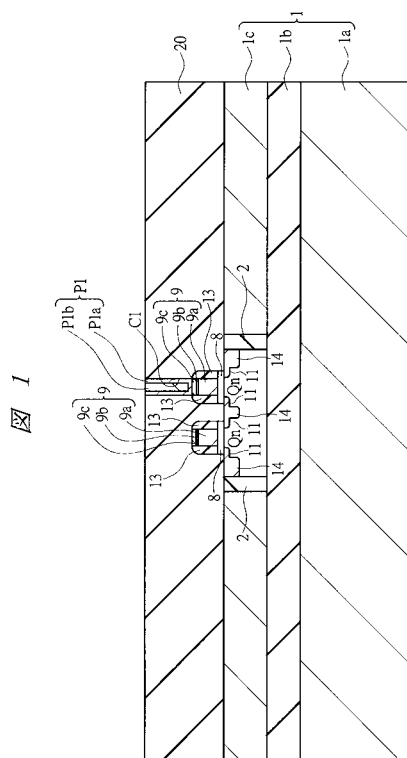
9 a	多結晶シリコン膜	
9 b	W N 膜	
9 c	W 膜	
1 1	n ⁻ 型半導体領域	
1 3	サイドウォールスパーサ	
1 4	n ⁺ 型半導体領域	
2 0	酸化シリコン膜	
2 2	絶縁膜	
2 2 a	T E O S 膜 (酸化シリコン膜)	
2 2 b	低誘電絶縁膜	10
2 2 c	T E O S 膜	
2 4	絶縁膜	
2 4 a	T E O S 膜	
2 4 b	S i O C 膜	
2 4 c	T E O S 膜	
2 6	絶縁膜	
2 6 b	低誘電絶縁膜	
2 6 c	T E O S 膜	
2 8 a	T E O S 膜	
2 8 b	S i O C 膜	20
2 8 c	T E O S 膜	
3 0 b	低誘電絶縁膜	
3 8	積層膜	
4 0 1	窒化シリコン膜	
4 0 2	窒化シリコン膜	
5 0 1	バリア絶縁膜	
5 0 2	バリア絶縁膜	
8 0 1、8 0 2	キャップ導電性膜	
M 9 0 1、M 9 0 2	接続領域	
C 1	コンタクトホール	30
C 2	コンタクトホール	
C 3 ~ C 5	コンタクトホール	
C M 1	タングステン膜	
C M 1 a	窒化タングステン膜	
C M 1 b	タングステン膜	
C M 2	タングステン膜	
C M 2 a	窒化タングステン膜	
C M 2 b	タングステン膜	
C M 3	タングステン膜	
C M 4	タングステン膜	40
H M 1	配線溝	
H M 2	配線溝	
H M 3、H M 4	配線溝	
M 1	第 1 層配線	
M 1 a	バリア膜	
M 1 b	銅膜	
M 1 c	銅膜	
M 2	第 2 層配線	
M 3	第 3 層配線	
M 4	第 4 層配線	50

M 5 第 5 層配線
 M 5 a バリア膜
 M 5 b アルミニウム膜
 M K ハードマスク
 P 1 プラグ
 P 1 a 窒化チタン膜
 P 1 b W膜
 P 2 プラグ
 P 3 プラグ
 P 4 プラグ
 P M 2 a バリア膜
 P M 2 b 銅膜
 P M 2 c 銅膜
 P M 4 a バリア膜
 P M 4 b 銅膜
 P M 4 c 銅膜
 P M 5 a バリア膜
 P M 5 b 銅膜
 P M 5 c 銅膜
 Q n nチャネル型M I S F E T
 R 1 レジスト膜

10

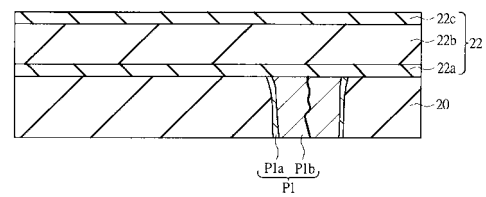
20

【図 1】



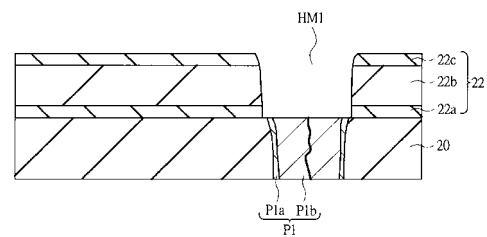
【図 2】

図 2

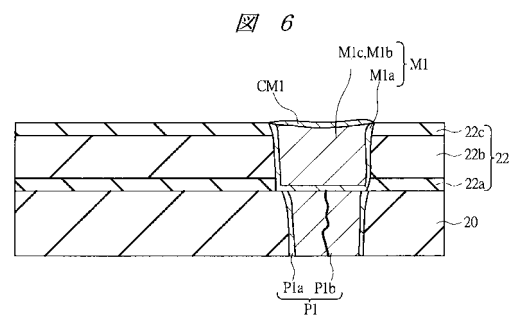


【図 3】

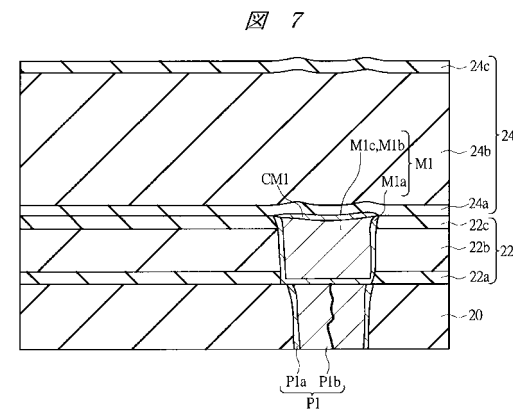
図 3



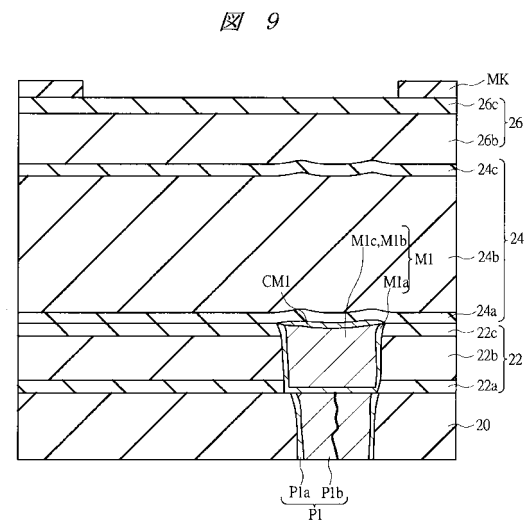
【 図 6 】



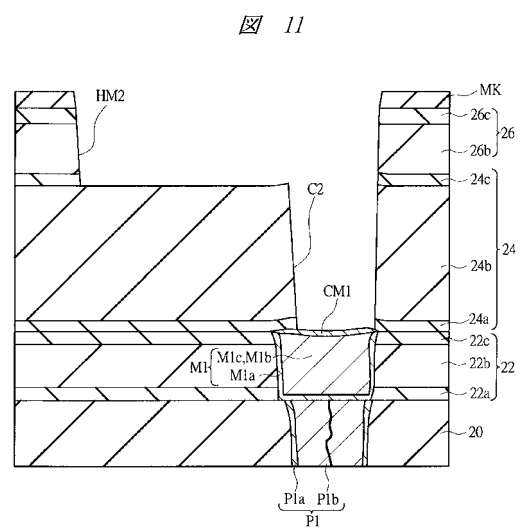
【圖 7】



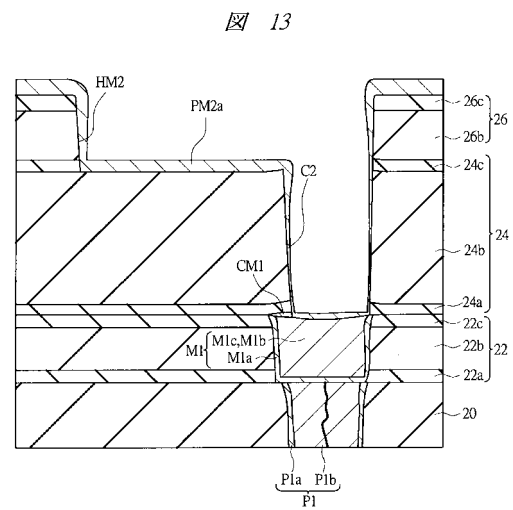
【 図 9 】



【 図 1 1 】

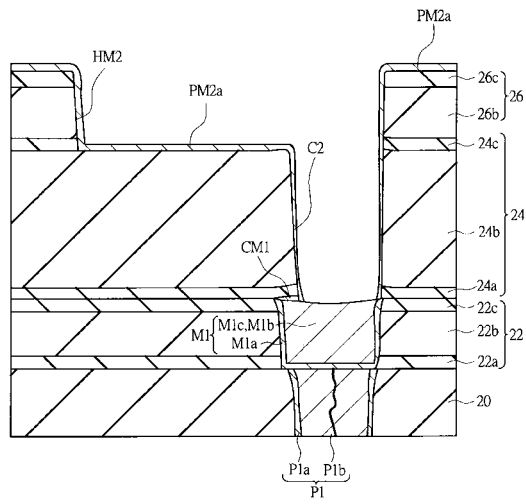


【 圖 1 3 】



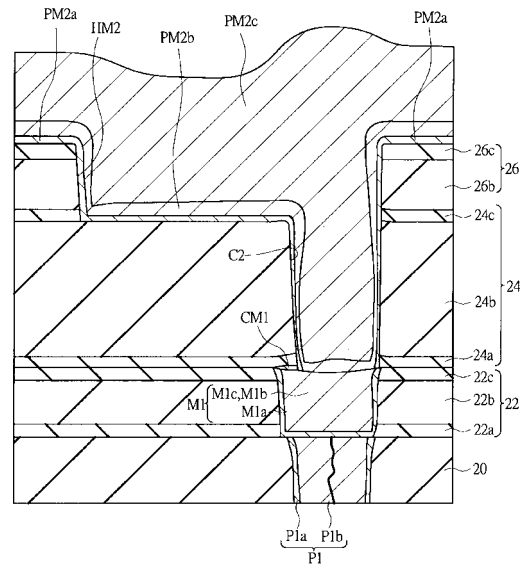
【図 14】

図 14



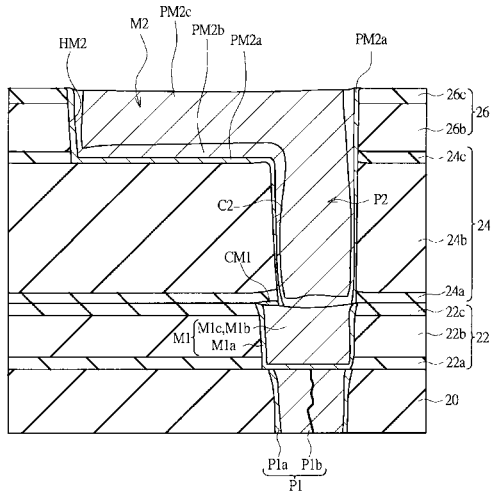
【図 15】

図 15



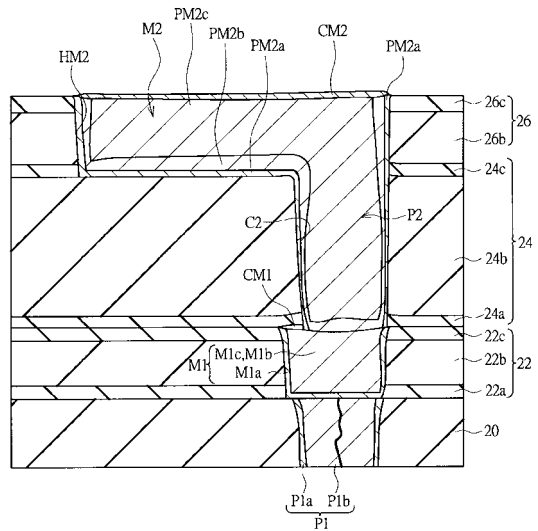
【図 16】

図 16

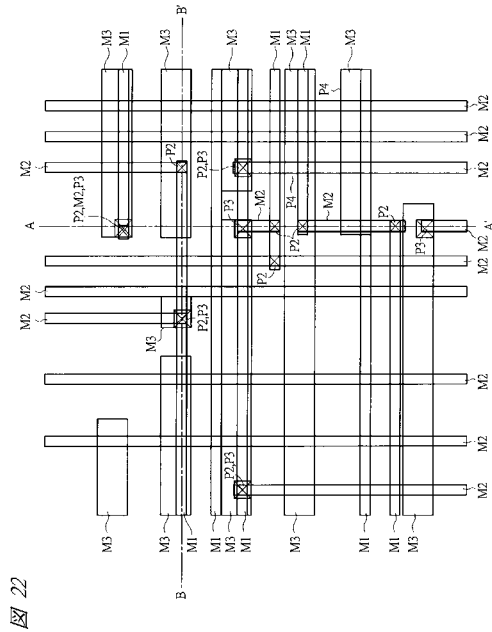


【図 17】

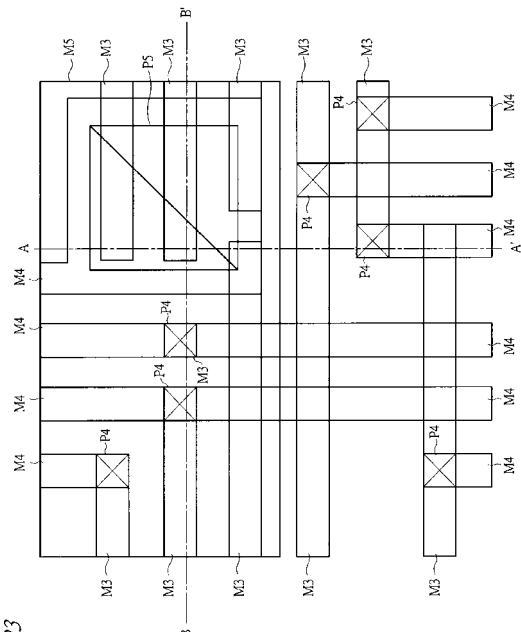
図 17



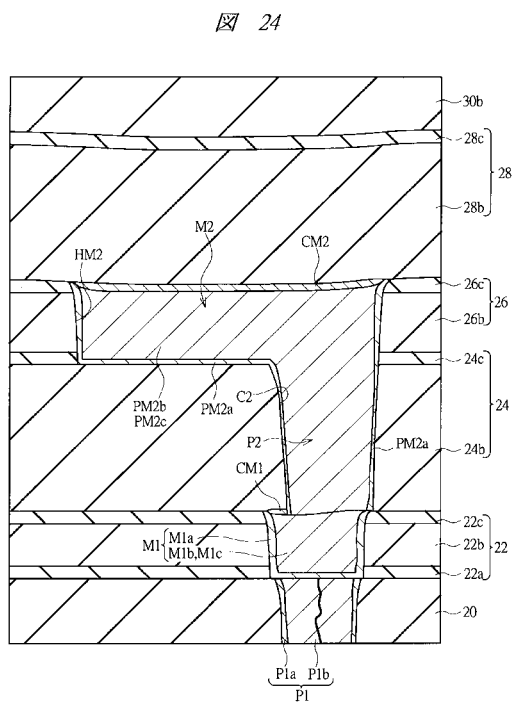
【 図 2 2 】



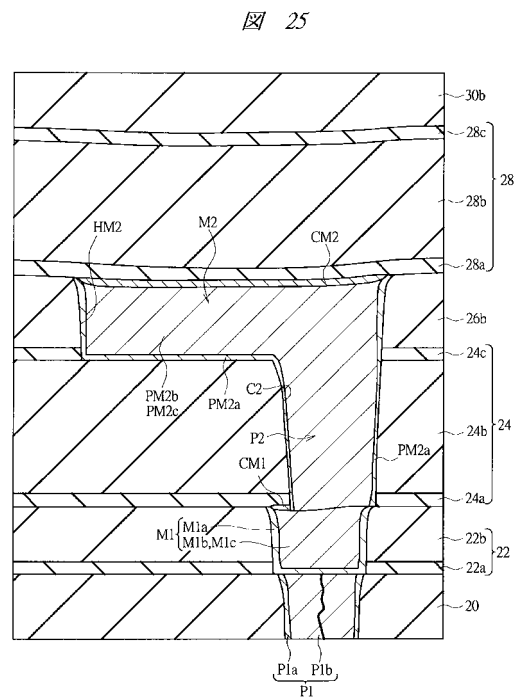
【圖 23】



【圖 24】

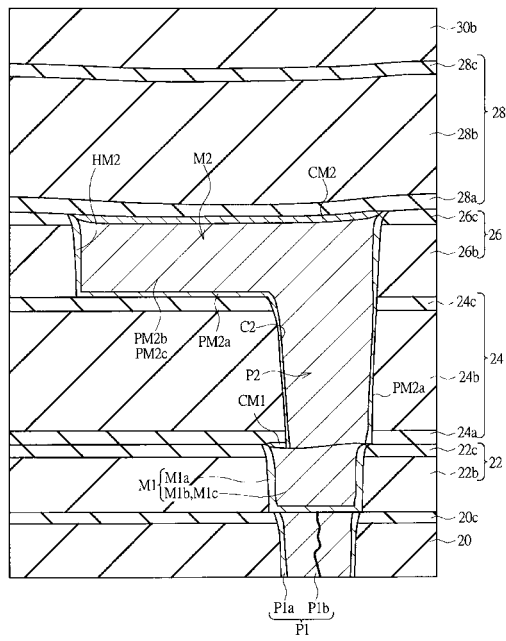


【 図 2 5 】



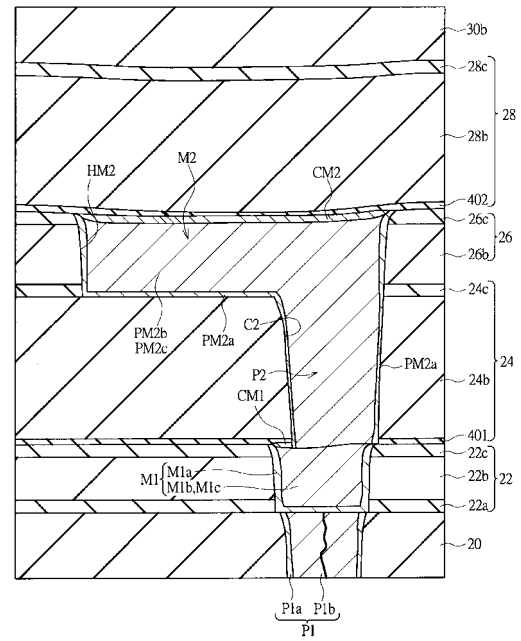
【図 26】

図 26



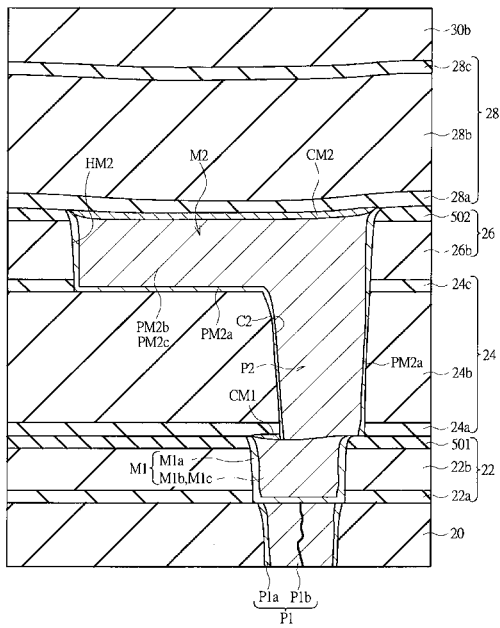
【図 27】

図 27



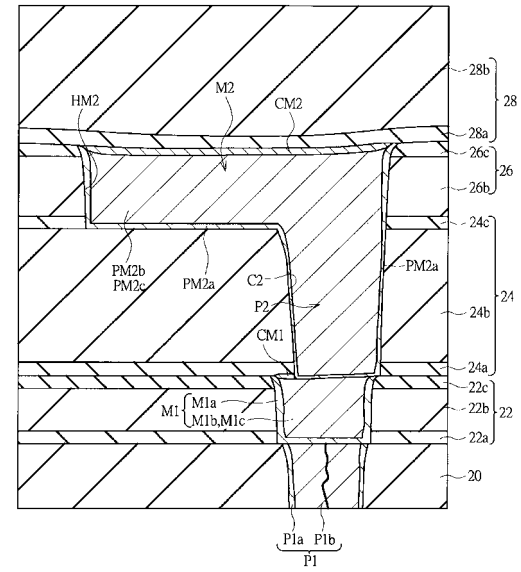
【図 28】

図 28

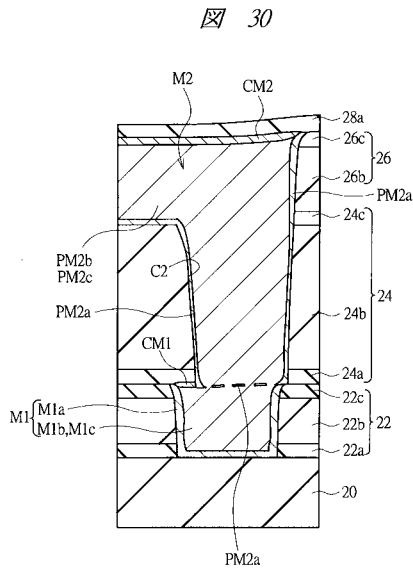


【図 29】

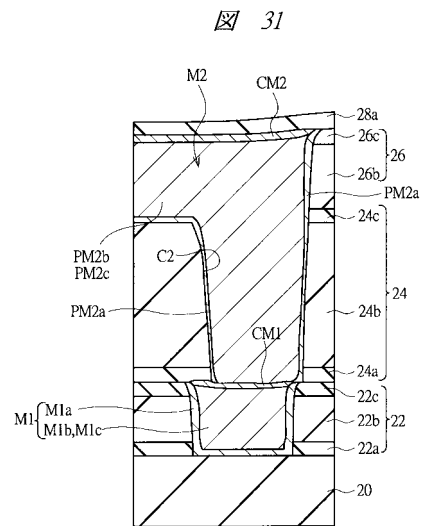
図 29



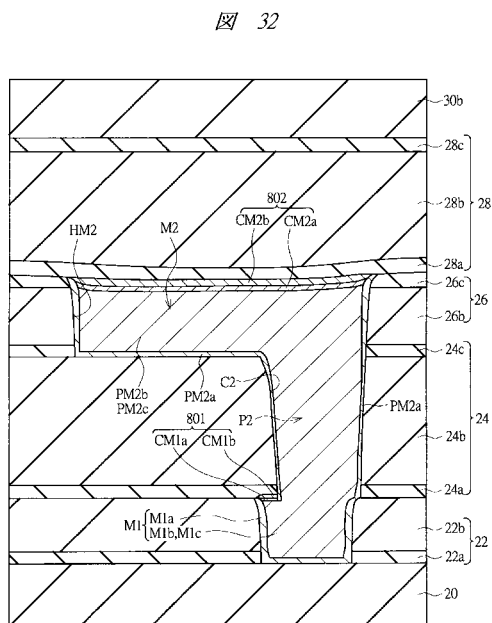
【 図 3 0 】



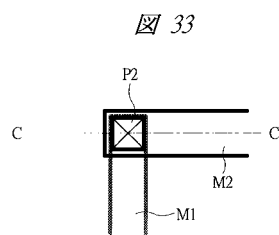
【 図 3 1 】



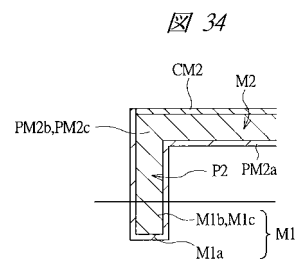
【 図 3 2 】



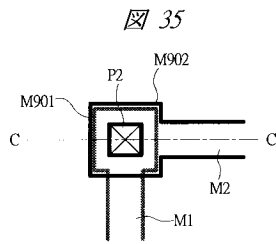
【 図 3 3 】



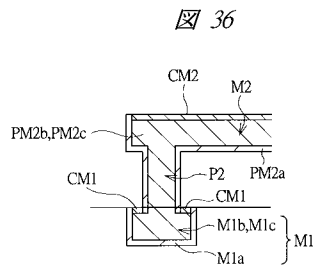
【 図 3 4 】



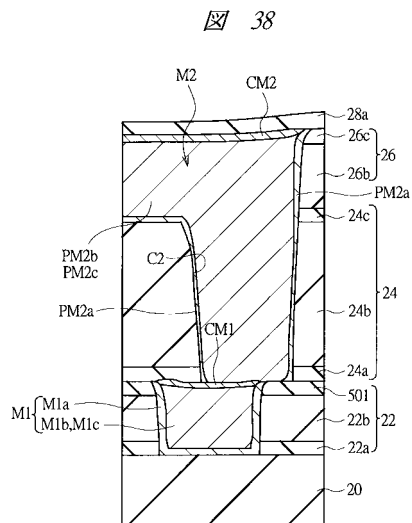
【図 35】



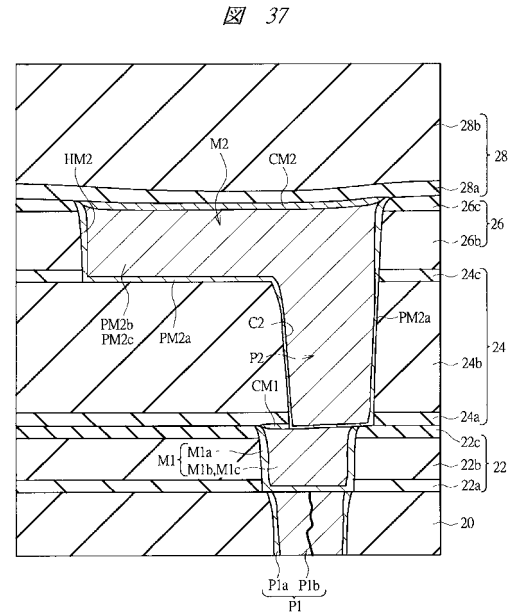
【図 36】



【図 38】



【図 37】



フロントページの続き

(72)発明者 野口 純司

東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

(72)発明者 田丸 剛

東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

審査官 長谷山 健

(56)参考文献 特開平 1 1 - 3 1 7 4 4 6 (J P , A)

特開平 0 5 - 1 9 8 6 8 5 (J P , A)

特開平 0 6 - 2 2 4 1 9 4 (J P , A)

特開平 0 9 - 3 1 2 2 9 1 (J P , A)

特開平 1 1 - 0 1 6 9 0 6 (J P , A)

特開 2 0 0 0 - 1 9 5 9 4 9 (J P , A)

特開平 0 9 - 1 7 2 0 7 0 (J P , A)

特開 2 0 0 0 - 2 2 3 4 7 7 (J P , A)

特開 2 0 0 0 - 3 4 0 6 5 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/768

H01L 23/522