



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0087300
(43) 공개일자 2025년06월16일

(51) 국제특허분류(Int. Cl.)
H03M 1/50 (2006.01) H03M 1/10 (2006.01)
H03M 1/46 (2006.01)
(52) CPC특허분류
H03M 1/50 (2019.01)
H03M 1/1023 (2013.01)
(21) 출원번호 10-2023-0176948
(22) 출원일자 2023년12월07일
심사청구일자 2023년12월07일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김성진
울산광역시 울주군 언양읍 유니스트길 50
한수현
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인비엘티

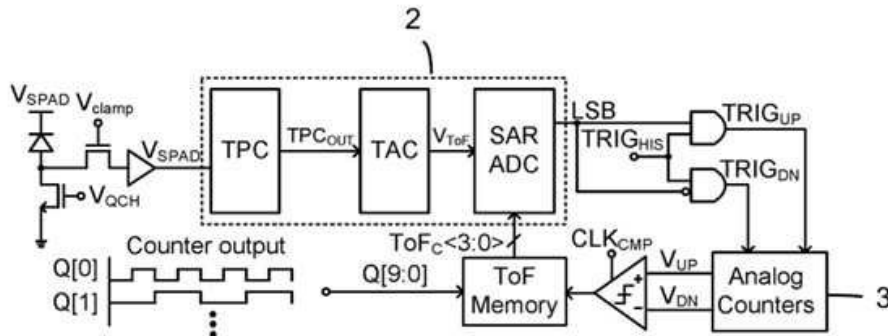
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치 및 방법

(57) 요약

자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치에 있어서, 시간정보를 전압으로 변환하는 TAC(Time-to-Digital Converter); 및 변환된 전압값을 최종 디지털 값으로 변환하는 SAR ADC(Successive Approximation Register Analog-to-Digital Converter); 를 포함하고 1 비트(bit) SAR ADC가 동작하면, 전체 감지 가능한 시간을 기준으로 기준 전압 범위를 절반으로 나누고, 거리 전압이 기준전압의 절반보다 큰 경우, 1로 결정하고, 작은 경우 0으로 결정하고, 결정된 1 또는 0의 값에 따라 다운카운터 또는 업카운터에 히스토그램한다.

대표도 - 도10



(52) CPC특허분류
H03M 1/46 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415185870
과제번호	20015989
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술기획평가원
연구사업명	전략제품창출글로벌K-웹리스육성기술개발(R&D)
연구과제명	차세대 고기능 모바일 카메라 응용을 위한 핵심 시스템반도체(Sensorshift 5축 제어
OIS controller 연속 zoom controller TOF 센서 IC) 기술 개발	
기 여 율	1/2
과제수행기관명	주식회사동운아나텍
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711186260
과제번호	2021R1A2C2012045
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	3D 영상의 공간해상도와 프레임 속도를 거리에 따라 적응적으로 조절하는 라이다 비
전 센서 연구	
기 여 율	1/2
과제수행기관명	울산과학기술원
연구기간	2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치에 있어서,
시간정보를 전압으로 변환하는 TAC(Time-to-Digital Converter); 및
변환된 전압값을 최종 디지털 값으로 변환하는 SAR ADC(Successive Approximation Register Analog-to-Digital Converter); 를 포함하고

상기 SAR ADC는,

1 비트(bit) SAR ADC가 동작하면, 전체 감지 가능한 시간을 기준으로 기준 전압 범위를 절반으로 나누고, 거리 전압이 기준전압의 절반보다 큰 경우, 1로 결정하고, 작은 경우 0으로 결정하고, 결정된 1 또는 0의 값에 따라 다운카운터 또는 업카운터에 히스토그램하는 히스토그램 시간-디지털 변환 장치.

청구항 2

제1항에 있어서, 상기 히스토그램 시간-디지털 변환 장치; 는

2-비트(bit) SAR ADC가 동작하며, MSB(Most Significant Bit)가 이전에 저장된 코어스 비트(coarse bit) 값과 다를 경우, 상기 MSB에 따라 생성된 샘플은 폐기하여 필터링하고, 마지막 LSB(Least Significant Bit)값에 따라 업 카운터(UP counter) 또는 다운 카운터(DN counter)에 샘플을 누적하고, 비교기를 통해 두번째 코어스 비트(coarse bit)를 결정하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 장치.

청구항 3

제2항에 있어서, 상기 히스토그램 시간-디지털 변환 장치; 는

시간 구간의 위상 이동과 동일한 효과를 획득하기 위해 TPC 출력(TPC_{OUT})신호의 길이를 조절하는 정지 시간(T_{stop}) 값을 조정하여 펄스폭(pulse width)을 조절하여 TPC를 통해 전압 오프셋을 생성하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 장치.

청구항 4

제3항에 있어서, 상기 정지 시점(T_{stop})은 마지막 코어스 비트(coarse bit(MEM[0])) 값에 의해 결정되고, TPC의 입력 값인 레퍼런스 시간(T_{REF})을 조절하여 변경하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 장치.

청구항 5

제4항에 있어서, 상기 정지 시점(T_{stop})은

딥스 메모리(depth memory)의 LSB값에 따라 결정되며, TPC의 입력 값인 레퍼런스 시간(T_{REF})은 코어스 단계(coarse step)에서 사용된 T_{REFC} 를 일정 비율 지연한 신호를 이용하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 장치.

청구항 6

제1항에 있어서,

상기 히스토그램 시간-디지털 변환 장치; 는

TAC의 캐퍼시터 크기, 전류 소스(current source) 및 SF 오프셋(offset)을 포함하는 변동으로 인해 발생하는 오차를 각 픽셀에서 보정하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 장치.

청구항 7

제6항에 있어서, 상기 히스토그램 시간-디지털 변환 장치; 는

TAC와 SF가 거리 전압을 생성하고,

상기 생성된 거리전압을 CDAC의 캐퍼시터에 샘플링한 후 리셋하고,

최대 감지 시간(T_{max})만큼 TAC를 다시 트리거하여 기준 전압을 생성하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 장치.

청구항 8

자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 방법에 있어서,

(A) TAC에서 시간정보를 전압으로 변환하는 단계; 및

(B) SAR ADC에서 변환된 전압값을 최종 디지털 값으로 변환하고, 변환된 최종 디지털 값에 따라 다운카운터 또는 업카운터에 히스토그램하는 단계; 를 포함하고,

상기 (B)의 단계; 는

1 비트(bit) SAR ADC가 동작하면, 전체 감지 가능한 시간을 기준으로 기준 전압 범위를 절반으로 나누고, 거리 전압이 기준전압의 절반보다 큰 경우, 1로 결정하고, 작은 경우 0으로 결정하고, 결정된 1 또는 0의 값에 따라 다운카운터 또는 업카운터에 히스토그램하는 히스토그램 시간-디지털 변환 방법.

청구항 9

제8항에 있어서, 상기 (B)의 단계; 는

2-비트(bit) SAR ADC가 동작하며, MSB(Most Significant Bit)가 이전에 저장된 코어스 비트(coarse bit) 값과 다를 경우, 상기 MSB에 따라 생성된 샘플은 폐기하여 필터링하고, 마지막 LSB(Least Significant Bit)값에 따라 업 카운터(UP counter) 또는 다운 카운터(DN counter)에 샘플을 누적하고, 비교기를 통해 두번째 코어스 비트(coarse bit)를 결정하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 방법.

청구항 10

제9항에 있어서, 상기 (B)의 단계; 는

시간 구간의 위상 이동과 동일한 효과를 획득하기 위해 TPC 출력(TPC_{OUT})신호의 길이를 조절하는 정지 시점(T_{stop})값을 조정하여 펄스폭(pulse width)을 조절하여 TPC를 통해 전압 오프셋을 생성하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 방법.

청구항 11

제10항에 있어서, 상기 정지 시점(T_{stop})은 마지막 코어스 비트(coarse bit(MEM[0])) 값에 의해 결정되고, TPC의 입력 값인 레퍼런스 시간(T_{REF})을 조절하여 변경하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 방법.

청구항 12

제11항에 있어서, 상기 정지 시점(T_{stop})은

딥스 메모리(depth memory)의 LSB값에 따라 결정되며, TPC의 입력 값인 레퍼런스 시간(T_{REF})은 코어스 단계(coarse step)에서 사용된 T_{REFC} 를 일정 비율 지연한 신호를 이용하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 방법.

청구항 13

제8항에 있어서, 상기 (B)의 단계; 는

TAC의 캐퍼시터 크기, 전류 소스(current source), SF 오프셋(offset)을 포함하는 변동으로 인해 발생하는 오차를 각 픽셀에서 보정하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 방법.

청구항 14

제13항에 있어서, 상기 (B)의 단계; 는

TAC와 SF가 거리 전압을 생성하고, 생성된 거리전압을 CDAC의 캐퍼시터에 샘플링한 후 리셋하고, 최대 감지 시간(T_{max})만큼 TAC를 다시 트리거하여 기준 전압을 생성하는 것을 특징으로 하는 히스토그램 시간-디지털 변환 방법.

발명의 설명

기술 분야

[0001] 본 개시는 히스토그램 시간-디지털 변환(TDC, Time-To-Digital Conversion) 장치 및 방법에 관한 것으로 구체적으로, 히스토그램 TDC의 유형을 TAC와 SAR ADC로 변경하는 히스토그램 시간-디지털 변환 장치 및 방법에 관한 것이다.

배경 기술

[0002] 본 명세서에서 달리 표시되지 않는 한, 이 섹션에 설명되는 내용들은 이 출원의 청구항들에 대한 종래 기술이 아니며, 이 섹션에 포함된다고 하여 종래 기술이라고 인정되는 것은 아니다.

[0003] ToF(Time of Flight)기술은 센서 근처에 위치한 광원에서 펄스 형태의 빛을 방출한 후 반사된 빛을 수광하고, 그 사이의 시간을 측정한 후, 이를 광속 불변의 법칙에 따라 거리로 변환하는 기술이다. ToF를 설명하기 위한 도 1을 참조하면, 정밀한 ToF 측정을 위해서는 빛이 수광 소자에 도달하자마자 즉시 반응이 일어나야 하므로 매우 높은 감도를 갖춘 소자가 필수적으로 요구된다. 이를 위해 주로 CMOS 공정 기술로 제작 가능한 SPAD(Single Photon Avalanche Diode)가 주로 사용된다. SPAD 기반 거리 센서는 레이저를 물체에 쏜 시간과 물체에서 반사되어 들어오는 신호의 시간 차이를 TDC(Time-to-Digital Converter)를 통해 측정하여 거리를 재며, 이를 D-ToF(Direct ToF) 방식이라한다. ToF를 통해 연간값을 산출하는 예를 설명하는 도 2를 참조하면, 센서와 물체 사이의 거리가 7.5m이고 이 거리의 빛의 속도를 통해 거리를 산출하는 수식을 통해 50ns로 변환된다. 해당 TDC는 빛을 조사한 시간을 기준으로 200MHz 클럭의 속도로 카운터가 작동하며, 물체로부터 반사된 빛을 감지하면 동작이 중지된다. 이때 카운터 값과 클럭의 주기를 곱하여 최종 ToF값을 계산할 수 있다. TDC의 클럭 속도가 더 빠를수록 보다 정확한 거리 정보를 획득할 수 있다.

[0004] ToF의 히스토그램을 나타낸 도 3을 참조하면, SPAD 기반 D-ToF(Direct-Time of Flight) 센서는 SPAD 소자 자체의 노이즈와 외광으로 인한 낮은 SNR을 극복하기 위해 많은 데이터를 수집하고 히스토그램을 생성하여 확률적으로 거리를 계산한다. 이때, 많은 데이터들을 픽셀 밖에서 처리하기 위해서는 빠른 처리 속도가 필요하다. 데이터 처리량을 줄이기 위해선 픽셀 내에서 히스토그램을 생성하는 히스토그래밍 TDC가 활발히 연구되고 있다.

[0005] 그러나 히스토그램을 생성하기 위해서는 거리해상도에 비례하는 시간 구간(time bin)수만큼 메모리가 필요하며, 신뢰도를 높이기 위해 각 메모리의 비트-깊이(bit-depth)가 일정 수준 이상이어야 한다. 이 때문에 메모리 용량이 문제가 되며, 픽셀 내 집적이 어렵다. 도 4는 D-ToF 센서의 블록 다이어그램을 나타낸 도면이고, 도 5는 해결하고자 하는 높은 전력 소비 문제를 설명하기 위한 도면이다. 종래의 픽셀 내 히스토그램을 나타낸 도 6을 참조하면, 이 문제를 해결하기 위해 바이너리 서치(binary search) 방식을 사용한 히스토그래밍 TDC가 개발되었다. 바이너리 서치 히스토그래밍 TDC는 9-비트의 업-다운 카운터를 사용하여 히스토그램을 계산함으로써 메모리 용량을 크게 줄여 이전보다 작은 크기의 히스토그램 TDC를 구현할 수 있게 한 것이다. 도 4에서 D-ToF 센서는 SPAD, TDC(Time-to-Digital Converter) 및 히스토그램 메모리를 포함하여 구성될 수 있다. SPAD는 광자를 수신하고, TDC는 SPAD 펄스 도착 시간을 디지털 비트로 변환한다. 이후, 히스토그램 메모리는 히스토그램 및 피크 값(ToF) 감지한다. 이후 실시예에서는 수학적 1 = / 을 통해, 거리를 산출한다. 그러나 여전히 고속 동작으로 인한 TDC의 전력 소모가 크다는 문제점이 있다. 또한 최근 스마트폰에 많은 기능들이 추가되고 있으며 스마트 클래스의 배터리 용량의 한계로 센서의 소모 전력을 크게 줄이는 노력이 필요하다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 1. 한국 특허등록 제10-0310791호 (2001.09.20.)
(특허문헌 0002) 2. 한국 특허등록 제10-1324230호 (2013.10.25)

발명의 내용

해결하려는 과제

- [0007] 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치 및 방법은 TAC와 SAR ADC를 활용하여 아날로그 기반의 저전력 히스토그램 TDC를 제안한다.
- [0008] 실시예에서 TAC는 시간 정보를 전압으로 변환하고, 변환된 전압 값을 SAR ADC를 통해 최종적으로 디지털 값으로 변환한다. 실시예에서 TAC는 캐퍼시터와 스위치를 포함한다.
- [0009] 또한, 실시예에서는 각 픽셀마다 거리 측정의 정확도를 향상하기 위해 SAR ADC의 참조 전압을 TAC와 SF를 통해 자체적으로 생성함으로써 보정한다.
- [0010] 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치 및 방법은 고속의 클럭 없이 ToF 값을 빠르게 추출할 수 있도록 하고, TAC의 캐퍼시터 크기, 전류 소스(current source), SF의 오프셋(offset) 변동을 자기참조 전압 생성(self-reference voltage generation)을 통해 보정하여 정확도 높은 센서를 구현한다.

과제의 해결 수단

- [0011] 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치에 있어서, 시간정보를 전압으로 변환하는 TAC(Time-to-Digital Converter); 및 변환된 전압값을 최종 디지털 값으로 변환하는 SAR ADC(Successive Approximation Register Analog-to-Digital Converter); 를 포함하고, 1 비트(bit) SAR ADC가 동작하면, 전체 감지 가능한 시간을 기준으로 기준 전압 범위를 절반으로 나누고, 거리 전압이 기준전압의 절반보다 큰 경우, 1로 결정하고, 작은 경우 0으로 결정하고, 결정된 1 또는 0의 값에 따라 다운카운터 또는 업카운터에 히스토그램한다.
- [0012] 또한, 히스토그램 시간-디지털 변환 장치; 는 2-비트(bit) SAR ADC가 동작하며, MSB(Most Significant Bit)가 이전에 저장된 코어스 비트(coarse bit) 값과 다를 경우, 상기 MSB에 따라 생성된 샘플은 폐기하여 필터링하고, 마지막 LSB(Least Significant Bit)값에 따라 업 카운터(UP counter) 또는 다운 카운터(DN counter)에 샘플을 누적하고, 비교기를 통해 두번째 코어스 비트(coarse bit)를 결정할 수 있다.
- [0013] 또한, 히스토그램 시간-디지털 변환 장치; 는 시간 구간의 위상 이동과 동일한 효과를 획득하기 위해 TPC 출력(TPC_{OUT})신호의 길이를 조절하는 정지 시간(T_{stop})값을 조정하여 펄스폭(pulse width)을 조절하여 TPC를 통해 전압 오프셋을 생성할 수 있다.
- [0014] 또한, 정지 시점(T_{stop})은 마지막 코어스 비트(coarse bit($MEM[0]$)) 값에 의해 결정되고, TPC의 입력 값인 레퍼런스 시간(T_{REF})을 조절하여 변경할 수 있다.
- [0015] 또한, 정지 시점(T_{stop})은 탭스 메모리(depth memory)의 LSB값에 따라 결정되며, TPC의 입력 값인 레퍼런스 시간(T_{REF})은 코어스 단계(coarse step)에서 사용된 T_{REFC} 를 일정 비율 지연한 신호를 이용할 수 있다.
- [0016] 또한, 히스토그램 시간-디지털 변환 장치; 는 TAC의 캐퍼시터 크기, 전류 소스(current source), SF 오프셋(offset)을 포함하는 변동으로 인해 발생하는 오차를 각 픽셀에서 보정할 수 있다.
- [0017] 또한, 히스토그램 시간-디지털 변환 장치; 는 TAC와 SF가 거리 전압을 생성하고, 생성된 거리전압을 CDAC의 캐퍼시터에 샘플링한 후 리셋하고, 최대 감지 시간(T_{max})만큼 TAC를 다시 트리거하여 기준 전압을 생성할 수 있다.

발명의 효과

- [0018] 본 발명에서 제안한 히스토그램 TDC는 고속의 클럭 없이 ToF 값을 빠르게 추출할 수 있다.

- [0019] 또한 TAC의 캐퍼시터 크기, 전류 소스(current source), SF의 오프셋 변동을 자체 참조 전압 생성을 통해 보정하여 정확도 높은 센서를 구현한다.
- [0020] 따라서 실시예에 따른 거리 센서는 저전력을 요하는 모바일 디바이스에 적용하기에 적합하고, 카운터 기반의 TDC와는 달리 빠른 클럭이 필요로 하지 않아 기존의 TDC와 비교했을 때 전력 소비를 대폭 감소하는 효과를 창출한다.
- [0021] 본 발명의 효과는 상기한 효과로 한정되는 것은 아니며, 본 발명의 상세한 설명 또는 특허청구범위에 기재된 발명의 구성으로부터 추론 가능한 모든 효과를 포함하는 것으로 이해되어야 한다.

도면의 간단한 설명

- [0022] 도 1은 D-ToF 센서기반의 SPAD(Single Photon Avalanche Diode)를 설명하기 위한 도면
- 도 2는 TDC(Time-to-Digital Converter) 동작 과정을 설명하기 위한 도면
- 도 3은 ToF의 히스토그램을 나타낸 도면
- 도 4는 실시예에 따른 D-ToF 센서의 블록 다이어그램을 나타낸 도면
- 도 5는 실시예에서 해결하고자 하는 높은 전력 소비 문제를 설명하기 위한 도면
- 도 6은 픽셀 내 SA 히스토그램을 설명하기 위한 도면
- 도 7은 실시예에 따른 SA hTDC 운영 개념을 설명하기 위한도면
- 도 8은 실시예에 따른 hTDC 타이밍을 종래와 비교하기 위한 도면
- 도 9는 hTDC 블록 다이어그램을 비교한 도면
- 도 10은 아날로그 TDC의 블록 다이어그램을 나타낸 도면
- 도 11은 실시예에 따른 h TDC(histogramming Time-to-Digital Converter)의 개념을 설명하기 위한 도면
- 도 12는 실시예에 따른 히스토그램 시간 디지털 변환 장치의 마지막 단계(Fine Operation)를 설명하기 위한 도면
- 도 13은 실시예에 따른 전압 오프셋 생성 과정을 설명하기 위한 도면
- 도 14는 TAC의 픽셀 간 불균일성을 설명하기 위한 도면
- 도 15는 실시예에 따른 자체 참조 SAR ADC의 원리를 설명하기 위한 도면
- 도 16은 TPC의 타이밍 다이어그램
- 도 17은 실시예에 따른 자체 참조 SAR ADC(Self-Referenced SAR ADC)의 회로도
- 도 18는 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 과정을 나타낸 도면

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 명세서에 개시된 실시예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0024] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

- [0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0026] 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0027] 본 명세서에 있어서 '부(部)'란, 하드웨어에 의해 실현되는 유닛(unit), 소프트웨어에 의해 실현되는 유닛, 양방을 이용하여 실현되는 유닛을 포함한다. 또한, 1개의 유닛이 2개 이상의 하드웨어를 이용하여 실현되어도 되고, 2개 이상의 유닛이 1개의 하드웨어에 의해 실현되어도 된다.
- [0028] 본 명세서에 있어서 단말, 장치 또는 디바이스가 수행하는 것으로 기술된 동작이나 기능 중 일부는 해당 단말, 장치 또는 디바이스와 연결된 서버에서 대신 수행될 수도 있다. 이와 마찬가지로, 서버가 수행하는 것으로 기술된 동작이나 기능 중 일부도 해당 서버와 연결된 단말, 장치 또는 디바이스에서 수행될 수도 있다.
- [0029] 이하, 첨부된 도면을 참고하여 본 발명을 상세히 설명하기로 한다.
- [0030] 도 9는 실시예에 따른 히스토그램 시간-디지털 변환 장치(hTDC) 블록 다이어그램을 종래의 TDC와 비교한 도면이다.
- [0031] 실시예에서는 히스토그램 TDC(Time-to-Digital Converter)회로의 구조 및 동작원리를 제안한다. 아날로그 TDC의 블록 다이어그램을 나타낸 도 9를 참조하면, 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치는 TPC(time-to-pulse converter), TAC(time-to-analog converter), SF(source follower), SAR ADC(analog-to-digital converter) 및 아날로그 카운터(analog counter)를 포함하여 구성될 수 있다.
- [0032] 도 8은 실시예에 따른 히스토그램 시간-디지털 변환 장치(hTDC, histogramming Time-to-Digital Converter)타이밍을 종래와 비교하기 위한 도면이고, 도 9는 hTDC 블록 다이어그램을 종래와 비교한 도면이다.
- [0033] 도 8 및 도 9를 참조하면, 거리 센서의 해상도가 TDC의 클럭 속도와 비례하므로 높은 거리 해상도를 얻기 위해서는 높은 전력 소비가 필요하다. 따라서, 실시예에 따른 히스토그램 시간-디지털 변환 장치는 바이너리 서치(binary search) 방식을 사용한 카운터 기반의 타이밍 생성기(Timing Generator)를 대체하기 위해, TAC와 SAR ADC를 활용하여 아날로그 기반의 저전력 히스토그램 TDC를 제안한다.
- [0034] 실시예에서 TAC는 시간 정보를 전압으로 변환하고, 변환된 전압 값을 SAR ADC를 통해 최종적으로 디지털 값으로 변환한다. 실시예에서 TAC는 캐퍼시터와 스위치를 포함하여 구성될 수 있다. 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치는 카운터 기반의 TDC와는 달리 빠른 클럭이 필요로 하지 않는다. 이를 통해, 기존의 TDC와 비교했을 때 전력 소비를 대폭 감소시킨다. 하지만, TAC는 픽셀마다 캐퍼시터 값과 전류 소스(current source)의 변동이 발생할 수 있으며, 또한 SF는 내부 트랜지스터 소자의 특성에 따라 문턱 전압(V_{th})의 변동이 있을 수 있어 각 픽셀마다 거리 측정의 정확도에 영향을 줄 수 있다.
- [0035] 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치는 SAR ADC의 참조 전압을 TAC와 SF를 통해 자체적으로 생성함으로써 전류 소스의 변동과 문턱 전압의 변동을 보완할 수 있도록 한다.
- [0036] 도 10은 아날로그 히스토그램 TDC(시간, 디지털 변환 장치)의 블록 다이어그램을 나타낸 도면이고, 도 11은 실시예에 따른 히스토그램 TDC(hTDC, histogramming Time-to-Digital Converter)의 개념을 설명하기 위한 도면이다. 도 10 및 도 11을 참조하면, 실시예에서는 히스토그램 TDC(2)의 유형을 카운터에 기반한(counter-based) TDC가 아닌 TAC와 SAR ADC로 변경한다. 실시예에서 TDC(2)는 TPC, TAC 및 SAR ADC를 포함하여 구성될 수 있다. TPC는 ToF의 타임스탬프를 펄스로 변환하고, TAC는 펄스를 전압으로 변환한다. SAR ADC는 전압을 디지털 값 0 또는 1로 변환한다. 도 11에 도시된 바와 같이, SPAD 펄스가 도달 시점(ToF)에서 시작하여 T_{stop} 에서 끝나는 펄스가 생성됨을 확인할 수 있다. SPAD 펄스는 TAC를 트리거하며 결국 V_{ToF} 로 변환된 것이다.
- [0037] 실시예에 따른 히스토그램 시간-디지털 변환 장치는 첫번째 코어스 단계(coarse step)에서 1-비트(bit) SAR ADC 동작하며, 전체 감지 가능한 시간을 기준으로 전압(참조 전압) 범위를 반으로 나눈다. 이후, 히스토그램 시간-디지털 변환 장치는 V_{SF} 와 V_{ToF} 차이인 거리 전압이 참조 전압의 반보다 크면 1, 작으면 0으로 결정된다.

이후, 히스토그램 시간-디지털 변환 장치는 결정된 1 또는 0의 값에 따라 다운 카운터(DN counter)와 업 카운터(UP counter)에 히스토그램 한다. 실시예에서는 1값인 경우 업카운트에 히스토그램하고, 0 값인 경우 다운 카운터에 히스토그램한다.

[0038] 이후, 히스토그램 시간-디지털 변환 장치는 각 전압 대역에 해당하는 시간 정보를 카운터에 일정 시간동안 누적한 후, 비교기를 통해 두 아날로그 카운터의 값을 비교하여 코어스 비트(coarse bit(T_{ofc}))를 결정한다. 이때, 텡스 메모리(depth memory)값은 상위 비트부터 1비트씩 결정된다.

[0039] 두번째 코어스 단계(coarse step)에서는 2-비트 SAR ADC 동작하며, MSB(Most Significant Bit)가 이전에 저장된 코어스 비트(coarse bit) 값과 다를 경우 해당 MSB에 따라 생성된 샘플은 폐기되어 필터링된다. 마지막 LSB(Least Significant Bit)값에 따라 업 카운터(UP counter) 또는 다운 카운터(DN counter)에 샘플이 쌓이고, 비교기를 통해 두번째 코어스 비트(coarse bit)가 결정된다. 마지막으로 단계(fine step)에서는 간접(indirect) ToF기술의 작동 원리를 따르며, 시간 구간의 위상 이동과 동일한 효과를 얻기 위해 TPC_{OUT} 신호의 길이를 조절하여 전압 오프셋을 생성한다.

[0040] 도 12는 실시예에 따른 히스토그램 시간 디지털 변환 장치의 마지막 단계(Fine Operation)를 설명하기 위한 도면이고, 도 13은 실시예에 따른 전압 오프셋 생성 과정을 설명하기 위한 도면이다.

[0041] 도 12 및 도 13을 참조하면, TPC_{OUT} 신호는 텡스 메모리(depth memory)의 LSB값에 따라 결정되며, TPC의 입력 값인 T_{REF} 는 코어스 단계(coarse step)에서 사용된 T_{REFC} 가 아닌 $+0.5LSB(T_{REFD+})$ 또는 $-0.5LSB(T_{REFD-})$ 만큼 지연한 신호가 적용된다.

[0042] 카운터 기반의 기존 타이밍 생성기 대신 아날로그 기반의 타이밍 생성기는 노이즈와 PVT 변동에 취약하며, 이로 인해 픽셀 간 불균일성이 발생할 수 있다.

[0043] 도 14는 TAC의 픽셀 간 불균일성을 설명하기 위한 도면이다.

[0044] 도 14에 도시된, TAC의 간단한 개략도를 참조하면, 커패시터(C), 전류원(ITAC), SF 오프셋 변화로 인해 TAC 출력(V_{ToF}) 변화가 발생함 센서의 성능에 영향을 준다. 예컨대, TAC의 시간에 따른 전압 기울기(S)는 커패시터 크기, 전류 소스(current source), SF의 전압 오프셋의 변화에 직접적으로 영향을 받아 픽셀간 전압 출력 값이 다를 수 있으며, 이로 인해 기존의 SAR ADC를 사용하여 A/D 변환을 수행할 때, 서로 다른 거리 정보가 할당되어 센서의 성능에 문제를 일으킬 수 있다.

[0045] 실시예에서는 성능 문제를 해결하기 위해 모든 픽셀에서 동일한 참조 전압을 사용하는 대신, 각 픽셀의 TAC가 해당하는 SAR ADC의 참조 전압(V_{REFL})을 설정하는 자체 참조 SAR ADC를 제공한다.

[0046] 도 15는 실시예에 따른 자체 참조 SAR ADC의 원리를 설명하기 위한 도면이다.

[0047] 도 15를 참조하면, 자체 참조 SAR ADC는 T_{MAX} 에 대한 타임스탬프(ToF)의 비율이 자동으로 보정되어 광자의 도착 시간을 정확하게 디지털 값으로 변환할 수 있다. 도 15에 도시된 바와 같이, 예시를 보면 두 개의 픽셀에서 동일한 이벤트가 발생했을 때, 그들의 TAC에서의 기울기가 불일치하여 출력 전압 값(V_{ToF})이 다르더라도, 똑같은 디지털 값인 001₍₂₎을 얻을 수 있음을 분명하게 보여준다. 또한, SF의 오프셋도 참조 전압에 포함되어 본질적으로 제거되는 효과를 창출한다.

[0048] 도 16은 TPC의 타이밍 다이어그램이고, 도 17은 실시예에 따른 자체 참조 SAR ADC(Self-Referenced SAR ADC)의 회로도 이다.

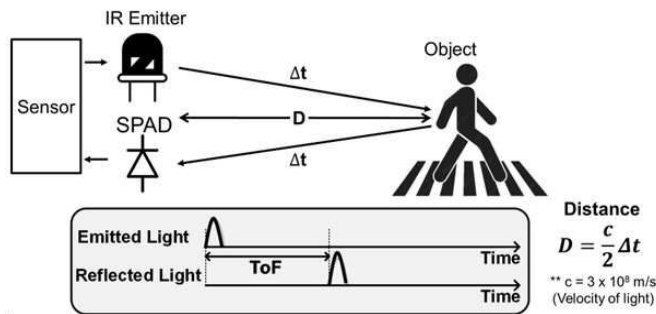
[0049] 이하 도 15 내지 도 17을 통해 TPC, TAC 및 SAR ADC의 회로와 자체 참조 SAR ADC의 작동 방식에 대해 설명한다. TPC_{OUT} 은 두개의 주기로 구성되어 있으며, 하나는 거리 시간 정보를 포함하고, 하나는 최대 시간 정보를 포함한다. 첫번째 주기에서는 SF가 거리 전압($V_{SF}=V_{ToF}$)으로 변환되며, 이 값을 SAR ADC 내부의 커패시터 DAC에 샘플링한다. 그 후, TAC가 리셋되고 T_{REFC} 와 동일한 주기를 가진 CLK_{REF} 신호가 TAC를 다시 트리거하여 동일한 SF를 통해 V_{REFL} 을 생성하고 동작시킨다.

[0050] 이하에서는 방법에 대해서 차례로 설명한다. 실시예에 따른 방법의 작용(기능)은 시스템의 기능과 본질적으로 같은 것이므로 도 3 내지 도 17과 중복되는 설명은 생략하도록 한다.

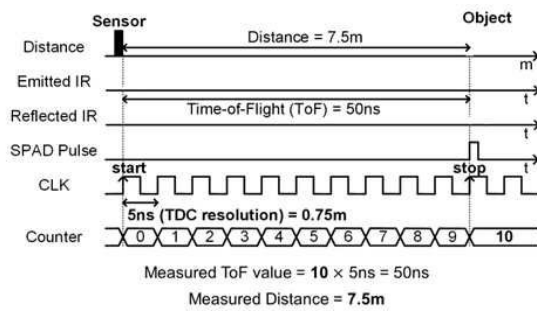
- [0051] 도 18는 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 과정을 나타낸 도면이다.
- [0052] 도 18을 참조하면, S100 단계에서는 TAC에서 시간정보를 전압으로 변환한다. S200 단계에서는 SAR ADC에서 변환된 전압값을 최종 디지털 값으로 변환하고, SAR ADC에서 변환된 최종 디지털 값에 따라 다운카운터 또는 업카운터에 히스토그램한다. 실시예에서 S200 단계에서는 1 비트(bit) SAR ADC가 동작하면, 전체 감지 가능한 시간을 기준으로 기준 전압 범위를 절반으로 나누고, 거리 전압이 기준전압의 절반보다 큰 경우, 1로 결정하고, 작은 경우 0으로 결정한다.
- [0053] 실시예에서 S200 단계에서는 2-비트(bit) SAR ADC가 동작하며, MSB(Most Significant Bit)가 이전에 저장된 코어스 비트(coarse bit) 값과 다를 경우, MSB에 따라 생성된 샘플은 폐기하여 필터링하고, 마지막 LSB(Least Significant Bit)값에 따라 업 카운터(UP counter) 또는 다운 카운터(DN counter)에 샘플을 누적하고, 비교기를 통해 두번째 코어스 비트(coarse bit)를 결정한다. 또한, 실시예에서는 시간 구간의 위상 이동과 동일한 효과를 획득하기 위해 TPC 출력(TPC_{OUT})신호의 길이를 조절하는 정지 시점(T_{stop})값을 조정하여 펄스폭(pulse width)을 조절하여 TPC를 통해 전압 오프셋을 생성한다. 또한, S200 단계에서는 정지 시점(T_{stop})은 마지막 코어스 비트(coarse bit(MEM[0])) 값에 의해 결정되고, TPC의 입력 값인 레퍼런스 시간(T_{REF})을 조절하여 변경한다.
- [0054] 또한, 실시예에서 정지 시점(T_{stop})은 뎀스 메모리(depth memory)의 LSB값에 따라 결정되며, TPC의 입력 값인 레퍼런스 시간(T_{REF})은 코어스 단계(coarse step)에서 사용된 T_{REFC} 를 일정 비율 지연한 신호를 이용한다.
- [0055] 또한, S200 단계에서는 TAC의 캐퍼시터 크기, 전류 소스(current source), SF 오프셋(offset)을 포함하는 변동으로 인해 발생하는 오차를 각 픽셀에서 보정한다.
- [0056] S200 단계에서는 TAC와 SF가 거리 전압을 생성하고, 생성된 거리전압을 CDAC의 캐퍼시터에 샘플링한 후 리셋하고, 최대 감지 시간(T_{max})만큼 TAC를 다시 트리거하여 기준 전압을 생성한다.
- [0057] 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치 및 방법은 TAC와 SAR ADC를 활용하여 아날로그 기반의 저전력 히스토그램 TDC를 제안한다. 실시예에서 TAC는 시간 정보를 전압으로 변환하고, 변환된 전압 값을 SAR ADC를 통해 최종적으로 디지털 값으로 변환한다. 실시예에서 TAC는 캐퍼시터와 스위치를 포함한다. 또한, 실시예에서는 각 픽셀마다 거리 측정의 정확도를 향상하기 위해 SAR ADC의 참조 전압을 TAC와 SF를 통해 자체적으로 생성함으로써 보정한다.
- [0058] 실시예에 따른 자가 보정 SAR ADC 기반 히스토그램 시간-디지털 변환 장치 및 방법은 고속의 클럭 없이 ToF 값을 빠르게 추출할 수 있도록 하고, TAC의 캐퍼시터 크기, 전류 소스(current source), SF의 오프셋(offset) 변동을 자기참조 전압 생성(self-reference voltage generation)을 통해 보정하여 정확도 높은 센서를 구현한다.
- [0059] 실시예에 따른 히스토그램 TDC는 고속의 클럭 없이 ToF 값을 빠르게 추출할 수 있다. 또한 TAC의 캐퍼시터 크기, 전류 소스(current source), SF의 오프셋 변동을 자체 참조 전압 생성을 통해 보정하여 정확도 높은 센서를 구현한다.
- [0060] 따라서 실시예에 따른 거리 센서는 저전력을 요하는 모바일 디바이스에 적용하기에 적합하고, 카운터 기반의 TDC와는 달리 빠른 클럭이 필요로 하지 않아 기존의 TDC와 비교했을 때 전력 소비를 대폭 감소하는 효과를 창출한다.
- [0061] 개시된 내용은 예시에 불과하며, 특허청구범위에서 청구하는 청구의 요지를 벗어나지 않고 당해 기술분야에서 통상의 지식을 가진 자에 의하여 다양하게 변경 실시될 수 있으므로, 개시된 내용의 보호범위는 상술한 특정의 실시예에 한정되지 않는다.

도면

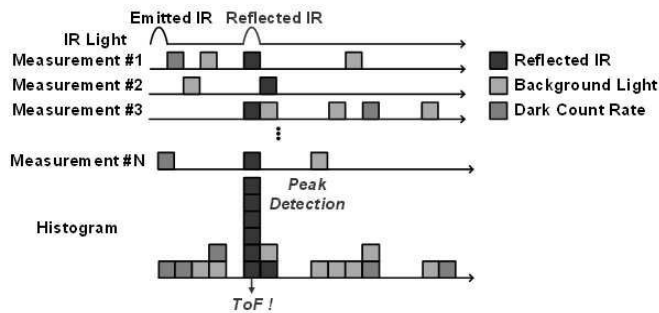
도면1



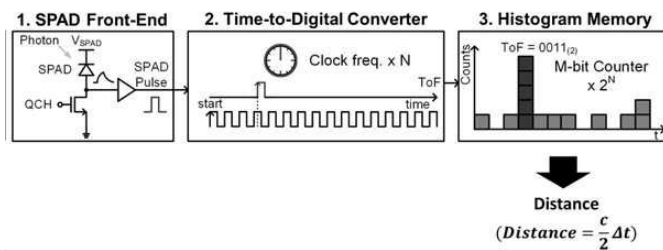
도면2



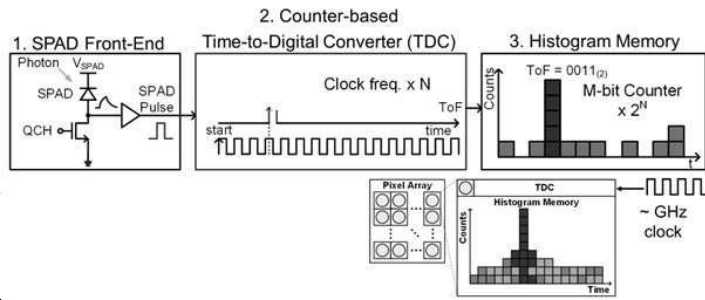
도면3



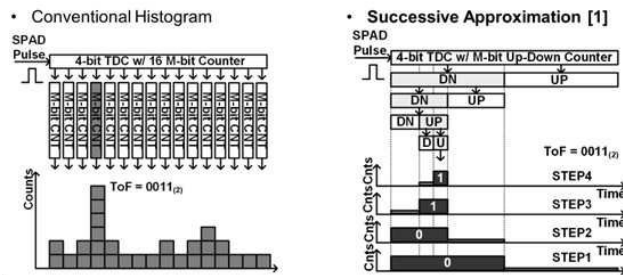
도면4



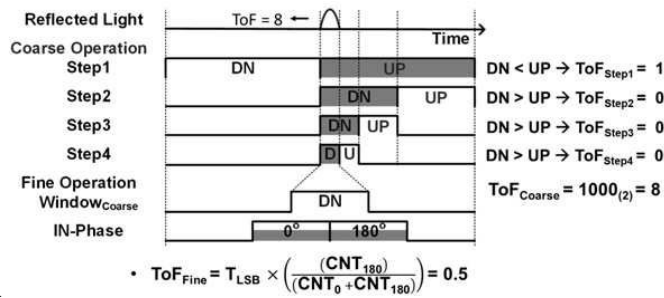
도면5



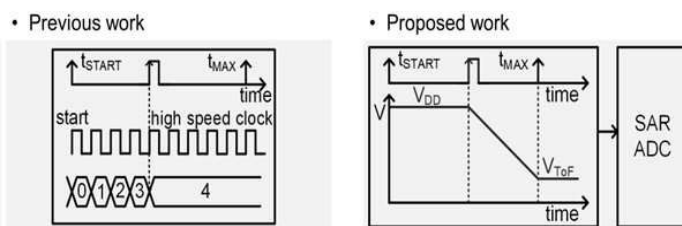
도면6



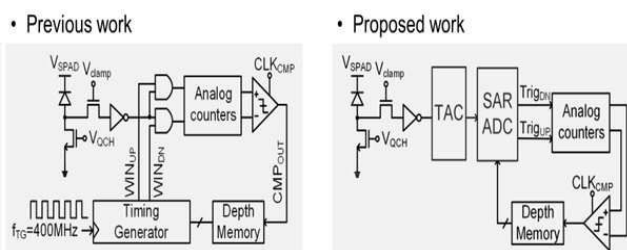
도면7



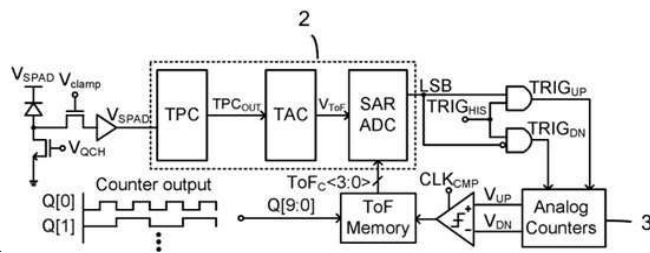
도면8



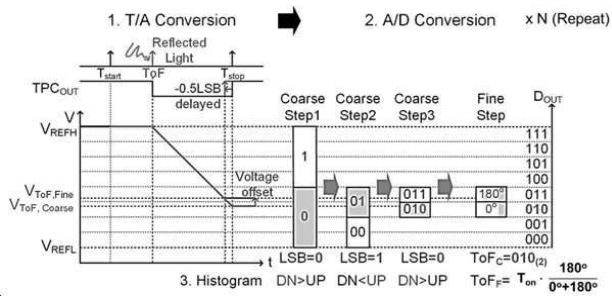
도면9



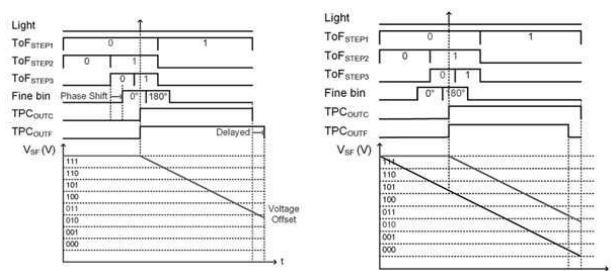
도면 10



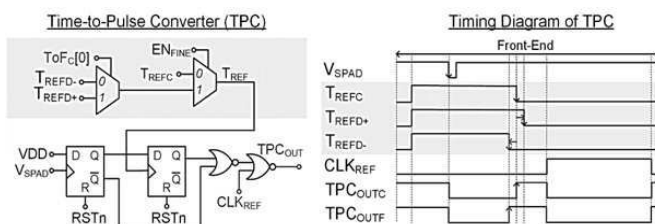
도면11



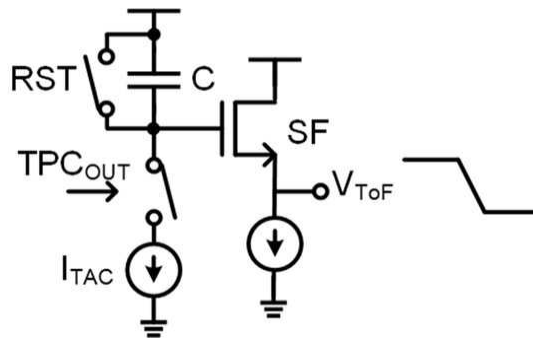
도면 12



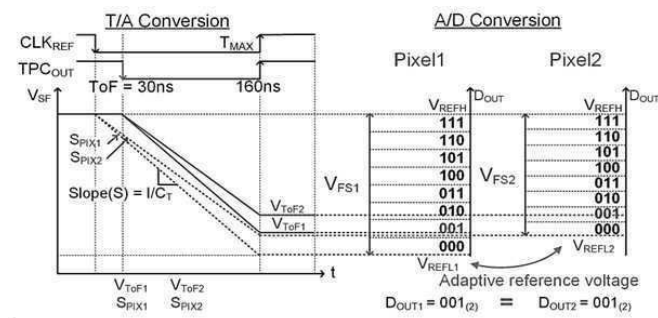
도면 13



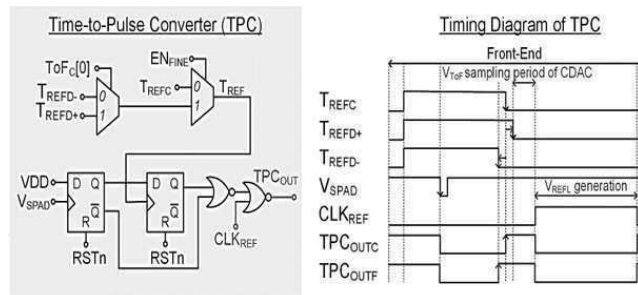
도면14



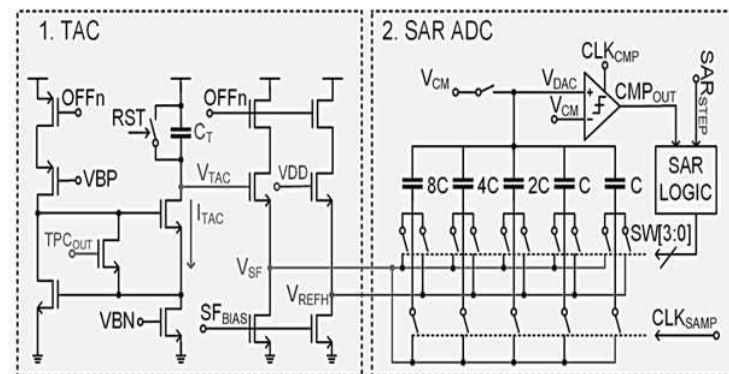
도면15



도면16



도면17



- $V_{SF}(V_{REF} \text{ \& } V_{ToF})$ are generated by same TAC and source followers.

도면18

