

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7528185号
(P7528185)

(45)発行日 令和6年8月5日(2024.8.5)

(24)登録日 令和6年7月26日(2024.7.26)

(51)国際特許分類		F I	
G 0 9 G	3/36 (2006.01)	G 0 9 G	3/36
G 0 9 G	3/20 (2006.01)	G 0 9 G	3/20 6 2 4 B
G 0 2 F	1/1368(2006.01)	G 0 9 G	3/20 6 4 2 E
		G 0 9 G	3/20 6 4 2 D
		G 0 9 G	3/20 6 1 1 A
		請求項の数 4 (全271頁) 最終頁に続く	
(21)出願番号	特願2022-205416(P2022-205416)	(73)特許権者	000153878
(22)出願日	令和4年12月22日(2022.12.22)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2021-94969(P2021-94969)の分割	(72)発明者	木村 肇
原出願日	平成19年5月18日(2007.5.18)		神奈川県厚木市長谷3 9 8 番地 株式会
(65)公開番号	特開2023-40062(P2023-40062A)		社半導体エネルギー研究所内
(43)公開日	令和5年3月22日(2023.3.22)	審査官	橋本 直明
審査請求日	令和5年1月19日(2023.1.19)		
		最終頁に続く	

(54)【発明の名称】 液晶表示装置

(57)【特許請求の範囲】

【請求項1】

マトリクス状に配置された複数の画素と、第1乃至第3の配線と、を有し、

前記複数の画素それぞれは、複数の液晶素子を有し、

前記複数の画素の一が有する前記複数の液晶素子の一の画素電極には、前記複数の画素の一が有する第1のトランジスタを介して前記第1の配線から信号電位に対応する第1の電位が供給され、

前記複数の画素の一が有する前記複数の液晶素子の別の一の画素電極には、前記複数の画素の一が有する第2のトランジスタ及び第3のトランジスタがオンになって、前記第2のトランジスタのチャネル形成領域が少なくとも前記第2のトランジスタのソース電極及びドレイン電極の一方として機能を有する導電層を介して前記第3のトランジスタのチャネル形成領域と導通状態であり、前記第1の配線と前記第2の配線とが前記第2のトランジスタのチャネル形成領域、前記導電層及び前記第3のトランジスタのチャネル形成領域を介して導通することにより、前記第1の電位とは異なる第2の電位が供給され、前記導電層は、前記別の一の画素電極と常に導通し、

前記第1の配線と前記第2の配線とは、少なくとも前記複数の画素のうち、同じ列に属する複数の画素で共有して用いられ、

前記第1のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は、ソース電極及びドレイン電極の他方によって挟まれた領域を有し、

前記第2のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は

、ソース電極及びドレイン電極の他方によって挟まれた領域を有しておらず、

前記第3のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は、ソース電極及びドレイン電極の他方によって挟まれた領域を有し、

前記第1のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L は、前記第2のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L よりも大きく、

前記第3のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L は、前記第2のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L よりも大きく、

前記第1のトランジスタのゲート電極の電位と、前記第2のトランジスタのゲート電極の電位と、前記第3のトランジスタのゲート電極の電位とは、前記第3の配線によって制御される、透過型液晶表示装置。

【請求項2】

マトリクス状に配置された複数の画素と、第1乃至第3の配線と、を有し、

前記複数の画素それぞれは、複数の液晶素子を有し、

前記複数の画素の一が有する前記複数の液晶素子の一の画素電極には、前記複数の画素の一が有する第1のトランジスタを介して前記第1の配線から信号電位に対応する第1の電位が供給され、

前記複数の画素の一が有する前記複数の液晶素子の別の一の画素電極には、前記複数の画素の一が有する第2のトランジスタ及び第3のトランジスタがオンになって、前記第2のトランジスタのチャンネル形成領域が少なくとも前記第2のトランジスタのソース電極及びドレイン電極の一方として機能を有する導電層を介して前記第3のトランジスタのチャンネル形成領域と導通状態であり、前記第1の配線と前記第2の配線とが前記第2のトランジスタのチャンネル形成領域、前記第1の導電層及び前記第3のトランジスタのチャンネル形成領域を介して導通することにより、前記第1の電位とは異なる第2の電位が供給され、前記第1の導電層は、前記別の一の画素電極と常に導通し、

前記第1の配線と前記第2の配線とは、少なくとも前記複数の画素のうち、同じ列に属する複数の画素で共有して用いられ、

前記第1のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は、ソース電極及びドレイン電極の他方によって挟まれた領域を有し、

前記第2のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は、ソース電極及びドレイン電極の他方によって挟まれた領域を有しておらず、

前記第3のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は、ソース電極及びドレイン電極の他方によって挟まれた領域を有し、

前記第1のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L は、前記第2のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L よりも大きく、

前記第3のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L は、前記第2のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L よりも大きく、

前記第1のトランジスタのゲート電極の電位と、前記第2のトランジスタのゲート電極の電位と、前記第3のトランジスタのゲート電極の電位とは、前記第3の配線によって制御され、

前記第3の配線として機能する第2の導電層は、前記第1のトランジスタのゲート電極として機能する領域と、前記第2のトランジスタのゲート電極として機能する領域と、前記第3のトランジスタのゲート電極として機能する領域と、を有する、透過型液晶表示装置。

【請求項3】

マトリクス状に配置された複数の画素と、第1乃至第3の配線と、を有し、

前記複数の画素それぞれは、複数の液晶素子を有し、

前記複数の画素の一が有する前記複数の液晶素子の一の画素電極には、前記複数の画素の一が有する第1のトランジスタを介して前記第1の配線から信号電位に対応する第1の電位が供給され、

前記複数の画素の一が有する前記複数の液晶素子の別の一の画素電極には、前記複数の画素の一が有する第2のトランジスタ及び第3のトランジスタがオンになって、前記第2のトランジスタのチャンネル形成領域が少なくとも前記第2のトランジスタのソース電極及びドレイン電極の一方として機能を有する導電層を介して前記第3のトランジスタのチャンネル形成領域と導通状態であり、前記第1の配線と前記第2の配線とが前記第2のトランジスタのチャンネル形成領域、前記導電層及び前記第3のトランジスタのチャンネル形成領域を介して導通することにより、前記第1の電位とは異なる第2の電位が供給され、前記導電層は、前記別の一の画素電極と常に導通し、

10

前記第1の配線と前記第2の配線とは、少なくとも前記複数の画素のうち、同じ列に属する複数の画素で共有して用いられ、

前記第1のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L は、前記第2のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L よりも大きく、

前記第3のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L は、前記第2のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L よりも大きく、

前記第1のトランジスタのゲート電極の電位と、前記第2のトランジスタのゲート電極の電位と、前記第3のトランジスタのゲート電極の電位とは、前記第3の配線によって制御され、

20

前記第3の配線として機能する第1の導電層は、前記第1のトランジスタのゲート電極として機能する領域と、前記第2のトランジスタのゲート電極として機能する領域と、前記第3のトランジスタのゲート電極として機能する領域と、を有し、

前記第1の導電層は、平面視において、前記複数の液晶素子の一の画素電極として機能する領域を有する第2の導電層と前記複数の液晶素子の別の一の画素電極として機能する領域を有する第3の導電層との間の領域に位置し、

前記第1の導電層は、前記第2の導電層と重なる領域を有しておらず、且つ、前記第3の導電層と重なる領域を有していない、透過型液晶表示装置。

30

【請求項4】

マトリクス状に配置された複数の画素と、第1乃至第3の配線と、を有し、

前記複数の画素それぞれは、複数の液晶素子を有し、

前記複数の画素の一が有する前記複数の液晶素子の一の画素電極には、前記複数の画素の一が有する第1のトランジスタを介して前記第1の配線から信号電位に対応する第1の電位が供給され、

前記複数の画素の一が有する前記複数の液晶素子の別の一の画素電極には、前記複数の画素の一が有する第2のトランジスタ及び第3のトランジスタがオンになって、前記第2のトランジスタのチャンネル形成領域が少なくとも前記第2のトランジスタのソース電極及びドレイン電極の一方として機能を有する導電層を介して前記第3のトランジスタのチャンネル形成領域と導通状態であり、前記第1の配線と前記第2の配線とが前記第2のトランジスタのチャンネル形成領域、前記導電層及び前記第3のトランジスタのチャンネル形成領域を介して導通することにより、前記第1の電位とは異なる第2の電位が供給され、前記導電層は、前記別の一の画素電極と常に導通し、

40

前記第1の配線と前記第2の配線とは、少なくとも前記複数の画素のうち、同じ列に属する複数の画素で共有して用いられ、

前記第1のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は、ソース電極及びドレイン電極の他方によって挟まれた領域を有し、

前記第2のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は、ソース電極及びドレイン電極の他方によって挟まれた領域を有しておらず、

50

前記第3のトランジスタでは、平面視において、ソース電極及びドレイン電極の一方は、ソース電極及びドレイン電極の他方によって挟まれた領域を有し、

前記第1のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L は、前記第2のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L よりも大きく、

前記第3のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L は、前記第2のトランジスタのチャンネル長 L に対するチャンネル幅 W の比である W/L よりも大きく、

前記第1のトランジスタのゲート電極の電位と、前記第2のトランジスタのゲート電極の電位と、前記第3のトランジスタのゲート電極の電位とは、前記第3の配線によって制御され、

前記第3の配線として機能する第1の導電層は、前記第1のトランジスタのゲート電極として機能する領域と、前記第2のトランジスタのゲート電極として機能する領域と、前記第3のトランジスタのゲート電極として機能する領域と、を有し、

前記第1の導電層は、平面視において、前記複数の液晶素子の一の画素電極として機能する領域を有する第2の導電層と前記複数の液晶素子の別の一の画素電極として機能する領域を有する第3の導電層との間の領域に位置し、

前記第1の導電層は、前記第2の導電層と重なる領域を有しておらず、且つ、前記第3の導電層と重なる領域を有していない、透過型液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は物、方法、または、物を生産する方法に関する。特に、表示装置または半導体装置に関する。特に、表示装置に関する。特に、アクティブマトリクス型液晶表示装置に関する。

【背景技術】

【0002】

近年、表示装置として、液晶表示装置及びEL表示装置の開発が急速に進んでいる。特に、液晶表示装置の普及はめざましい。液晶表示装置には高輝度、高コントラスト、高速応答性、及び広視野角等が求められる。また、携帯型の電子機器に搭載される液晶表示装置では消費電力の低減、軽量化、及び小型化も重要な課題である。

【0003】

液晶表示装置の視野角を拡げるために、様々な技術が開発されている。視野角を拡げる技術として、例えば、MVA (Multi Vertical Domain。以下、MVAという。)方式PVA (Patterned Vertical Alignment。以下、PVAという。)方式及びCPA (Continuous Pinwheel Alignment)方式がある。このような技術により従来よりも視野角は拡がったものの、不十分であった。そのため、一画素を二のサブピクセルに分割することにより液晶の配向状態を異ならせて、見かけ上は液晶分子の傾斜角が平均化されてどの方向から見ても均一な表示となるように錯覚を生じさせ、視野角特性の向上を図る技術が開発されている (例えば、特許文献1)。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2006-276582号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

液晶表示装置では、画素にサブピクセルを設けて画素に複数の配向状態を有せしめることで、視野角特性を向上させることができる。しかし、視野角特性はまだ十分とは言えず

10

20

30

40

50

、サブピクセルを更に追加することで、視野角特性を向上させることができる可能性がある。

【0006】

しかし、サブピクセルの数を単純に増加させると、開口率の低下及び駆動回路の増加という不都合が生じ、製造コストの増大を招くのみならず、表示装置としての性能自体が低下するという弊害を生じる。具体的には、開口率が低下すると輝度及びコントラストが低下し、消費電力が増加してしまう。または、画素のレイアウト密度が高くなり、製造歩留まりが低下し、コストが上昇する。または、サブピクセル数の増加により、入力すべき画像信号の数も増える。そのため、ガラス基板と、外付けの駆動回路との接続点数が増えてしまう。その結果、接触不良等により、信頼性が低くなってしまう。

10

【0007】

本発明は、表示装置としての性能を維持しつつ、視野角特性に優れた表示装置を提供することを課題とする。または、本発明は、信頼性の高い表示装置を提供することを課題とする。または、本発明は、コントラストの高い表示装置を提供することを課題とする。または、本発明は、軽量の表示装置を提供することを課題とする。または、本発明は、サイズが小さい表示装置を提供することを課題とする。または、本発明は、輝度の高い表示装置を提供することを課題とする。または、本発明は、消費電力の低い表示装置を提供することを課題とする。または、本発明は、開口率の高い表示装置を提供することを課題とする。または、本発明は、製造コストの低い表示装置を提供することを課題とする。

【課題を解決するための手段】

20

【0008】

本発明の一は、一画素に三以上の液晶素子を有し、該液晶素子の各々に印加される電圧値が異なる液晶表示装置である。各液晶素子に印加される電圧を異ならせるには、加えた電圧を分圧する素子を配置することにより行う。または、電流を電圧に変換する素子、または、電圧を電流に変換する素子を配置することにより行う。例としては、容量素子、抵抗素子、非線形素子、スイッチ、トランジスタ、ダイオード接続されたトランジスタ、ダイオード（PIN型、PN型、ショットキー型、MIM型、MIS型等）、インダクタ素子等を配置することにより行う。

【0009】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電気的スイッチや機械的なスイッチ等がある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタ等）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタ等）、サイリスタ等を用いることができる。または、これらを組み合わせた論理回路をスイッチとして用いることができる。

30

【0010】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが出来る電極を有し、その電極が動くことによって、接続と非接続とを制御して動作する。

40

【0011】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Vss、GND、0V等）の電位に近い状態で動作

50

する場合はNチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（ V_{dd} 等）の電位に近い状態で動作する場合はPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型トランジスタではソース端子が低電位側電源の電位に近い状態で動作するとき、Pチャネル型トランジスタではソース端子が高電位側電源の電位に近い状態で動作するとき、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。ソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまうことが少ないからである。

【0012】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。さらに、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることができるので、消費電力を小さくすることもできる。

【0013】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることができる。

【0014】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、等）であるとする。従って、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0015】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード等）が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路等）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路等）、電位レベル変換回路（電源回路（昇圧回路、降圧回路等）、信号の電位レベルを変えるレベルシフタ回路等）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量等を大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路等）、信号生成回路、記憶回路、制御回路等）が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが直接接続されている場合として、AとBとの間に他の素子や他の回路を挟まずに、AとBとが直接接続されていてもよい。

【0016】

なお、AとBとが直接接続されている、と明示的に記載する場合は、AとBとが直接接続されている場合（つまり、AとBとの間に他の素子や他の回路を間に介さずに接続されている場合）と、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）とを含むものとする。

【0017】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電

10

20

30

40

50

氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0018】

表示装置

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いることができ、様々な素子を有することができる。例えば、表示素子、表示装置、発光素子または発光装置としては、EL素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、等、電気磁氣的作用により、コントラスト、輝度、反射率、透過率等が変化する表示媒体を用いることができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）等、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

【0019】

なお、EL素子とは、陽極と、陰極と、陽極と陰極との間に挟まれたEL層とを有する素子である。なお、EL層としては、1重項励起子からの発光（蛍光）を利用するもの、3重項励起子からの発光（燐光）を利用するもの、1重項励起子からの発光（蛍光）を利用するものと3重項励起子からの発光（燐光）を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料、低分子の材料、高分子の材料と低分子の材料とを含むもの等を用いることができる。ただし、これに限定されず、EL素子として様々なものを用いることができる。

【0020】

なお、電子放出素子とは、先鋭な陰極に高電界を集中して電子を引き出す素子である。例えば、電子放出素子として、スピント型、カーボンナノチューブ（CNT）型、金属—絶縁体—金属を積層したMIM（Metal-Insulator-Metal）型、金属—絶縁体—半導体を積層したMIS（Metal-Insulator-Semiconductor）型、MOS型、シリコン型、薄膜ダイオード型、ダイヤモンド型、表面伝導エミッタSCD型、オード型、ダイヤモンド型、表面伝導エミッタSCD型、金属—絶縁体—半導体—金属型等の薄膜型、HEED型、EL型、ポーラスシリコン型、表面伝導（SED）型等を用いることができる。ただし、これに限定されず、電子放出素子として様々なものを用いることができる。

【0021】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一対の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、ライオトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PDLC）、バナナ型液晶、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モ

10

20

30

40

50

ード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASV (Advanced Super View) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、ゲストホストモード等を用いることができる。ただし、これに限定されず、液晶素子として様々なものを用いることができる。

10

【0022】

なお、電子ペーパーとしては、光学異方性と染料分子配向のような分子により表示されるもの、電気泳動、粒子移動、粒子回転、相変化のような粒子により表示されるもの、フィルム的一端が移動することにより表示されるもの、分子の発色／相変化により表示されるもの、分子の光吸収により表示されるもの、電子とホールが結合して時発光により表示されるもの等のことをいう。例えば、電子ペーパーとして、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウエットイング、光散乱（透明白濁）、コレステリック液晶／光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、2色性色素・液晶分散型、可動フィルム、ロイコ染料発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機EL等を用いることができる。ただし、これに限定されず、電子ペーパーとして様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリー性等のメリットを有する。

20

【0023】

なお、プラズマディスプレイは、電極を表面に形成した基板と、電極及び微小な溝を表面に形成し且つ溝内に蛍光体層を形成した基板とを狭い間隔で対向させて、希ガスを封入した構造を有する。なお、電極間に電圧をかけることによって紫外線を発生させ、蛍光体を光らせることで、表示を行うことができる。なお、プラズマディスプレイとしては、DC型PDP、AC型PDPでもよい。ここで、プラズマディスプレイパネルとしては、ASW (Address While Sustain) 駆動、サブフレームをリセット期間、アドレス期間、維持期間に分割するADS (Address Display Separated) 駆動、CLEAR (Low Energy Address and Reduction of False Contour Sequence) 駆動、ALIS (Alternate Lighting of Surfaces) 方式、TERES (Technology of Reciprocal Sustain) 駆動等を用いることができる。ただし、これに限定されず、プラズマディスプレイとして様々なものを用いることができる。

30

40

【0024】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ（GLV）を用いた表示装置、デジタルマイクロミラーデバイス（DMD）を用いた表示装置等の光源としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプ等を用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

【0025】

50

トランジスタの種類

なお、トランジスタとして、様々な形態のトランジスタを用いることができる。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコン等に代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）等を用いることができる。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透明基板上にトランジスタを製造できる。そして、透明な基板上のトランジスタを用いて表示素子での光の透過を制御することができる。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることができる。そのため、開口率が向上させることができる。

10

【0026】

なお、多結晶シリコンを製造するときに、触媒（ニッケル等）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路等）を基板上に一体形成することができる。

【0027】

なお、微結晶シリコンを製造するときに、触媒（ニッケル等）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることができる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナログスイッチ等）を基板上に一体形成することができる。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、綺麗な画像を表示することができる。

20

【0028】

ただし、触媒（ニッケル等）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

30

【0029】

なお、シリコンの結晶性を、多結晶または微結晶等へと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射すること等により可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、レーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることができる。結晶性を向上させる領域が少なく済むため、製造工程も短くすることができ、スループットが向上し、製造コストを低減させることができる。必要とされる製造装置の数も少なく製造できるため、製造コストを低減させることができる。

40

【0030】

または、半導体基板やSOI基板等を用いてトランジスタを形成することができる。これらにより、特性やサイズや形状等のバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0031】

50

または、 ZnO 、 a-InGaZnO 、 SiGe 、 GaAs 、 IZO 、 ITO 、 SnO 等の化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタ等を用いることができる。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することができる。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることもできる。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

10

【0032】

または、インクジェットや印刷法を用いて形成したトランジスタ等を用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【0033】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。そのため、衝撃に強くできる。

20

【0034】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ等をトランジスタとして用いることができる。MOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることができる。よって、多数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。

【0035】

なお、MOS型トランジスタ、バイポーラトランジスタ等を1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作等を実現することができる。

30

【0036】

その他、様々なトランジスタを用いることができる。

【0037】

なお、トランジスタは、様々な基板を用いて形成することができる。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）等を含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板等を用いることができる。あるいは、人等の動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。または、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）等を含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板等を用いることができる。あるいは、人等の動物の皮膚（皮表、真皮）又は皮下組織を基板として用いて

40

50

もよい。または、ある基板を用いてトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）等を含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板等を用いることができる。あるいは、人等の動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【００３８】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が２個以上のマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路やカレントミラー回路を実現することができる。別の例として、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加、又は空乏層ができやすくなることによるＳ値の低減を図ることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【００３９】

あるいは、チャンネル領域の上にゲート電極が配置されている構造でもよいし、チャンネル領域の下にゲート電極が配置されている構造でもよい。あるいは、正スタガ構造または逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、チャンネル領域が並列に接続されていてもよいし、チャンネル領域が直列に接続されていてもよい。あるいは、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることにより、チャンネル領域の一部に電荷がたまって、動作が不安定になることを防ぐことができる。あるいは、ＬＤＤ領域を設けても良い。ＬＤＤ領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、ＬＤＤ領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。

【００４０】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。従って、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成されていてもよい。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはＳＯＩ基板を用いて形成されていてもよく、さまざまな基板を用いて形成されていてもよい。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成されており、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていてもよい。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の

10

20

30

40

50

一部は、ガラス基板上にトランジスタを用いて形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）でガラス基板に接続して、ガラス基板上にそのＩＣチップを配置してもよい。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまいうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたＩＣチップを用いるようにすれば、消費電力の増加を防ぐことができる。

10

【００４１】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、Ｒ（赤）Ｇ（緑）Ｂ（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Ｒの画素とＧの画素とＢの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、ＲＧＢ以外の色を用いても良い。例えば、白色を加えて、ＲＧＢＷ（Ｗは白）としてもよい。あるいは、ＲＧＢに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色等を一色以上追加してもよい。あるいは、例えば、ＲＧＢの中の少なくとも一色に類似した色を、ＲＧＢに追加してもよい。例えば、Ｒ、Ｇ、Ｂ１、Ｂ２としてもよい。Ｂ１とＢ２とは、どちらも青色であるが、少し周波数が異なっている。同様に、Ｒ１、Ｒ２、Ｇ、Ｂとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができる。このような色要素を用いることにより、消費電力を低減することができる。別の例としては、１つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素としてもよい。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素としてもよい。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が１つの色要素の中に複数あっても、それらをまとめて、１つの色要素を１画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。あるいは、１つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。あるいは、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、１つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっている。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることができる。

20

30

【００４２】

なお、一画素（三色分）と明示的に記載する場合は、ＲとＧとＢの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

40

【００４３】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばＲＧＢ）でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三つの色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、ＲＧＢＷ（Ｗは白）、又はＲＧＢに、イエロー、シアン、マゼンタ等を

50

一色以上追加したもの等がある。なお、色要素のドット毎にその表示領域の大きさが異なっているてもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

【0044】

なお、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることができる。

【0045】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることができる。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）等を用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

【0046】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることができる。

【0047】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面等）においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1の電極、第2の電極と表記する場合がある。あるいは、ソース領域、ドレイン領域と表記する場合がある。

【0048】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0049】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD（Lightly Doped Drain）領域またはソース領域（またはドレイン領域）と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

【0050】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、導電膜、配線等）も存在する。そのような部分（領域、導電膜、配線等）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線等）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よ

って、そのような部分（領域、導電膜、配線等）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0051】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）も、ゲート配線と呼んでも良い。このような部分（領域、導電膜、配線等）は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造時の仕様等の関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）がある。よって、そのような部分（領域、導電膜、配線等）もゲート電極またはゲート配線と呼んでも良い。

10

【0052】

なお、例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分（領域、導電膜、配線等）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線等）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすこともできるため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

20

【0053】

なお、ゲート端子とは、ゲート電極の部分（領域、導電膜、配線等）または、ゲート電極と電氣的に接続されている部分（領域、導電膜、配線等）について、その一部分のことを言う。

【0054】

なお、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線等と呼ぶ場合、配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線等がある。

30

【0055】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウム等）やN型不純物（リンやヒ素等）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

40

【0056】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線等）も存在する。そのような部分（領域、導電膜、配線等）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線

50

とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線等）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線等）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0057】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線等）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線等）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線等）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時の仕様等の関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線等）がある。よって、そのような部分（領域、導電膜、配線等）もソース電極またはソース配線と呼んでも良い。

【0058】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0059】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線等）について、その一部分のことを言う。

【0060】

なお、ソース配線、ソース線、ソース信号線、データ線、データ信号線等と呼ぶ場合、配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線等がある。

【0061】

なお、ドレインについては、ソースと同様である。

【0062】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタ等）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

【0063】

なお、表示素子とは、光学変調素子、液晶素子、発光素子、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（DMD）、等のことを言う。ただし、これに限定されない。

【0064】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでいても良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプ等によって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TAB等で接続されたICチップを含んでいても良い。

なお、表示装置は、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタ等が取り付けられたフレキシブルプリントサーキット（ＦＰＣ）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（ＦＰＣ）等を介して接続され、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタ等が取り付けられたプリント配線基盤（ＰＷＢ）を含んでもよい。なお、表示装置は、偏光板または位相差板等の光学シートを含んでもよい。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサ等を含んでもよい。ここで、バックライトユニットのような照明装置は、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管等）、冷却装置（水冷式、空冷式）等を含んでもよい。

【００６５】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管、熱陰極管等）、冷却装置等を有している装置のことをいう。

【００６６】

なお、発光装置とは、発光素子等を有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【００６７】

なお、反射装置とは、光反射素子、光回折素子、光反射電極等を有している装置のことをいう。

【００６８】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型等がある。

【００６９】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタ等と呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタ等は、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路等と呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路等と呼ぶことがある）等は、駆動装置の一例である。

【００７０】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置等は、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【００７１】

なお、Ａの上にＢが形成されている、あるいは、Ａ上にＢが形成されている、と明示的に記載する場合は、Ａの上にＢが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、ＡとＢと間に別の対象物が介在する場合も含むものとする。ここで、Ａ、Ｂは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、等）であるとする。

【００７２】

従って例えば、層Ａの上に（もしくは層Ａ上に）、層Ｂが形成されている、と明示的に記載されている場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄ等）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄ等）は、単層でもよいし、複層でもよい。

【００７３】

さらに、Ａの上方にＢが形成されている、と明示的に記載されている場合についても同様であり、Ａの上にＢが直接接していることに限定されず、ＡとＢとの間に別の対象物が

10

20

30

40

50

介在する場合も含むものとする。従って例えば、層 A の上方に、層 B が形成されている、という場合は、層 A の上に直接接して層 B が形成されている場合と、層 A の上に直接接して別の層（例えば層 C や層 D 等）が形成されていて、その上に直接接して層 B が形成されている場合とを含むものとする。なお、別の層（例えば層 C や層 D 等）は、単層でもよいし、複層でもよい。

【0074】

なお、A の上に B が直接接して形成されている、と明示的に記載する場合は、A の上に直接接して B が形成されている場合を含み、A と B と間に別の対象物が介在する場合は含まないものとする。

【0075】

なお、A の下に B が、あるいは、A の下方に B が、の場合についても、同様である。

【0076】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【発明の効果】

【0077】

本発明により、表示装置の性能を維持しつつ、視野角特性を従来よりも向上させることができる。または、本発明により、信頼性の高い表示装置を提供することができる。または、本発明により、コントラストの高い表示装置を提供することができる。または、本発明により、軽量の表示装置を提供することができる。または、本発明により、サイズが小さい表示装置を提供することができる。または、本発明により、輝度の高い表示装置を提供することができる。または、本発明により、消費電力の低い表示装置を提供することができる。または、本発明により、開口率の高い表示装置を提供することができる。または、本発明により、製造コストの低い表示装置を提供することができる。

【図面の簡単な説明】

【0078】

【図1】本発明の表示装置の画素回路を説明する図。

【図2】本発明の表示装置の画素回路を説明する図。

【図3】本発明の表示装置の画素回路を説明する図。

【図4】本発明の表示装置の画素回路を説明する図。

【図5】本発明の表示装置の画素回路を説明する図。

【図6】本発明の表示装置の画素回路を説明する図。

【図7】本発明の表示装置の画素回路を説明する図。

【図8】本発明の表示装置の画素回路を説明する図。

【図9】本発明の表示装置の画素回路を説明する図。

【図10】本発明の表示装置の画素回路を説明する図。

【図11】本発明の表示装置の画素回路を説明する図。

【図12】本発明の表示装置の画素回路を説明する図。

【図13】本発明の表示装置の画素回路を説明する図。

【図14】本発明の表示装置の画素回路を説明する図。

【図15】本発明の表示装置の画素回路を説明する図。

【図16】本発明の表示装置の画素回路を説明する図。

【図17】本発明の表示装置の画素回路を説明する図。

【図18】本発明の表示装置の画素回路を説明する図。

【図19】本発明の表示装置の画素回路を説明する図。

【図20】本発明の表示装置の画素回路を説明する図。

【図21】本発明の表示装置の画素回路を説明する図。

【図22】本発明の表示装置の画素回路を説明する図。

【図 2 3】	本発明の表示装置の画素回路を説明する図。	
【図 2 4】	本発明の表示装置の画素回路を説明する図。	
【図 2 5】	本発明の表示装置の画素回路を説明する図。	
【図 2 6】	本発明の表示装置の画素回路を説明する図。	
【図 2 7】	本発明の表示装置の画素回路を説明する図。	
【図 2 8】	本発明の表示装置の画素回路を説明する図。	
【図 2 9】	本発明の表示装置の画素回路を説明する図。	
【図 3 0】	本発明の表示装置の画素回路が有する分圧素子を説明する図。	
【図 3 1】	本発明の表示装置を説明する図。	
【図 3 2】	本発明の表示装置の画素の上面レイアウトの一例を説明する図。	10
【図 3 3】	本発明の表示装置の画素回路を説明する図。	
【図 3 4】	本発明の表示装置の画素の上面レイアウトの一例を説明する図。	
【図 3 5】	本発明の表示装置の画素回路を説明する図。	
【図 3 6】	本発明の表示装置の画素回路を説明する図。	
【図 3 7】	本発明の表示装置の画素回路を説明する図。	
【図 3 8】	本発明の表示装置の画素回路を説明する図。	
【図 3 9】	本発明の表示装置の画素回路を説明する図。	
【図 4 0】	本発明の表示装置の画素回路を説明する図。	
【図 4 1】	本発明の表示装置の画素回路を説明する図。	
【図 4 2】	本発明の表示装置の画素回路を説明する図。	20
【図 4 3】	本発明の表示装置の画素回路を説明する図。	
【図 4 4】	本発明の表示装置の画素回路を説明する図。	
【図 4 5】	本発明の表示装置の画素回路を説明する図。	
【図 4 6】	本発明の表示装置の画素回路を説明する図。	
【図 4 7】	本発明の表示装置の画素回路を説明する図。	
【図 4 8】	本発明の表示装置の画素回路を説明する図。	
【図 4 9】	本発明の表示装置の画素回路を説明する図。	
【図 5 0】	本発明の表示装置の画素回路を説明する図。	
【図 5 1】	本発明を説明する図。	
【図 5 2】	本発明を説明する図。	30
【図 5 3】	本発明を説明する図。	
【図 5 4】	本発明を説明する図。	
【図 5 5】	本発明を説明する図。	
【図 5 6】	本発明を説明する図。	
【図 5 7】	本発明を説明する図。	
【図 5 8】	本発明を説明する図。	
【図 5 9】	本発明を説明する図。	
【図 6 0】	本発明を説明する図。	
【図 6 1】	本発明を説明する図。	
【図 6 2】	本発明を説明する図。	40
【図 6 3】	本発明を説明する図。	
【図 6 4】	本発明を説明する図。	
【図 6 5】	本発明を説明する図。	
【図 6 6】	本発明を説明する図。	
【図 6 7】	本発明を説明する図。	
【図 6 8】	本発明を説明する図。	
【図 6 9】	本発明を説明する図。	
【図 7 0】	本発明を説明する図。	
【図 7 1】	本発明を説明する図。	
【図 7 2】	本発明を説明する図。	50

【図 7 3】本発明を説明する図。	
【図 7 4】本発明を説明する図。	
【図 7 5】本発明を説明する図。	
【図 7 6】本発明を説明する図。	
【図 7 7】本発明を説明する図。	
【図 7 8】本発明を説明する図。	
【図 7 9】本発明を説明する図。	
【図 8 0】本発明を説明する図。	
【図 8 1】本発明を説明する図。	
【図 8 2】本発明を説明する図。	10
【図 8 3】本発明を説明する図。	
【図 8 4】本発明を説明する図。	
【図 8 5】本発明を説明する図。	
【図 8 6】本発明を説明する図。	
【図 8 7】本発明を説明する図。	
【図 8 8】本発明を説明する図。	
【図 8 9】本発明を説明する図。	
【図 9 0】本発明を説明する図。	
【図 9 1】本発明を説明する図。	
【図 9 2】本発明を説明する図。	20
【図 9 3】本発明を説明する図。	
【図 9 4】本発明を説明する図。	
【図 9 5】本発明を説明する図。	
【図 9 6】本発明を説明する図。	
【図 9 7】本発明を説明する図。	
【図 9 8】本発明を説明する図。	
【図 9 9】本発明を説明する図。	
【図 1 0 0】本発明を説明する図。	
【図 1 0 1】本発明を説明する図。	
【図 1 0 2】本発明を説明する図。	30
【図 1 0 3】本発明を説明する図。	
【図 1 0 4】本発明を説明する図。	
【図 1 0 5】本発明を説明する図。	
【図 1 0 6】本発明を説明する図。	
【図 1 0 7】本発明を説明する図。	
【図 1 0 8】本発明を説明する図。	
【図 1 0 9】本発明を説明する図。	
【図 1 1 0】本発明を説明する図。	
【図 1 1 1】本発明を説明する図。	
【図 1 1 2】本発明を説明する図。	40
【図 1 1 3】本発明を説明する図。	
【図 1 1 4】本発明を説明する図。	
【図 1 1 5】本発明を説明する図。	
【図 1 1 6】本発明を説明する図。	
【図 1 1 7】本発明を説明する図。	
【図 1 1 8】本発明を説明する図。	
【図 1 1 9】本発明を説明する図。	
【図 1 2 0】本発明を説明する図。	
【図 1 2 1】本発明を説明する図。	
【図 1 2 2】本発明を説明する図。	50

【図 1 2 3】本発明を説明する図。
【図 1 2 4】本発明を説明する図。
【図 1 2 5】本発明を説明する図。
【図 1 2 6】本発明を説明する図。
【図 1 2 7】本発明を説明する図。
【図 1 2 8】本発明を説明する図。
【図 1 2 9】本発明を説明する図。
【図 1 3 0】本発明を説明する図。
【図 1 3 1】本発明を説明する図。
【図 1 3 2】本発明を説明する図。
【図 1 3 3】本発明を説明する図。
【図 1 3 4】本発明を説明する図。
【図 1 3 5】本発明を説明する図。
【図 1 3 6】本発明を説明する図。
【図 1 3 7】本発明を説明する図。
【図 1 3 8】本発明を説明する図。
【図 1 3 9】本発明を説明する図。
【図 1 4 0】本発明を説明する図。
【0 0 7 9】

10

(実施の形態 1)

20

本実施の形態では、本発明の液晶表示装置が有する画素回路の構成及び画素回路の動作について、図面を参照して説明する。本発明の液晶表示装置の画素回路は、一画素に複数の液晶素子を有し、これらの液晶素子の各々に印加される電圧を異ならせる構成を有している。具体的には、液晶素子に接続された容量素子若しくは抵抗素子の一方、又は双方を設けて液晶素子に印加される電圧を異ならせる。

【0 0 8 0】

ただし、表示素子は液晶素子に限定されず、様々な表示素子（例えば、発光素子（EL素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、電子放出素子）、電気泳動素子等）を用いることができる。

【0 0 8 1】

30

本実施の形態を適用できる液晶の動作モードとしては様々なものがある。例えば、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）、CPA（Continuous Pinwheel Alignment）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）等がある。ただし、これに限定されない。なお、CPAモードを適用した液晶はASV（Advanced Super View）液晶と呼ばれることがある。

40

【0 0 8 2】

図 1（A）は、本発明の液晶表示装置が有する一画素の構成の一例を示す。画素 1 0 0 は第 1 のスイッチ 1 0 1 と、第 2 のスイッチ 1 0 2 と、第 1 の液晶素子 1 0 3 と、第 2 の液晶素子 1 0 4 と、第 3 の液晶素子 1 0 5 と、第 1 の容量素子 1 0 6 と、第 2 の容量素子 1 0 7 と、を有する。

【0 0 8 3】

第 1 の配線 1 0 8 と、第 1 の液晶素子 1 0 3 の第 1 の電極及び第 1 の容量素子 1 0 6 の第 1 の電極とは第 1 のスイッチ 1 0 1 を介して接続されている。第 2 の配線 1 0 9 と第 2

50

の液晶素子104の第1の電極及び第2の容量素子107の第1の電極は第2のスイッチ102を介して接続されている。第1の容量素子106の第2の電極は第2の容量素子107の第2の電極及び第3の液晶素子105の第1の電極に接続されている。

【0084】

第1の液晶素子103、第2の液晶素子104及び第3の液晶素子105の第2の電極は、共通電極111に接続されている。

【0085】

第1の配線108及び第2の配線109は、信号線として機能する。従って、第1の配線108及び第2の配線109には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。

【0086】

第1のスイッチ101及び第2のスイッチ102は、スイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。以下、第1のスイッチ101及び第2のスイッチ102としてトランジスタを用いる場合について説明する（図1（B）を参照）。トランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。例えば、Nチャネル型トランジスタはゲート・ソース間電圧（ V_{gs} ）がしきい値電圧（ V_{th} ）を上回ったとき、ソース・ドレイン間が導通状態になるものとする。なお、トランジスタのドレイン・ソース間電圧は V_{ds} と記す。

【0087】

図1（B）はスイッチとしてNチャネル型トランジスタを用いた場合、図1（C）はスイッチとしてPチャネル型トランジスタを用いた場合を示す。図1（B）及び（C）において、第1のスイッチ101N（又は第1のスイッチ101P）及び第2のスイッチ102N（又は第2のスイッチ102P）のゲートは第3の配線110に接続されている。第3の配線110は、走査線として機能する。

【0088】

なお、図49に示すように走査線を2本有していても良い。図49に示す回路は図8に示す回路において信号線を2本設けたものと同様である。

【0089】

なお、スイッチとしてPチャネル型トランジスタを用いた場合は図1にのみ示しているが、これに限定されない。他の図においても、トランジスタの少なくとも1つをPチャネル型トランジスタに置き換えることができる。

【0090】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0091】

第1の配線108及び第2の配線109には、ビデオ信号が入力されている。第3の配線110には走査信号が入力されている。走査信号はHレベル又はLレベルのデジタル電圧信号である。第1のスイッチ101がNチャネル型トランジスタの場合、走査信号のHレベルは第1のスイッチ101及び第2のスイッチ102をオンできる電位であり、走査信号のLレベルは第1のスイッチ101及び第2のスイッチ102をオフできる電位である。あるいは、第1のスイッチ101及び第2のスイッチ102がPチャネル型トランジスタの場合、走査信号のHレベルは第1のスイッチ101及び第2のスイッチ102をオフできる電位であり、走査信号のLレベルは第1のスイッチ101及び第2のスイッチ102をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、このビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位であることが望ましい。

【0092】

画素100の動作について、第1のスイッチ101及び第2のスイッチ102がオンし

10

20

30

40

50

ている場合と、第1のスイッチ101及び第2のスイッチ102がオフしている場合とに分けて説明する。

【0093】

第1のスイッチ101がオンしている場合には、第1の配線108と、第1の液晶素子103の第1の電極（画素電極）及び第1の容量素子106の第1の電極とが電気的に接続される。第2のスイッチ102がオンしている場合には、第2の配線109と、第2の液晶素子104の第1の電極（画素電極）及び第2の容量素子107の第1の電極とが電気的に接続される。従って、ビデオ信号は、第1の配線108から第1の液晶素子103の第1の電極（画素電極）及び第1の容量素子106の第1の電極に入力される。または、ビデオ信号は第2の配線109から第2の液晶素子104の第1の電極（画素電極）及び第2の容量素子107の第1の電極に入力される。従って、第1の液晶素子103に入力される信号の電位 V_{103} は第1の配線108から入力される電位に概ね等しく、第2の液晶素子104に入力される信号の電位 V_{104} は第2の配線109から入力される電位に概ね等しい。また、第3の液晶素子105の第1の電極の電位 V_{105} は第1の容量素子106と第2の容量素子107とによって、分圧された値となる。ここで、第1の容量素子106の容量値を C_{106} 、第2の容量素子107の容量値を C_{107} とする。すると、 $V_{105} = \Delta V \times C_{107} / (C_{106} + C_{107}) + V_{103}$ となる。ここで、 $\Delta V = V_{104} - V_{103}$ である。ただし、各容量素子に、初期電荷が無い場合である。ここで、 C_{106} と C_{107} とが同じ大きさである場合、 V_{105} は、 V_{103} と V_{104} の和の半になる。ここで共通電極の電位を0とすると、第1の液晶素子に印加される電圧は V_{103} 、第2の液晶素子に印加される電圧は V_{104} 、第3の液晶素子に印加される電圧は $V_{105} = (V_{103} + V_{104}) / 2$ と表される。第1の配線108から入力される信号と第2の配線109から入力される信号の電位を異なせると、各々の液晶素子に印加される電圧を異ならせることができ、各々の配向状態を異ならせることができる。そのため、第1の配線108から入力される信号と第2の配線109から入力される信号は異なる電位とすることが好ましい。

【0094】

このように、電位の異なる2つの信号を供給し、容量素子を用いることによって、画素内部で電圧を分割し、2つの信号の中間の電圧（第3の電圧）を作り出すことができる。そして、第3の電圧を第3の液晶素子105に印加することによって、液晶を容易に制御することができる。更に、第3の電圧は、第1の液晶素子103に印加される電圧と、第2の液晶素子104に印加される電圧との間の電圧である。そのため、どのような階調を表示する場合であっても、適切な階調を表示することができる。また、画像信号の極性が正極（共通電極よりも画像信号の方が高い場合）の場合でも、負極（共通電極よりも画像信号の方が低い場合）の場合でも、適切な階調を表示することができる。

【0095】

更に、走査線、信号線及びトランジスタ等の増加を抑えて、第3の電圧を作り出して第3の液晶素子105を制御することができる。これにより開口率を高くすることができ、消費電力を低減することができる。また、画素のレイアウトも余裕をもって配置することができるため、製造工程にて発生した粉塵等によって起こりうるショート等の不良を低減する事ができ、歩留まりが向上する。その結果、製造コストを低減することができる。また、第3の液晶素子を制御するための信号線として機能する配線を新たに設けることなく第3の液晶素子105を制御できるため、ガラス基板と、外付けの駆動回路との接続点数が増加しない。その結果、高い信頼性を保つことができる。

【0096】

なお、第1の容量素子106と第2の容量素子107とは、容量値は概ね等しいことが望ましい。二つの容量素子の容量値が概ね等しいことによって、分圧された電位は、二つの容量素子に供給される電位の中間値となる。もし、容量値に差があれば、どちらかの電位に偏ってしまい、均等に液晶素子を制御することができない。したがって、第1の容量素子106の容量値と第2の容量素子107の容量値は概ね等しいことが望ましい。ただ

し、これに限定されない。

【0097】

第1のスイッチ101がオフしている場合には、第1の配線108と、第1の液晶素子103の第1の電極（画素電極）及び第1の容量素子106の第1の電極とが電氣的に遮断される。第2のスイッチ102がオフしている場合には、第2の配線109と、第2の液晶素子104の第1の電極（画素電極）及び第2の容量素子107の第1の電極とが電氣的に遮断される。従って、第1の液晶素子103の第1の電極、第1の容量素子106の第1の電極、第2の液晶素子104の第1の電極及び第2の容量素子107の第1の電極は浮遊状態となる。そして、第3の液晶素子105は、第1の液晶素子103とは、第1の容量素子106を介して接続されている。しかし、電荷保存則のため、第3の液晶素子105に保存された電荷は、第1の液晶素子103の方に漏れることはない。同様に、第3の液晶素子105は、第2の液晶素子104とは、第2の容量素子107を介して接続されている。しかし、電荷保存則のため、第3の液晶素子105に保存された電荷は、第2の液晶素子104の方に漏れることはない。従って、第1乃至第3の液晶素子は、直前に入力された信号の電位が保持されることになる。

10

【0098】

なお、第1の液晶素子103、第2の液晶素子104及び第3の液晶素子105はビデオ信号に応じた透過率となる。

【0099】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

20

【0100】

なお、各液晶素子は、複数に分割されていてもよい。例えば、第3の液晶素子105が第3の液晶素子105aと第4の液晶素子105bの2つに分割されている場合を図11に示す。同様に、第1の液晶素子103及び第2の液晶素子104についても、複数個に分割されていてもよい。なお、図1以外の図についても同様である。

【0101】

なお、図1及び図11において、第1のスイッチ101と第2のスイッチ102がトランジスタである場合、これらのゲートは、第3の配線110に接続されている。しかし、これに限定されない。第1のスイッチ101のゲートと、第2のトランジスタのゲートとは、別々の配線に接続されていてもよい（図49を参照）。これらは図1及び図11以外の図についても同様である。

30

【0102】

なお、図1及び図11において、第1のスイッチ101と、第2のスイッチ102とは、異なる信号線に接続されているが、これに限定されない。図8又は図17に示すように、第1のスイッチ101と、第2のスイッチ102とは、同じ配線に接続されていてもよい。これらは図1及び図11以外の図についても同様である。

【0103】

なお、液晶素子は電圧保持特性を示すがその保持率は100%ではない。そのため、図1及び図11において、各液晶素子に、保持容量となる容量素子（以下、単に保持容量という。）を配置することで電圧を保持してもよい。保持容量は全ての液晶素子に対して配置してもよいし、一部の液晶素子のみ配置してもよい。保持容量は、各画素電極と、これに接続される容量線として機能する配線との間に配置する。各保持容量は、異なる容量線に接続されていてもよいし、同一の容量線に接続されていてもよい。または、一部の保持容量が同一の容量線に接続され、その他の保持容量が異なる容量線に接続されていてもよい。また、容量線は、別の画素と共用してもよい。例えば、1つ前の行の画素と、1つ後の行の画素とで、共用することができる。異なる画素間で容量線を共用することで配線数を減らすことができ、開口率を向上させることができる。また、容量線は、走査線と共用してもよい。容量線を走査線と共用すると配線数を減らすことができ、開口率を向上させることができる。容量線を走査線と共用する場合には、隣接する行の画素（1つ前の行

40

50

の画素)の走査線を用いることが望ましい。なぜなら、 $i - 1$ 番目の行(1つ前の行)は、 i 番目の行の画素を選択しているとき、既に信号の選択が終了しているためである。なお、液晶が、IPS又はFFS等の場合、共通電極は、トランジスタが形成されている基板に配置されている。したがって、容量線は共通電極と共用してもよい。容量線を共通電極と共用すると、配線数を減らすことができ、開口率を向上させることができる。なお、保持容量は、図11における液晶素子と同様、複数に分割されていてもよい。これらは図1及び図11以外の図についても同様である。

【0104】

次に、上述した図1の画素100を有する表示装置について図31を参照して説明する。

【0105】

表示装置は、信号線駆動回路1911、走査線駆動回路1912及び画素部1913を有する。画素部1913には、信号線駆動回路1911から列方向に伸張して配置された第1の配線 $S1_1 \sim Sm_1$ 、第2の配線 $S1_2 \sim Sm_2$ 及び走査線駆動回路1912から行方向に伸張して配置された第3の配線 $G1 \sim Gn$ 、並びにマトリクス状に配置された画素1914を有する。第1及び第2の配線は信号線として機能する。第3の配線は走査線として機能する。そして、各画素1914は、第1の配線 Sj_1 (信号線 $S1_1 \sim Sm_1$ のうちいずれか)、第2の配線 Sj_2 (信号線 $S1_2 \sim Sm_2$ のうちいずれか)及び第3の配線 Gi (走査線 $G1 \sim Gn$ のうちいずれか)と接続されている。

【0106】

なお、第1の配線 Sj_1 、第2の配線 Sj_2 、第3の配線 Gi は、それぞれ図1における第1の配線108、第2の配線109、第3の配線110に相当する。

【0107】

走査線駆動回路1912から出力される信号により、動作させる画素の行を選択すると、同じ行に属するそれぞれの画素が同時に選択される。選択された行の画素に信号線駆動回路1911から出力されたビデオ信号を書き込む。このとき、それぞれの画素の輝度データに応じた電位が第1の配線 $S1_1 \sim Sm_1$ 及び第2の配線 $S1_2 \sim Sm_2$ に供給される。

【0108】

例えば i 行目のデータ書き込み期間を終えると $i + 1$ 行目に属する画素へ信号の書き込みを行う。そして、 i 行目においてデータ書き込み期間を終えた画素は、信号に応じた透過率となる。

【0109】

なお、信号線駆動回路1911または走査線駆動回路1912は、複数個配置されていてもよい。例えば、第1の配線 Sj_1 (信号線 $S1_1 \sim Sm_1$ のうちいずれか)は、第1の信号線駆動回路で駆動し、第2の配線 Sj_2 (信号線 $S1_2 \sim Sm_2$ のうちいずれか)は、第2の信号線駆動回路で駆動してもよい。その場合、画素部1913を挟んで、上下に、第1の信号線駆動回路および第2の信号線駆動回路を配置してもよい。例えば、基板の主表面上の一边側に第1の信号線駆動回路を配置し、対向する他の一边側に第2の信号線駆動回路を配置し、2つの信号線駆動回路で挟まれた領域に画素部1913を配置してもよい。

【0110】

なお、液晶材料の劣化やちらつき(フリッカ)等の表示ムラを抑制するために、一定期間毎に液晶容量における共通電極の電位(コモン電位)に対して画素電極に印加される電圧の極性を反転させて駆動させる反転駆動を用いることが好ましい。本明細書において、共通電極より画素電極の電位の方が高い場合には正極性の電圧が、画素電極より対向電極の電位の方が高い場合には負極性の電圧が液晶容量に印加されたと表記する。また、液晶容量に正極性の電圧が印加される際に信号線より入力される画像信号を正極性の信号とし、負極性の電圧が印加される際に信号線より入力される画像信号を負極性の信号として表

10

20

30

40

50

記する。なお、反転駆動の例としては、フレーム反転駆動をはじめ、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動等が挙げられる。

【0111】

フレーム反転駆動とは、1フレーム期間毎に液晶容量に印加される電圧の極性を反転させる駆動方法である。なお、1フレーム期間とは、1画素分の画像を表示する期間に相当し、その期間には特に限定はないが、画像をみる人がちらつき（フリッカ）を感じないように少なくとも1/60秒以下とすることが好ましい。

【0112】

また、ソースライン反転駆動とは、同一の信号線に接続された画素に属する液晶容量に印加される電圧の極性を、隣接する信号線に接続された画素に属する液晶容量に対し反転させ、さらに各画素に対しフレーム反転を行う駆動方法である。一方、ゲートライン反転駆動とは、走査線として機能する同一の配線に接続された画素に属する液晶容量に印加される電圧の極性を、隣接する走査線に接続された画素に属する液晶容量に対し反転させ、さらに各画素に対しフレーム反転を行う駆動方法である。

10

【0113】

また、ドット反転駆動とは、隣接する画素間で液晶容量に印加される電圧の極性を反転させる駆動方法であり、ソースライン反転駆動とゲートライン反転駆動を組み合わせた駆動方法である。

【0114】

ところで、上記のフレーム反転駆動、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動等を採用した場合、信号線に書き込まれる画像信号に必要な電位の幅は、反転駆動を行わない場合に比べて2倍となる。そのため、これを解消するためにフレーム反転駆動やゲートライン反転駆動の場合、さらに対向電極の電位を反転させるコモン反転駆動を採用することもある。

20

【0115】

コモン反転駆動とは液晶容量に印加される極性の反転と同期して共通電極の電位を変化させる駆動方法であり、コモン反転駆動を行うことによって信号線に書き込まれる画像信号に必要な電位の幅を低減させることができる。

【0116】

また、一画素に上述した画素構成を複数有していても良い。例えば、一画素が複数のサブ画素を有し、これら複数のサブ画素を用いて一つの画素の階調を表現するようにするとよい。異なるサブ画素に接続されている信号線はサブ画素間で共有して用いられていてもよい。なお、サブ画素に接続される容量線の各々に異なる電位を供給することで、それぞれのサブ画素に属する液晶容量に異なる電圧を印加することもできる。このようにして、それぞれのサブ画素における液晶の配向の違いを利用して、さらに視野角を向上させることも可能となる。

30

【0117】

なお、図1では、保持容量を明記していないが、上述のように保持容量を配置することが望ましい。保持容量を配置することにより、液晶素子の漏れ電流の影響を低減することができ、電位を保持しやすくすることができる。また、フィードスルー等のようなスイッチングノイズの影響を低減することもできる。そこで、保持容量を図示する場合の一例として、図1の回路に保持容量を配置した場合を図16に示す。

40

【0118】

図16において、画素400は、第1のスイッチ401と、第2のスイッチ402と、第1の液晶素子403と、第2の液晶素子404と、第3の液晶素子405と、第1の容量素子406と、第2の容量素子407と、第3の容量素子408と、第4の容量素子409と、第5の容量素子417と、を有する。

【0119】

第1の配線410は、第1のスイッチ401を介して第1の液晶素子403の第1の電極、第1の容量素子406の第1の電極及び第2の容量素子407の第1の電極に接続さ

50

れている。第2の配線411は、第2のスイッチ402を介して第2の液晶素子404の第1の電極、第3の容量素子408の第1の電極及び第4の容量素子409の第1の電極に接続されている。第1の容量素子406の第2の電極と第3の容量素子408の第2の電極は第3の液晶素子405の第1の電極と第5の容量素子417の第1の電極に接続されている。第2の容量素子407の第2の電極は第4の配線413に接続され、第4の容量素子409の第2の電極は第5の配線414に接続されている。第5の容量素子417の第2の電極は第6の配線415に接続されている。

【0120】

第1の液晶素子403、第2の液晶素子404及び第3の液晶素子405の第2の電極は、共通電極416に接続されている。

【0121】

第1の配線410及び第2の配線411は、信号線として機能する。したがって、第1の配線410及び第2の配線411には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第3の配線412は走査線として機能する。第4の配線413、第5の配線414及び第6の配線415は容量線として機能する。

【0122】

第1のスイッチ401及び第2のスイッチ402はスイッチとして機能するものであれば特に限定されない。例えば、トランジスタを用いることができる。以下、第1のスイッチ401及び第2のスイッチ402としてトランジスタを用いる場合について説明する。トランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0123】

図16(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図16(B)において、第1のスイッチ401N及び第2のスイッチ402Nのゲートは第3の配線412に接続されている。第3の配線760は、走査線として機能する。

【0124】

なお、図16のように、全ての液晶素子に保持容量を配置してもよいが、これに限定されない。例えば、図7に示すように、一部の液晶素子にのみ、保持容量を配置してもよい。なお、各保持容量は、それぞれ異なる容量線に接続されていてもよいし、同一の容量線に接続されていてもよいし、一部が同一で、一部が異なる容量線に接続されていてもよい。また、容量線は、別の画素と共用してもよい。例えば、1つ前の行の画素と、1つ後の行の画素とで、共用することができる。異なる画素間で容量線を共用すると配線数を減らすことができ、開口率を向上させることができる。または、容量線は、走査線と共用してもよい。容量線を走査線と共用すると配線数を減らすことができ、開口率を向上させることができる。容量線を走査線と共用する場合には、隣接する画素(1つ前の行の画素)の走査線を用いることが望ましい。なぜなら、 $i-1$ 番目の行(1つ前の行)は、 i 番目の行の画素を選択しているとき、既に信号の選択が終了しているためである。なお、液晶が、IPS、FFS等の場合、共通電極は、トランジスタが形成されている基板に配置されている。したがって、容量線は、共通電極と共用してもよい。容量線を共通電極と共用すると、配線数を減らすことができ、開口率を向上させることができる。

【0125】

なお、容量線には、一定の電位が供給されていることが望ましい。ただし、これに限定されない。例えば、図7において、1フレーム期間中に、各容量線、つまり、第4の配線413及び第5の配線414に、周期的に複数回変化する信号を供給してもよい。そして、各容量線、つまり、第4の配線413及び第5の配線414には、互いに反転した信号を加えても良い。その結果、第1の液晶素子404及び第2の液晶素子403等に加えられる実効電圧を変えることができる。

【0126】

なお、図16では容量線として機能する配線を2本有するが、これに限定されない。容

10

20

30

40

50

量線は一本にまとめることができる。更には、共通電極と容量線は共用することができる。共通電極と容量線は、どちらも等しい電位に保たれている必要がある以外には、特に限定されないからである。容量線を一本にまとめ、共通電極と容量線を共用した場合の図を図50に示す。図50は図16と同様の効果を有する。

【0127】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0128】

なお、以上の説明にもちいた図1等の他の図において、第1のスイッチ又は第2のスイッチとして用いるトランジスタは、各々、異なる信号線に接続されているが、これに限定されない。これらは同一の信号線に接続されていてもよい。例えば、図1では2本設けた信号線を1本とし、複数の走査線を設けた場合の例を図8に示す。または、図8における走査線を一本にまとめた場合の例を図17に示す。

【0129】

なお、図8及び図17において、上記した図7及び図16のように、異なる液晶素子に保持容量を配置することも可能である。そこで、一例として、第1及び第2の液晶素子に図7と同様に保持容量を配置した場合の例を、図18及び図19に示す。

【0130】

したがって、図1及び図7で述べた内容は、図8、図16、図17及び図18にも適用することができる。

【0131】

図8において、画素450は、第1のスイッチ451と、第2のスイッチ452と、第1の液晶素子453と、第2の液晶素子454と、第3の液晶素子455と、第1の容量素子456と、第2の容量素子457と、を有する。

【0132】

第1の配線458と、第1の液晶素子453の第1の電極及び第1の容量素子456の第1の電極とは、第1のスイッチ451を介して接続されている。また、第1の配線458と、第2の液晶素子454の第1の電極及び第2の容量素子457の第1の電極とは、第2のスイッチ452を介して接続されている。第1の容量素子456の第2の電極と第2の容量素子457の第2の電極は第3の液晶素子455の第1の電極に接続されている。

【0133】

なお、スイッチとしてはトランジスタを用いることができる。第1のスイッチ451Nのゲートは第2の配線459に接続されている。第2のスイッチ452Nのゲートは第3の配線460に接続されている。

【0134】

第1の液晶素子453、第2の液晶素子454及び第3の液晶素子455の第2の電極は、共通電極461に接続されている。

【0135】

第1の配線458は、信号線として機能する。したがって、第1の配線458には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第2の配線459及び第3の配線460は走査線として機能する。

【0136】

まず、図8及び図18の動作について考える。最初に、第3の配線460にアクティブな信号が供給され、第2のスイッチ452がオンする。ここでアクティブな信号とは、第2のスイッチ452をオンさせることのできる信号をいう。第2のスイッチ452がオンすると、第2の液晶素子454の第1の電極（画素電極）及び第2の容量素子457の第1の電極に、第1の配線458からビデオ信号が供給される。

【0137】

次に、第2のスイッチ452がオフし、第2の配線459にアクティブな信号が供給され、第1のスイッチ451がオンする。ここでアクティブな信号とは、第2のスイッチ452をオンさせることのできる信号をいう。すると、第1の液晶素子453の第1の電極（画素電極）及び第1の容量素子456の第1の電極に、第1の配線458からビデオ信号が供給される。このときに供給されるビデオ信号は、第2のスイッチ452がオンしたときとは、異なる電位であることが望ましい。電位が異なることにより、各液晶素子に異なる電圧を供給することができ、視野角を向上させることができる。

【0138】

なお、第1のスイッチ451がオンしているとき、第3の液晶素子455は、第1の容量素子456を介して、第1の液晶素子453の画素電極と容量結合している。したがって、第3の液晶素子455の画素電極の電位は、第1のスイッチ451がオンしているときに第1の配線458から供給される電圧に応じて、変化する。

10

【0139】

同様に、第1のスイッチ451がオンしているとき、第2の液晶素子454は、第1の容量素子456及び第2の容量素子457を介して、第1の液晶素子453の画素電極と容量結合している。したがって、第2の液晶素子454の画素電極の電位は、第1のスイッチ451がオンしているときに第1の配線458から供給される電圧に応じて変化する。

【0140】

次に、第1のスイッチ451がオフし、各液晶素子の電位が保持される。このように動作させることによって、各液晶素子に印加される電圧が異なるようにすることができる。その結果、視野角を広くすることができる。ただし、駆動方法は、これに限定されない。各トランジスタをオン・オフするタイミングや信号線の電位等、様々な方法で駆動させることができる。

20

【0141】

なお、図18において、各容量線には、一定の電位が供給されていることが望ましい。ただし、これに限定されない。例えば、1フレーム期間中に、各容量線、つまり、第1の容量線および第2の容量線に、周期的に複数回変化する信号を供給してもよい。そして、各容量線、つまり、第1の容量線および第2の容量線には、互いに反転した信号を加えても良い。その結果、第1の液晶素子453及び第2の液晶素子454等に加えられる実効電圧を変えることができる。このように動作させることによって、各液晶素子の電位が異なるようにすることができる。その結果、視野角を広くすることができる。

30

【0142】

次に、図17および図19の動作について考える。

【0143】

第2の配線459にアクティブな信号が供給され、第1のスイッチ451および第2のスイッチ452がオンする。すると、第1の液晶素子453の第1の電極（画素電極）、第1の容量素子456の第1の電極、第2の液晶素子454の第1の電極（画素電極）及び第2の容量素子457の第1の電極に、第1の配線458からビデオ信号が供給される。

40

【0144】

このとき、第1のスイッチ451と第2のスイッチ452にトランジスタを用いるとオン抵抗が生ずる。第1のスイッチ451のオン抵抗は、第2のスイッチ452のオン抵抗よりも、高いことが望ましい。トランジスタのオン抵抗が高いとは、チャンネル長 L に対するチャンネル幅の比 (W/L) が小さいことを意味している。このように、トランジスタのオン抵抗を高くすることによって、各液晶素子の画素電極の電位は、各容量素子や各保持容量等の漏れ電流等のバランスによって、決定されることとなる。そして、各液晶素子に異なる電圧を印加することができ、視野角を向上させることができる。ただし、これに限定されず、第1のスイッチ451と第2のスイッチ452とは、概ね等しいオン抵抗であることも可能である。

50

【0145】

次に、第1のスイッチ451及び第2のスイッチ452がオフし、各液晶素子に印加された電圧が保持される。

【0146】

このように動作させることによって、各液晶素子に印加される電圧を異ならせることができる。その結果、視野角を広くすることができる。ただし、駆動方法は、これに限定されない。各トランジスタをオン・オフするタイミングや信号線の電位等、様々な方法で駆動させることができる。

【0147】

なお、図19において、各容量線には、一定の電位が供給されていることが望ましい。ただし、これに限定されない。例えば、1フレーム期間中に、各容量線、つまり、第1の容量線463および第2の容量線465、周期的に複数回変化する信号を供給してもよい。そして、各容量線、つまり、第1の容量線463および第2の容量線465には、互いに反転した信号を加えても良い。その結果、第1の液晶素子453及び第2の液晶素子454等に加えられる実効電圧を変えることができる。このように動作させることによって、各液晶素子の電位を異ならせることができる。その結果、視野角を広くすることができる。

10

【0148】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

20

【0149】

図2は、本発明の液晶表示装置が有する画素回路の構成について、図1とは異なる構成の一例を示す。画素150は第1のスイッチ151と、第2のスイッチ152と、第1の液晶素子153と、第2の液晶素子154と、第3の液晶素子155と、第1の容量素子156と、第2の容量素子157と、第3の容量素子161と、を有する。

【0150】

第1の配線158は第1の液晶素子153の第1の電極及び第1の容量素子156の第1の電極に、第1のスイッチ151を介して接続されている。第2の配線159は第2の液晶素子154の第1の電極及び第2の容量素子157の第1の電極に、第2のスイッチ152を介して接続されている。第1の容量素子156の第2の電極は第2の容量素子157の第2の電極及び第3の容量素子161の第1の電極に接続され、第3の容量素子161の第2の電極は第3の液晶素子155の第1の電極に接続されている。

30

【0151】

第1の液晶素子153、第2の液晶素子154及び第3の液晶素子155の第2の電極は、共通電極に接続されている。

【0152】

第1の配線158及び第2の配線159は、信号線として機能する。従って、第1の配線158及び第2の配線159には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず一定の信号が供給されていてもよい。第3の配線160は走査線として機能する。

40

【0153】

第1のスイッチ151及び第2のスイッチ152はスイッチとして機能するものであれば特に限定されない。例えば、トランジスタを用いることができる。以下、第1のスイッチ151及び第2のスイッチ152としてトランジスタを用いる場合について説明する。トランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0154】

図2(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図2(B)において、第1のスイッチ151N及び第2のスイッチ152Nのゲートは第3の配線110に接続されている。第3の配線160は、走査線として機能する。

50

【0155】

なお、図2においても図1と同様、図49に示すように走査線を2本有していても良い。

なお、スイッチとしてPチャネル型トランジスタを用いることもできる。

【0156】

第1の配線158及び第2の配線159には、ビデオ信号が入力されている。第3の配線160には走査信号が入力されている。走査信号はHレベル又はLレベルのデジタル電圧信号である。第1のスイッチ151及び第2のスイッチ152がNチャネル型トランジスタの場合、走査信号のHレベルは第1のスイッチ151及び第2のスイッチ152をオンできる電位であり、走査信号のLレベルは第1のスイッチ151及び第2のスイッチ152をオフできる電位である。あるいは、第1のスイッチ151及び第2のスイッチ152がPチャネル型トランジスタの場合、走査信号のHレベルは第1のスイッチ151及び第2のスイッチ152をオフできる電位であり、走査信号のLレベルは第1のスイッチ151及び第2のスイッチ152をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、このビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位である。

【0157】

図2における画素150の動作について、第1のスイッチ151及び第2のスイッチ152がオンしている場合と、第1のスイッチ151及び第2のスイッチ152がオフしている場合とに分けて説明する。

【0158】

第1のスイッチ151がオンしている場合には、第1の配線158と、第1の液晶素子153の第1の電極（画素電極）及び第1の容量素子156の第1の電極とが電氣的に接続される。第2のスイッチ152がオンしている場合には、第2の配線159と、第2の液晶素子154の第1の電極（画素電極）及び第2の容量素子157の第1の電極とが電氣的に接続される。従って、ビデオ信号は、第1の配線158から第1の液晶素子153の第1の電極（画素電極）及び第1の容量素子156の第1の電極に入力され、第2の配線159から第2の液晶素子154の第1の電極（画素電極）及び第2の容量素子157の第1の電極に入力される。従って、第1の液晶素子153に入力される信号の電位 V_{153} は第1の配線158から入力される電位に概ね等しく、第2の液晶素子154に入力される信号の電位 V_{154} は第2の配線159から入力される電位に概ね等しい。また、第3の容量素子161の第1の電極の電位 V_{161} は図1における第3の液晶素子105の第1の電極の電位 V_{105} と同様であり、 C_{106} と C_{107} とが同じ大きさである場合、第3の容量素子161の第1の電極の電位 V_{161} は、 V_{153} と V_{154} の和の半分と概ね等しい。なお、第3の液晶素子155の第1の電極の電位は V_{155} とおく。ここで共通電極の電位を0とすると、第3の液晶素子155に印加される電圧は V_{155} となる。 V_{155} は、第3の容量素子161と、第3の液晶素子155とで、分圧された値となる。このように、容量素子を用いることによって、さらに、異なった電圧を液晶素子に供給することができる。このように、各々の液晶素子に印加される電圧を異ならせることができ、各々の配向状態を異ならせることができる。

【0159】

このように、電位の異なる2つの信号を供給し、容量素子を用いることによって、画素内部で電圧を分割し、第3の電圧を作り出すことができる。そして、第3の電圧を第3の液晶素子105に印加することによって、液晶を容易に制御することができる。更に、第3の電圧は、第1の液晶素子103に供給される電圧と、第2の液晶素子104に供給される電圧との間の電圧である。そのため、どのような階調を表示する場合であっても、適切な階調を表示することができる。また、画像信号の極性が正極（共通電極よりも画像信号の方が高い場合）の場合でも、負極（共通電極よりも画像信号の方が低い場合）の場合

でも、適切な階調を表示することができる。

【0160】

さらに、走査線、信号線及びトランジスタ等の増加を抑えて、第3の電圧を作り出して第3の液晶素子155を制御することができる。これにより、開口率を高くすることができる、消費電力を低減することができる。また、画素のレイアウトも余裕をもって配置することができるため、製造工程にて発生した粉塵等によってショートする等の不良を低減する事ができ、歩留まりが向上する。その結果、製造コストを低減することができる。また、信号線を新たに設けることなく第3の液晶素子155を制御できるため、ガラス基板と、外付けの駆動回路との接続点数は増加しない。その結果、高い信頼性を保つことができる。

10

【0161】

第1のスイッチ151がオフしている場合には、第1の配線158と、第1の液晶素子153の第1の電極（画素電極）及び第1の容量素子156の第1の電極とが電氣的に遮断される。第2のスイッチ152がオフしている場合には、第2の配線159と、第2の液晶素子154の第1の電極（画素電極）及び第2の容量素子157の第1の電極とが電氣的に遮断される。従って、第1の液晶素子153の第1の電極、第1の容量素子156の第1の電極、第2の液晶素子154の第1の電極及び第2の容量素子157の第1の電極は浮遊状態となる。そして、第3の液晶素子155は、第1の液晶素子153とは第1の容量素子156及び第3の容量素子161を介して接続されている。しかし、電荷保存則のため、第3の液晶素子105に保存された電荷は、第1の液晶素子153に漏れることはない。第1の液晶素子153とは第2の容量素子157を介して接続されている。しかし、電荷保存則のため、第3の液晶素子155に保存された電荷は、第2の液晶素子154の方に漏れることはない。したがって、第1乃至第3の液晶素子は、直前に入力された信号の電位が保持されることになる。

20

【0162】

なお、第1の液晶素子153、第2の液晶素子154及び第3の液晶素子155はビデオ信号に応じた透過率となる。

【0163】

つまり、図2は、図1と比較すると、図1の第3の液晶素子105の部分を、図2の第3の容量素子161と第3の液晶素子155とが直列接続されたものに、置き換えた場合に相当する。したがって、図1で述べた内容は、図2にも適用することができる。例えば、図15に示すように、第3の容量素子161と第3の液晶素子155とが直列接続されたものは、複数に分割されていてもよい。または、図12に示すように、容量素子を省いて、液晶素子のみを複数に分割してもよい。

30

【0164】

なお、図2では、図1の第3の液晶素子105の部分を、第3の容量素子161と第3の液晶素子155とが直列接続されたもので置き換えたが、これに限定されない。別の液晶素子に置き換えても良い。例えば、第1の液晶素子153を容量素子と液晶素子とが直列接続されたものに置き換えた場合を図13に示す。この場合も、図12と同様、図14に示すように、複数に分割されていてもよい。

40

【0165】

図2は、図1における第3の液晶素子105の部分を、図2の第3の容量素子161と第3の液晶素子155とが直列接続されたものに、置き換えたものであるため、図1と同様の変形が可能である。つまり、図7に示すように各液晶素子の一部に保持容量を追加してもよいし、図16に示すように液晶素子の全てに保持容量を追加しても良い。また、図8又は図18に示すように走査線を2本にして信号線を1本にまとめてもよいし、図17又は図19に示すように走査線と信号線の双方を1本にまとめてもよい。

【0166】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

50

【0167】

図3は、本発明の液晶表示装置が有する画素回路の構成について、他とは異なる構成の一例を示す。画素200は、第1のスイッチ201と、第2のスイッチ202と、トランジスタ203と、第1の液晶素子204と、第2の液晶素子205と、第3の液晶素子206と、第1の容量素子207と、第2の容量素子208と、を有する。

【0168】

第1の配線209は、第1の液晶素子204の第1の電極及び第1の容量素子207の第1の電極に第1のスイッチ201を介して接続されている。第2の配線210は、第2の液晶素子205の第1の電極及び第2の容量素子208の第1の電極に第2のスイッチ202を介して接続されている。また、第2の配線210は第3の液晶素子206の第1の電極にトランジスタ203を介して接続されている。第1のスイッチ201、第2のスイッチ202及びトランジスタ203のゲートは第3の配線211に接続されている。第1の容量素子207の第2の電極は第2の容量素子208の第2の電極及び第3の液晶素子206の第1の電極に接続されている。

10

【0169】

なお、トランジスタ203は、第1のスイッチ201と第2のスイッチ202よりもオン抵抗が高いスイッチとして動作する。つまり、抵抗素子が直列に接続されたスイッチと同様に扱うことができる。しかし、これに限定されない。トランジスタ203のオン抵抗は第1のスイッチ201及び第2のスイッチ202よりもオン抵抗が低くてもよい。

【0170】

なお、図3ではトランジスタ203をNチャネル型としているが、これに限定されない。つまり、トランジスタ203はPチャネル型トランジスタであってもよい。

20

【0171】

第1の液晶素子204、第2の液晶素子205及び第3の液晶素子206の第2の電極は、共通電極に接続されている。

【0172】

第1の配線209及び第2の配線210は、信号線として機能する。従って、第1の配線209及び第2の配線210には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第3の配線211は走査線として機能する。

30

【0173】

第1のスイッチ201及び第2のスイッチ202はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。以下、第1のスイッチ101及び第2のスイッチ102としてトランジスタを用いる場合について説明するトランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0174】

図3(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図2(B)において、第1のスイッチ201N及び第2のスイッチ202Nのゲートは第3の配線110に接続されている。第3の配線211Aは、走査線として機能する。

40

【0175】

なお、図2においても図1と同様、図49に示すように走査線を2本有していても良い。

なお、スイッチとしてPチャネル型トランジスタを用いることもできる。

【0176】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0177】

第1の配線209及び第2の配線210には、ビデオ信号が入力されている。第3の配線211には走査信号が入力されている。走査信号はHレベル又はLレベルのデジタル電

50

圧信号である。第1及び第2のスイッチ、並びにトランジスタ203がNチャネル型の場合、走査信号のHレベルは第1乃至第3のトランジスタをオンできる電位であり、走査信号のLレベルは第1及び第2のスイッチ、並びにトランジスタ203をオフできる電位である。あるいは第1及び第2のスイッチ、並びにトランジスタ203がPチャネル型の場合、走査信号のHレベルは第1及び第2のスイッチ、並びにトランジスタ203をオフできる電位であり、走査信号のLレベルは第1及び第2のスイッチ、並びにトランジスタ203をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、このビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位である。

10

【0178】

つまり、図3は、図1と比較すると、図1の第3の液晶素子206の画素電極と、第2の配線210とを接続しているトランジスタ203が追加されたものであると言える。図1の場合、第1の容量素子207と第2の容量素子208とが接続されている点に、何かのノイズや漏れ電流が入ってしまった場合、そこに電荷がたまってしまう。その結果、液晶素子に加える電圧が影響を受けてしまい、画質が低下する可能性がある。しかしながら、図3のように、トランジスタ203を追加することにより、たまった電荷を引き抜くことができる。その結果、焼き付き等の画質不良を低減することができる。

【0179】

なお、上記のように、トランジスタ203のオン抵抗は、第1のスイッチ201または第2のスイッチ202のオン抵抗よりも高いことが望ましい。トランジスタのオン抵抗が高いとは、チャンネル幅 W とチャンネル長 L との比(W/L)が小さいことを意味している。このように、トランジスタのオン抵抗を高くすることによって、第1の容量素子207と第2の容量素子208とが接続されている点の電位は、各容量素子や各保持容量等の漏れ電流等のバランスによって、決定されることとなる。ただし、これに限定されず、第1乃至第3のトランジスタを同程度のサイズで形成し、第3のトランジスタ203と直列に抵抗素子が接続されていても良い。

20

【0180】

したがって、図1及び図2等で述べた内容は、図3にも適用することができる。例えば、図3に図2を適用した場合を図4に示す。

30

【0181】

なお、図3及び図4等において、第1のスイッチ201N（又は第1のスイッチ251N）、第2のスイッチ202N（又は第2のスイッチ252N）及びトランジスタ203（トランジスタ253）は、第3の配線211（又は第3の配線262）により制御されているが、これに限定されない。これらが異なる配線に接続され、別々に制御されていてもよい。または、一部が別の配線に接続されていてもよい。

【0182】

なお、図3ではトランジスタ203は第2の配線210に接続されているが、第1の配線209に接続されていても良い。第3のトランジスタ203が第1の配線209に接続されている場合でも、同様である。図3と同様に、図4ではトランジスタ253が第2の配線261に接続されているが、第1の配線260に接続されていても良い。

40

【0183】

または、トランジスタを接続するための別の配線を設けてもよい。その場合を図5に示す。図5（B）では、走査線は2本配置され、第1のスイッチ301N及び第2のスイッチ302Nを制御する走査線と、トランジスタ303を制御する走査線を異なる配線としているが、これに限定されない。第1のスイッチ301N、第2のスイッチ302N及びトランジスタ303は同一の走査線に接続されていてもよい。したがって、図1等の他の図で述べた内容は、図5にも適用することができる。例えば、図2を図5に適用した場合を図6に示す。

【0184】

50

なお、図5においてトランジスタ303がオンになるのは、第1のスイッチ301又は第2のスイッチ302が、オフになっているときが望ましいが、これに限定されない。第1のスイッチ301又は第2のスイッチ302が、オンになっているとき、又は、オンになっているときの一部の期間（前半が望ましい）に、トランジスタ303がオンになっているてもよい。

【0185】

なお、第5の配線313の電位は、共通電極と概ね等しい電位にすることが望ましいが、これに限定されない。第1の配線309又は第2の配線310の電位と概ね等しい電位にすることも可能である。

【0186】

なお、第5の配線313は、別の配線と共用することが可能である。例えば、容量線、走査線等と共用する事ができる。なお、共用する配線は、別の画素の配線でもよい。これらにより、開口率を向上させることができる。なお、図1等の他の図で述べた内容は、図5にも適用することができる。つまり、トランジスタの少なくとも1つをPチャネル型にしてもよいし、液晶素子を複数に分割しても良い。

【0187】

なお、図6では、トランジスタ353は、第3の容量素子359に接続されているが、これに限定されない。第3の容量素子359と第3の液晶素子356との接点と、第5の配線364との間に、トランジスタ353が接続されていてもよい。なお、図1等の他の図で述べた内容は、図6にも適用することができる。

【0188】

なお、上記の第1乃至第3の液晶素子は、ビデオ信号に応じた透過率となる。

【0189】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0190】

なお、これまでは、信号線の間にスイッチを介して接続された容量素子が2個の場合について述べてきたが、これに限定されない。更に多くの容量素子を配置することが可能である。容量素子を追加することによって、液晶素子に印可する電圧を更に異ならせることができる。そして、その各々の電圧を、各々の液晶素子に印加することにより、印加される電圧の異なった液晶素子を多く配置することができる。その結果、視野角を広くすることができる。

【0191】

そこで、図1に対して、容量素子及び液晶素子を更に追加して配置した場合の例を図9に示す。または、図3に対して、容量素子及び液晶素子を更に追加して配置した場合の例を図20に示す。液晶素子は更に追加しても良い。そして、第1の液晶素子503は第3の液晶素子505に同様に接続されていても良い。同様に、他の図に示した回路においても、容量素子及び液晶素子を追加することが可能である。なお、他の図の説明で述べた内容は、図9及び図20にも適用することができる。

【0192】

図9において、画素500は、第1のスイッチ501と、第2のスイッチ502と、第1の液晶素子503と、第2の液晶素子504と、第3の液晶素子505と、第4の液晶素子506と、第1の容量素子507と、第2の容量素子508と、第3の容量素子509と、第1の配線510と、第2の配線511と、第3の配線512と、を有する。

【0193】

第1の配線510は第1の液晶素子503の第1の電極及び第1の容量素子507の第1の電極に第1のスイッチ501を介して接続されている。第2の配線511は第2の液晶素子504の第1の電極及び第3の容量素子509の第1の電極に第2のスイッチ502を介して接続されている。第1の容量素子507の第2の電極は第2の容量素子508の第1の電極及び第3の液晶素子505の第1の電極に接続されている。第2の容量素子

10

20

30

40

50

508の第2の電極は第3の容量素子509の第2の電極及び第4の液晶素子506の第1の電極に接続されている。

【0194】

第1の液晶素子503、第2の液晶素子504、第3の液晶素子505及び第4の液晶素子506の第2の電極は、共通電極に接続されている。

【0195】

第1の配線510及び第2の配線511は、信号線として機能する。したがって、第1の配線510及び第2の配線511には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第3の配線512は走査線として機能する。

【0196】

第1のスイッチ501及び第2のスイッチ502はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0197】

図9(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図9(B)において、第1のスイッチ501N及び第2のスイッチ502Nのゲートは第3の配線512に接続されている。第3の配線512は、走査線として機能する。

【0198】

なお、図9においても図1と同様、図49に示すように走査線を2本有していても良い。

なお、スイッチとしてPチャネル型トランジスタを用いることもできる。

【0199】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0200】

更には、図11等のように液晶素子を複数に分割しても良い。

【0201】

なお、第1の液晶素子503、第2の液晶素子504、第3の液晶素子505及び第4の液晶素子506はビデオ信号に応じた透過率となる。

【0202】

以上説明したように、一画素あたりの液晶素子を4つとすることも可能であるし、一画素あたりの液晶素子を更に増やすことも可能である。一画素あたりの液晶素子の数を増やすことで様々な配向状態を有せしめることができ、より広い視野角を有する液晶表示装置を提供することができる。

【0203】

なお、図9、図20では、容量素子を追加することで液晶素子を追加する場合について述べた。ただし、これに限定されない。トランジスタ、信号線等を増やすことによって、一画素内に配置される液晶素子を増やすことができる。そこで、一例として、図1の回路に対して、トランジスタと信号線とを増やすことによって液晶素子を追加して配置した場合を、図10に示す。ただし、この構成に限定されない。図10では、走査線は追加することなく信号線を追加しているが、信号線を追加することなく走査線を追加することも可能である。図21には、信号線を追加することなく容量素子584を追加し、信号線と第4の液晶素子557との間に配置することで、信号線から供給される電位を分圧した場合を示す。図22には、信号線を追加することなく容量素子を追加し、信号線と第1の液晶素子554との間に容量素子572を追加し、信号線と第1の液晶素子554との間に配置することで、信号線から供給される電位を分圧した場合を示す。図21及び図22に示す構成とすることで、信号線を追加することなく、4つの液晶素子に異なる電圧を印加することができる。

【0204】

10

20

30

40

50

なお、図 2 1 及び図 2 2 では、第 4 の液晶素子 5 5 7 は第 1 の配線 5 6 0 に接続されているが、第 4 の液晶素子 5 5 7 は第 2 の配線 5 6 1 に接続されていても良い。

【0205】

なお、図 1 の場合と同様に、他の図に示した回路においても、液晶素子を追加して配置することが可能である。なお、他の図の説明で述べた内容は、図 1 0 にも適用することができる。つまり、トランジスタを P チャンネル型としてもよいし、液晶素子を複数に分割しても良い。

【0206】

図 1 0 において、画素 5 5 0 は、第 1 のスイッチ 5 5 1 と、第 2 のスイッチ 5 5 2 と、第 3 のスイッチ 5 5 3 と、第 1 の液晶素子 5 5 4 と、第 2 の液晶素子 5 5 5 と、第 3 の液晶素子 5 5 6 と、第 4 の液晶素子 5 5 7 と、第 1 の容量素子 5 5 8 と、第 2 の容量素子 5 5 9 と、を有する。

【0207】

第 1 の配線 5 6 0 は第 1 の液晶素子 5 5 4 の第 1 の電極及び第 1 の容量素子 5 5 8 の第 1 の電極に第 1 のスイッチ 5 5 1 を介して接続されている。第 2 の配線 5 6 1 は第 2 の液晶素子 5 5 5 の第 1 の電極及び第 2 の容量素子 5 5 9 の第 1 の電極に接続されている。第 3 の配線 5 6 2 は第 4 の液晶素子 5 5 7 の第 1 の電極に第 3 のスイッチ 5 5 3 を介して接続されている。第 1 の容量素子 5 5 8 の第 2 の電極は第 2 の容量素子 5 5 9 の第 2 の電極及び第 3 の液晶素子 5 5 6 の第 1 の電極の一方に接続されている。

【0208】

図 1 0 (B) はスイッチとして N チャンネル型トランジスタを用いた場合を示す。図 1 0 (B) において、第 1 のスイッチ 5 5 1 N 及び第 2 のスイッチ 5 5 2 N のゲートは第 4 の配線 5 6 3 に接続されている。第 4 の配線 5 6 3 は、走査線として機能する。

【0209】

なお、図 1 0 においても図 1 と同様、図 4 9 に示すように走査線を 2 本有していても良い。

なお、スイッチとして P チャンネル型トランジスタを用いることもできる。

【0210】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0211】

更には、図 1 1 等 に示すように液晶素子を更に複数に分割しても良い。

【0212】

第 1 の液晶素子 5 0 3、第 2 の液晶素子 5 0 4、第 3 の液晶素子 5 0 5 及び第 4 の液晶素子 5 0 6 の第 2 の電極は、共通電極に接続されている。

【0213】

第 1 の配線 5 6 0、第 2 の配線 5 6 1 及び第 3 の配線 5 6 2 は、信号線として機能する。したがって、第 1 の配線 5 6 0、第 2 の配線 5 6 1 及び第 3 の配線 5 6 2 には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていてもよい。第 4 の配線 5 6 3 は走査線として機能する。

【0214】

なお、液晶素子と、信号線として機能する配線との間に容量素子を設けても良い。図 2 1 に示すように容量素子 5 6 6 を設けることで液晶素子に印加される電圧を異ならせることができる。従って、図 1 0 における第 1 の配線 5 6 0 と、第 3 の配線 5 6 2 とを一本にまとめることができる。

【0215】

なお、容量素子を追加して配置する位置は第 4 の液晶素子と信号線の間限定される物ではなく、図 2 2 に示すように、他の液晶素子と信号線との間に容量素子（例えば、容量素子 5 6 5）を設けても良い。この場合にも、複数の信号線を一本にまとめることができる。

10

20

30

40

50

【0216】

以上説明したように、一画素あたりの液晶素子を4つとすることも可能であるし、一画素あたりの液晶素子を更に増やすことも可能である。一画素あたりの液晶素子の数を増やすことで様々な配向状態を有せしめることができ、より広い視野角を有する液晶表示装置を提供することができる。

【0217】

本発明を適用した液晶表示装置の画素の上面図の一例を図32に示す。また、図33は、図32の回路図を示す。なお、図32と図33は対応する部分には同じ符号を用いている。

【0218】

図32に示す画素1000は、走査線及び容量線となる配線を構成する第1の導電層（第3の配線1013のハッチパターンで示す。）上に第1の絶縁膜（図示しない）が設けられ、第1の絶縁膜上に半導体膜が設けられ、半導体膜上に第2の導電層（第1の配線1011のハッチパターンで示す。）が設けられ、第2の導電層上に第2の絶縁膜（図示しない）が設けられ、第2の絶縁膜上に第3の導電層（第1の液晶素子1003のハッチパターンで示す。）が設けられている。

【0219】

図33において、画素1000は、第1のスイッチ1001と、第2のスイッチ1002と、第1の液晶素子1003と、第2の液晶素子1004と、第3の液晶素子1005と、第4の液晶素子1006と、第1の容量素子1007と、第2の容量素子1008と、第3の容量素子1009と、第4の容量素子1010と、第5の容量素子1016と、第6の容量素子1017と、を有する。

【0220】

第1の配線1011は、第4の液晶素子1006、第1の容量素子1007の第1の電極及び第2の容量素子1008の第1の電極に第1のトランジスタ1001を介して接続されている。第2の配線1012は、第1の液晶素子1003、第4の容量素子1010の第1の電極及び第3の容量素子1009の第1の電極に第2のトランジスタ1002を介して接続されている。第2の容量素子1008の第2の電極は、第3の容量素子1009の第2の電極、第5の容量素子1016の第1の電極、第2の液晶素子1004の第1の電極、第6の容量素子1017の第1の電極及び第3の液晶素子1005の第1の電極に接続されている。第1の容量素子1007の第2の電極及び第6の容量素子1017の第2の電極は第5の配線1015に接続されている。第5の容量素子1016の第2の電極及び第4の容量素子1010の第2の電極は第4の配線1014に接続されている。

【0221】

なお、図33は、図11（B）のすべての液晶素子の各々に保持容量を設けたものである。つまり、図11と図16を組み合わせたものであると言える。従って、図33は、図1と同様の構成を適用できる。即ち、容量線として機能する配線は図50に示すように共通電極と共用してもよいし、スイッチはトランジスタに置き換えることが可能であり、トランジスタにはNチャネル型を用いてもよいし、Pチャネル型を用いてもよい。

【0222】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0223】

第1の配線1011及び第2の配線1012は、信号線として機能する。従って、第1の配線1011及び第2の配線1012には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第3の配線1013は走査線として機能する。第4の配線1014及び第5の配線1015は、容量線として機能する。

【0224】

図32に示した上面図のような画素を設けることで、各々の液晶素子に様々な配向状態

10

20

30

40

50

を有せしめることができ、より広い視野角を有する液晶表示装置を提供することができる。

【0225】

なお、本実施の形態では、一画素に設けられる全てのトランジスタの導電型が同一の場合についてのみ説明したが、本発明はこれに限定されない。つまり、一画素内に設けられるトランジスタは、異なる導電型を有していてもよい。

【0226】

更には、本実施の形態におけるトランジスタの種類も特に限定されず、様々なものを用いることができる。そのため、結晶性半導体膜を用いた薄膜トランジスタ（TFT）、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnOや α -InGaZnO等の化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。ただし、オフ電流が少ないトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域が設けられた薄膜トランジスタ又はマルチゲート構造を有する薄膜トランジスタ等がある。また、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

【0227】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容の一部又は全部は、別の図で述べた内容の一部又は全部に対して、適用し、組み合わせ、又は置き換えること等を自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して別の部分を組み合わせることにより、更に多くの構成が考えられ、本実施の形態の記載はこれを妨げるものではない。

【0228】

同様に、本実施の形態の各々の図において述べた内容の一部又は全部は、別の実施の形態の図において述べた内容の一部又は全部に対して、適用し、組み合わせ、又は置き換えること等を自由に行うことができる。更に、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成が考えられ、本実施の形態の記載はこれを妨げるものではない。

【0229】

なお、本実施の形態は、他の実施の形態で述べた内容の一部又は全部について、具体化した場合、多少の変形を加えた場合、一部に変更を加えた場合、改良した場合、詳細に記載した場合、応用した場合、関連がある場合についての一例を示している。従って、他の実施の形態で述べた内容は、本実施の形態へ適用し、組み合わせ、又は置き換えること等を自由に行うことができる。

【0230】

（実施の形態2）

実施の形態1では、容量素子を用いて電圧を分割することで新たな電圧を作り、液晶素子に供給していた。ただし、新たな電圧を作るための素子は、容量素子に限定されない。電圧を分割する素子、電流を電圧に変換する素子、非線形素子、抵抗成分を有する素子、容量成分を有する素子、インダクタ、ダイオード、トランジスタ、抵抗素子、スイッチ等の様々な素子を用いることができる。また、これらを直列又は並列に接続して組み合わせることによって所望の回路を実現することができる。このような素子を、分圧素子と呼ぶこととする。

【0231】

図1の容量素子を分圧素子とし、一般化した場合を図23に示す。したがって、実施の形態1で述べた内容は、図23にも適用することができる。

【0232】

図23（A）は、本発明の液晶表示装置が有する画素回路の構成についての一例を示す。画素600は、第1のスイッチ601と、第2のスイッチ602と、第1の液晶素子6

03と、第2の液晶素子604と、第3の液晶素子605と、第1の分圧素子606と、第2の分圧素子607と、を有する。

【0233】

第1の配線608は第1の液晶素子603の第1の電極及び第1の分圧素子606の一端に第1のスイッチ601を介して接続されている。第2の配線609は第2の液晶素子604の第1の電極及び第2の分圧素子607の一端に第2のスイッチを介して接続されている。第1の分圧素子606と第2の分圧素子607は直列に接続され、第3の液晶素子605の第1の電極は第1の分圧素子606と第2の分圧素子607の間に接続されている。

【0234】

第1の液晶素子603、第2の液晶素子604及び第3の液晶素子605の第2の電極は、共通電極に接続されている。

【0235】

図23(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図23(B)において、第1のスイッチ601N及び第2のスイッチ602Nのゲートは第3の配線610に接続されている。第3の配線760は、走査線として機能する。

【0236】

なお、図26においても図1等と同様、図49に示すように走査線を2本有していても良いし、スイッチとしてPチャネル型トランジスタを用いることもでき、更には、図11等のように液晶素子を更に複数に分割しても良い。

【0237】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0238】

第1の配線608及び第2の配線609は、信号線として機能する。従って、第1の配線608及び第2の配線609には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第3の配線610は走査線として機能する。

【0239】

なお、第1の液晶素子603、第2の液晶素子604及び第3の液晶素子605はビデオ信号に応じた透過率となる。

【0240】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0241】

なお、第1の分圧素子606及び第2の分圧素子607としては、容量素子だけでなく、様々な素子を用いることができる。例えば、電圧を分割する素子、電流を電圧に変換する素子、非線形素子、抵抗成分を有する素子、容量成分を有する素子、インダクタ、ダイオード、トランジスタ、抵抗素子、スイッチ等を分圧素子として用いることができる。図30は分圧素子の例を図示している。

【0242】

まず、図30(J)及び(K)に示すように、Nチャネル型トランジスタ及びPチャネル型トランジスタを用いることができる。

【0243】

図30(A)は、ダイオード接続されたNチャネル型トランジスタである。図30(B)は、図30(A)の接続される向きを逆にしたものである。図30(C)は、図30(A)と図30(B)に示す素子を並列に接続している。図30(D)及び図30(E)は図30(A)及び図30(B)のNチャネル型トランジスタをPチャネル型トランジスタに置き換えたものである。Pチャネル型トランジスタを図30(C)と同様に、並列に接続しても良い。または、図30(F)に示すように、Pチャネル型トランジスタとNチャ

10

20

30

40

50

ネル型トランジスタを並列に接続しても良い。

【0244】

図30（G）及び（L）は、抵抗素子と容量素子が直列又は並列に接続された分圧素子である。

【0245】

図30（H）及び（I）では、抵抗素子と、Pチャネル型トランジスタ又はNチャネル型トランジスタとを直列に接続している。

【0246】

なお、図30（H）、（I）、（J）及び（K）に示されるトランジスタのゲートが接続される配線は特に限定されない。走査線、容量線又は信号線に接続すればよい。また、当該画素に隣接する行の走査線等に接続されていても良い。ゲートの電位を制御することにより、分圧素子の抵抗値を制御することができる。

【0247】

図30（M）及び（N）はダイオードを示す。ダイオードには様々な種類があるが、分圧素子として用いることの出来るダイオードは特に限定されない。例えば、PN型、PIN型、ショットキー型、MIM型、MIS型等のダイオードを用いることができる。更には、図30（O）に示すように、2つのダイオードを逆向きに並列に接続しても良い。

【0248】

更には、図30（P）に示すインダクタ素子を用いても良いし、図30（Q）に示すように抵抗素子を用いても良い。抵抗素子としては、図30（R）に示すように抵抗値が可変のものを用いてもよい。

【0249】

したがって、実施の形態1で述べた構成において、容量素子を、図30に示す分圧素子に置き換えて、新たな回路を構成することができる。したがって、実施の形態1で述べた内容は、図23および、容量素子を分圧素子で置き換えて構成した回路にも適用することができる。

【0250】

図23に示す分圧素子606及び分圧素子607を、図30に示す様々な素子に置き換えて構成した回路図を図36乃至図48に示す。従って、図36乃至図48は、図1と同様の構成を適用できる。即ち、図7に示すように、一部又は全部の液晶素子の第1の電極が容量線に接続されていてもよい。容量線は図50に示すように共通電極と共用してもよい。スイッチはトランジスタに置き換えることが可能であり、トランジスタにはNチャネル型を用いてもよいし、Pチャネル型を用いてもよい。トランジスタを用いる場合には各トランジスタのゲートは同一の走査線に接続されていても良いし、異なる走査線に接続されていてもよい。また、図11に示すように、液晶素子を複数に分割しても良い。信号線は複数有しても良いし、図8に示すように一本にまとめてもよい。更には、図2及び図12等に示すように、適当な位置に分圧素子を適宜配置しても良い。

【0251】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0252】

なお、分圧素子の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには分圧素子がトランジスタを有しているとよい。トランジスタを用いる場合には、該トランジスタにおいて、時間により又は画素によりゲートの電位を変化させればよい。

【0253】

なお、液晶素子の間に分圧素子を接続する場合、信号線と液晶素子との接続がオフになったとき、各液晶素子間で電荷が漏れてしまう場合がある。電荷の漏れを防止するためには、分圧素子とスイッチとを直列接続させ、それを各液晶素子間に接続すればよい。その場合の例を図24に示す。なお、分圧素子とスイッチとの接続は逆にしてもよい。

【0254】

なお、液晶素子間に、分圧素子と、スイッチとを1つずつ配置しているが、これに限定されない。複数個配置してもよい。なお、実施の形態1および図23で述べた内容は、図24にも適用することができる。

【0255】

画素650は、第1のスイッチ651と、第2のスイッチ652と、第1の液晶素子653と、第2の液晶素子654と、第3の液晶素子655と、第1の分圧素子656と、第2の分圧素子657と、第3のスイッチ658と、第4のスイッチ659と、を有する。

【0256】

第1の配線660は第1の液晶素子653の第1の電極及び第3のスイッチ658の一端に、第1のスイッチ651を介して接続されている。第2の配線661は第2の液晶素子654の第1の電極及び第4のスイッチ659の一端に接続されている。第3のスイッチ658と第4のスイッチ659は直列に接続され、第3のスイッチ658と第4のスイッチ659の間には直列に接続された第1の分圧素子656と第2の分圧素子657が設けられ、第3の液晶素子655の第1の電極は第1の分圧素子656と第2の分圧素子657の間に接続されている。

【0257】

第1の液晶素子653、第2の液晶素子654及び第3の液晶素子655の第2の電極は、共通電極に接続されている。

【0258】

第1の配線660及び第2の配線661は、信号線として機能する。従って、第1の配線660及び第2の配線661には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第3の配線662は走査線として機能する。

【0259】

第1のスイッチ651及び第2のスイッチ652はスイッチとして機能するものであれば、特に限定されない。例えば、トランジスタを用いることができる。以下、第1のスイッチ651及び第2のスイッチ652としてトランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0260】

第3のスイッチ658及び第4のスイッチ659はスイッチとして機能するものであれば特に限定されない。例えば、トランジスタを用いることができる。第3のスイッチ658及び第4のスイッチ659に用いるトランジスタの極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0261】

図24(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図24(B)において、第1のスイッチ651N及び第2のスイッチ652Nのゲートは第3の配線662に接続されている。第3の配線662は、走査線として機能する。

【0262】

なお、図24においても図1等と同様、図49に示すように走査線を2本有していても良いし、スイッチとしてPチャネル型トランジスタを用いることもでき、更には、図11等にも示すように液晶素子を更に複数に分割しても良い。

【0263】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0264】

なお、第1の液晶素子653、第2の液晶素子654及び第3の液晶素子655はビデオ信号に応じた透過率となる。

【0265】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0266】

次に、図23および図24に、図30の分圧素子を適用した場合の具体例を示す。まず、図30(J)を用いる場合について図25を参照して説明する。ゲートは、走査線に接続される。図23および図24は、図1における第1の容量素子106及び第2の容量素子107をトランジスタに置き換えたものに相当する。したがって、実施の形態1、図23及び図24にて述べた内容は、図25にも適用することができる。

【0267】

画素700は、第1のスイッチ701と、第2のスイッチ702と、第1の液晶素子703と、第2の液晶素子704と、第3の液晶素子705と、第1のトランジスタ706と、第2のトランジスタ707と、を有する。

【0268】

第1の配線708は第1の液晶素子703の第1の電極及び第1のトランジスタ706のソース又はドレインの一方に第1のスイッチ701を介して接続されている。第2の配線709は第2の液晶素子704の第1の電極及び第2のトランジスタ707のソース又はドレインの一方に第2のスイッチ702を介して接続されている。第1のトランジスタ706のソース又はドレインの他方及び第2のトランジスタ707のソース又はドレインの他方は第3の液晶素子705の第1の電極に接続されている。第1及び第2のトランジスタは第3の配線710に接続されている。

【0269】

第1の液晶素子703、第2の液晶素子704及び第3の液晶素子705の第2の電極は、共通電極に接続されている。

【0270】

第1の配線708及び第2の配線709は、信号線として機能する。従って、第1の配線708及び第2の配線709には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第3の配線710は走査線として機能する。

【0271】

第1のスイッチ701及び第2のスイッチ702はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。以下、第1のスイッチ701及び第2のスイッチ702としてトランジスタを用いる場合について説明する。トランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0272】

図25(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図25(B)において、第1のスイッチ701N及び第2のスイッチ702Nのゲートは第3の配線710に接続されている。第3の配線710は、走査線として機能する。

【0273】

なお、図25においても図1等と同様、図49に示すように走査線を2本有していても良いし、スイッチとしてPチャネル型トランジスタを用いることもでき、更には、図11等に示すように液晶素子を更に複数に分割しても良い。

【0274】

第1のトランジスタ706及び第2のトランジスタ707は分圧素子として機能すればよく、第1のトランジスタ706及び第2のトランジスタ707の極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0275】

次に、画素700の動作について述べる。まず、第3の配線710により選択されて、第1のスイッチ701および第2のスイッチ702がオンになる。すると、第1の配線708および第2の配線709から、ビデオ信号が供給される。第1及び第2のスイッチと

10

20

30

40

50

同時に、第1のトランジスタ706および第2のトランジスタ707もオンになる。したがって、第1の配線708と第2の配線709とが、トランジスタを介して接続されることとなる。そして、トランジスタには抵抗成分（オン抵抗）があるため、各トランジスタで分圧されることとなる。このとき、第1のトランジスタ706および第2のトランジスタ707のオン抵抗が高い場合には、電圧の多くが、それらのトランジスタに加わることとなる。

【0276】

したがって、第1の液晶素子703の画素電極には、第1の配線708の電位とほぼ等しい電位が加わる。より正確には、第1の配線708の電位から、第1のスイッチ701で電圧降下した分の電位が第1の液晶素子703の画素電極に加わる。同様に、第2の液晶素子704の画素電極には、第2の配線709の電位とほぼ等しい電位が加わる。より正確には、第2の配線709の電位から、第2のスイッチ702で電圧降下した分の電位が第2の液晶素子704の画素電極に加わる。

10

【0277】

そして、第1の液晶素子703の画素電極の電位と、第2の液晶素子704の画素電極の電位とが、第1のトランジスタ706および第2のトランジスタ707によって分圧されて、第3の液晶素子705の画素電極に供給される。仮に、第1のトランジスタ706および第2のトランジスタ707のオン抵抗が概ね等しい場合には、第3の液晶素子705の画素電極の電位は、第1の液晶素子703の画素電極の電位と、第2の液晶素子704の画素電極の電位の中間になる。

20

【0278】

なお、第1のスイッチ701、第2のスイッチ702、第1のトランジスタ706及び第2のトランジスタ707等のオン抵抗が小さい場合には、大きな電流が流れてしまう。したがって、分圧させるためのトランジスタである第1のトランジスタ706、第2のトランジスタ707は、オン抵抗が高いことが望ましい。例えば、第1のトランジスタ706又は第2のトランジスタ707よりも、第1のスイッチ701又は第2のスイッチ702の方が、チャンネル幅 W とチャンネル長 L との比(W/L)が小さいことが望ましい。例えば、第1のトランジスタ706又は第2のトランジスタ707は、マルチゲート構造にすることによって、チャンネル長 L を大きくしてもよい。

【0279】

なお、第1のトランジスタ706と第2のトランジスタ707とは、概ね等しいオン抵抗を有することが望ましい。オン抵抗が概ね等しいことによって、分割された電圧は中間の電位となる。もし、オン抵抗に差があれば、どちらかの電位に偏ってしまい、均等に、液晶素子を制御することができないからである。例えば、第1のトランジスタ706と第2のトランジスタ707のチャンネル幅 W とチャンネル長 L との比(W/L)は、概ね等しいことが望ましい。ただし、これに限定されない。

30

【0280】

第3の配線710が非選択状態になると、第1のスイッチ701、第2のスイッチ702、第1のトランジスタ706および第2のトランジスタ707がオフになる。すると、各液晶素子に供給された電圧が保持されるようになる。このように動作させることによって、各液晶素子に印加される電圧を異ならせることができる。その結果、視野角を広くすることができる。ただし、駆動方法は、これに限定されない。各トランジスタをオン・オフするタイミングや信号線の電位等は、様々な方法で制御することができる。

40

【0281】

なお、第1のトランジスタ706及び第2のトランジスタ707もオフになるため、各液晶素子間で、電荷が漏れることはない。したがって、第1のトランジスタ706および第2のトランジスタ707は、図24における分圧素子とスイッチとを、1つの素子で実現したものであるということもできる。

【0282】

なお、第1の液晶素子703、第2の液晶素子704及び第3の液晶素子705はビデ

50

オ信号に応じた透過率となる。

【0283】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0284】

なお、第1のトランジスタ706及び第2のトランジスタ707は図示した構成に限定されない。例えば、第1のトランジスタ706と第2のトランジスタ707の一方又は双方がマルチゲート構造であってもよい。マルチゲート構造にすることで、シングルゲート構造の場合よりも第1のトランジスタ706と第2のトランジスタ707の抵抗値の調整を容易にすることができる。更には、シングルゲート構造の場合よりも第1のトランジスタ706と第2のトランジスタ707のオン抵抗を大きくすることができる。

10

【0285】

なお、第1のトランジスタ706及び第2のトランジスタ707の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには、分圧素子として機能する第1のトランジスタ706及び第2のトランジスタ707において、時間により又は画素によりゲートの電位を変化させればよい。

【0286】

なお、図23乃至図25には、保持容量を明記していないが、図1等で述べたように、保持容量を配置してよい。一例として、図25において、各液晶素子に保持容量を配置した場合を図26に示す。

20

【0287】

図26において、画素750は、第1のスイッチ751と、第2のスイッチ752と、第1の液晶素子753と、第2の液晶素子754と、第3の液晶素子755と、第1のトランジスタ756と、第2のトランジスタ757と、第1の容量素子762と、第2の容量素子763と、第3の容量素子764と、を有する。

【0288】

第1の配線758は第1の液晶素子753の第1の電極、第1のトランジスタ756のソース又はドレインの一方及び第3の容量素子764の第1の電極に第1のスイッチ751を介して接続されている。第2の配線759は第2の液晶素子754の第1の電極、第2のトランジスタ757のソース又はドレインの一方及び第1の容量素子762の第1の電極に接続されている。第1のトランジスタ756のソース又はドレインの他方と、第2のトランジスタ757のソース又はドレインの他方は第3の液晶素子755の第1の電極及び第2の容量素子763の第1の電極に接続されている。第1及び第2のスイッチ並び第1及び第2のトランジスタは第3の配線760に接続されている。第1の容量素子762、第2の容量素子763及び第3の容量素子764の第2の電極は第4の配線761に接続されている。

30

【0289】

第1の液晶素子753、第2の液晶素子754及び第3の液晶素子755の第2の電極は、共通電極に接続されている。

【0290】

第1の配線758及び第2の配線759は、信号線として機能する。第3の配線760は走査線として機能する。第4の配線761は容量線として機能する。

40

【0291】

第1のスイッチ751及び第2のスイッチ752はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。第1のスイッチ751及び第2のスイッチ752としてトランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0292】

図26(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図26(B)において、第1のスイッチ751N及び第2のスイッチ752Nのゲートは第3の

50

配線 760 に接続されている。第 3 の配線 760 は、走査線として機能する。

【0293】

なお、図 26 においても図 1 等と同様、図 49 に示すように走査線を 2 本有していても良いし、スイッチとして P チャンネル型トランジスタを用いることもでき、更には、図 11 等のように液晶素子を更に複数に分割しても良い。

【0294】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0295】

第 1 のトランジスタ 756 及び第 2 のトランジスタ 757 は分圧素子として機能すればよく、第 1 のトランジスタ 756 及び第 2 のトランジスタ 757 の極性は P チャンネル型でもよいし、N チャンネル型でもよい。

【0296】

なお、第 1 の液晶素子 753、第 2 の液晶素子 754 及び第 3 の液晶素子 755 はビデオ信号に応じた透過率となる。

【0297】

なお、第 1 のトランジスタ 756 及び第 2 のトランジスタ 757 の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには、抵抗として機能する第 1 のトランジスタ 756 及び第 2 のトランジスタ 757 において、時間により又は画素によりゲートの電位を変化させればよい。

【0298】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることができ、視野角を広くすることができる。

【0299】

なお、図 25 及び図 26 において、第 1 及び第 2 のトランジスタのゲートは走査線に接続されているが、これに限定されない。別の配線を配置して、その配線に接続してもよい。または、複数の別の配線を配置して、第 1 のトランジスタおよび第 2 のトランジスタのゲートを、各々別の配線に接続してもよい。図 27 (B) は、図 27 (A) において、第 1 のトランジスタおよび第 2 のトランジスタのゲートを、第 4 の配線に接続した場合を示す。このようにすることで、第 1 のトランジスタ及び第 2 のトランジスタのゲートの電位を、第 1 及び第 2 のスイッチから独立して制御することが可能となり、第 1 及び第 2 のトランジスタのオン抵抗を、容易に制御することが可能となる。例えば、負極（ビデオ信号の方が、共通電極の電位よりも低い）のビデオ信号を入力する場合、第 1 及び第 2 のトランジスタのゲート・ソース間電圧が、非常に大きくなる。そのため、第 1 のトランジスタおよび第 2 のトランジスタのオン抵抗が低下し、電流が多く流れるために、消費電力が大きくなってしまふ場合がある。そこで、第 1 及び第 2 のトランジスタをオンして分圧させるときに、正極（ビデオ信号の方が、共通電極の電位よりも高い）のビデオ信号を入力する場合よりも、負極のビデオ信号を入力する場合の方が、第 1 及び第 2 のトランジスタのゲート電位が低くなるようにする。その結果、電流が多くながれてしまふことを防止することができる。

【0300】

画素 800 は、第 1 のスイッチ 801 と、第 2 のスイッチ 802 と、第 1 のトランジスタ 803 と、第 2 のトランジスタ 804 と、第 1 の液晶素子 805 と、第 2 の液晶素子 806 と、第 3 の液晶素子 807 と、を有する。

【0301】

第 1 の配線 808 は、第 1 の液晶素子 805 の第 1 の電極及び第 1 のトランジスタ 803 のソース又はドレインの一方に第 1 のスイッチ 801 を介して接続されている。第 2 の配線 809 は第 2 の液晶素子 806 の第 1 の電極及び第 2 のトランジスタ 804 のソース又はドレインの一方に第 2 のスイッチ 802 に接続されている。第 1 のトランジスタ 803 のソース又はドレインの他方と、第 2 のトランジスタ 804 のソース又はドレインの他

10

20

30

40

50

方は第3の液晶素子807の第1の電極に接続されている。第1のスイッチ801と第2のスイッチ802のゲートは第3の配線810に接続されている。第1のトランジスタ803と第2のトランジスタ804のゲートは第4の配線811に接続されている。

【0302】

第1の液晶素子805、第2の液晶素子806及び第3の液晶素子807の第2の電極は、共通電極に接続されている。

【0303】

第1の配線808及び第2の配線809は、信号線として機能する。従って、第1の配線808及び第2の配線809には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第3の配線810及び第4の配線811は走査線として機能する。

10

【0304】

第1のスイッチ801及び第2のスイッチ802はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。第1のスイッチ801及び第2のスイッチ802としてトランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0305】

図27(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図27(B)において、第1のスイッチ801N及び第2のスイッチ802Nのゲートは第3の配線810に接続されている。第3の配線760は、走査線として機能する。

20

【0306】

なお、図27においても図1等と同様、図49に示すように走査線を2本有していても良いし、スイッチとしてPチャネル型トランジスタを用いることもでき、更には、図11等に示すように液晶素子を更に複数に分割しても良い。

【0307】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0308】

第1のトランジスタ803及び第2のトランジスタ804は分圧素子として機能すればよく、第1のトランジスタ803及び第2のトランジスタ804の極性はPチャネル型でもよいし、Nチャネル型でもよい。

30

【0309】

なお、第1のトランジスタ803および第2のトランジスタ804をオンさせて、分圧素子として機能させるときには、第1のトランジスタ803および第2のトランジスタ804は、線形領域で動作させることが望ましい。なぜなら、第1のトランジスタ803と、第2のトランジスタ804とで、オン抵抗が適切な値になるようにするためである。

【0310】

なお、第1のスイッチ801及び第2のスイッチ802がオン・オフするタイミングと、第1のトランジスタ803及び第2のトランジスタ804がオン・オフするタイミングは、概ね同じであることが望ましい。ただし、これに限定されない。第1のスイッチ801及び第2のスイッチ802がオンしたとき、少し遅れてから、第1のトランジスタ803および第2のトランジスタ804がオンするようにしてもよい。これにより、第1の配線808と第2の配線809とが接続されている期間を短くすることができる。そのため、第1の液晶素子805及び第2の液晶素子806へ電荷を入力しやすくなる。

40

【0311】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0312】

次に、実施の形態1で述べた内容を図25に適用した例を示す。図30に示した分圧素子で、容量素子を置き換えて構成した回路の例を示す。図28は、図2の第1の容量素子

50

および第2の容量素子を、図30(J)で置き換えた場合を示す。このとき、分圧素子のトランジスタのゲートは、走査線に接続されるものとする。ただし、これに限定されない。したがって、実施の形態1で述べた内容は、図28にも適用することができる。

【0313】

画素850は、第1のスイッチ851と、第2のスイッチ852と、第1の液晶素子853と、第2の液晶素子854と、第3の液晶素子855と、第1のトランジスタ856と、第2のトランジスタ857と、容量素子861と、を有する。

【0314】

第1の配線858は、第1の液晶素子853の第1の電極及び第1のトランジスタ856のソース又はドレインの一方に第1のスイッチ851を介して接続されている。第2の配線859は、第2の液晶素子854の第1の電極及び第2のトランジスタ857のソース又はドレインの一方に接続されている。第1のトランジスタ856のソース又はドレインの他方と、第2のトランジスタ857のソース又はドレインの他方は容量素子861の第1の電極に接続され、容量素子861の第2の電極は第3の液晶素子855の第1の電極に接続されている。第1及び第2のトランジスタは第3の配線860に接続されている。

【0315】

第1の液晶素子853、第2の液晶素子854及び第3の液晶素子855の第2の電極は、共通電極に接続されている。

【0316】

第1の配線858及び第2の配線859は、信号線として機能する。従って、第1の配線858及び第2の配線859には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第3の配線860は走査線として機能する。

【0317】

第1のスイッチ851及び第2のスイッチ852はスイッチとして機能するものであれば特に限定されない。例えば、トランジスタを用いることができる。第1のスイッチ851及び第2のスイッチ852としてトランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0318】

図28(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図28(B)において、第1のスイッチ851N及び第2のスイッチ852Nのゲートは第3の配線760に接続されている。第3の配線860は、走査線として機能する。

【0319】

なお、図28においても図1等と同様、図49に示すように走査線を2本有していても良いし、スイッチとしてPチャネル型トランジスタを用いることもでき、更には、図11等に示すように液晶素子を更に複数に分割しても良い。

【0320】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0321】

第1のトランジスタ856及び第2のトランジスタ857は分圧素子として機能すればよく、第1のトランジスタ856及び第2のトランジスタ857の極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0322】

図28に示す回路構成とすることで、図2等と同様に、第3の液晶素子855の第1の電極の電位を容量素子861の分だけ低下させることができる。

【0323】

なお、第1のトランジスタ856及び第2のトランジスタ857は図示した構成に限定されない。例えば、第1のトランジスタ856と第2のトランジスタ857の一方又は双

10

20

30

40

50

方がマルチゲート構造であってもよい。

【0324】

なお、第1のトランジスタ856及び第2のトランジスタ857の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには、抵抗として機能する第1のトランジスタ856及び第2のトランジスタ857において、時間により又は画素によりゲートの電位を変化させればよい。

【0325】

なお、第1のトランジスタ856及び第2のトランジスタ857は図示した構成に限定されない。例えば、第1のトランジスタ856と第2のトランジスタ857の一方又は双方がマルチゲート構造であってもよい。マルチゲート構造にすることで、シングルゲート構造の場合よりも第1のトランジスタ856と第2のトランジスタ857のオン抵抗を大きくすることができる。

【0326】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0327】

なお、図23乃至図28において、2つの分圧素子を用いた場合について述べたが、これに限定されない。さらに多くの分圧素子を用い、視野角特性をさらに向上させることが可能である。一例として、図25に分圧素子を追加した場合、あるいは、図9について、図30(J)に示した分圧素子を直列に二つ接続したものと、容量素子とを置き換えて構成した回路の例を図29に示す。

【0328】

図29において画素900は、第1のスイッチ901と、第2のスイッチ902と、第1の液晶素子903と、第2の液晶素子904と、第3の液晶素子905と、第4の液晶素子906と、第1のトランジスタ907と、第2のトランジスタ908と、第3のトランジスタ909と、を有する。

【0329】

第1の配線910は第1の液晶素子903の第1の電極及び第1のトランジスタ907のソース又はドレインの一方に第1のスイッチ901を介して接続されている。第2の配線911は第2の液晶素子904の第1の電極及び第3のトランジスタ909のソース又はドレインの一方に第2のスイッチ902を介して接続されている。第1のトランジスタ907のソース又はドレインの他方は第3の液晶素子905の第1の電極と、第2のトランジスタ908のソース又はドレインの他方に接続されている。第3のトランジスタ909のソース又はドレインの他方は第4の液晶素子906の第1の電極と、第2のトランジスタ908のソース又はドレインの一方に接続されている。第1のスイッチ901、第2のスイッチ902、第1及び第2のトランジスタのゲートは第3の配線912に接続されている。

【0330】

第1の液晶素子903、第2の液晶素子904、第3の液晶素子905及び第4の液晶素子906の第2の電極は、共通電極に接続されている。

【0331】

第1の配線910及び第2の配線911は、信号線として機能する。従って、第1の配線910及び第2の配線911には、通常、画像信号が供給されている。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第3の配線912は走査線として機能する。

【0332】

第1のスイッチ901及び第2のスイッチ902はスイッチとして機能するものであれば特に限定されない。例えばトランジスタを用いることができる。第1のスイッチ901及び第2のスイッチ902としてトランジスタを用いる場合には、その極性はPチャネル型でもよいし、Nチャネル型でもよい。

10

20

30

40

50

【0333】

図28(B)はスイッチとしてNチャネル型トランジスタを用いた場合を示す。図28(B)において、第1のスイッチ901N及び第2のスイッチ902Nのゲートは第3の配線912に接続されている。第3の配線912は、走査線として機能する。

【0334】

なお、図26においても図1等と同様、図49に示すように走査線を2本有していても良いし、スイッチとしてPチャネル型トランジスタを用いることもでき、更には、図11等のように液晶素子を更に複数に分割しても良い。

【0335】

なお、スイッチはトランジスタに限定されない。スイッチとしてダイオード等様々な素子を用いることができる。

【0336】

第1乃至第3のトランジスタは分圧素子として機能すればよく、第1乃至第3のトランジスタの極性はPチャネル型でもよいし、Nチャネル型でもよい。図28ではNチャネル型トランジスタを用いている。

【0337】

図29に示すように、図25において第1及び第2のトランジスタの一方のみをマルチゲート構造としてもよい。

【0338】

なお、第1乃至第3のトランジスタのゲートは、第1及び第2のスイッチを制御する第3の配線に接続されているが、本発明はこれに限定されず、図27を参照して説明したように第1乃至第3のトランジスタのゲートは第1及び第2のスイッチを制御する第3の配線とは異なる配線に接続されていても良い。

【0339】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0340】

なお、第1のトランジスタ907、第2のトランジスタ908及び第3のトランジスタ909の抵抗値は一定でなくともよく、時間又は画素により抵抗値が異なるように設定しても良い。抵抗値を変化させるには、抵抗として機能する第3乃至第5のトランジスタにおいて、時間により又は画素によりゲートの電位を変化させればよい。なお、第1のトランジスタ856及び第2のトランジスタ857は図示した構成に限定されない。

【0341】

以上説明したように、各々の液晶素子に異なる配向状態を有せしめることで、視野角を広くすることができる。

【0342】

本発明を適用した液晶表示装置の画素の上面図の一例を図34に示す。また、図35は、図34の回路図を示す。なお、図34と図35は対応する部分には同じ符号を用いている。

【0343】

図34に示す画素1020は、走査線及び容量線となる配線を構成する第1の導電層（第3の配線1033のハッチパターンで示す。）上に第1の絶縁膜（図示しない）が設けられ、第1の絶縁膜上に半導体膜が設けられ、半導体膜上に第2の導電層（第1の配線1031のハッチパターンで示す。）が設けられ、第2の導電層上に第2の絶縁膜（図示しない）が設けられ、第2の絶縁膜上に第3の導電層（第1の液晶素子1023のハッチパターンで示す。）が設けられている。

【0344】

図35において、画素1020は、第1のスイッチである第1のトランジスタ1021と、第2のスイッチである第2のトランジスタ1022と、第1の液晶素子1023と、第2の液晶素子1024と、第3の液晶素子1025と、第4の液晶素子1026と、第

10

20

30

40

50

1の容量素子1027と、第2の容量素子1030と、第3の容量素子1036と、第4の容量素子1036と、第3のトランジスタ1028と、第4のトランジスタ1029と、第5のトランジスタ1039と、を有する。

【0345】

第1の配線1031は、直列に接続された第1乃至第5のトランジスタを介して第2の配線1032と接続されている。第1乃至第5のトランジスタの各々の間は第1乃至第4の液晶素子の第1の電極が接続されている。第1乃至第4の液晶素子は、第2の電極が第4の配線1034又は第5の配線1035に接続された容量素子の、第1の電極に接続されている。第1乃至第5のトランジスタのゲートは第3の配線1033に接続されている。

10

【0346】

なお、図35は、図9(B)の分圧素子として機能する容量素子を、すべてトランジスタに置き換えて、すべての容量素子の各々に保持容量を設けたものである。つまり、図9と図16を組み合わせたものであると言える。従って、図35は、図1と同様の構成を適用できる。即ち、容量線として機能する配線は図50に示すように共通電極と共用してもよいし、スイッチはトランジスタに置き換えることが可能であり、トランジスタにはNチャネル型を用いてもよいし、Pチャネル型を用いてもよい。

【0347】

第1の配線1031及び第2の配線1032は、信号線として機能する。従って、第1の配線1031及び第2の配線1032には、通常、画像信号が供給される。ただし、これに限定されない。画像によらず、一定の信号が供給されていても良い。第3の配線1033は走査線として機能する。第4の配線1034及び第5の配線1035は、容量線として機能する。

20

【0348】

図32に示した上面図のような画素を設けることで、各々の液晶素子に様々な配向状態を有せしめることができ、より広い視野角を有する液晶表示装置を提供することができる。

【0349】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容の一部又は全部は、別の図で述べた内容の一部又は全部に対して、適用し、組み合わせ、又は置き換えること等を自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して別の部分を組み合わせることにより、更に多くの構成が考えられ、本実施の形態の記載はこれを妨げるものではない。

30

【0350】

同様に、本実施の形態の各々の図において述べた内容の一部又は全部は、別の実施の形態の図において述べた内容の一部又は全部に対して、適用し、組み合わせ、又は置き換えること等を自由に行うことができる。更に、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成が考えられ、本実施の形態の記載はこれを妨げるものではない。

【0351】

なお、本実施の形態は、他の実施の形態で述べた内容の一部又は全部について、具体化した場合、多少の変形を加えた場合、一部に変更を加えた場合、改良した場合、詳細に記載した場合、応用した場合、関連がある場合についての一例を示している。従って、他の実施の形態で述べた内容は、本実施の形態へ適用し、組み合わせ、又は置き換えること等を自由に行うことができる。

40

【0352】

(実施の形態3)

本実施の形態においては、トランジスタの構造及び作製方法について説明する。

【0353】

図51(A)乃至(G)は、トランジスタの構造及び作製方法の例を示す図である。図5

50

1 (A) は、トランジスタの構造の例を示す図である。図 5 1 (B) 乃至 (G) は、トランジスタの作製方法の例を示す図である。

【0354】

なお、トランジスタの構造及び作製方法は、図 5 1 (A) 乃至 (G) に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0355】

まず、図 5 1 (A) を参照し、トランジスタの構造の例について説明する。図 5 1 (A) は複数の異なる構造を有するトランジスタの断面図である。ここで、図 5 1 (A) においては、複数の異なる構造を有するトランジスタを並置して示しているが、これは、トランジスタの構造を説明するための表現であり、トランジスタが、実際に図 5 1 (A) のように並置されている必要はなく、必要に応じて作り分けることができる。

10

【0356】

次に、トランジスタを構成する各層の特徴について説明する。

【0357】

基板 110111 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES) に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。可撓性を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板 110111 として、例えば、1 辺が 1 メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

20

【0358】

絶縁膜 110112 は、下地膜として機能する。基板 110111 から Na などのアルカリ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜 110112 としては、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる。例えば、絶縁膜 110112 を 2 層構造で設ける場合、1 層目の絶縁膜として窒化酸化珪素膜を設け、2 層目の絶縁膜として酸化窒化珪素膜を設けるとよい。別の例として、絶縁膜 110112 を 3 層構造で設ける場合、1 層目の絶縁膜として酸化窒化珪素膜を設け、2 層目の絶縁膜として窒化酸化珪素膜を設け、3 層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

30

【0359】

半導体層 110113、110114、110115 は、非晶質 (アモルファス) 半導体又はセミアモルファス半導体 (SAS) で形成することができる。あるいは、多結晶半導体層を用いても良い。SAS は、非晶質と結晶構造 (単結晶、多結晶を含む) の中間的な構造を有し、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20 nm の結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X 線回折では珪素結晶格子に由来するとされる (111)、(220) の回折ピークが観測される。未結合手 (ダングリングボンド) の補償するものとして水素又はハロゲンを少なくとも 1 原子% 又はそれ以上含ませている。SAS は、材料ガスをグロー放電分解 (プラズマ CVD) して形成する。材料ガスとしては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。あるいは、 GeF_4 を混合させても良い。この材料ガスを H_2 、あるいは、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種又は複数種の希ガス元素で希釈してもよい。希釈率は 2~1000 倍の範囲。圧

40

50

力は概略 $0.1\text{ Pa} \sim 133\text{ Pa}$ の範囲、電源周波数は $1\text{ MHz} \sim 120\text{ MHz}$ 、好ましくは $13\text{ MHz} \sim 60\text{ MHz}$ 。基板加熱温度は 300°C 以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20}\text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19}/\text{cm}^3$ 以下、好ましくは $1 \times 10^{19}/\text{cm}^3$ 以下とする。ここでは、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）で非晶質半導体層を形成し、当該非晶質半導体層をレーザ結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させる。

【0360】

絶縁膜110116は、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素又は窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0361】

ゲート電極110117は、単層の導電膜、又は二層、三層の導電膜の積層構造とすることができる。ゲート電極110117の材料としては、公知の導電膜を用いることができる。たとえば、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）などの元素の単体膜、あるいは、前記元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、あるいは、前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、あるいは、前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

【0362】

絶縁膜110118は、公知の手段（スパッタ法又はプラズマCVD法等）によって、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素又は窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0363】

絶縁膜110119は、シロキサン樹脂、あるいは、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素又は窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、あるいは、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造で設けることができる。なお、シロキサン樹脂とは、 $\text{Si}-\text{O}-\text{Si}$ 結合を含む樹脂に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、絶縁膜110118を設けずにゲート電極110117を覆うように直接絶縁膜110119を設けることも可能である。

【0364】

導電膜110123は、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnなどの元素の単体膜、あるいは、前記元素の窒化膜、あるいは、前記元素を組み合わせた合金膜、あるいは、前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金として、C及びTiを含有したAl合金、Niを含有したAl合金、C及びNiを含有したAl合金、C及びMnを含有したAl合金等を用いることができる。例えば、積層構造で設ける場合、AlをMo又はTiなどで挟み込んだ構造とすることができる。こうすることで、Alの熱や化学反応に対する耐性を向上することができる。

10

20

30

40

50

【0365】

次に、図51(A)に示した、複数の異なる構造を有するトランジスタの断面図を参照して、各々の構造の特徴について説明する。

【0366】

110101は、シングルドレイントランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層110113、110115は、それぞれ不純物の濃度が異なり、半導体層110113はチャネル領域、半導体層110115はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。半導体層と導電膜110123との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極110117をマスクとして半導体層に不純物をドーピングする方法を用いることができる。

10

【0367】

110102は、ゲート電極110117に一定以上のテーパ角を有するトランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層110113、110114、110115は、それぞれ不純物濃度が異なり、半導体層110113はチャネル領域、半導体層110114は低濃度ドレイン(Lightly Doped Drain:LDD)領域、半導体層110115はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。半導体層と導電膜110123との電気的な接続状態を、オーミック接続に近づけることができる。LDD領域を有するため、トランジスタ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極110117をマスクとして半導体層に不純物をドーピングする方法を用いることができる。110102においては、ゲート電極110117が一定以上のテーパ角を有しているため、ゲート電極110117を通過して半導体層にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にLDD領域を形成することができる。

20

【0368】

110103は、ゲート電極110117が少なくとも2層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するトランジスタである。本明細書中においては、上層のゲート電極及び下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極110117の形状が帽子型であることによって、フォトマスクを追加することなく、LDD領域を形成することができる。なお、110103のように、LDD領域がゲート電極110117と重なっている構造を、特にGOLD構造(Gate Overlapped LDD)と呼ぶ。なお、ゲート電極110117の形状を帽子型とする方法としては、次のような方法を用いてもよい。

30

【0369】

まず、ゲート電極110117をパターニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜(テーパ)のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、2回、不純物元素をドーピングすることによって、チャネル領域として用いる半導体層110113、LDD領域として用いる半導体層110114、ソース電極及びドレイン電極として用いる半導体層110115が形成される。

40

【0370】

なお、ゲート電極110117と重なっているLDD領域をLov領域、ゲート電極110117と重なっていないLDD領域をLoff領域と呼ぶことにする。ここで、Loff領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よ

50

って、種々の回路毎に、求められる特性に応じた構造のトランジスタを作製することが好ましい。たとえば、半導体装置を表示装置として用いる場合、画素トランジスタは、オフ電流値を抑えるために、L o f f領域を有するトランジスタを用いることが好適である。一方、周辺回路におけるトランジスタは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、L o v領域を有するトランジスタを用いることが好適である。

【0371】

110104は、ゲート電極110117の側面に接して、サイドウォール110121を有するトランジスタである。サイドウォール110121を有することによって、サイドウォール110121と重なる領域をLDD領域とすることができる。

【0372】

110105は、半導体層にマスクを用いてドーピングすることにより、LDD (L o f f)領域を形成したトランジスタである。こうすることにより、確実にLDD領域を形成することができる、トランジスタのオフ電流値を低減することができる。

【0373】

110106は、半導体層にマスクを用いてドーピングすることにより、LDD (L o v)領域を形成したトランジスタである。こうすることにより、確実にLDD領域を形成ことができ、トランジスタのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【0374】

次に、図51 (B)乃至 (G)を参照して、トランジスタの作製方法の例を説明する。

【0375】

なお、トランジスタの構造及び作製方法は、図51に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0376】

本実施の形態においては、基板110111の表面に、絶縁膜110112の表面に、半導体層110113の表面に、110114の表面に、110115の表面に、絶縁膜110116の表面に、絶縁膜110118の表面に、又は絶縁膜110119の表面に、プラズマ処理を用いて酸化又は窒化を行うことにより、半導体層又は絶縁膜を酸化又は窒化することができる。このように、プラズマ処理を用いて半導体層又は絶縁膜を酸化又は窒化することによって、当該半導体層又は当該絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

【0377】

まず、基板110111の表面をフッ酸 (HF)、アルカリ又は純水を用いて洗浄する。基板110111は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルフォン (PES)に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。なお、ここでは基板110111としてガラス基板を用いる場合を示す。

【0378】

ここで、基板110111の表面にプラズマ処理を行うことで、基板110111の表面を酸化又は窒化することによって、基板110111の表面に酸化膜又は窒化膜を形成してもよい (図51 (B))。表面にプラズマ処理を行うことで形成された酸化膜又は窒化膜などの絶縁膜を、以下では、プラズマ処理絶縁膜とも記す。図51 (B)においては、絶縁膜131がプラズマ処理絶縁膜である。一般的に、ガラス又はプラスチック等の基板上に薄膜トランジスタ等の半導体素子を設ける場合、ガラス又はプラスチック等に含まれるNaなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入して汚染することによって、半導体素子の特性に影響を及ぼす恐れがある。しかし、ガラス又はプラスチック等からなる基板の表面を窒化することにより、基板に含まれるNaなど

10

20

30

40

50

の、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入するのを防止することができる。

【0379】

なお、プラズマ処理により表面を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、あるいは、酸素と水素（ H_2 ）と希ガス雰囲気下、あるいは、一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体層を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、あるいは、窒素と水素と希ガス雰囲気下、あるいは、 NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。あるいは、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

【0380】

プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5 eV以上1.5 eV以下で行うことが好適である。プラズマの電子密度が高密度であり、被処理物付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化又は窒化することによって形成される酸化物又は窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。あるいは、プラズマの電子温度が1 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化又は窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化又は窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（2.45 GHz）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0381】

なお、図51（B）においては、基板110111の表面をプラズマ処理することによってプラズマ処理絶縁膜を形成する場合を示しているが、本実施の形態は、基板110111の表面にプラズマ処理絶縁膜を形成しない場合も含む。

【0382】

なお、図51（C）乃至（G）においては、被処理物の表面をプラズマ処理することによって形成されるプラズマ処理絶縁膜を図示しないが、本実施の形態においては、基板110111、絶縁膜110112、半導体層110113、110114、110115、絶縁膜110116、絶縁膜110118、又は絶縁膜110119の表面に、プラズマ処理を行なうことによって形成されるプラズマ処理絶縁膜が存在する場合も含む。

【0383】

次に、基板110111上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて絶縁膜110112を形成する（図51（C））。絶縁膜110112としては、酸化珪素（ SiO_x ）又は酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）を用いることができる。

【0384】

ここで、絶縁膜110112の表面にプラズマ処理を行い、絶縁膜110112を酸化又は窒化することによって、絶縁膜110112の表面にプラズマ処理絶縁膜を形成してもよい。絶縁膜110112の表面を酸化することによって、絶縁膜110112の表面を改質しピンホール等の欠陥の少ない緻密な膜を得ることができる。絶縁膜110112の表面を酸化することによって、N原子の含有率が低いプラズマ処理絶縁膜を形成することができるため、プラズマ処理絶縁膜に半導体層を設けた場合にプラズマ処理絶縁膜と半導

体層界面特性が向上する。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【0385】

次に、絶縁膜110112上に島状の半導体層110113、110114を形成する（図51（D））。島状の半導体層110113、110114は、絶縁膜110112上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）等を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させ、半導体層を選択的にエッチングすることにより設けることができる。なお、非晶質半導体層の結晶化は、レーザ結晶化法、RTA又はファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法又はこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、ここでは、島状の半導体層の端部を直角に近い形状（ $\theta = 85 \sim 100^\circ$ ）で設ける。あるいは、低濃度ドレイン領域となる半導体層110114は、マスクを用いて不純物をドーピングすることによって形成されてもよい。

【0386】

ここで、半導体層110113、110114の表面にプラズマ処理を行い、半導体層110113、110114の表面を酸化又は窒化することによって、半導体層110113、110114の表面にプラズマ処理絶縁膜を形成してもよい。例えば、半導体層110113、110114としてSiを用いた場合、プラズマ処理絶縁膜として、酸化珪素（ SiO_x ）又は窒化珪素（ SiN_x ）が形成される。あるいは、プラズマ処理により半導体層110113、110114を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体層110113、110114に接して酸化珪素（ SiO_x ）が形成され、当該酸化珪素の表面に窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。なお、プラズマ処理により半導体層を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、あるいは、酸素と水素（ H_2 ）と希ガス雰囲気下又は一酸化二窒素と希ガス雰囲気下）、でプラズマ処理を行う。一方、プラズマ処理により半導体層を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、あるいは、窒素と水素と希ガス雰囲気下又は NH_3 と希ガス雰囲気下）、でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。あるいは、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。たとえば、Arを用いた場合にはプラズマ処理絶縁膜にArが含まれている。

【0387】

次に、絶縁膜110116を形成する（図51（E））。絶縁膜110116は、公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いて、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素又は窒素を有する絶縁膜の単層構造、又はこれらの積層構造で設けることができる。なお、半導体層110113、110114の表面をプラズマ処理することにより、半導体層110113、110114の表面にプラズマ処理絶縁膜を形成した場合には、プラズマ処理絶縁膜を絶縁膜110116として用いることも可能である。

【0388】

ここで、絶縁膜110116の表面にプラズマ処理を行い、絶縁膜110116の表面を酸化又は窒化することによって、絶縁膜110116の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【0389】

あるいは、一旦酸素雰囲気下でプラズマ処理を行うことにより絶縁膜110116を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。このように、絶縁膜110116にプラズマ処理を行い、絶縁膜110116の表面を酸化又は窒化することによって、絶縁膜110116の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、薄膜トランジスタの特性を向上させることができる。

【0390】

次に、ゲート電極110117を形成する(図51(F))。ゲート電極110117は、公知の手段(スパッタ法、LPCVD法、プラズマCVD法等)を用いて形成することができる。

10

【0391】

110101においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

【0392】

110102においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

20

【0393】

110103においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

【0394】

110104においては、ゲート電極110117の側面にサイドウォール110121を形成した後、不純物ドーピングを行なうことで、LDD領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

【0395】

なお、サイドウォール110121は、酸化珪素(SiO_x)又は窒化珪素(SiN_x)を用いることができる。サイドウォール110121をゲート電極110117の側面に形成する方法としては、たとえば、ゲート電極110117を形成した後に、酸化珪素(SiO_x)又は窒化珪素(SiN_x)を公知の方法で成膜した後に、異方性エッチングによって酸化珪素(SiO_x)又は窒化珪素(SiN_x)膜をエッチングする方法を用いることができる。こうすることで、ゲート電極110117の側面にのみ酸化珪素(SiO_x)又は窒化珪素(SiN_x)膜を残すことができるので、ゲート電極110117の側面にサイドウォール110121を形成することができる。

30

【0396】

110105においては、ゲート電極110117を覆うようにマスク110122を形成した後、不純物ドーピングを行なうことで、LDD(Loff)領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

40

【0397】

110106においては、ゲート電極110117を形成した後に不純物ドーピングを行なうことで、LDD(Lov)領域として用いる110114と、半導体層ソース領域及びドレイン領域として用いる半導体層110115を形成することができる。

【0398】

次に、絶縁膜110118を形成する(図51(G))。絶縁膜110118は、公知の手段(スパッタ法やプラズマCVD法等)により、酸化珪素(SiO_x)、窒化珪素(S

50

i N x)、酸化窒化珪素 (S i O x N y) (x > y)、窒化酸化珪素 (S i N x O y) (x > y) 等の酸素又は窒素を有する絶縁膜やDLC (ダイヤモンドライクカーボン) 等の炭素を含む膜の単層構造、又はこれらの積層構造で設けることができる。

【0399】

ここで、絶縁膜110118の表面にプラズマ処理を行い、絶縁膜110118の表面を酸化又は窒化することによって、絶縁膜110118の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス (He、Ne、Ar、Kr、Xeの少なくとも一つを含む) を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【0400】

次に、絶縁膜110119を形成する。絶縁膜110119は、公知の手段 (スパッタ法やプラズマCVD法等) により、酸化珪素 (S i O x)、窒化珪素 (S i N x)、酸化窒化珪素 (S i O x N y) (x > y)、窒化酸化珪素 (S i N x O y) (x > y) 等の酸素又は窒素を有する絶縁膜やDLC (ダイヤモンドライクカーボン) 等の炭素を含む膜を用いることができる他に、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂の単層構造、又はこれらの積層構造で設けることができる。なお、シロキサン樹脂とは、S i - O - S i 結合を含む樹脂に相当する。シロキサンは、シリコン (S i) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、プラズマ処理絶縁膜には、プラズマ処理に用いた希ガス (He、Ne、Ar、Kr、Xeの少なくとも一つを含む) が含まれており、例えばArを用いた場合にはプラズマ処理絶縁膜中にArが含まれている。

【0401】

絶縁膜110119としてポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂等を用いた場合、絶縁膜110119の表面をプラズマ処理により酸化又は窒化することにより、当該絶縁膜の表面を改質することができる。表面を改質することによって、絶縁膜110119の強度が向上し開口部形成時等におけるクラックの発生やエッチング時の膜減り等の物理的ダメージを低減することが可能となる。絶縁膜110119の表面が改質されることによって、絶縁膜110119上に導電膜110123を形成する場合に導電膜との密着性が向上する。例えば、絶縁膜110119としてシロキサン樹脂を用いてプラズマ処理を用いて窒化を行った場合、シロキサン樹脂の表面が窒化されることにより窒素又は希ガスを含むプラズマ処理絶縁膜が形成され、物理的強度が向上する。

【0402】

次に、半導体層110115と電氣的に接続された導電膜110123を形成するため、絶縁膜110119、絶縁膜110118、絶縁膜110116にコンタクトホールを形成する。なお、コンタクトホールの形状はテーパー状であってもよい。こうすることで、導電膜110123のカバレッジを向上させることができる。

【0403】

図55は、ボトムゲート型のトランジスタの断面構造及び容量素子の断面構造を示す。

【0404】

基板110501上に第1の絶縁膜 (絶縁膜110502) が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜 (S i O x N y) などの単層、又はこれらの積層を用いることができる。

【0405】

第1の絶縁膜上に、第1の導電層（導電層110503及び導電層110504）が形成されている。導電層110503は、トランジスタ110520のゲート電極として機能する部分を含む。導電層110504は、容量素子110521の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0406】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜110504）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（SiO_xN_y）などの単層、又はこれらの積層を用いることができる。

10

【0407】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0408】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

20

【0409】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、半導体層が形成されている。そして、半導体層の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層は、チャンネル形成領域（チャンネル形成領域110510）、LDD領域（LDD領域110508、LDD領域110509）、不純物領域（不純物領域110505、不純物領域110506、不純物領域110507）を有している。チャンネル形成領域110510は、トランジスタ110520のチャンネル形成領域として機能する。LDD領域110508及びLDD領域110509は、トランジスタ110520のLDD領域とし機能する。なお、LDD領域110508及びLDD領域110509は必ずしも必要ではない。不純物領域110505は、トランジスタ110520のソース電極及びドレイン電極の一方として機能する部分を含む。不純物領域110506は、トランジスタ110520のソース電極及びドレイン電極の他方として機能する部分を含む。不純物領域110507は、容量素子110521の第2の電極として機能する部分を含む。

30

【0410】

全面に、第3の絶縁膜（絶縁膜110511）が形成されている。第3の絶縁膜の一部には、選択的にコンタクトホールが形成されている。絶縁膜110511は、層間膜としての機能を有する。第3の絶縁膜としては、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）あるいは、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

【0411】

第3の絶縁膜上に、第2の導電層（導電層110512及び導電層110513）が形成されている。導電層110512は、第3の絶縁膜に形成されたコンタクトホールを介してトランジスタ110520のソース電極及びドレイン電極の他方と接続されている。したがって、導電層110512は、トランジスタ110520のソース電極及びドレイン

50

電極の他方として機能する部分を含む。導電層 110513 は、容量素子 110521 の第 1 の電極として機能する部分を含む。なお、第 2 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0412】

なお、第 2 の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0413】

トランジスタの半導体層にアモルファスシリコン（a-Si:H）膜を用いた場合のトランジスタ及び容量素子の構造について説明する。

【0414】

図 52 は、トップゲート型のトランジスタの断面構造及び容量素子の断面構造を示す。

【0415】

基板 110201 上に第 1 の絶縁膜（絶縁膜 110202）が全面に形成されている。第 1 の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第 1 の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第 1 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（SiO_xN_y）などの単層、又はこれらの積層を用いることができる。

【0416】

なお、第 1 の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0417】

第 1 の絶縁膜上に、第 1 の導電層（導電層 110203、導電層 110204 及び導電層 110205）が形成されている。導電層 110203 は、トランジスタ 110220 のソース電極及びドレイン電極の一方の電極として機能する部分を含む。導電層 110204 は、トランジスタ 110220 のソース電極及びドレイン電極の他方の電極として機能する部分を含む。導電層 110205 は、容量素子 110221 の第 1 の電極として機能する部分を含む。なお、第 1 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0418】

導電層 110203 及び導電層 110204 の上部に、第 1 の半導体層（半導体層 110206 及び半導体層 110207）が形成されている。半導体層 110206 は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層 110207 は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第 1 の半導体層としては、リン等を含んだシリコン等を用いることができる。

【0419】

導電層 110203 と導電層 110204 との間であって、かつ第 1 の絶縁膜上に、第 2 の半導体層（半導体層 110208）が形成されている。そして、半導体層 110208 の一部は、導電層 110203 上及び導電層 110204 上まで延長されている。半導体層 110208 は、トランジスタ 110220 のチャネル領域として機能する部分を含む。なお、第 2 の半導体層としては、アモルファスシリコン（a-Si:H）等の非結晶性を有する半導体層、又は微結晶半導体（μ-Si:H）等の半導体層などを用いることができる。

【0420】

少なくとも半導体層 110208 及び導電層 110205 を覆うように、第 2 の絶縁膜（

10

20

30

40

50

絶縁膜 110209 及び絶縁膜 110210) が形成されている。第 2 の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第 2 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜 (SiO_xN_y) などの単層、又はこれらの積層を用いることができる。

【0421】

なお、第 2 の半導体層に接する部分の第 2 の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、第 2 の半導体層と第 2 の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0422】

なお、第 2 の絶縁膜が Mo と接する場合、Mo と接する部分の第 2 の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜は Mo を酸化させないからである。

【0423】

第 2 の絶縁膜上に、第 2 の導電層 (導電層 110211 及び導電層 110212) が形成されている。導電層 110211 は、トランジスタ 110220 のゲート電極として機能する部分を含む。導電層 110212 は、容量素子 110221 の第 2 の電極、又は配線としての機能を有する。なお、第 2 の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素 (合金も含む) の積層を用いることができる。

【0424】

なお、第 2 の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0425】

図 53 は、逆スタガ型 (ボトムゲート型) のトランジスタの断面構造及び容量素子の断面構造を示す。特に、図 53 に示すトランジスタは、チャネルエッチ型と呼ばれる構造である。

【0426】

基板 110301 上に第 1 の絶縁膜 (絶縁膜 110302) が全面に形成されている。第 1 の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第 1 の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第 1 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜 (SiO_xN_y) などの単層、又はこれらの積層を用いることができる。

【0427】

なお、第 1 の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0428】

第 1 の絶縁膜上に、第 1 の導電層 (導電層 110303 及び導電層 110304) が形成されている。導電層 110303 は、トランジスタ 110320 のゲート電極として機能する部分を含む。導電層 110304 は、容量素子 110321 の第 1 の電極として機能する部分を含む。なお、第 1 の導電層としては、Ti、Mo、TB、Cr、W、Bl、Nd、Cu、Bg、Bu、Pt、NA-Si、Zn、Fe、BB、Ge など、又はこれらの合金を用いることができる。あるいは、これらの元素 (合金も含む) の積層を用いることができる。

【0429】

少なくとも第 1 の導電層を覆うように、第 2 の絶縁膜 (絶縁膜 110302) が形成されている。第 2 の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第 2 の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜 (SiO_xN_y) などの

10

20

30

40

50

単層、又はこれらの積層を用いることができる。

【0430】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0431】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0432】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層（半導体層110306）が形成されている。そして、半導体層110308の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層110306は、トランジスタ110320のチャネル領域として機能する部分を含む。なお、半導体層110306としては、アモルファスシリコン（A-Si:H）等の非結晶性を有する半導体層、又は微結晶半導体（ μ -Si:H）等の半導体層などを用いることができる。

【0433】

第1の半導体層上の一部に、第2の半導体層（半導体層110307及び半導体層110307）が形成されている。半導体層110307は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層110308は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第2の導電層としては、リン等を含んだシリコン等を用いることができる。

【0434】

第2の半導体層上及び第2の絶縁膜上に、第2の導電層（導電層110309、導電層110310及び導電層110311）が形成されている。導電層110309は、トランジスタ110320のソース電極とドレイン電極の一方として機能する部分を含む。導電層110310は、トランジスタ110320のソースとドレイン電極の他方として機能する部分を含む。導電層110312は、容量素子110321の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NA-Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0435】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0436】

ここで、チャネルエッチ型のトランジスタが特徴とする工程の一例を説明する。同じマスクを用いて、第1の半導体層及び第2の半導体層を形成することができる。具体的には、第1の半導体層と第2の半導体層とは連続して成膜される。そして、第1の半導体層及び第2の半導体層は、同じマスクを用いて形成される。

【0437】

チャネルエッチ型のトランジスタが特徴とする工程の別の一例を説明する。新たなマスクを用いることなく、トランジスタのチャネル領域を形成することができる。具体的には、第2の導電層が形成された後で、第2の導電層をマスクとして用いて第2の半導体層の一部を除去する。あるいは、第2の導電層と同じマスクを用いて第2の半導体層の一部を除去する。そして、除去された第2の半導体層の下部に形成されている第1の半導体層がトランジスタのチャネル領域となる。

【0438】

図54は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す。特に、図54に示すトランジスタは、チャネル保護型（チャネルストップ型）と呼ばれる構造である。

【0439】

基板110401上に第1の絶縁膜（絶縁膜110402）が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

10

【0440】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0441】

第1の絶縁膜上に、第1の導電層（導電層110403及び導電層110404）が形成されている。導電層110403は、トランジスタ110420のゲート電極として機能する部分を含む。導電層110404は、容量素子110421の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、TC、Cr、W、Cl、Nd、Cu、Cg、Cu、Pt、NC、Si、Zn、Fe、CC、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

20

【0442】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜110402）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

【0443】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

30

【0444】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0445】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層（半導体層110406）が形成されている。そして、半導体層110408の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層110406は、トランジスタ110420のチャネル領域として機能する部分を含む。なお、半導体層110406としては、アモルファスシリコン（ C-Si:H ）等の非結晶性を有する半導体層、又は微結晶半導体（ $\mu\text{-Si:H}$ ）等の半導体層などを用いることができる。

40

【0446】

第1の半導体層上の一部に、第3の絶縁膜（絶縁膜110412）が形成されている。絶縁膜110412は、トランジスタ110420のチャネル領域がエッチングによって除去されることを防止する機能を有する。つまり、絶縁膜110412は、チャネル保護膜（チャネルストップ膜）として機能する。なお、第3の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積

50

層を用いることができる。

【0447】

第1の半導体層上の一部及び第3の絶縁膜上の一部に、第2の半導体層（半導体層110407及び半導体層110408）が形成されている。半導体層110407は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層110408は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第2の半導体層としては、リン等を含んだシリコン等を用いることができる。

【0448】

第2の半導体層上に、第2の導電層（導電層110409、導電層110410及び導電層110411）が形成されている。導電層110409は、トランジスタ110420のソース電極とドレイン電極の一方として機能する部分を含む。導電層110410は、トランジスタ110420のソースとドレイン電極の他方として機能する部分を含む。導電層110412は、容量素子110421の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、NC、Si、Zn、Fe、Ca、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0449】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0450】

ここで、チャンネル保護型のトランジスタが特徴とする工程の一例を説明する。同じマスクを用いて、第1の半導体層、第2の半導体層及び第2の導電層を形成することができる。同時に、チャンネル領域を形成することができる。具体的には、第1の半導体層を成膜し、次に第3の絶縁膜（チャンネル保護膜、チャンネルストップ膜）をマスクを用いて形成し、次に第2の半導体層と第2の導電層とを連続して成膜する。そして、第2の導電層が成膜された後で、第1の半導体層、第2の半導体層及び第2の導電層が同じマスクを用いて形成される。ただし、第3の絶縁膜の下部の第1の半導体層は、第3の絶縁膜によって保護されるのでエッチングによって除去されない。この部分（第1の半導体層のうち上部に第3の絶縁膜が形成された部分）がチャンネル領域となる。

【0451】

次に、トランジスタを製造するための基板として、半導体基板を用いた例について説明する。半導体基板を用いて製造されたトランジスタは、移動度が高いため、トランジスタサイズを小さくすることができる。その結果、単位面積当たりのトランジスタ数を増やす（集積度を上げる）ことができ、同一の回路構成では集積度が大きいほど基板サイズを小さくすることができるため、製造コストを低減できる。さらに、同一の基板サイズでは集積度が大きいほど回路規模を大きくすることができるため、製造コストはほぼ同等のまま、より高い機能を持たせることが可能となる。その上、特性のばらつきが少ないため、製造の歩留まりも高くすることができる。さらに、動作電圧が小さいので、消費電力を低減することができる。さらに、移動度が高いため、高速動作が可能である。

【0452】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、ICチップ等の形態をとって装置に実装されることで、当該装置に様々な機能を持たせることができる。たとえば、表示装置の周辺駆動回路（データドライバ（ソースドライバ）、スキンドライバ（ゲートドライバ）、タイミングコントローラ、画像処理回路、インターフェイス回路、電源回路、発振回路等）を、半導体基板を用いて製造されたトランジスタを集積して構成することで、サイズが小さく、消費電力が小さく、高速動作が可能な周辺駆動回路を、低コストで歩留まり高く製造することができる。なお、半導体基板を用いて製造されたトランジスタを集積して構成された回路は、単一の極性のトランジスタを有する構成であってもよい。こうすることで、製造プロセスを簡略化できるため、製造コストを低減できる。

【0453】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、その他には、たとえば、表示パネルに用いることができる。より詳細には、LCOS (Liquid Crystal On Silicon) 等の反射型液晶パネル、微小ミラーを集積したDMD (Digital Micromirror Device) 素子、ELパネル等に用いることができる。これらの表示パネルを、半導体基板を用いて製造することで、サイズが小さく、消費電力が小さく、高速動作が可能な表示パネルを、低コストで歩留まり高く製造することができる。なお、表示パネルには、大規模集積回路 (LSI) など、表示パネルの駆動以外の機能を持った素子上に形成されたものも含む。

【0454】

以下に、半導体基板を用いてトランジスタを製造する方法について述べる。

【0455】

まず、半導体基板110600に素子を分離した領域110604、110606（以下、領域110604、110606とも記す）を形成する（図56（A）参照）。半導体基板110600に設けられた領域110604、110606は、それぞれ絶縁膜110602（フィールド酸化膜ともいう）によって分離されている。ここでは、半導体基板110600としてn型の導電型を有する単結晶Si基板を用い、半導体基板110600の領域110606にpウェル110607を設けた例を示している。

【0456】

基板110600は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX (Separation by Implanted Oxygen) 法を用いて作製されたSOI (Silicon on Insulator) 基板等を用いることができる。

【0457】

素子分離領域110604、110606は、選択酸化法 (LOCOS (Local Oxidation of Silicon) 法) 又はトレンチ分離法等を適宜用いることができる。

【0458】

半導体基板110600の領域110606に形成されたpウェルは、半導体基板110600にp型の導電型を有する不純物元素を選択的に導入することによって形成することができる。p型を示す不純物元素としては、ボロン (B) やアルミニウム (Al) やガリウム (Ga) 等を用いることができる。

【0459】

なお、本実施例では、半導体基板110600としてn型の導電型を有する半導体基板を用いているため、領域110604には不純物元素の導入を行っていないが、n型を示す不純物元素を導入することにより領域110604にnウェルを形成してもよい。n型を示す不純物元素としては、リン (P) やヒ素 (As) 等を用いることができる。一方、p型の導電型を有する半導体基板を用いる場合には、領域110604にn型を示す不純物元素を導入してnウェルを形成し、領域110606には不純物元素の導入を行わない構成としてもよい。

【0460】

次に、領域110604、110606を覆うように絶縁膜110632、110634をそれぞれ形成する（図56（B）参照）。

【0461】

絶縁膜110632、110634は、例えば、熱処理を行い半導体基板110600に設けられた領域110604、110606の表面を酸化させることにより酸化珪素膜で絶縁膜110632、110634を形成することができる。熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることによ

10

20

30

40

50

り、酸化珪素膜と酸素と窒素を有する膜（酸窒化珪素膜）との積層構造で形成してもよい。

【0462】

他にも、上述したように、プラズマ処理を用いて絶縁膜110632、110634を形成してもよい。例えば、半導体基板110600に設けられた領域110604、110606の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜110632、110634として酸化珪素（ SiO_x ）膜又は窒化珪素（ SiN_x ）膜で形成することができる。別の例として高密度プラズマ処理により領域110604、110606の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことにより窒化処理を行ってもよい。この場合、領域110604、110606の表面に接して酸化珪素膜が形成され、当該酸化珪素膜に（酸窒化珪素膜）が形成され、絶縁膜110632、110634は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。別の例として、熱酸化法により領域110604、110606の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

10

【0463】

半導体基板110600の領域110604、110606に形成された絶縁膜110632、110634は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0464】

次に、領域110604、110606に形成された絶縁膜110632、110634を覆うように導電膜を形成する（図56（C）参照）。ここでは、導電膜として、導電膜110636と導電膜110638を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

20

【0465】

導電膜110636、110638としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。あるいは、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素、金属材料を導入したシリサイド等に代表される半導体材料により形成することもできる。

30

【0466】

ここでは、導電膜110636として窒化タンタルを用い、さらに、導電膜110638としてタングステンを用いた積層構造とする。他にも、導電膜110636としては、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用いることができる。導電膜110638としては、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0467】

次に、積層して設けられた導電膜110636、110638を選択的にエッチングして除去することによって、領域110604、110606の一部に導電膜110636、110638を残存させ、それぞれゲート電極110640、110642を形成する（図57（A）参照）。

40

【0468】

次に、領域110604を覆うようにレジストマスク110648を選択的に形成し、当該レジストマスク110648、ゲート電極110642をマスクとして領域110606に不純物元素を導入することによって不純物領域110652を形成する（図57（B）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、不純物元素として、リン（P）を用

50

いる。なお、不純物元素を導入後、不純物元素の拡散および結晶構造の修復のため、熱処理を行なってもよい。

【0469】

図57(B)においては、不純物元素を導入することによって、領域110606にソース又はドレイン領域を形成する不純物領域110652とチャンネル形成領域110650が形成される。

【0470】

次に、領域110606を覆うようにレジストマスク110666を選択的に形成し、当該レジストマスク110666、ゲート電極110640をマスクとして領域110604に不純物元素を導入することによって不純物領域110670を形成する(図57(C)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、図57(C)で領域110606に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、領域110604にソース又はドレイン領域を形成する不純物領域110670とチャンネル形成領域110668が形成される。なお、不純物元素を導入後、不純物元素の拡散および結晶構造の修復のため、熱処理を行なってもよい。

【0471】

次に、絶縁膜110632、110634、ゲート電極110640、110642を覆うように第2の絶縁膜110672を形成する。さらに、領域110604、110606にそれぞれ形成された不純物領域110652、110670と電氣的に接続する配線110674を形成する(図57(D)参照)。

【0472】

第2の絶縁膜110672は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0473】

配線110674は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線110674は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線110674を形成する材料として最適である。例えば、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。例えば

10

20

30

40

50

、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元する。その結果、配線 110674 は、結晶質半導体膜と、電気的および物理的に良好に接続することができる。

【0474】

なお、トランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィン FET 構造等の構造のトランジスタの構造を取り得る。フィン FET 構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【0475】

次に、トランジスタを製造するための基板として、半導体基板を用いた別の例について説明する。

【0476】

まず、基板 110800 に絶縁膜を形成する。ここでは、n 型の導電性を有する単結晶 Si を基板 110800 として用い、当該基板 110800 に絶縁膜 110802 と絶縁膜 110804 を形成する（図 58（A）参照）。例えば、基板 110800 に熱処理を行うことにより絶縁膜 110802 として酸化珪素（ SiO_x ）を形成する。さらに、CVD 法等を用いて窒化珪素（ SiN_x ）を成膜する。

【0477】

基板 110800 は、半導体基板であれば特に限定されず用いることができる。例えば、n 型又は p 型の導電性を有する単結晶 Si 基板、化合物半導体基板（GaAs 基板、InP 基板、GaN 基板、SiC 基板、サファイア基板、ZnSe 基板等）、貼り合わせ法または SIMOX（Separation by IMplanted OXygen）法を用いて作製された SOI（Silicon on Insulator）基板等を用いることができる。

【0478】

絶縁膜 110804 は、絶縁膜 110802 を形成した後に高密度プラズマ処理により当該絶縁膜 110802 を窒化することにより設けてもよい。なお、絶縁膜は単層又は 3 層以上の積層構造であってもよい。

【0479】

次に、選択的にレジストマスク 110806 のパターンを形成し、当該レジストマスク 110806 をマスクとして選択的にエッチングを行うことによって、基板 110800 に選択的に凹部 110808 を形成する（図 58（B）参照）。基板 110800、絶縁膜 110802、110804 のエッチングとしては、プラズマを利用したドライエッチングにより行うことができる。

【0480】

次に、レジストマスク 110806 のパターンを除去した後、基板 110800 に形成された凹部 110808 を充填するように絶縁膜 110810 を形成する（図 58（C）参照）。

【0481】

絶縁膜 110810 は、CVD 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化シリコン（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁材料を用いて形成する。ここでは、絶縁膜 110810 として、常圧 CVD 法または減圧 CVD 法により TEOS（テトラエチルオルソシリケート）ガスを用いて酸化珪素膜を形成する。

【0482】

次に、研削処理、研磨処理又は CMP（Chemical Mechanical Polishing）処理を行うことによって、基板 110800 の表面を露出させる。すると、基板 110800 の表面は、基板 110800 の凹部 110808 に形成された絶縁膜 110810 によって分断される。（図 59（A）参照）ここでは、分断された領域を、それぞれ領域 110812、110813 とする。なお、絶縁膜 110811 は、研

10

20

30

40

50

削処理、研磨処理又はCMP処理によって、絶縁膜110810の一部が除去されることで得られたものである。

【0483】

続いて、p型の導電性を有する不純物元素を選択的に導入することによって、基板110800の領域110813にpウェル110815を形成する。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、ボロン(B)を領域110813に導入する。なお、不純物元素を導入後、不純物元素の拡散および結晶構造の修復のため、熱処理を行ってもよい。

【0484】

なお、基板110800としてn型の導電性を有する半導体基板を用いた場合、領域110812には不純物元素の導入を行わなくてもよいが、n型を示す不純物元素を導入することにより領域110812にnウェルを形成してもよい。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。

【0485】

一方、p型の導電性を有する半導体基板を用いる場合には、領域110812にn型を示す不純物元素を導入してnウェルを形成し、領域110812、110813には不純物元素の導入を行わない構成としてもよい。

【0486】

次に、基板110800の領域110812、110813の表面に絶縁膜110832、110834をそれぞれ形成する(図59(B)参照)。

【0487】

絶縁膜110832、110834は、例えば、熱処理を行い基板110800に設けられた領域110812、110813の表面を酸化させることにより酸化珪素膜で絶縁膜110832、110834を形成することができる。あるいは、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜(酸窒化珪素膜)との積層構造で形成してもよい。

【0488】

他にも、上述したように、プラズマ処理を用いて絶縁膜110832、110834を形成してもよい。例えば、基板110800に設けられた領域110812、110813の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜110832、110834として酸化珪素(SiO_x)膜又は窒化珪素(SiN_x)膜で形成することができる。別の例として、高密度プラズマ処理により領域110812、110813の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことにより窒化処理を行ってもよい。この場合、領域110812、110813の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に(酸窒化珪素膜)が形成され、絶縁膜110832、110834は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。別の例として、熱酸化法により領域110812、110813の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0489】

なお、基板110800の領域110812、110813に形成された絶縁膜110832、110834は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0490】

次に、基板110800に設けられた領域110812、110813に形成された絶縁膜110832、110834を覆うように導電膜を形成する(図59(C)参照)。ここでは、導電膜として、導電膜110836と導電膜110838を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

10

20

30

40

50

【0491】

導電膜110836、110838としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。あるいは、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素、金属材料を導入したシリサイド等に代表される半導体材料により形成することもできる。

【0492】

ここでは、導電膜110836として窒化タンタルを用い、さらに導電膜110838としてタングステンをを用いた積層構造とする。他にも、導電膜110836としては、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用いることができる。導電膜110838としては、タングステン、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

10

【0493】

次に、積層して設けられた導電膜110836、110838を選択的にエッチングして除去することによって、基板110800の領域110812、110813の一部に導電膜110836、110838を残存させ、それぞれゲート電極として機能する導電膜110840、110842を形成する（図59（D）参照）。ここでは、導電膜110840、110842と重ならない領域において、基板110800の表面が露出するようにする。

20

【0494】

具体的には、基板110800の領域110812において、絶縁膜110832のうち導電膜110840と重ならない部分を選択的に除去し、導電膜110840と絶縁膜110832の端部が概略一致するように形成する。さらに、基板110800の領域110813において、絶縁膜110834のうち導電膜110842と重ならない部分を選択的に除去し、導電膜110842と絶縁膜110834の端部が概略一致するように形成する。

【0495】

この場合、導電膜110840、110842の形成と同時に重ならない部分の絶縁膜等を除去してもよいし、導電膜110840、110842を形成後残存したレジストマスク又は当該導電膜110840、110842をマスクとして重ならない部分の絶縁膜等を除去してもよい。

30

【0496】

次に、基板110800の領域110812、110813に不純物元素を選択的に導入する（図60（A）参照）。ここでは、領域110813に導電膜110842をマスクとしてn型を付与する低濃度の不純物元素を選択的に導入し、領域110812に導電膜110840をマスクとしてp型を付与する低濃度の不純物元素を選択的に導入する。n型を付与する不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を付与する不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。なお、不純物元素を導入後、不純物元素の拡散および結晶構造の修復のため、熱処理を行ってもよい。

40

【0497】

次に、導電膜110840、110842の側面に接するサイドウォール110854を形成する。具体的には、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。そして、当該絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電膜110840、110842の側面に接するように形成することができる。なお、サイドウォール110854は、LDD（Lightly Doped drain）領域を形成する際のドーピング用のマスクとして用いる

50

。ここでは、サイドウォール110854は、導電膜110840、110842の下方に形成された絶縁膜や浮遊ゲート電極の側面にも接するように形成されている。

【0498】

続いて、当該サイドウォール110854、導電膜110840、110842をマスクとして基板110800の領域110812、110813に不純物元素を導入することによって、ソース又はドレイン領域として機能する不純物領域を形成する（図60（B）参照）。ここでは、基板110800の領域110813にサイドウォール110854と導電膜110842をマスクとして高濃度のn型を付与する不純物元素を導入し、領域110812にサイドウォール110854と導電膜110840をマスクとして高濃度のp型を付与する不純物元素を導入する。

10

【0499】

その結果、基板110800の領域110812には、ソース又はドレイン領域を形成する不純物領域110858と、LDD領域を形成する低濃度不純物領域110860と、チャンネル形成領域110856が形成される。そして、基板110800の領域110813には、ソース又はドレイン領域を形成する不純物領域110864と、LDD領域を形成する低濃度不純物領域110866と、チャンネル形成領域110862が形成される。

【0500】

なお、ここでは、サイドウォールを用いてLDD領域を形成する例を示したが、これに限定されない。サイドウォールを用いずに、マスク等を用いてLDD領域を形成してもよいし、LDD領域を形成しなくてもよい。LDD領域を形成しない場合は、製造プロセスを簡単にすることができるため、製造コストを低減することができる。

20

【0501】

なお、ここでは、導電膜110840、110842と重ならない領域において基板110800の表面を露出させた状態で不純物元素の導入を行っている。従って、基板110800の領域110812、110813にそれぞれ形成されるチャンネル形成領域110856、110862は導電膜110840、110842によって自己整合的に形成することができる。

【0502】

次に、基板110800の領域110812、110813に設けられた絶縁膜や導電膜等を覆うように第2の絶縁膜110877を形成し、当該絶縁膜110877に開口部110878を形成する（図60（C）参照）。

30

【0503】

第2の絶縁膜110877は、CVD法やスパッタ法等により、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜やDLC（ダイヤモンドライクカーボン）等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン（ Si ）と酸素（ O ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

【0504】

次に、CVD法を用いて開口部110878に導電膜110880を形成し、当該導電膜110880と電氣的に接続するように絶縁膜110877上に導電膜110882a～110882dを選択的に形成する（図60（D）参照）。

【0505】

導電膜110880、110882a～110882dは、CVD法やスパッタリング

50

法等により、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジウム（Nd）、炭素（C）、シリコン（Si）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜110880、110882a~110882dは、例えば、バリア膜とアルミニウムシリコン（Al-Si）膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン（Al-Si）膜と窒化チタン（TiN）膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜110880を形成する材料として最適である。例えば、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。例えば、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。ここでは、導電膜110880はCVD法によりタングステン（W）を選択成長することにより形成することができる。

【0506】

以上の工程により、基板110800の領域110812に形成されたp型のトランジスタと、領域110813に形成されたn型のトランジスタとを得ることができる。

【0507】

なお本発明のトランジスタを構成するトランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィンFET構造等の構造のトランジスタの構造を取り得る。フィンFET構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【0508】

ここまで、トランジスタの構造及びトランジスタの作製方法について説明した。ここで、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ネオジウム（Nd）、クロム（Cr）、ニッケル（Ni）、白金（Pt）、金（Au）、銀（Ag）、銅（Cu）、マグネシウム（Mg）、スカンジウム（Sc）、コバルト（Co）、亜鉛（Zn）、ニオブ（Nb）、シリコン（Si）、リン（P）、ボロン（B）、ヒ素（As）、ガリウム（Ga）、インジウム（In）、錫（Sn）、酸素（O）で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料（例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化錫（SnO）、酸化錫カドミウム（CTO）、アルミネオジウム（Al-Nd）、マグネシウム銀（Mg-Ag）、モリブデンニオブ（Mo-Nb）など）で形成されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれた一つもしくは複数の元素とシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）、前記群から選ばれた一つもしくは複数の元素と窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成されることが望ましい。

【0509】

なお、シリコン（Si）には、n型不純物（リンなど）またはp型不純物（ボロンなど）を含んでいてもよい。シリコンが不純物を含むことにより、導電率が向上したり、通常の導体と同様な振る舞いをするのが可能となる。従って、配線、電極などとして利用しやすくなる。

10

20

30

40

50

【0510】

なお、シリコンは、単結晶、多結晶（ポリシリコン）、微結晶（マイクロクリスタルシリコン）など、様々な結晶性を有するシリコンを用いることが出来る。あるいは、シリコンは非晶質（アモルファスシリコン）などの結晶性を有さないシリコンを用いることが出来る。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることが出来る。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することが出来る。

【0511】

なお、アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターニングしやすく、微細加工を行うことが出来る。

10

【0512】

なお、銅は、導電率が高いため、信号遅延を低減することが出来る。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【0513】

なお、モリブデンまたはチタンは、酸化物半導体（ITO、IZOなど）またはシリコンと接触しても、不良を起こさない、エッチングしやすい、耐熱性が高いなどの利点を有するため、望ましい。

【0514】

なお、タングステンは、耐熱性が高いなどの利点を有するため、望ましい。

20

【0515】

なお、ネオジウムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【0516】

なお、シリコンは、トランジスタが有する半導体層と同時に形成できる、耐熱性が高いなどの利点を有するため、望ましい。

【0517】

なお、ITO、IZO、ITSO、酸化亜鉛（ZnO）、シリコン（Si）、酸化錫（SnO）、酸化錫カドミウム（CTO）は、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

30

【0518】

なお、IZOは、エッチングしやすく、加工しやすいため、望ましい。IZOは、エッチングしたときに、残渣が残ってしまう、ということも起こりにくい。したがって、画素電極としてIZOを用いると、液晶素子や発光素子に不具合（ショート、配向乱れなど）をもたらすことを低減出来る。

【0519】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、配線、電極、導電層、導電膜、端子などの製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することが出来る。たとえば、低抵抗材料（アルミニウムなど）を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。別の例として、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジウムなどを含む層で挟む積層構造にすると望ましい。

40

【0520】

ここで、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っていて、性質を変

50

えてしまい、本来の目的を果たせなくなる。別の例として、高抵抗な部分を形成又は製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。別の例として、シリコンとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。

【0521】

なお、配線とは、導電体が配置されているものを言う。線状に伸びていても良いし、伸びずに短く配置されていてもよい。したがって、電極は、配線に含まれている。

10

【0522】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどとして、カーボンナノチューブを用いても良い。さらに、カーボンナノチューブは、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【0523】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

20

【0524】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることができる。

【0525】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

30

【0526】

（実施の形態4）

本実施の形態においては、表示装置の構成について説明する。

【0527】

図61（A）を参照して、表示装置の構成について説明する。図61（A）は、表示装置の上面図である。

【0528】

画素部170101、走査線側入力端子170103及び信号線側入力端子170104が基板170100上に形成され、走査線が走査線側入力端子170103から行方向に延在して基板170100上に形成され、信号線が信号線側入力端子170104から列方向に延在して基板170100上に形成されている。そして、画素170102が画素部170101に走査線と信号線とが交差するところで、マトリクス状に配置されている。

40

【0529】

走査線側入力端子170103は、基板170100の行方向の両側に形成されている。そして、一方の走査線側入力端子170103から延在する走査線と、他方の走査線側入力端子170103から延在する走査線とは、交互に形成されている。この場合、画素170102を高密度に配置することができるため、高精細な表示装置を得ることができる。

50

。ただし、これに限定されず、走査線側入力端子170103が基板170100の行方向の一方だけに形成されていてもよい。この場合、表示装置の額縁を小さくすることができる。画素部170101の領域の拡大を図ることができる。別の例として、一方の走査線側入力端子170103から延在する走査線と、他方の走査線側入力端子170103から延在する走査線とが共通になっていてもよい。この場合、大型の表示装置などの、走査線の負荷が大きい表示装置などに適している。なお、信号が外付けの駆動回路から走査線側入力端子170103を介して走査線に入力されている。

【0530】

信号線側入力端子170104は、基板170100の列方向の一方に形成されている。この場合、表示装置の額縁を小さくすることができる。画素部170101の領域の拡大を図ることができる。ただし、これに限定されず、信号線側入力端子170104は、基板170100の列方向の両側に形成されていてもよい。この場合、画素170102を高密度に配置することができる。なお、信号が外付けの駆動回路から信号線側入力端子170104を介して走査線に入力されている。

【0531】

画素170102は、スイッチング素子と画素電極を有している。画素170102それぞれにおいて、スイッチング素子の第1端子が信号線に接続され、スイッチング素子の第2端子が画素電極に接続されている。そして、スイッチング素子のオンとオフが走査線によって制御されている。ただし、これに限定されず、様々な構成を用いることができる。例えば、画素170102は、容量素子を有していてもよい。この場合、容量線を基板170100上に形成することが望ましい。別の例として、画素170102は、駆動トランジスタなどの電流源を有していてもよい。この場合、電源線を基板170100上に形成することが望ましい。

【0532】

なお、基板170100として、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。ただし、これに限定されず、様々なものを用いることができる。

【0533】

なお、画素170102が有するスイッチング素子として、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることができる。ただし、これに限定されず、様々なものを用いることができる。なお、画素170102が有するスイッチング素子としてMOSトランジスタを用いた場合、ゲート電極が走査線に接続され、第1端子が信号線に接続され、第2端子が画素電極に接続される。

【0534】

ここまで、外付けの駆動回路によって信号を入力する場合について説明した。ただし、これに限定されず、ICチップを表示装置に実装することができる。

【0535】

例えば、図62（A）に示すように、COG（Chip on Glass）方式によって、ICチップ170201を基板170100に実装することができる。この場合、ICチップ170201を基板170100に実装する前に検査できるので、表示装置の歩留まりの向上を図ることができる。信頼性を高めることができる。なお、図61（A）の構成と共通するところは共通の符号を用いて、その説明を省略する。

【0536】

別の例として、図62(B)に示すように、TAB(Tape Automated Bonding)方式によって、ICチップ170201をFPC(Flexible Printed Circuit)170200に実装することができる。この場合、ICチップ170201をFPC170200に実装する前に検査できるので、表示装置の歩留まりの向上を図ることができる。信頼性を高めることができる。なお、図61(A)の構成と共通するところは共通の符号を用いて、その説明を省略する。

【0537】

ここで、ICチップを基板170100に実装するだけでなく、駆動回路を基板170100上に形成することができる。

【0538】

例えば、図61(B)に示すように、走査線駆動回路170105を基板170100上に形成することができる。この場合、部品点数の削減によるコストの低減を図ることができる。回路部品との接続点数の低減による信頼性の向上を図ることができる。走査線駆動回路170105は駆動周波数が低いので、トランジスタの半導体層として非結晶シリコン又は微結晶シリコンを用いて走査線駆動回路170105を容易に形成することができる。なお、信号線に信号を出力するためのICチップを基板170100にCOG方式で実装してもよい。あるいは、信号線に信号を出力するためのICチップをTAB方式で実装したFPCを基板170100に配置してもよい。なお、走査線駆動回路170105を制御するためのICチップを基板170100にCOG方式で実装してもよい。あるいは、走査線駆動回路170105を制御するためのICチップをTAB方式で実装したFPCを基板170100に配置してもよい。なお、図61(A)の構成と共通するところは共通の符号を用いて、その説明を省略する。

【0539】

別の例として、図61(C)に示すように、走査線駆動回路170105及び信号線駆動回路170106を基板170100上に形成することができる。このため、部品点数の削減によるコストの低減を図ることができる。回路部品との接続点数の低減による信頼性の向上を図ることができる。なお、走査線駆動回路170105を制御するためのICチップを基板170100にCOG方式で実装してもよい。あるいは、走査線駆動回路170105を制御するためのICチップをTAB方式で実装したFPCを基板170100に配置してもよい。信号線駆動回路170106を制御するためのICチップを基板170100にCOG方式で実装してもよい。あるいは、信号線駆動回路170106を制御するためのICチップをTAB方式で実装したFPCを基板170100に配置してもよい。なお、図61(A)の構成と共通するところは共通の符号を用いて、その説明を省略する。

【0540】

次に、図63を参照して、別の表示装置の構成について説明する。具体的には、TF基板と、対向基板と、TF基板と対向基板との間に挟持された表示層とを有する表示装置について説明する。図63は、表示装置の上面図である。

【0541】

基板170300上に、画素部170301、走査線駆動回路170302a、走査線駆動回路170302b及び信号線駆動回路170303が形成されている。そして、これらの画素部170301、走査線駆動回路170302a、走査線駆動回路170302b及び信号線駆動回路170303は、シール材170321によって基板170300と基板170310との間に封止されている。

【0542】

さらに、FPC107320が基板170300に配置されている。そして、ICチップ107321がFPC107320にTAB方式で実装されている。

【0543】

画素部170301には、複数の画素がマトリクス状に配置されている。そして、走査線

10

20

30

40

50

が走査線駆動回路170302aから行方向に延在して基板170300上に形成されている。走査線が走査線駆動回路170302bから行方向に延在して基板170300上に形成されている。信号線が信号線駆動回路170303から列方向に延在して基板170300上に形成されている。

【0544】

走査線駆動回路170302aが基板170300の行方向の一方に形成され、走査線駆動回路170302bが基板170300の行方向の他方に形成されている。そして、走査線駆動回路170302aから延在する走査線と、走査線駆動回路170302bから延在する走査線とは、交互に形成されている。したがって、高精細な表示装置を得ることができる。ただし、これに限定されず、走査線駆動回路170302aと走査線駆動回路170302bのどちらか一方だけが、基板170300上に形成されていてもよい。この場合、表示装置の額縁を小さくすることができる。画素部170301の領域の拡大を図ることができる。別の例として、走査線駆動回路170302aから延在する走査線と、走査線駆動回路170302bから延在する走査線とが、共通になっていてもよい。この場合、大型の表示装置などの、走査線の負荷が大きい表示装置などに適している。

【0545】

信号線駆動回路170303は、基板170300の列方向の一方に形成されている。このため、表示装置の額縁を小さくすることができる。画素部170301の領域の拡大を図ることができる。ただし、これに限定されず、信号線駆動回路170303が基板170300上の列方向の両側に形成されていてもよい。この場合、高精細な表示装置を得ることができる。

【0546】

なお、基板170300として、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。ただし、これに限定されず、様々なものを用いることができる。

【0547】

なお、表示装置が有するスイッチング素子として、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることができる。ただし、これに限定されず、様々なものを用いることができる。

【0548】

ここまで、駆動回路が画素部と同じ基板上に形成されている場合について説明した。ただし、これに限定されず、駆動回路の一部又は全部を形成した別の基板をICチップとして、画素部が形成されている基板に実装してもよい。

【0549】

例えば、図64（A）に示すように、信号線駆動回路の代わりにICチップ170401を基板170300にCOG方式で実装することができる。この場合、信号線駆動回路の代わりにICチップ170401を基板170300にCOG方式で実装することによって、消費電力の増加を防ぐことができる。なぜなら、信号線駆動回路は駆動周波数が高いので、消費電力が大きいからである。ICチップ170401を基板170300に実装する前に検査できるので、表示装置の歩留まりの向上を図ることができる。信頼性を高めることができる。走査線駆動回路170302a及び走査線駆動回路170302bは駆動周波数が低いので、トランジスタの半導体層として非結晶シリコン又は微結晶シリコンを用いて走査線駆動回路170302a及び走査線駆動回路170302bを容易に形成

10

20

30

40

50

することができる。よって、大型の基板を用いて表示装置を製造することができる。なお、図63の構成と共通するところは共通の符号を用いて、その説明を省略する。

【0550】

別の例として、図64(B)に示すように、信号線駆動回路の代わりにICチップ170401を基板170300にCOG方式で実装し、走査線駆動回路170302aの代わりにICチップ170501aを基板170300にCOG方式で実装し、走査線駆動回路170302bの代わりにICチップ170501bを基板170300にCOG方式で実装してもよい。この場合、ICチップ170401、ICチップ170501a及びICチップ170501bを基板170300に実装する前に検査できるので、表示装置の歩留まりの向上を図ることができる。信頼性を高めることができる。基板170300に形成されるトランジスタの半導体層として非結晶シリコン又は微結晶シリコンを容易に用いることができる。よって、大型の基板を用いて表示装置を製造することができる。なお、図63の構成と共通するところは共通の符号を用いて、その説明を省略する。

10

【0551】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0552】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

20

【0553】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

30

【0554】

（実施の形態5）

本実施の形態においては、表示装置の動作について説明する。

【0555】

図65は、表示装置の構成例を示す図である。

【0556】

表示装置180100は、画素部180101、信号線駆動回路180103及び走査線駆動回路180104を有する。画素部180101には、複数の信号線S1乃至Smが信号線駆動回路180103から列方向に延伸して配置されている。画素部180101には、複数の走査線G1乃至Gnが走査線駆動回路180104から行方向に延伸して配置されている。そして、複数の信号線S1乃至Smと複数の走査線G1乃至Gnとがそれぞれ交差するところで、画素180102がマトリクス状に配置されている。

40

【0557】

なお、信号線駆動回路180103は、信号線S1乃至Snそれぞれに信号を出力する機能を有する。この信号をビデオ信号と呼んでもよい。なお、走査線駆動回路180104は、走査線G1乃至Gmそれぞれに信号を出力する機能を有する。この信号を走査信号と呼んでもよい。

【0558】

なお、画素180102は、少なくとも信号線と接続されたスイッチング素子を有している。このスイッチング素子は、走査線の電位（走査信）によってオン、オフが制御される

50

。そして、スイッチング素子がオンしている場合に画素 180102 は選択され、オフしている場合に画素 180102 は選択されない。

【0559】

画素 180102 が選択されている場合（選択状態）は、信号線から画素 180102 にビデオ信号が入力される。そして、画素 180102 の状態（例えば、輝度、透過率、保持容量の電圧など）は、この入力されたビデオ信号に応じて変化する。

【0560】

画素 180102 が選択されていない場合（非選択状態）は、ビデオ信号が画素 180102 に入力されない。ただし、画素 180102 は選択時に入力されたビデオ信号に応じた電位を保持しているため、画素 180102 はビデオ信号に応じた（例えば、輝度、透過率、保持容量の電圧など）を維持する。

10

【0561】

なお、表示装置の構成は、図 65 に限定されない。例えば、画素 180102 の構成に応じて、新たに配線（走査線、信号線、電源線、容量線又はコモン線など）を追加してもよい。別の例として、様々な機能を有する回路を追加してもよい。

【0562】

図 66 は、表示装置の動作を説明するためのタイミングチャートの一例を示す。

【0563】

図 66 のタイミングチャートは、1 画面分の画像を表示する期間に相当する 1 フレーム期間を示す。1 フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように少なくとも $1/60$ 秒以下とすることが好ましい。

20

【0564】

図 66 のタイミングチャートは、1 行目の走査線 G_1 、 i 行目の走査線 G_i （走査線 G_1 乃至 G_m のうちいずれか）、 $i+1$ 行目の走査線 G_{i+1} 及び m 行目の走査線 G_m がそれぞれ選択されるタイミングを示している。

【0565】

なお、走査線が選択されると同時に、当該走査線に接続されている画素 180102 も選択される。例えば、 i 行目の走査線 G_i が選択されていると、 i 行目の走査線 G_i に接続されている画素 180102 も選択される。

【0566】

走査線 G_1 乃至 G_m の走査線それぞれは、1 行目の走査線 G_1 から m 行目の走査線 G_m まで順に選択される（以下、走査するともいう）。例えば、 i 行目の走査線 G_i が選択されている期間は、 i 行目の走査線 G_i 以外の走査線（ G_1 乃至 G_{i-1} 、 G_{i+1} 乃至 G_m ）は選択されない。そして、次の期間に、 $i+1$ 行目の走査線 G_{i+1} が選択される。なお、1 つの走査線が選択されている期間を 1 ゲート選択期間と呼ぶ。

30

【0567】

したがって、ある行の走査線が選択されると、当該走査線に接続された複数の画素 180102 に、信号線 S_1 乃至信号線 S_n それぞれからビデオ信号が入力される。例えば、 i 行目の走査線 G_i が選択されている間、 i 行目の走査線 G_i に接続されている複数の画素 180102 は、各々の信号線 S_1 乃至 S_n から任意のビデオ信号をそれぞれ入力する。こうして、個々の複数の画素 180102 を走査信号及びビデオ信号によって、独立して制御することができる。

40

【0568】

次に、1 ゲート選択期間を複数のサブゲート選択期間に分割した場合について説明する。図 67 は、1 ゲート選択期間を 2 つのサブゲート選択期間（第 1 のサブゲート選択期間及び第 2 のサブゲート選択期間）に分割した場合のタイミングチャートを示す。

【0569】

なお、1 ゲート選択期間を 3 つ以上のサブゲート選択期間に分割することもできる。

【0570】

図 67 のタイミングチャートは、1 画面分の画像を表示する期間に相当する 1 フレーム期

50

間を示す。1フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように少なくとも1／60秒以下とすることが好ましい。

【0571】

なお、1フレームは2つのサブフレーム（第1のサブフレーム及び第2のサブフレーム）に分割されている。

【0572】

図67のタイミングチャートは、 i 行目の走査線 G_i 、 $i+1$ 行目の走査線 G_{i+1} 、 j 行目の走査線 G_j （走査線 G_{i+1} 乃至 G_m のうちいずれか）、 $j+1$ 行目の走査線及び G_{j+1} 行目の走査線 G_{j+1} がそれぞれ選択されるタイミングを示している。

【0573】

なお、走査線が選択されると同時に、当該走査線に接続されている画素180102も選択される。例えば、 i 行目の走査線 G_i が選択されていると、 i 行目の走査線 G_i に接続されている画素180102も選択される。

【0574】

なお、走査線 G_1 乃至 G_m の走査線それぞれは、各サブゲート選択期間内で順に走査される。例えば、ある1ゲート選択期間において、第1のサブゲート選択期間では i 行目の走査線 G_i が選択され、第2のサブゲート選択期間では j 行目の走査線 G_j が選択される。すると、1ゲート選択期間において、あたかも同時に2行分の走査信号を選択したかのように動作させることが可能となる。このとき、第1のサブゲート選択期間と第2のサブゲート選択期間とで、別々のビデオ信号が信号線 S_1 乃至 S_n に入力される。したがって、 i 行目に接続されている複数の画素180102と j 行目に接続されている複数の画素180102とは、別々のビデオ信号を入力することができる。

【0575】

次に、入力される画像データのフレームレート（入力フレームレートとも記す）と、表示のフレームレート（表示フレームレートとも記す）を変換する駆動方法について説明する。なお、フレームレートとは、1秒間あたりのフレームの数であり、単位はHzである。

【0576】

本実施の形態では、入力フレームレートは、表示のフレームレートと、必ずしも一致していなくてもよい。入力フレームレートと表示フレームレートが異なる場合は、画像データのフレームレートを変換する回路（フレームレート変換回路）によって、フレームレートを変換することができる。こうすることによって、入力フレームレートと表示フレームレートが異なっている場合でも、様々な表示フレームレートで表示を行なうことができる。

【0577】

入力フレームレートが表示フレームレートよりも大きい場合、入力される画像データの一部を破棄することで、様々な表示フレームレートに変換して表示を行なうことができる。この場合は、表示フレームレートを小さくできるため、表示するための駆動回路の動作周波数を小さくすることができ、消費電力を低減できる。一方、入力フレームレートが表示フレームレートよりも小さい場合、入力される画像データの全部または一部を複数回表示させる、入力される画像データから別の画像を生成する、入力される画像データとは関係のない画像を生成する、等の手段を用いることで、様々な表示フレームレートに変換して表示を行なうことができる。この場合は、表示フレームレートを大きくすることによって、動画の品質を向上することができる。

【0578】

本実施の形態においては、入力フレームレートが表示フレームレートよりも小さい場合のフレームレート変換方法について詳細に説明する。なお、入力フレームレートが表示フレームレートよりも大きい場合のフレームレート変換方法については、入力フレームレートが表示フレームレートよりも小さい場合のフレームレート変換方法の逆の手順を実行することによって実現することができる。

【0579】

本実施の形態においては、入力フレームレートと同じフレームレートで表示される画像の

10

20

30

40

50

ことを基本画像と呼ぶこととする。一方、基本画像とは異なるフレームレートで表示される画像であって、入力フレームレートと表示フレームレートの整合を取るために表示される画像のことを、補間画像と呼ぶこととする。基本画像には、入力される画像データと同じ画像を用いることができる。補間画像には、基本画像と同じ画像を用いることができる。さらに、基本画像とは異なる画像を作成し、作成した画像を補間画像とすることもできる。

【0580】

補間画像を作成する場合は、入力される画像データの時間的変化（画像の動き）を検出し、これらの中間状態の画像を補間画像とする方法、基本画像の輝度にある係数をかけた画像を補間画像とする方法、入力された画像データから、異なる複数の画像を作成し、当該複数の画像を時間的に連続して提示する（当該複数の画像のうちの1つを基本画像とし、残りを補間画像とする）ことで、入力された画像データに対応する画像が表示されたように観察者に知覚させる方法、等がある。入力された画像データから異なる複数の画像を作成する方法としては、入力された画像データのガンマ値を変換する方法、入力された画像データに含まれる階調値を分割する方法、等がある。

10

【0581】

なお、中間状態の画像（中間画像）とは、入力された画像データの時間的変化（画像の動き）を検出し、検出された動きを内挿して求められた画像である。このような方法によって中間画像を求めることを、動き補償と呼ぶこととする。

【0582】

次に、フレームレート変換方法の具体例について説明する。この方法によれば、任意の有理数（ n/m ）倍のフレームレート変換を実現することができる。ここで、 n および m は1以上の整数とする。本実施の形態におけるフレームレート変換方法は、第1のステップと、第2のステップに分けて取り扱うことができる。ここで、第1のステップは、任意の有理数（ n/m ）倍にフレームレート変換するステップである。ここでは、補間画像として基本画像を用いてもよいし、動き補償によって求めた中間画像を補間画像として用いてもよい。第2のステップは、入力された画像データまたは第1のステップにおいてフレームレート変換された各々の画像から、異なる複数の画像（サブ画像）を作成し、当該複数のサブ画像を時間的に連続して表示する方法を行なうためのステップである。第2のステップによる方法を用いることによって、実際は複数の異なる画像を表示しているのにもかかわらず、見た目上、元の画像が表示されたように人間の目に知覚させることもできる。

20

【0583】

なお、本実施の形態におけるフレームレート変換方法は、第1のステップおよび第2のステップを両方用いてもよいし、第1のステップを省略して第2のステップのみ用いてもよいし、第2のステップを省略して第1のステップのみを用いてもよい。

【0584】

まず、第1のステップとして、任意の有理数（ n/m ）倍のフレームレート変換について説明する。（図68参照）図68は、横軸は時間であり、縦軸は様々な n および m について場合分けを行なって示したものである。図68内の図形は、表示される画像の模式図を表しており、その横位置によって表示されるタイミングを表している。さらに、図形内に表示した点によって、画像の動きを模式的に表しているものとする。ただし、これは説明のための例であり、表示される画像はこれに限定されない。この方法は、様々な画像に対して適用することができる。

30

40

【0585】

期間 T_{in} は、入力画像データの周期を表している。入力画像データの周期は、入力フレームレートに対応している。たとえば、入力フレームレートが60Hzの場合は、入力画像データの周期は $1/60$ 秒である。同様に、入力フレームレートが50Hzであれば、入力画像データの周期は $1/50$ 秒である。このように、入力画像データの周期（単位：秒）は入力フレームレート（単位：Hz）の逆数となる。なお、入力フレームレートは様々なものを用いることができる。たとえば、24Hz、50Hz、60Hz、70Hz、

50

48 Hz、100 Hz、120 Hz、140 Hz、等を挙げることができる。ここで、24 Hzはフィルム映画等に用いられるフレームレートである。50 Hzは、PAL規格の映像信号等に用いられるフレームレートである。60 Hzは、NTSC規格の映像信号等に用いられるフレームレートである。70 Hzは、パーソナルコンピュータのディスプレイ入力信号等に用いられるフレームレートである。48 Hz、100 Hz、120 Hz、140 Hz、は、これらの2倍のフレームレートである。なお、2倍に限らず、様々な倍数のフレームレートであってもよい。このように、本実施の形態に示す方法によれば、様々な規格の入力信号に対してフレームレートの変換を実現することができる。

【0586】

第1のステップにおける任意の有理数 (n/m) 倍のフレームレート変換の手順は、以下のとおりである。

10

手順1として、第1の基本画像に対する第 k の補間画像 (k は1以上の整数；初期値は1) の表示タイミングを決定する。第 k の補間画像の表示タイミングは、第1の基本画像が表示されてから、入力画像データの周期を k (m/n) 倍した期間が経過した時点であるとする。

手順2として、第 k の補間画像の表示タイミングの決定に用いた係数 k (m/n) が、整数であるかどうかを判別する。整数であった場合は、第 k の補間画像の表示タイミングにおいて第 ($k(m/n) + 1$) の基本画像を表示し、第1のステップを終了する。整数でなかった場合は、手順3に進む。

手順3として、第 k の補間画像として用いる画像を決定する。具体的には、第 k の補間画像の表示タイミングの決定に用いた係数 k (m/n) を、 $x + y/n$ の形に変換する。ここで、 x および y は整数であり、 y は n よりも小さい数であるとする。そして、第 k の補間画像を動き補償によって求めた中間画像とする場合は、第 k の補間画像は、第 ($x + 1$) の基本画像から第 ($x + 2$) の基本画像までの画像の動きを (y/n) 倍した動きに相当する画像として求めた中間画像とする。第 k の補間画像を基本画像と同じ画像とする場合は、第 ($x + 1$) の基本画像を用いることができる。なお、画像の動きを (y/n) 倍した動きに相当する画像として中間画像を求める方法については、別の部分で詳細に述べる。

20

手順4として、対象とする補間画像を次の補間画像に移す。具体的には、 k の値を1増加させ、手順1に戻る。

30

【0587】

次に、第1のステップにおける手順において、 n および m の値を具体的に示して詳細に説明する。

【0588】

なお、第1のステップにおける手順を実行する仕組みは、装置に実装されたものであってもよいし、装置の設計段階であらかじめ決められたものであってもよい。第1のステップにおける手順を実行する仕組みが装置に実装されていれば、状況に応じた最適な動作が行われるように、駆動方法を切り替えることが可能となる。なお、ここでいう状況とは、画像データの内容、装置内外の環境 (温度、湿度、気圧、光、音、磁界、電界、放射線量、高度、加速度、移動速度、等)、ユーザ設定、ソフトウェアバージョン、等を含む。一方、第1のステップにおける手順を実行する仕組みが装置の設計段階であらかじめ決められたものであれば、それぞれの駆動方法に最適な駆動回路を用いることができ、さらに、仕組みが決められていることによって、量産効果による製造コストの低減が期待できる。

40

【0589】

$n = 1$, $m = 1$ 、すなわち変換比 (n/m) が1 (図68の $n = 1$, $m = 1$ の箇所) の場合は、第1のステップにおける動作は次のようになる。まず、 $k = 1$ のとき、手順1では、第1の基本画像に対する第1の補間画像の表示タイミングを決定する。第1の補間画像の表示タイミングは、第1の基本画像が表示されてから、入力画像データの周期を k (m/n) 倍すなわち1倍した期間が経過した時点である。

【0590】

50

次に、手順 2 では、第 1 の補間画像の表示タイミングの決定に用いた係数 $k (m/n)$ が、整数であるかどうかを判別する。ここで、係数 $k (m/n)$ は 1 であるので、整数である。したがって、第 1 の補間画像の表示タイミングにおいては第 $(k (m/n) + 1)$ すなわち第 2 の基本画像を表示し、第 1 のステップを終了する。

【0591】

すなわち、変換比が 1 である場合は、第 k の画像は基本画像であり、第 $k + 1$ の画像は基本画像であり、画像表示周期は、入力画像データの周期の 1 倍であることを特徴とする。

【0592】

具体的な表現としては、変換比が 1 ($n/m = 1$) である場合は、

第 i (i は正の整数) の画像データと、

第 $i + 1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k (k は正の整数) の画像と、

第 $k + 1$ の画像と、を、入力画像データの周期と等倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 1$ の画像は、前記第 $i + 1$ の画像データにしたがって表示される

ことを特徴とする。

【0593】

ここで、変換比が 1 である場合は、フレームレート変換回路を省略することができるため、製造コストを低減できるという利点を有する。さらに、変換比が 1 である場合は、変換比が 1 より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が 1 である場合は、変換比が 1 より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【0594】

$n = 2$, $m = 1$ 、すなわち変換比 (n/m) が 2 (図 68 の $n = 2$, $m = 1$ の箇所) の場合は、第 1 のステップにおける動作は次のようになる。まず、 $k = 1$ のとき、手順 1 では、第 1 の基本画像に対する第 1 の補間画像の表示タイミングを決定する。第 1 の補間画像の表示タイミングは、第 1 の基本画像が表示されてから、入力画像データの周期を $k (m/n)$ 倍すなわち $1/2$ 倍した期間が経過した時点である。

【0595】

次に、手順 2 では、第 1 の補間画像の表示タイミングの決定に用いた係数 $k (m/n)$ が、整数であるかどうかを判別する。ここで、係数 $k (m/n)$ は $1/2$ であるので、整数ではない。したがって、手順 3 に進む。

【0596】

手順 3 では、第 1 の補間画像として用いる画像を決定する。そのために、係数 $1/2$ を $x + y/n$ の形に変換する。係数 $1/2$ の場合は、 $x = 0$, $y = 1$ である。そして、第 1 の補間画像を動き補償によって求めた中間画像とする場合は、第 1 の補間画像は、第 $(x + 1)$ すなわち第 1 の基本画像から第 $(x + 2)$ すなわち第 2 の基本画像までの画像の動きを y/n 倍すなわち $1/2$ 倍した動きに相当する画像として求めた中間画像とする。第 1 の補間画像を基本画像と同じ画像とする場合は、第 $(x + 1)$ すなわち第 1 の基本画像を用いることができる。

【0597】

ここまでの手順により、第 1 の補間画像の表示タイミングと、第 1 の補間画像として表示する画像を決定することができた。次に、手順 4 では、対象とする補間画像を、第 1 の補間画像から第 2 の補間画像へ移す。すなわち、 k を 1 から 2 に変更し、手順 1 に戻る。

【0598】

$k = 2$ のとき、手順 1 では、第 1 の基本画像に対する第 2 の補間画像の表示タイミングを決定する。第 2 の補間画像の表示タイミングは、第 1 の基本画像が表示されてから、入力画像データの周期を $k (m/n)$ 倍すなわち 1 倍した期間が経過した時点である。

【0599】

10

20

30

40

50

次に、手順 2 では、第 2 の補間画像の表示タイミングの決定に用いた係数 $k (m/n)$ が、整数であるかどうかを判別する。ここで、係数 $k (m/n)$ は 1 であるので、整数である。したがって、第 2 の補間画像の表示タイミングにおいては第 $(k (m/n) + 1)$ すなわち第 2 の基本画像を表示し、第 1 のステップを終了する。

【0600】

すなわち、変換比が $2 (n/m = 2)$ である場合は、

第 k の画像は基本画像であり、

第 $k + 1$ の画像は補間画像であり、

第 $k + 2$ の画像は基本画像であり、画像表示周期は、入力画像データの周期の $1/2$ 倍であることを特徴とする。

【0601】

具体的な表現としては、変換比が $2 (n/m = 2)$ である場合は、

第 i (i は正の整数) の画像データと、

第 $i + 1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k (k は正の整数) の画像と、

第 $k + 1$ の画像と、

第 $k + 2$ の画像と、を、入力画像データの周期の $1/2$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 1$ の画像は、前記第 i の画像データから前記第 $i + 1$ の画像データまでの動きを $1/2$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k + 2$ の画像は、前記第 $i + 1$ の画像データにしたがって表示されることを特徴とする。

【0602】

さらに別の具体的な表現としては、変換比が $2 (n/m = 2)$ である場合は、

第 i (i は正の整数) の画像データと、

第 $i + 1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k (k は正の整数) の画像と、

第 $k + 1$ の画像と、

第 $k + 2$ の画像と、を、入力画像データの周期の $1/2$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 1$ の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 2$ の画像は、前記第 $i + 1$ の画像データにしたがって表示されることを特徴とする。

【0603】

具体的には、変換比が 2 である場合は、2 倍速駆動、または単に倍速駆動とも呼ばれる。

たとえば、入力フレームレートが 60 Hz であれば、表示フレームレートは 120 Hz (120 Hz 駆動) である。そして、ひとつの入力画像に対し、画像を 2 回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、特に顕著な画質改善効果をもたらす。これは、液晶素子の静電容量が印加電圧によって変動してしまう、いわゆるダイナミックキャパシタンスによる書き込み電圧不足の問題に関係する。すなわち、表示フレームレートを入力フレームレートよりも大きくすることによって、画像データの書き込み動作の頻度を大きくできるので、ダイナミックキャパシタンスによる書き込み電圧不足に起因する、動画の尾引き、残像等の障害を低減することができる。さらに、液晶表示装置の交流駆動と 120 Hz 駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を 120 Hz としつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、 30 Hz 、 60 Hz 、 120 Hz 、 240 Hz 等

）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【0604】

$n = 3$, $m = 1$ 、すなわち変換比 (n / m) が 3 (図 68 の $n = 3$, $m = 1$ の箇所) の場合は、第 1 のステップにおける動作は次のようになる。まず、 $k = 1$ のとき、手順 1 では、第 1 の基本画像に対する第 1 の補間画像の表示タイミングを決定する。第 1 の補間画像の表示タイミングは、第 1 の基本画像が表示されてから、入力画像データの周期を $k (m / n)$ 倍すなわち $1 / 3$ 倍した期間が経過した時点である。

【0605】

次に、手順 2 では、第 1 の補間画像の表示タイミングの決定に用いた係数 $k (m / n)$ が、整数であるかどうかを判別する。ここで、係数 $k (m / n)$ は $1 / 3$ であるので、整数ではない。したがって、手順 3 に進む。

10

【0606】

手順 3 では、第 1 の補間画像として用いる画像を決定する。そのために、係数 $1 / 3$ を $x + y / n$ の形に変換する。係数 $1 / 3$ の場合は、 $x = 0$, $y = 1$ である。そして、第 1 の補間画像を動き補償によって求めた中間画像とする場合は、第 1 の補間画像は、第 ($x + 1$) すなわち第 1 の基本画像から第 ($x + 2$) すなわち第 2 の基本画像までの画像の動きを y / n 倍すなわち $1 / 3$ 倍した動きに相当する画像として求めた中間画像とする。第 1 の補間画像を基本画像と同じ画像とする場合は、第 ($x + 1$) すなわち第 1 の基本画像を用いることができる。

20

【0607】

ここまでの手順により、第 1 の補間画像の表示タイミングと、第 1 の補間画像として表示する画像を決定することができた。次に、手順 4 では、対象とする補間画像を、第 1 の補間画像から第 2 の補間画像へ移す。すなわち、 k を 1 から 2 に変更し、手順 1 に戻る。

【0608】

$k = 2$ のとき、手順 1 では、第 1 の基本画像に対する第 2 の補間画像の表示タイミングを決定する。第 2 の補間画像の表示タイミングは、第 1 の基本画像が表示されてから、入力画像データの周期を $k (m / n)$ 倍すなわち $2 / 3$ 倍した期間が経過した時点である。

【0609】

次に、手順 2 では、第 2 の補間画像の表示タイミングの決定に用いた係数 $k (m / n)$ が、整数であるかどうかを判別する。ここで、係数 $k (m / n)$ は $2 / 3$ であるので、整数ではない。したがって、手順 3 に進む。

30

【0610】

手順 3 では、第 2 の補間画像として用いる画像を決定する。そのために、係数 $2 / 3$ を $x + y / n$ の形に変換する。係数 $2 / 3$ の場合は、 $x = 0$, $y = 2$ である。そして、第 2 の補間画像を動き補償によって求めた中間画像とする場合は、第 2 の補間画像は、第 ($x + 1$) すなわち第 1 の基本画像から第 ($x + 2$) すなわち第 2 の基本画像までの画像の動きを y / n 倍すなわち $2 / 3$ 倍した動きに相当する画像として求めた中間画像とする。第 2 の補間画像を基本画像と同じ画像とする場合は、第 ($x + 1$) すなわち第 1 の基本画像を用いることができる。

40

【0611】

ここまでの手順により、第 2 の補間画像の表示タイミングと、第 2 の補間画像として表示する画像を決定することができた。次に、手順 4 では、対象とする補間画像を、第 2 の補間画像から第 3 の補間画像へ移す。すなわち、 k を 2 から 3 に変更し、手順 1 に戻る。

【0612】

$k = 3$ のとき、手順 1 では、第 1 の基本画像に対する第 3 の補間画像の表示タイミングを決定する。第 3 の補間画像の表示タイミングは、第 1 の基本画像が表示されてから、入力画像データの周期を $k (m / n)$ 倍すなわち 1 倍した期間が経過した時点である。

【0613】

次に、手順 2 では、第 3 の補間画像の表示タイミングの決定に用いた係数 $k (m / n)$ が

50

、整数であるかどうかを判別する。ここで、係数 $k (m/n)$ は1であるので、整数である。したがって、第3の補間画像の表示タイミングにおいては第 $(k (m/n) + 1)$ すなわち第2の基本画像を表示し、第1のステップを終了する。

【0614】

すなわち、変換比が3 ($n/m=3$) である場合は、

第 k の画像は基本画像であり、

第 $k+1$ の画像は補間画像であり、

第 $k+2$ の画像は補間画像であり、

第 $k+3$ の画像は基本画像であり、画像表示周期は、入力画像データの周期の $1/3$ 倍であることを特徴とする。

【0615】

具体的な表現としては、変換比が3 ($n/m=3$) である場合は、

第 i (i は正の整数) の画像データと、

第 $i+1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k (k は正の整数) の画像と、

第 $k+1$ の画像と、

第 $k+2$ の画像と、

第 $k+3$ の画像と、を、入力画像データの周期の $1/3$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k+1$ の画像は、前記第 i の画像データから前記第 $i+1$ の画像データまでの動きを $1/3$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k+2$ の画像は、前記第 i の画像から前記第 $i+1$ の画像までの動きを $2/3$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k+3$ の画像は、前記第 $i+1$ の画像データにしたがって表示されることを特徴とする。

【0616】

さらに別の具体的な表現としては、変換比が3 ($n/m=3$) である場合は、

第 i (i は正の整数) の画像データと、

第 $i+1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k (k は正の整数) の画像と、

第 $k+1$ の画像と、

第 $k+2$ の画像と、

第 $k+3$ の画像と、を、入力画像データの周期の $1/3$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k+1$ の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k+2$ の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k+3$ の画像は、前記第 $i+1$ の画像データにしたがって表示されることを特徴とする。

【0617】

ここで、変換比が3である場合は、変換比が3より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が3である場合は、変換比が3より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【0618】

具体的には、変換比が3である場合は、3倍速駆動とも呼ばれる。たとえば、入力フレームレートが60Hzであれば、表示フレームレートは180Hz (180Hz 駆動) である。そして、ひとつの入力画像に対し、画像を3回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表

示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と180Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を180Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、45Hz、90Hz、180Hz、360Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【0619】

$n=3$ 、 $m=2$ 、すなわち変換比（ n/m ）が $3/2$ （図68の $n=3$ 、 $m=2$ の箇所）の場合は、第1のステップにおける動作は次のようになる。まず、 $k=1$ のとき、手順1では、第1の基本画像に対する第1の補間画像の表示タイミングを決定する。第1の補間画像の表示タイミングは、第1の基本画像が表示されてから、入力画像データの周期を k （ m/n ）倍すなわち $2/3$ 倍した期間が経過した時点である。

10

【0620】

次に、手順2では、第1の補間画像の表示タイミングの決定に用いた係数 k （ m/n ）が、整数であるかどうかを判別する。ここで、係数 k （ m/n ）は $2/3$ であるので、整数ではない。したがって、手順3に進む。

【0621】

手順3では、第1の補間画像として用いる画像を決定する。そのために、係数 $2/3$ を $x+y/n$ の形に変換する。係数 $2/3$ の場合は、 $x=0$ 、 $y=2$ である。そして、第1の補間画像を動き補償によって求めた中間画像とする場合は、第1の補間画像は、第（ $x+1$ ）すなわち第1の基本画像から第（ $x+2$ ）すなわち第2の基本画像までの画像の動きを y/n 倍すなわち $2/3$ 倍した動きに相当する画像として求めた中間画像とする。第1の補間画像を基本画像と同じ画像とする場合は、第（ $x+1$ ）すなわち第1の基本画像を用いることができる。

20

【0622】

ここまでの手順により、第1の補間画像の表示タイミングと、第1の補間画像として表示する画像を決定することができた。次に、手順4では、対象とする補間画像を、第1の補間画像から第2の補間画像へ移す。すなわち、 k を1から2に変更し、手順1に戻る。

【0623】

$k=2$ のとき、手順1では、第1の基本画像に対する第2の補間画像の表示タイミングを決定する。第2の補間画像の表示タイミングは、第1の基本画像が表示されてから、入力画像データの周期を k （ m/n ）倍すなわち $4/3$ 倍した期間が経過した時点である。

30

【0624】

次に、手順2では、第2の補間画像の表示タイミングの決定に用いた係数 k （ m/n ）が、整数であるかどうかを判別する。ここで、係数 k （ m/n ）は $4/3$ であるので、整数ではない。したがって、手順3に進む。

【0625】

手順3では、第2の補間画像として用いる画像を決定する。そのために、係数 $4/3$ を $x+y/n$ の形に変換する。係数 $4/3$ の場合は、 $x=1$ 、 $y=1$ である。そして、第2の補間画像を動き補償によって求めた中間画像とする場合は、第2の補間画像は、第（ $x+1$ ）すなわち第2の基本画像から第（ $x+2$ ）すなわち第3の基本画像までの画像の動きを y/n 倍すなわち $1/3$ 倍した動きに相当する画像として求めた中間画像とする。第2の補間画像を基本画像と同じ画像とする場合は、第（ $x+1$ ）すなわち第2の基本画像を用いることができる。

40

【0626】

ここまでの手順により、第2の補間画像の表示タイミングと、第2の補間画像として表示する画像を決定することができた。次に、手順4では、対象とする補間画像を、第2の補間画像から第3の補間画像へ移す。すなわち、 k を2から3に変更し、手順1に戻る。

【0627】

50

$k = 3$ のとき、手順 1 では、第 1 の基本画像に対する第 3 の補間画像の表示タイミングを決定する。第 3 の補間画像の表示タイミングは、第 1 の基本画像が表示されてから、入力画像データの周期を $k (m/n)$ 倍すなわち 2 倍した期間が経過した時点である。

【0628】

次に、手順 2 では、第 3 の補間画像の表示タイミングの決定に用いた係数 $k (m/n)$ が、整数であるかどうかを判別する。ここで、係数 $k (m/n)$ は 2 であるので、整数である。したがって、第 3 の補間画像の表示タイミングにおいては第 $(k (m/n) + 1)$ すなわち第 3 の基本画像を表示し、第 1 のステップを終了する。

【0629】

すなわち、変換比が $3/2 (n/m = 3/2)$ である場合は、

10

第 k の画像は基本画像であり、

第 $k + 1$ の画像は補間画像であり、

第 $k + 2$ の画像は補間画像であり、

第 $k + 3$ の画像は基本画像であり、画像表示周期は、入力画像データの周期の $2/3$ 倍であることを特徴とする。

【0630】

具体的な表現としては、変換比が $3/2 (n/m = 3/2)$ である場合は、

第 i (i は正の整数) の画像データと、

第 $i + 1$ の画像データと、

第 $i + 2$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

20

第 k (k は正の整数) の画像と、

第 $k + 1$ の画像と、

第 $k + 2$ の画像と、

第 $k + 3$ の画像と、を、入力画像データの周期の $2/3$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 1$ の画像は、前記第 i の画像データから前記第 $i + 1$ の画像データまでの動きを $2/3$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k + 2$ の画像は、前記第 $i + 1$ の画像から前記第 $i + 2$ の画像までの動きを $1/3$ 倍した動きに相当する画像データにしたがって表示され、

30

前記第 $k + 3$ の画像は、前記第 $i + 2$ の画像データにしたがって表示されることを特徴とする。

【0631】

さらに別の具体的な表現としては、変換比が $3/2 (n/m = 3/2)$ である場合は、

第 i (i は正の整数) の画像データと、

第 $i + 1$ の画像データと、

第 $i + 2$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k (k は正の整数) の画像と、

第 $k + 1$ の画像と、

第 $k + 2$ の画像と、

40

第 $k + 3$ の画像と、を、入力画像データの周期の $2/3$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 1$ の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 2$ の画像は、前記第 $i + 1$ の画像データにしたがって表示され、

前記第 $k + 3$ の画像は、前記第 $i + 2$ の画像データにしたがって表示される

ことを特徴とする。

【0632】

ここで、変換比が $3/2$ である場合は、変換比が $3/2$ より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が $3/2$ である場合は、変換比が $3/$

50

2より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【0633】

具体的には、変換比が $3/2$ である場合は、 $3/2$ 倍速駆動または 1.5 倍速駆動とも呼ばれる。たとえば、入力フレームレートが 60 Hz であれば、表示フレームレートは 90 Hz (90 Hz 駆動) である。そして、2つの入力画像に対し、画像を3回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、 120 Hz 駆動 (倍速駆動)、 180 Hz 駆動 (3倍速駆動) 等の駆動周波数の大きな駆動方法と比較すると、動き補償によって中間画像を求める回路の動作周波数を低減できるため、安価な回路が使用でき、製造コストおよび消費電力を低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と 90 Hz 駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を 90 Hz としつつ、交流駆動の周波数をその整数倍または整数分の一 (たとえば、 30 Hz 、 45 Hz 、 90 Hz 、 180 Hz 等) とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

10

【0634】

上記以外の正の整数 n および m については手順の詳細は省略するが、第1のステップにおけるフレームレート変換の手順にしたがうことで、変換比は任意の有理数 (n/m) として設定することができる。なお、正の整数 n および m の組み合わせのうち、変換比 (n/m) が約分できる組み合わせについては、約分した後の変換比と同様に取り扱うことができる。

20

【0635】

たとえば、 $n=4$ 、 $m=1$ 、すなわち変換比 (n/m) が4 (図68の $n=4$ 、 $m=1$ の箇所) の場合は、

第 k の画像は基本画像であり、

第 $k+1$ の画像は補間画像であり、

第 $k+2$ の画像は補間画像であり、

第 $k+3$ の画像は補間画像であり、

第 $k+4$ の画像は基本画像であり、画像表示周期は、入力画像データの周期の $1/4$ 倍であることを特徴とする。

30

【0636】

さらに具体的な表現としては、変換比が4 ($n/m=4$) である場合は、

第 i (i は正の整数) の画像データと、

第 $i+1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k (k は正の整数) の画像と、

第 $k+1$ の画像と、

第 $k+2$ の画像と、

第 $k+3$ の画像と、

第 $k+4$ の画像と、を、入力画像データの周期の $1/4$ 倍の間隔で順次表示する表示装置の駆動方法であって、

40

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k+1$ の画像は、前記第 i の画像データから前記第 $i+1$ の画像データまでの動きを $1/4$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k+2$ の画像は、前記第 i の画像データから前記第 $i+1$ の画像データまでの動きを $1/2$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k+3$ の画像は、前記第 i の画像データから前記第 $i+1$ の画像データまでの動きを $3/4$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k+4$ の画像は、前記第 $i+1$ の画像データにしたがって表示される

50

ことを特徴とする。

【0637】

さらに別の具体的な表現としては、変換比が4 ($n/m=4$) である場合は、
第 i (i は正の整数) の画像データと、
第 $i+1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、
第 k (k は正の整数) の画像と、
第 $k+1$ の画像と、
第 $k+2$ の画像と、
第 $k+3$ の画像と、
第 $k+4$ の画像と、を、入力画像データの周期の $1/4$ 倍の間隔で順次表示する表示装置
の駆動方法であって、
前記第 k の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k+1$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k+2$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k+3$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k+4$ の画像は、前記第 $i+1$ の画像データにしたがって表示される
ことを特徴とする。

10

【0638】

ここで、変換比が4である場合は、変換比が4より小さい場合よりも動画の品質を向上で
きるという利点を有する。さらに、変換比が4である場合は、変換比が4より大きい場合
よりも消費電力および製造コストを低減できるという利点を有する。

20

【0639】

具体的には、変換比が4である場合は、4倍速駆動とも呼ばれる。たとえば、入力フレー
ムレートが60Hzであれば、表示フレームレートは240Hz (240Hz 駆動) であ
る。そして、1つの入力画像に対し、画像を4回連続して表示することになる。このとき
、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかに
することができるため、動画の品質を顕著に向上させることが可能である。特に、120
Hz 駆動 (倍速駆動)、180Hz 駆動 (3倍速駆動) 等の駆動周波数の小さな駆動方法
と比較すると、さらに精度の高い動き補償によって求めた中間画像を補間画像として用い
ることができるため、さらに動画の動きを滑らかにすることができ、動画の品質を顕著に
向上させることが可能である。さらに、表示装置がアクティブマトリクス方式の液晶表示
装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避で
きるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さら
に、液晶表示装置の交流駆動と240Hz 駆動を組み合わせるのも効果的である。すなわ
ち、液晶表示装置の駆動周波数を240Hz としつつ、交流駆動の周波数をその整数倍ま
たは整数分の一 (たとえば、30Hz、40Hz、60Hz、120Hz 等) とすること
によって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減す
ることができる。

30

【0640】

さらに、たとえば、 $n=4$ 、 $m=3$ 、すなわち変換比 (n/m) が $4/3$ (図68の $n=4$ 、 $m=3$ の箇所) の場合は、
第 k の画像は基本画像であり、
第 $k+1$ の画像は補間画像であり、
第 $k+2$ の画像は補間画像であり、
第 $k+3$ の画像は補間画像であり、
第 $k+4$ の画像は基本画像であり、画像表示周期は、入力画像データの周期の $3/4$ 倍で
あることを特徴とする。

40

【0641】

さらに具体的な表現としては、変換比が $4/3$ ($n/m=4/3$) である場合は、
第 i (i は正の整数) の画像データと、

50

第 $i + 1$ の画像データと、
第 $i + 2$ の画像データと、
第 $i + 3$ の画像データと、が、入力画像データとして一定の周期で順次入力され、
第 k (k は正の整数) の画像と、
第 $k + 1$ の画像と、
第 $k + 2$ の画像と、
第 $k + 3$ の画像と、
第 $k + 4$ の画像と、を、入力画像データの周期の $3 / 4$ 倍の間隔で順次表示する表示装置の駆動方法であって、
前記第 k の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 1$ の画像は、前記第 i の画像データから前記第 $i + 1$ の画像データまでの動きを $3 / 4$ 倍した動きに相当する画像データにしたがって表示され、
前記第 $k + 2$ の画像は、前記第 $i + 1$ の画像から前記第 $i + 2$ の画像までの動きを $1 / 2$ 倍した動きに相当する画像データにしたがって表示され、
前記第 $k + 3$ の画像は、前記第 $i + 2$ の画像から前記第 $i + 3$ の画像までの動きを $1 / 4$ 倍した動きに相当する画像データにしたがって表示され、
前記第 $k + 4$ の画像は、前記第 $i + 3$ の画像データにしたがって表示されることを特徴とする。

【0642】

さらに別の具体的な表現としては、変換比が $4 / 3$ ($n / m = 4 / 3$) である場合は、
第 i (i は正の整数) の画像データと、
第 $i + 1$ の画像データと、
第 $i + 2$ の画像データと、
第 $i + 3$ の画像データと、が、入力画像データとして一定の周期で順次入力され、
第 k (k は正の整数) の画像と、
第 $k + 1$ の画像と、
第 $k + 2$ の画像と、
第 $k + 3$ の画像と、
第 $k + 4$ の画像と、を、入力画像データの周期の $3 / 4$ 倍の間隔で順次表示する表示装置の駆動方法であって、
前記第 k の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 1$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 2$ の画像は、前記第 $i + 1$ の画像データにしたがって表示され、
前記第 $k + 3$ の画像は、前記第 $i + 2$ の画像データにしたがって表示され、
前記第 $k + 4$ の画像は、前記第 $i + 3$ の画像データにしたがって表示されることを特徴とする。

【0643】

ここで、変換比が $4 / 3$ である場合は、変換比が $4 / 3$ より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が $4 / 3$ である場合は、変換比が $4 / 3$ より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【0644】

具体的には、変換比が $4 / 3$ である場合は、 $4 / 3$ 倍速駆動または 1.25 倍速駆動とも呼ばれる。たとえば、入力フレームレートが 60 Hz であれば、表示フレームレートは 80 Hz (80 Hz 駆動) である。そして、3つの入力画像に対し、画像を4回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、 120 Hz 駆動 (倍速駆動)、 180 Hz 駆動 (3倍速駆動) 等の駆動周波数の大きな駆動方法と比較すると、動き補償によって中間画像を求める回路の動作周波数を低減できるため、安価な回路が使用でき、製造コストおよび消費電力を低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイ

ナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と80Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を80Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、40Hz、80Hz、160Hz、240Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【0645】

さらに、たとえば、 $n=5$ 、 $m=1$ 、すなわち変換比（ n/m ）が5（図68の $n=5$ 、 $m=1$ の箇所）の場合は、

第 k の画像は基本画像であり、

10

第 $k+1$ の画像は補間画像であり、

第 $k+2$ の画像は補間画像であり、

第 $k+3$ の画像は補間画像であり、

第 $k+4$ の画像は補間画像であり、

第 $k+5$ の画像は基本画像であり、画像表示周期は、入力画像データの周期の $1/5$ 倍であることを特徴とする。

【0646】

さらに具体的な表現としては、変換比が5（ $n/m=5$ ）である場合は、

第 i （ i は正の整数）の画像データと、

第 $i+1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

20

第 k （ k は正の整数）の画像と、

第 $k+1$ の画像と、

第 $k+2$ の画像と、

第 $k+3$ の画像と、

第 $k+4$ の画像と、

第 $k+5$ の画像と、を、入力画像データの周期の $1/5$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k+1$ の画像は、前記第 i の画像データから前記第 $i+1$ の画像データまでの動きを $1/5$ 倍した動きに相当する画像データにしたがって表示され、

30

前記第 $k+2$ の画像は、前記第 i の画像データから前記第 $i+1$ の画像データまでの動きを $2/5$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k+3$ の画像は、前記第 i の画像データから前記第 $i+1$ の画像データまでの動きを $3/5$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k+4$ の画像は、前記第 i の画像データから前記第 $i+1$ の画像データまでの動きを $4/5$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k+5$ の画像は、前記第 $i+1$ の画像データにしたがって表示されることを特徴とする。

【0647】

さらに別の具体的な表現としては、変換比が5（ $n/m=5$ ）である場合は、

40

第 i （ i は正の整数）の画像データと、

第 $i+1$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k （ k は正の整数）の画像と、

第 $k+1$ の画像と、

第 $k+2$ の画像と、

第 $k+3$ の画像と、

第 $k+4$ の画像と、

第 $k+5$ の画像と、を、入力画像データの周期の $1/5$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

50

前記第 $k + 1$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 2$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 3$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 4$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 5$ の画像は、前記第 $i + 1$ の画像データにしたがって表示される
ことを特徴とする。

【0648】

ここで、変換比が5である場合は、変換比が5より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が5である場合は、変換比が5より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

【0649】

具体的には、変換比が5である場合は、5倍速駆動とも呼ばれる。たとえば、入力フレームレートが60Hzであれば、表示フレームレートは300Hz（300Hz駆動）である。そして、1つの入力画像に対し、画像を5回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、120Hz駆動（倍速駆動）、180Hz駆動（3倍速駆動）等の駆動周波数の小さな駆動方法と比較すると、さらに精度の高い動き補償によって求めた中間画像を補間画像として用いることができるため、さらに動画の動きを滑らかにすることができ、動画の品質を顕著に向上させることが可能である。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と300Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を300Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、30Hz、50Hz、60Hz、100Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【0650】

さらに、たとえば、 $n = 5$ 、 $m = 2$ 、すなわち変換比（ n/m ）が $5/2$ （図68の $n = 5$ 、 $m = 2$ の箇所）の場合は、

第 k の画像は基本画像であり、

第 $k + 1$ の画像は補間画像であり、

第 $k + 2$ の画像は補間画像であり、

第 $k + 3$ の画像は補間画像であり、

第 $k + 4$ の画像は補間画像であり、

第 $k + 5$ の画像は基本画像であり、画像表示周期は、入力画像データの周期の $1/5$ 倍であることを特徴とする。

【0651】

さらに具体的な表現としては、変換比が $5/2$ （ $n/m = 5/2$ ）である場合は、

第 i （ i は正の整数）の画像データと、

第 $i + 1$ の画像データと、

第 $i + 2$ の画像データと、が、入力画像データとして一定の周期で順次入力され、

第 k （ k は正の整数）の画像と、

第 $k + 1$ の画像と、

第 $k + 2$ の画像と、

第 $k + 3$ の画像と、

第 $k + 4$ の画像と、

第 $k + 5$ の画像と、を、入力画像データの周期の $1/5$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 1$ の画像は、前記第 i の画像データから前記第 $i + 1$ の画像データまでの動きを $2 / 5$ 倍した動きに相当する画像データにしたがって表示され、
前記第 $k + 2$ の画像は、前記第 i の画像データから前記第 $i + 1$ の画像データまでの動きを $4 / 5$ 倍した動きに相当する画像データにしたがって表示され、
前記第 $k + 3$ の画像は、前記第 $i + 1$ の画像データから前記第 $i + 2$ の画像データまでの動きを $1 / 5$ 倍した動きに相当する画像データにしたがって表示され、
前記第 $k + 4$ の画像は、前記第 $i + 1$ の画像データから前記第 $i + 2$ の画像データまでの動きを $3 / 5$ 倍した動きに相当する画像データにしたがって表示され、
前記第 $k + 5$ の画像は、前記第 $i + 2$ の画像データにしたがって表示されることを特徴とする。

10

【0652】

さらに別の具体的な表現としては、変換比が $5 / 2$ ($n / m = 5 / 2$) である場合は、第 i (i は正の整数) の画像データと、
第 $i + 1$ の画像データと、
第 $i + 2$ の画像データと、が、入力画像データとして一定の周期で順次入力され、
第 k (k は正の整数) の画像と、
第 $k + 1$ の画像と、
第 $k + 2$ の画像と、
第 $k + 3$ の画像と、
第 $k + 4$ の画像と、
第 $k + 5$ の画像と、を、入力画像データの周期の $1 / 5$ 倍の間隔で順次表示する表示装置の駆動方法であって、
前記第 k の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 1$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 2$ の画像は、前記第 i の画像データにしたがって表示され、
前記第 $k + 3$ の画像は、前記第 $i + 1$ の画像データにしたがって表示され、
前記第 $k + 4$ の画像は、前記第 $i + 1$ の画像データにしたがって表示され、
前記第 $k + 5$ の画像は、前記第 $i + 2$ の画像データにしたがって表示されることを特徴とする。

20

【0653】

ここで、変換比が $5 / 2$ である場合は、変換比が $5 / 2$ より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が $5 / 2$ である場合は、変換比が 5 より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。

30

【0654】

具体的には、変換比が 5 である場合は、 $5 / 2$ 倍速駆動または 2.5 倍速駆動とも呼ばれる。たとえば、入力フレームレートが 60 Hz であれば、表示フレームレートは 150 Hz (150 Hz 駆動) である。そして、2つの入力画像に対し、画像を5回連続して表示することになる。このとき、補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。特に、 120 Hz 駆動 (倍速駆動) 等の駆動周波数の小さな駆動方法と比較すると、さらに精度の高い動き補償によって求めた中間画像を補間画像として用いることができるため、さらに動画の動きを滑らかにすることができ、動画の品質を顕著に向上させることが可能である。さらに、 180 Hz 駆動 (3倍速駆動) 等の駆動周波数の大きな駆動方法と比較すると、動き補償によって中間画像を求める回路の動作周波数を低減できるため、安価な回路が使用でき、製造コストおよび消費電力を低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と 150 Hz 駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を 150 Hz としつつ、交流駆動の周波数をその整数倍または整数分の一 (たとえば、 30 Hz 、 50

40

50

Hz、75Hz、150Hz等)とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。

【0655】

このように、正の整数 n および m を様々に設定することによって、変換比は任意の有理数 (n/m) として設定することができる。詳細な説明は省略するが、 n が 10 以下の範囲では、

$n=1, m=1$ 、すなわち変換比 (n/m) = 1 (1倍速駆動、60Hz)、
 $n=2, m=1$ 、すなわち変換比 (n/m) = 2 (2倍速駆動、120Hz)、
 $n=3, m=1$ 、すなわち変換比 (n/m) = 3 (3倍速駆動、180Hz)、
 $n=3, m=2$ 、すなわち変換比 (n/m) = $3/2$ ($3/2$ 倍速駆動、90Hz)、
 $n=4, m=1$ 、すなわち変換比 (n/m) = 4 (4倍速駆動、240Hz)、
 $n=4, m=3$ 、すなわち変換比 (n/m) = $4/3$ ($4/3$ 倍速駆動、80Hz)、
 $n=5, m=1$ 、すなわち変換比 (n/m) = $5/1$ (5倍速駆動、300Hz)、
 $n=5, m=2$ 、すなわち変換比 (n/m) = $5/2$ ($5/2$ 倍速駆動、150Hz)、
 $n=5, m=3$ 、すなわち変換比 (n/m) = $5/3$ ($5/3$ 倍速駆動、100Hz)、
 $n=5, m=4$ 、すなわち変換比 (n/m) = $5/4$ ($5/4$ 倍速駆動、75Hz)、
 $n=6, m=1$ 、すなわち変換比 (n/m) = 6 (6倍速駆動、360Hz)、
 $n=6, m=5$ 、すなわち変換比 (n/m) = $6/5$ ($6/5$ 倍速駆動、72Hz)、
 $n=7, m=1$ 、すなわち変換比 (n/m) = 7 (7倍速駆動、420Hz)、
 $n=7, m=2$ 、すなわち変換比 (n/m) = $7/2$ ($7/2$ 倍速駆動、210Hz)、
 $n=7, m=3$ 、すなわち変換比 (n/m) = $7/3$ ($7/3$ 倍速駆動、140Hz)、
 $n=7, m=4$ 、すなわち変換比 (n/m) = $7/4$ ($7/4$ 倍速駆動、105Hz)、
 $n=7, m=5$ 、すなわち変換比 (n/m) = $7/5$ ($7/5$ 倍速駆動、84Hz)、
 $n=7, m=6$ 、すなわち変換比 (n/m) = $7/6$ ($7/6$ 倍速駆動、70Hz)、
 $n=8, m=1$ 、すなわち変換比 (n/m) = 8 (8倍速駆動、480Hz)、
 $n=8, m=3$ 、すなわち変換比 (n/m) = $8/3$ ($8/3$ 倍速駆動、160Hz)、
 $n=8, m=5$ 、すなわち変換比 (n/m) = $8/5$ ($8/5$ 倍速駆動、96Hz)、
 $n=8, m=7$ 、すなわち変換比 (n/m) = $8/7$ ($8/7$ 倍速駆動、68.6Hz)

$n=9, m=1$ 、すなわち変換比 (n/m) = 9 (9倍速駆動、540Hz)、
 $n=9, m=2$ 、すなわち変換比 (n/m) = $9/2$ ($9/2$ 倍速駆動、270Hz)、
 $n=9, m=4$ 、すなわち変換比 (n/m) = $9/4$ ($9/4$ 倍速駆動、135Hz)、
 $n=9, m=5$ 、すなわち変換比 (n/m) = $9/5$ ($9/5$ 倍速駆動、108Hz)、
 $n=9, m=7$ 、すなわち変換比 (n/m) = $9/7$ ($9/7$ 倍速駆動、77.1Hz)

$n=9, m=8$ 、すなわち変換比 (n/m) = $9/8$ ($9/8$ 倍速駆動、67.5Hz)

$n=10, m=1$ 、すなわち変換比 (n/m) = 10 (10倍速駆動、600Hz)、
 $n=10, m=3$ 、すなわち変換比 (n/m) = $10/3$ ($10/3$ 倍速駆動、200Hz)

$n=10, m=7$ 、すなわち変換比 (n/m) = $10/7$ ($10/7$ 倍速駆動、85.7Hz)

$n=10, m=9$ 、すなわち変換比 (n/m) = $10/9$ ($10/9$ 倍速駆動、66.7Hz)

以上の組み合わせが考えられる。なお、周波数の表記は入力フレームレートが60Hzであるときの例であり、その他の入力フレームレートに対しては、それぞれの変換比を入力フレームレートと積算した値が駆動周波数となる。

【0656】

なお、 n が 10 より大きい整数である場合については、具体的な n および m の数字は挙げないが、様々な n および m に対し、この、第1のステップにおけるフレームレート変換の

手順が適用できることは明らかである。

【0657】

なお、表示される画像のうち、入力される画像データに動き補償を行なうことなく表示できる画像がどの程度含まれているかによって、変換比を決定することができる。具体的には、 m が小さいほど、入力される画像データに動き補償を行なうことなく表示できる画像の割合は大きくなる。動き補償を行なう頻度が小さいと、動き補償を行なう回路の動作頻度を減少させることができるため、消費電力を小さくでき、さらに、動き補償によってエラーが含まれる画像（画像の動きを正確に反映していない中間画像）が作成されてしまう可能性を低くすることができるため、画像の品質を向上させることができる。このような変換比としては、 n が10以下の範囲においては、たとえば、1, 2, 3, $3/2$, 4, 5, $5/2$, 6, 7, $7/2$, 8, 9, $9/2$, 10が挙げられる。このような変換比を用いると、特に補間画像として動き補償によって求められた中間画像を用いる場合において、画像の品質を高くすることができ、かつ、消費電力を低減することができる。なぜならば、 m が2である場合は、入力される画像データに動き補償を行なうことなく表示できる画像の数が比較的多く（入力される画像データの総数に対して $1/2$ だけ存在する）、動き補償を行う頻度が減少するためである。さらに、 m が1である場合は、入力される画像データに動き補償を行なうことなく表示できる画像の数が多く（入力される画像データの総数に等しい）、動き補償を行うことがないためである。一方、 m は大きいほど、精度の高い動き補償によって作成された中間画像を用いることができるので、画像の動きをより滑らかにできるという利点を有する。

【0658】

なお、表示装置が液晶表示装置である場合は、液晶素子の応答時間にしたがって変換比を決定することができる。ここでは、液晶素子の応答時間とは、液晶素子に印加する電圧を変化させてから液晶素子が応答するまでの時間である。液晶素子の応答時間が、液晶素子に印加する電圧の変化量によって異なる場合は、複数の代表的な電圧変化における応答時間の平均値とすることができる。または、液晶素子の応答時間は、MPRT (Moving Picture Response Time) で定義されるものであってもよい。そして、フレームレート変換によって、画像表示周期が液晶素子の応答時間に近くなるように、変換比を決定できる。具体的には、液晶素子の応答時間は、入力画像データの周期と変換比の逆数を積算した値から、この値の半分程度の値までの時間であることが好ましい。こうすることで、液晶素子の応答時間に合った画像表示周期とすることができるので、画質を向上することができる。たとえば、液晶素子の応答時間が4ミリ秒以上8ミリ秒以下の場合に、倍速駆動(120Hz駆動)とすることができる。これは、120Hz駆動の画像表示周期が約8ミリ秒であり、120Hz駆動の画像表示周期の半分が約4ミリ秒であることによる。同様に、たとえば、液晶素子の応答時間が3ミリ秒以上6ミリ秒以下の場合に、3倍速駆動(180Hz駆動)とすることができ、液晶素子の応答時間が5ミリ秒以上11ミリ秒以下の場合に、1.5倍速駆動(90Hz駆動)とすることができ、液晶素子の応答時間が2ミリ秒以上4ミリ秒以下の場合に、4倍速駆動(240Hz駆動)とすることができ、液晶素子の応答時間が6ミリ秒以上12ミリ秒以下の場合に、1.25倍速駆動(80Hz駆動)とすることができる。なお、他の駆動周波数についても同様である。

【0659】

なお、変換比は、動画の品質と、消費電力および製造コストのトレードオフによっても決定することができる。つまり、変換比を大きくすることによって動画の品質を上げることができる一方で、変換比を小さくすることによって消費電力および製造コストを低減できる。すなわち、 n が10以下の範囲における各々の変換比は、以下のような利点を有する。

【0660】

変換比が1である場合は、変換比が1より小さい場合よりも動画の品質を向上でき、変換比が1より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さ

いので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の1倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0661】

変換比が2である場合は、変換比が2より小さい場合よりも動画の品質を向上でき、変換比が2より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/2$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0662】

変換比が3である場合は、変換比が3より小さい場合よりも動画の品質を向上でき、変換比が3より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/3$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0663】

変換比が $3/2$ である場合は、変換比が $3/2$ より小さい場合よりも動画の品質を向上でき、変換比が $3/2$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $2/3$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0664】

変換比が4である場合は、変換比が4より小さい場合よりも動画の品質を向上でき、変換比が4より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/4$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0665】

変換比が $4/3$ である場合は、変換比が $4/3$ より小さい場合よりも動画の品質を向上でき、変換比が $4/3$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $3/4$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0666】

変換比が5である場合は、変換比が5より小さい場合よりも動画の品質を向上でき、変換比が5より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/5$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0667】

変換比が $5/2$ である場合は、変換比が $5/2$ より小さい場合よりも動画の品質を向上でき、変換比が $5/2$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $2/5$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0668】

変換比が $5/3$ である場合は、変換比が $5/3$ より小さい場合よりも動画の品質を向上でき、変換比が $5/3$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $3/5$ 倍程度である液晶表示装置に適用することで、画質を向上

10

20

30

40

50

することができる。

【0669】

変換比が $5/4$ である場合は、変換比が $5/4$ より小さい場合よりも動画の品質を向上でき、変換比が $5/4$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $4/5$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0670】

変換比が 6 である場合は、変換比が 6 より小さい場合よりも動画の品質を向上でき、変換比が 6 より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/6$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

10

【0671】

変換比が $6/5$ である場合は、変換比が $6/5$ より小さい場合よりも動画の品質を向上でき、変換比が $6/5$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $5/6$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0672】

変換比が 7 である場合は、変換比が 7 より小さい場合よりも動画の品質を向上でき、変換比が 7 より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/7$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

20

【0673】

変換比が $7/2$ である場合は、変換比が $7/2$ より小さい場合よりも動画の品質を向上でき、変換比が $7/2$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $2/7$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

30

【0674】

変換比が $7/3$ である場合は、変換比が $7/3$ より小さい場合よりも動画の品質を向上でき、変換比が $7/3$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $3/7$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0675】

変換比が $7/4$ である場合は、変換比が $7/4$ より小さい場合よりも動画の品質を向上でき、変換比が $7/4$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $4/7$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

40

【0676】

変換比が $7/5$ である場合は、変換比が $7/5$ より小さい場合よりも動画の品質を向上でき、変換比が $7/5$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $5/7$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0677】

50

変換比が $7/6$ である場合は、変換比が $7/6$ より小さい場合よりも動画の品質を向上でき、変換比が $7/6$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $6/7$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0678】

変換比が 8 である場合は、変換比が 8 より小さい場合よりも動画の品質を向上でき、変換比が 8 より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/8$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

10

【0679】

変換比が $8/3$ である場合は、変換比が $8/3$ より小さい場合よりも動画の品質を向上でき、変換比が $8/3$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $3/8$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0680】

変換比が $8/5$ である場合は、変換比が $8/5$ より小さい場合よりも動画の品質を向上でき、変換比が $8/5$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $5/8$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

20

【0681】

変換比が $8/7$ である場合は、変換比が $8/7$ より小さい場合よりも動画の品質を向上でき、変換比が $8/7$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $7/8$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0682】

変換比が 9 である場合は、変換比が 9 より小さい場合よりも動画の品質を向上でき、変換比が 9 より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/9$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

30

【0683】

変換比が $9/2$ である場合は、変換比が $9/2$ より小さい場合よりも動画の品質を向上でき、変換比が $9/2$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $2/9$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

40

【0684】

変換比が $9/4$ である場合は、変換比が $9/4$ より小さい場合よりも動画の品質を向上でき、変換比が $9/4$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $4/9$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0685】

変換比が $9/5$ である場合は、変換比が $9/5$ より小さい場合よりも動画の品質を向上でき、変換比が $9/5$ より大きい場合よりも消費電力および製造コストを低減できる。さら

50

に、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $5/9$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0686】

変換比が $9/7$ である場合は、変換比が $9/7$ より小さい場合よりも動画の品質を向上でき、変換比が $9/7$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $7/9$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0687】

変換比が $9/8$ である場合は、変換比が $9/8$ より小さい場合よりも動画の品質を向上でき、変換比が $9/8$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $8/9$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0688】

変換比が 10 である場合は、変換比が 10 より小さい場合よりも動画の品質を向上でき、変換比が 10 より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が小さいので、高い画質を得られる一方で消費電力を低減できる。さらに、液晶素子の応答時間が入力画像データの周期の $1/10$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0689】

変換比が $10/3$ である場合は、変換比が $10/3$ より小さい場合よりも動画の品質を向上でき、変換比が $10/3$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $3/10$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0690】

変換比が $10/7$ である場合は、変換比が $10/7$ より小さい場合よりも動画の品質を向上でき、変換比が $10/7$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $7/10$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0691】

変換比が $10/9$ である場合は、変換比が $10/9$ より小さい場合よりも動画の品質を向上でき、変換比が $10/9$ より大きい場合よりも消費電力および製造コストを低減できる。さらに、 m が大きいので、画像の動きをより滑らかにできる。さらに、液晶素子の応答時間が入力画像データの周期の $9/10$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0692】

なお、 n が 10 より大きい範囲における各々の変換比においても、同様な利点を有するのは明らかである。

【0693】

次に、第2のステップとして、入力された画像データにしたがった画像または第1のステップにおいて任意の有理数 (n/m) 倍にフレームレート変換された各々の画像（元画像と呼ぶこととする）から、異なる複数の画像（サブ画像）を作成し、当該複数のサブ画像を時間的に連続して提示する方法について説明する。こうすることによって、実際は複数の画像を提示しているのにもかかわらず、見た目上、1つの元画像が表示されたように人間の目に知覚させることもできる。

【0694】

なお、ここでは、1つの元画像から作成されたサブ画像のうち、先に表示されるサブ画像を、第1のサブ画像と呼ぶこととする。ここで、第1のサブ画像を表示するタイミングは、第1のステップで決められた元画像を表示するタイミングと同じであるとする。一方、その後に表示されるサブ画像を、第2のサブ画像と呼ぶこととする。第2のサブ画像を表示するタイミングは、第1のステップで決められた元画像を表示するタイミングに関わらず、任意に決めることができる。なお、実際に表示させる画像は、第2のステップにおける方法により元画像から作成された画像である。なお、サブ画像を作成するための元画像も、様々な画像を用いることができる。なお、サブ画像の数は2つに限定されず、2つより大きくてもよい。第2のステップにおいては、サブ画像の数をJ個（Jは2以上の整数）と表記する。このとき、第1のステップで決められた元画像を表示するタイミングと同じタイミングで表示されるサブ画像を、第1のサブ画像と呼び、それ以降に続いて表示されるサブ画像を、表示される順番にしたがって第2のサブ画像、第3のサブ画像、・・・、第Jのサブ画像、と呼ぶこととする。

10

【0695】

1つの元画像から複数のサブ画像を作成する方法としては、様々なものがあるが、主なものとしては次のような方法を挙げることができる。1つは、元画像をそのままサブ画像として用いる方法である。1つは、元画像の明るさを複数のサブ画像に分配する方法である。1つは、動き補償によって求めた中間画像をサブ画像として用いる方法である。

【0696】

ここで、元画像の明るさを複数のサブ画像に分配する方法は、さらに複数の方法に分けることができる。主なものとしては次のような方法を挙げることができる。1つは、少なくとも1つのサブ画像を黒画像とする方法（黒挿入法と呼ぶこととする）である。1つは、元画像の明るさを複数の範囲に分割し、当該範囲における明るさを制御するときは、全てのサブ画像のうち唯1つのサブ画像によって行なう方法（時分割階調制御法と呼ぶこととする）である。1つは、一方のサブ画像を、元画像のガンマ値を変更した明るい画像とし、他方のサブ画像を、元画像のガンマ値を変更した暗い画像とする方法（ガンマ補完法と呼ぶこととする）である。

20

【0697】

上に挙げたいくつかの方法を、それぞれ簡単に説明する。元画像をそのままサブ画像として用いる方法は、第1のサブ画像として、元画像をそのまま用いる。さらに、第2のサブ画像として、元画像をそのまま用いる。この方法を用いると、サブ画像を新たに作成する回路を動作させることがない、または当該回路そのものを用いる必要がなくなるため、消費電力および製造コストを低減することができる。特に、液晶表示装置においては、第1のステップにおいて、動き補償によって求めた中間画像を補間画像としたフレームレート変換を行なった後にこの方法を用いることが好ましい。なぜならば、動き補償によって求めた中間画像を補間画像とすることで、動画の動きを滑らかにしつつ、同じ画像を繰り返し表示することで、液晶素子のダイナミックキャパシタンスによる書き込み電圧不足に起因する、動画の尾引き、残像等の障害を低減することができるからである。

30

【0698】

次に、元画像の明るさを複数のサブ画像に分配する方法における、画像の明るさおよびサブ画像が表示される期間の長さの設定方法について詳細に説明する。なお、Jはサブ画像の数を表し、2以上の整数であるとする。小文字のjは大文字のJとは区別される。jは1以上J以下の整数であるとする。

40

通常のホールド駆動における画素の明るさをL、元画像データの周期をT、第jのサブ画像における画素の明るさを L_j 、第jのサブ画像が表示される期間の長さを T_j 、とすると、 L_j と T_j について積をとり、これのj=1からj=Jまでの総和（ $L_1 T_1 + L_2 T_2 + \dots + L_J T_J$ ）が、LとTの積（LT）と等しくなっていること（明るさが不変であること）が好ましい。さらに、 T_j の、j=1からj=Jまでの総和（ $T_1 + T_2 + \dots + T_J$ ）が、Tと等しくなっていること（元画像の表示周期が維持されること）が好ましい。ここで、明るさが不変であり、かつ、元画像の表示周期が維持

50

されることを、サブ画像分配条件と呼ぶこととする。

【0699】

元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法は、少なくとも1つのサブ画像を黒画像とする方法である。こうすることによって、表示方法を擬似的にインパルス型とすることができるため、表示方法がホールド型であることに起因する動画の品質の低下を防ぐことができる。ここで、黒画像の挿入に伴う、表示画像の明るさの低下を防ぐために、サブ画像分配条件に従うことが好ましい。しかし、表示画像の明るさの低下が許容できるような状況（周囲が暗い等）である場合、ユーザによって表示画像の明るさの低下が許容する設定になっている場合などであれば、サブ画像分配条件に従わなくてもよい。たとえば、1つのサブ画像は元画像と同じものとし、他のサブ画像を黒画像としてもよい。この場合は、サブ画像分配条件にしたがったときと比べて、消費電力を低減できる。さらに、液晶表示装置においては、一方のサブ画像を、明るさの最大値に制限をつけずに元画像の全体的な明るさを大きくしたものとすると、バックライトの明るさを大きくすることで、サブ画像分配条件を実現してもよい。この場合は、画素に書き込む電圧値を制御することなく、サブ画像分配条件を満足することができるため、画像処理回路の動作を省略でき、消費電力を低減できる。

10

【0700】

なお、黒挿入法は、いずれか1つのサブ画像において、全ての画素の L_j を0とすることを特徴とする。こうすることにより、表示方法を擬似的にインパルス型とすることができるため、表示方法がホールド型であることに起因する動画の品質の低下を防ぐことができる。

20

【0701】

元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法は、元画像の明るさを複数の範囲に分割し、当該範囲における明るさを制御するときは、全てのサブ画像のうち唯1つのサブ画像によって行なう方法である。こうすることによって、明るさを低下させることなく、表示方法を擬似的にインパルス型とすることができるため、表示方法がホールド型であることに起因する動画の品質の低下を防ぐことができる。

【0702】

元画像の明るさを複数の範囲に分割する方法としては、明るさの最大値（ L_{max} ）を、サブ画像の数だけ分割する方法がある。これは、たとえば、0から L_{max} までの明るさが256段階（階調0から階調255）で調節できる表示装置において、サブ画像の数を2としたとき、階調0から階調127までを表示するときは、一方のサブ画像の明るさを階調0から階調255の範囲で調節する一方で、他方のサブ画像の明るさを階調0とし、階調128から階調255までを表示するときは、一方のサブ画像の明るさを階調255とする一方で、他方のサブ画像の明るさを階調0から階調255の範囲で調節する方法である。こうすることによって、元画像が表示されたように人間の目に知覚させることができ、かつ、擬似的にインパルス型とすることができるので、ホールド型であることに起因する動画の品質の低下を防ぐことができる。なお、サブ画像の数は2より大きくてもよい。たとえば、サブ画像の数を3としたときは、元画像の明るさの段階（階調0から階調255）を、3つに分割する。なお、元画像の明るさの段階の数とサブ画像の数によっては、明るさの段階の数がサブ画像の数で割り切れない場合もあるが、分割後のそれぞれの明るさの範囲に含まれる明るさの段階の数は、ちょうど同じでなくても、適宜振り分ければよい。

30

40

【0703】

なお、時分割階調制御法においても、サブ画像分配条件を満たすことによって、明るさの低下などがおこらず、元画像と同様な画像を表示することができるため、好ましい。

【0704】

元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ補完法は、一方のサブ画像を、元画像のガンマ特性を変更した明るい画像とし、他方のサブ画像を、元画像のガンマ特性を変更した暗い画像とする方法である。こうすることによって、明るさを低下させ

50

ることなく、表示方法を擬似的にインパルス型とすることができるため、表示方法がホールド型であることに起因する動画の品質の低下を防ぐことができる。ここで、ガンマ特性とは、明るさの段階（階調）に対する明るさの程度のことである。通常、ガンマ特性は線形に近くなるように調整される。これは、明るさの段階である階調に対する明るさの変化が比例するようにすれば、滑らかな階調を得ることができるからである。ガンマ補完法では、一方のサブ画像のガンマ特性を線形からずらして、中間の明るさ（中間調）の領域において、線形よりも明るくなるように調整する（中間調が本来よりも明るい画像となる）。そして、他方のサブ画像のガンマ特性も線形からずらして、同じく中間調の領域において、線形よりも暗くなるように調整する（中間調が本来よりも暗い画像となる）。ここで、一方のサブ画像を線形より明るくした量と、他方のサブ画像を線形より暗くした量を、全ての階調において概等しくすることが好ましい。こうすることで、元画像が表示されたように人間の目に知覚させることができ、かつ、ホールド型であることに起因する動画の品質の低下を防ぐことができる。なお、サブ画像の数は2より大きくてもよい。たとえば、サブ画像の数を3としたときは、3つのサブ画像について、それぞれガンマ特性を調整し、線形から明るくした量の合計と、線形から暗くした量の合計が概等しくなるようにすればよい。

10

【0705】

なお、ガンマ補完法においても、サブ画像分配条件を満たすことによって、明るさの低下などがおこらず、元画像と同様な画像を表示することができるため、好ましい。さらに、ガンマ補完法においては、階調に対するそれぞれのサブ画像の明るさ L_j の変化がガンマ曲線にしたがっているため、それぞれのサブ画像がそれ自体で階調を滑らかに表示でき、最終的に人間の目で知覚される画像の品質も向上するという利点を有する。

20

【0706】

動き補償によって求めた中間画像をサブ画像として用いる方法は、一方のサブ画像を、前後の画像から動き補償によって求めた中間画像とする方法である。こうすることで、画像の動きを滑らかにすることができるので、動画の品質を向上できる。

【0707】

次に、サブ画像を表示するタイミングと、サブ画像を作成する方法との関係について説明する。第1のサブ画像を表示するタイミングは、第1のステップで決められた元画像を表示するタイミングと同じであり、第2のサブ画像を表示するタイミングは、第1のステップで決められた元画像を表示するタイミングに関わらず、任意に決めることができるとしたが、第2のサブ画像を表示するタイミングにしたがって、サブ画像自体を変化させてもよい。こうすることで、第2のサブ画像を表示するタイミングを様々に変化させたとしても、元画像が表示されたように人間の目に知覚させることができる。具体的には、第2のサブ画像を表示するタイミングを早くした場合は、第1のサブ画像はより明るくし、第2のサブ画像はより暗くすることができる。さらに、第2のサブ画像を表示するタイミングを遅くした場合は、第1のサブ画像はより暗くし、第2のサブ画像はより明るくすることができる。これは、人間の目が知覚する明るさは、画像を表示する期間の長さによって変わるためである。より詳細には、人間の目が知覚する明るさは、画像を表示する期間が長いほど明るくなり、画像を表示する期間が短いほど暗くなる。すなわち、第2のサブ画像を表示するタイミングを早くすることによって、第1のサブ画像を表示する期間の長さが短くなり、第2のサブ画像を表示する期間の長さが長くなるため、そのままでは第1のサブ画像は暗く、第2のサブ画像は明るく、人間の目に知覚されてしまう。その結果、元画像とは異なる画像が人間の目に知覚されてしまうことになるが、これを防ぐために、第1のサブ画像はより明るくし、第2のサブ画像はより暗くすることができる。同様に、第2のサブ画像を表示するタイミングを遅くすることによって、第1のサブ画像を表示する期間の長さが長くなり、第2のサブ画像を表示する期間の長さが短くなる場合は、第1のサブ画像はより暗くし、第2のサブ画像はより明るくすることができる。

30

40

【0708】

上記の説明に基づいて、第2のステップにおける処理手順を、以下に示す。

50

手順 1 として、1 つの元画像から複数のサブ画像を作成する方法を決定する。より詳細には、複数のサブ画像を作成する方法は、元画像をそのままサブ画像として用いる方法、元画像の明るさを複数のサブ画像に分配する方法、動き補償によって求めた中間画像をサブ画像として用いる方法、から選択することができる。

手順 2 として、サブ画像の数 J を決定する。なお、 J は 2 以上の整数である。

手順 3 として、第 j のサブ画像における画素の明るさ L_j 、第 j のサブ画像が表示される期間の長さ T_j を、手順 1 で選択した方法にしたがって決定する。手順 3 により、それぞれのサブ画像が表示される期間の長さと、それぞれのサブ画像に含まれる個々の画素の明るさが具体的に決められる。

手順 4 として、手順 1 乃至手順 3 のそれぞれで決定された事項にしたがって、元画像を処理し、実際に表示する。

10

手順 5 として、対象とする元画像を次の元画像に移す。そして、手順 1 に戻る。

【0709】

なお、第 2 のステップにおける手順を実行する仕組みは、装置に実装されたものであってもよいし、装置の設計段階であらかじめ決められたものであってもよい。第 2 のステップにおける手順を実行する仕組みが装置に実装されていれば、状況に応じた最適な動作が行われるように、駆動方法を切り替えることが可能となる。なお、ここでいう状況とは、画像データの内容、装置内外の環境（温度、湿度、気圧、光、音、磁界、電界、放射線量、高度、加速度、移動速度、等）、ユーザ設定、ソフトウェアバージョン、等を含む。一方、第 2 のステップにおける手順を実行する仕組みが装置の設計段階であらかじめ決められたものであれば、それぞれの駆動方法に最適な駆動回路を用いることができ、さらに、仕組みが決められていることによって、量産効果による製造コストの低減が期待できる。

20

【0710】

次に、第 2 のステップにおける手順によって決められる様々な駆動方法を、それぞれ、第 1 のステップにおける n および m の値を具体的に示して詳細に説明する。

【0711】

第 2 のステップにおける手順 1 において、元画像をそのままサブ画像として用いる方法が選択された場合、駆動方法は次のようになる。

【0712】

第 i （ i は正の整数）の画像データと、
第 $i + 1$ の画像データと、が、一定の周期 T で順次用意され、
前記周期 T は、 J （ J は 2 以上の整数）個のサブ画像表示期間に分割され、
前記第 i の画像データは、複数の画素にそれぞれ固有の明るさ L を持たせることができるデータであり、

30

第 j （ j は 1 以上 J 以下の整数）のサブ画像は、それぞれ固有の明るさ L_j を持つ画素が複数並置されることによって構成され、第 j のサブ画像表示期間 T_j だけ表示される画像であり、

前記 L 、前記 T 、前記 L_j 、前記 T_j を、サブ画像分配条件を満たす表示装置の駆動方法であって、

全ての j において、第 j のサブ画像に含まれるそれぞれの画素の明るさ L_j が、それぞれの画素に対し $L_j = L$ であることを特徴とする。

40

ここで、一定の周期 T で順次用意される画像データとしては、第 1 のステップにおいて作成された元画像データを用いることができる。すなわち、第 1 のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。

【0713】

そして、第 2 のステップにおける手順 2 において、サブ画像の数 J が 2 と決定され、手順 3 において、 $T_1 = T_2 = T / 2$ と決定された場合、上記駆動方法は、図 69 に示すようなものとなる。

図 69 において、横軸は時間であり、縦軸は第 1 のステップにおいて用いた様々な n および m について場合分けを行なって示したものである。

50

【0714】

たとえば、第1のステップにおいて、 $n=1$ 、 $m=1$ 、すなわち変換比 (n/m) が1であるときは、図69の $n=1$ 、 $m=1$ の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの2倍 (2倍速駆動) となる。具体的には、たとえば、入力フレームレートが60Hzであれば、表示フレームレートは120Hz (120Hz駆動) である。そして、ひとつの入力される画像データに対し、画像を2回連続して表示することになる。ここで、2倍速駆動である場合は、フレームレートが2倍速より小さい場合よりも動画の品質を向上でき、2倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と120Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を120Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一 (たとえば、30Hz、60Hz、120Hz、240Hz等) とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の1/2倍程度である液晶表示装置に適用することで、画質を向上することができる。

10

20

【0715】

さらに、たとえば、第1のステップにおいて、 $n=2$ 、 $m=1$ 、すなわち変換比 (n/m) が2であるときは、図69の $n=2$ 、 $m=1$ の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの4倍 (4倍速駆動) となる。具体的には、たとえば、入力フレームレートが60Hzであれば、表示フレームレートは240Hz (240Hz駆動) である。そして、ひとつの入力される画像データに対し、画像を4回連続して表示することになる。このとき、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、4倍速駆動である場合は、フレームレートが4倍速より小さい場合よりも動画の品質を向上でき、4倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と240Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を240Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一 (たとえば、30Hz、60Hz、120Hz、240Hz等) とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の1/4倍程度である液晶表示装置に適用することで、画質を向上することができる。

30

40

【0716】

さらに、たとえば、第1のステップにおいて、 $n=3$ 、 $m=1$ 、すなわち変換比 (n/m) が3であるときは、図69の $n=3$ 、 $m=1$ の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの6倍 (6倍速駆動) となる。具体的には、たとえば、入力フレームレートが60Hzであれば、表示フレームレートは360Hz (360Hz駆動) である。そして、ひとつの入力される画像デー

50

タに対し、画像を6回連続して表示することになる。このとき、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、6倍速駆動である場合は、フレームレートが6倍速より小さい場合よりも動画の品質を向上でき、6倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と360Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を360Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、30Hz、60Hz、120Hz、180Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の1/6倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0717】

さらに、たとえば、第1のステップにおいて、 $n=3$ 、 $m=2$ 、すなわち変換比（ n/m ）が3/2であるときは、図69の $n=3$ 、 $m=2$ の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの3倍（3倍速駆動）となる。具体的には、たとえば、入力フレームレートが60Hzであれば、表示フレームレートは180Hz（180Hz駆動）である。そして、ひとつの入力される画像データに対し、画像を3回連続して表示することになる。このとき、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、3倍速駆動である場合は、フレームレートが3倍速より小さい場合よりも動画の品質を向上でき、3倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と180Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を180Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、30Hz、60Hz、120Hz、180Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の1/3倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0718】

さらに、たとえば、第1のステップにおいて、 $n=4$ 、 $m=1$ 、すなわち変換比（ n/m ）が4であるときは、図69の $n=4$ 、 $m=1$ の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの8倍（8倍速駆動）となる。具体的には、たとえば、入力フレームレートが60Hzであれば、表示フレームレートは480Hz（480Hz駆動）である。そして、ひとつの入力される画像データに対し、画像を8回連続して表示することになる。このとき、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、8倍速駆動である場合は、フレームレートが8倍速より小さい場合よりも動画の品質を向上でき

、8倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と480Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を480Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、30Hz、60Hz、120Hz、240Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の1/8倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0719】

さらに、たとえば、第1のステップにおいて、 $n=4$ 、 $m=3$ 、すなわち変換比（ n/m ）が4/3であるときは、図69の $n=4$ 、 $m=3$ の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの8/3倍（8/3倍速駆動）となる。具体的には、たとえば、入力フレームレートが60Hzであれば、表示フレームレートは160Hz（160Hz駆動）である。そして、3つの入力される画像データに対し、画像を8回連続して表示することになる。このとき、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、8/3倍速駆動である場合は、フレームレートが8/3倍速より小さい場合よりも動画の品質を向上でき、8/3倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と160Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を160Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、40Hz、80Hz、160Hz、320Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の3/8倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0720】

さらに、たとえば、第1のステップにおいて、 $n=5$ 、 $m=1$ 、すなわち変換比（ n/m ）が5であるときは、図69の $n=5$ 、 $m=1$ の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの10倍（10倍速駆動）となる。具体的には、たとえば、入力フレームレートが60Hzであれば、表示フレームレートは600Hz（600Hz駆動）である。そして、ひとつの入力される画像データに対し、画像を10回連続して表示することになる。このとき、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、10倍速駆動である場合は、フレームレートが10倍速より小さい場合よりも動画の品質を向上でき、10倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを

低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と600Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を600Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、30Hz、60Hz、100Hz、120Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の1/10倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0721】

さらに、たとえば、第1のステップにおいて、 $n=5$ 、 $m=2$ 、すなわち変換比（ n/m ）が5/2であるときは、図69の $n=5$ 、 $m=2$ の箇所に示すような駆動方法となる。このとき、表示フレームレートは入力される画像データのフレームレートの5倍（5倍速駆動）となる。具体的には、たとえば、入力フレームレートが60Hzであれば、表示フレームレートは300Hz（300Hz駆動）である。そして、1つの入力される画像データに対し、画像を5回連続して表示することになる。このとき、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。ここで、5倍速駆動である場合は、フレームレートが5倍速より小さい場合よりも動画の品質を向上でき、5倍速より大きい場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の交流駆動と300Hz駆動を組み合わせるのも効果的である。すなわち、液晶表示装置の駆動周波数を300Hzとしつつ、交流駆動の周波数をその整数倍または整数分の一（たとえば、30Hz、50Hz、60Hz、100Hz等）とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の1/5倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0722】

このように、第2のステップにおける手順1において、元画像をそのままサブ画像として用いる方法が選択され、

第2のステップにおける手順2において、サブ画像の数が2と決定され、

第2のステップにおける手順3において、 $T1=T2=T/2$ と決定された場合は、第1のステップにおける n および m の値によって決められる変換比のフレームレート変換に対し、表示フレームレートをさらに2倍のフレームレートとすることができるため、動画の品質をさらに向上させることが可能となる。さらに、当該表示フレームレートより小さい表示フレームレートである場合よりも動画の品質を向上でき、当該表示フレームレートより大きい表示フレームレートである場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の駆動周波数を大きくしつつ、交流駆動の周波数をその整数倍または整数分の一とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない

10

20

30

40

50

程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の ($1 / (\text{変換比の} 2 \text{ 倍})$) 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0723】

なお、詳細な説明が省略したが、上に上げた変換比以外の場合においても、同様な利点を有するのは明らかである。たとえば、 n が 10 以下の範囲においては、上に挙げたもののほかに、

$n = 5$, $m = 3$ 、すなわち変換比 (n / m) = $5 / 3$ ($10 / 3$ 倍速駆動、 200 Hz)

、

$n = 5$, $m = 4$ 、すなわち変換比 (n / m) = $5 / 4$ ($5 / 2$ 倍速駆動、 150 Hz)、

$n = 6$, $m = 1$ 、すなわち変換比 (n / m) = 6 (12 倍速駆動、 720 Hz)、

$n = 6$, $m = 5$ 、すなわち変換比 (n / m) = $6 / 5$ ($12 / 5$ 倍速駆動、 144 Hz)

、

$n = 7$, $m = 1$ 、すなわち変換比 (n / m) = 7 (14 倍速駆動、 840 Hz)、

$n = 7$, $m = 2$ 、すなわち変換比 (n / m) = $7 / 2$ (7 倍速駆動、 420 Hz)、

$n = 7$, $m = 3$ 、すなわち変換比 (n / m) = $7 / 3$ ($14 / 3$ 倍速駆動、 280 Hz)

、

$n = 7$, $m = 4$ 、すなわち変換比 (n / m) = $7 / 4$ ($7 / 2$ 倍速駆動、 210 Hz)、

$n = 7$, $m = 5$ 、すなわち変換比 (n / m) = $7 / 5$ ($14 / 5$ 倍速駆動、 168 Hz)

、

$n = 7$, $m = 6$ 、すなわち変換比 (n / m) = $7 / 6$ ($7 / 3$ 倍速駆動、 140 Hz)、

$n = 8$, $m = 1$ 、すなわち変換比 (n / m) = 8 (16 倍速駆動、 960 Hz)、

$n = 8$, $m = 3$ 、すなわち変換比 (n / m) = $8 / 3$ ($16 / 3$ 倍速駆動、 320 Hz)

、

$n = 8$, $m = 5$ 、すなわち変換比 (n / m) = $8 / 5$ ($16 / 5$ 倍速駆動、 192 Hz)

、

$n = 8$, $m = 7$ 、すなわち変換比 (n / m) = $8 / 7$ ($16 / 7$ 倍速駆動、 137 Hz)

、

$n = 9$, $m = 1$ 、すなわち変換比 (n / m) = 9 (18 倍速駆動、 1080 Hz)、

$n = 9$, $m = 2$ 、すなわち変換比 (n / m) = $9 / 2$ (9 倍速駆動、 540 Hz)、

$n = 9$, $m = 4$ 、すなわち変換比 (n / m) = $9 / 4$ ($9 / 2$ 倍速駆動、 270 Hz)、

$n = 9$, $m = 5$ 、すなわち変換比 (n / m) = $9 / 5$ ($18 / 5$ 倍速駆動、 216 Hz)

、

$n = 9$, $m = 7$ 、すなわち変換比 (n / m) = $9 / 7$ ($18 / 7$ 倍速駆動、 154 Hz)

、

$n = 9$, $m = 8$ 、すなわち変換比 (n / m) = $9 / 8$ ($9 / 4$ 倍速駆動、 135 Hz)、

$n = 10$, $m = 1$ 、すなわち変換比 (n / m) = 10 (20 倍速駆動、 1200 Hz)、

$n = 10$, $m = 3$ 、すなわち変換比 (n / m) = $10 / 3$ ($20 / 3$ 倍速駆動、 400 Hz)、

$n = 10$, $m = 7$ 、すなわち変換比 (n / m) = $10 / 7$ ($20 / 7$ 倍速駆動、 171 Hz)、

$n = 10$, $m = 9$ 、すなわち変換比 (n / m) = $10 / 9$ ($20 / 9$ 倍速駆動、 133 Hz)、

以上の組み合わせが考えられる。なお、周波数の表記は入力フレームレートが 60 Hz であるときの例であり、その他の入力フレームレートに対しては、それぞれの変換比の 2 倍を入力フレームレートと積算した値が駆動周波数となる。

【0724】

なお、 n が 10 より大きい整数である場合については、具体的な n および m の数字は挙げないが、様々な n および m に対し、この、第 2 のステップにおける手順が適用できることは明らかである。

【0725】

なお、 $J=2$ とする場合、第1のステップにおける変換比が2より大きいと、特に効果的である。なぜならば、第2のステップにおいて、サブ画像の数を $J=2$ のように比較的小さくすれば、その分、第1のステップにおける変換比を大きくすることができるからである。このような変換比は、 n が10以下の範囲においては、3、4、5、 $5/2$ 、6、7、 $7/2$ 、 $7/3$ 、8、 $8/3$ 、9、 $9/2$ 、 $9/4$ 、10、 $10/3$ 、が挙げられる。第1のステップ後の表示フレームレートがこのような値の場合、 $J=3$ 以上とすることによって、第2のステップにおけるサブ画像の数が小さいことによる利点（消費電力および製造コストの低減等）と、最終的な表示フレームレートが大きいことによる利点（動画の品質向上、フリッカの低減等）を、両立させることが可能となる。

10

【0726】

なお、ここでは、手順2においてサブ画像の数 J が2と決定され、手順3において $T_1 = T_2 = T/2$ と決定された場合について説明したが、これに限定されないのは明らかである。

【0727】

たとえば、第2のステップにおける手順3において、 $T_1 < T_2$ と決定された場合は、第1のサブ画像をより明るく、第2のサブ画像をより暗くすることができる。さらに、第2のステップにおける手順3において、 $T_1 > T_2$ と決定された場合は、第1のサブ画像をより暗く、第2のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。ただし、上記の駆動方法のように、手順1において、元画像をそのままサブ画像として用いる方法が選択された場合は、サブ画像の明るさを変化させずに、そのまま表示してもよい。なぜならば、この場合はサブ画像として用いる画像が同じであるため、サブ画像の表示タイミングに関わらず、元画像をきちんと表示することができるからである。

20

【0728】

さらに、手順2において、サブ画像の数 J が2ではなく、それ以外の値に決定されてもよいことは明らかである。この場合、第1のステップにおける n および m の値によって決められる変換比のフレームレート変換に対し、表示フレームレートをさらに J 倍のフレームレートとすることができるため、動画の品質をさらに向上させることが可能となる。さらに、当該表示フレームレートより小さい表示フレームレートである場合よりも動画の品質を向上でき、当該表示フレームレートより大きい表示フレームレートである場合よりも消費電力および製造コストを低減できる。さらに、第2のステップの手順1において、元画像をそのままサブ画像として用いる方法が選択されることによって、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、液晶表示装置の駆動周波数を大きくしつつ、交流駆動の周波数をその整数倍または整数分の一とすることによって、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる。さらに、液晶素子の応答時間が入力画像データの周期の $(1/(J \times \text{変換比}))$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

30

40

【0729】

たとえば、 $J=3$ である場合は、特に、サブ画像の数が3より小さい場合よりも動画の品質を向上でき、サブ画像の数が3より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。さらに、液晶素子の応答時間が入力画像データの周期の $(1/(3 \times \text{変換比}))$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0730】

50

さらに、たとえば、 $J = 4$ である場合は、特に、サブ画像の数が4より小さい場合よりも動画の品質を向上でき、サブ画像の数が4より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。さらに、液晶素子の応答時間が入力画像データの周期の $(1 / (\text{変換比の4倍}))$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0731】

さらに、たとえば、 $J = 5$ である場合は、特に、サブ画像の数が5より小さい場合よりも動画の品質を向上でき、サブ画像の数が5より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。さらに、液晶素子の応答時間が入力画像データの周期の $(1 / (\text{変換比の5倍}))$ 倍程度である液晶表示装置に適用することで、画質を向上

10

【0732】

さらに、 J が上に挙げたもの以外であっても、同様な利点を有する。

【0733】

なお、 $J = 3$ 以上とする場合、第1のステップにおける変換比は様々な値をとることができるが、特に、第1のステップにおける変換比が比較的小さい場合(2以下)に、 $J = 3$ 以上とするのが効果的である。なぜならば、第1のステップ後の表示フレームレートが比較的小さければ、その分、第2のステップにおいて、 J を大きくすることができるからである。このような変換比は、 n が10以下の範囲においては、 1 、 2 、 $3/2$ 、 $4/3$ 、 $5/3$ 、 $5/4$ 、 $6/5$ 、 $7/4$ 、 $7/5$ 、 $7/6$ 、 $8/7$ 、 $9/5$ 、 $9/7$ 、 $9/8$ 、 $10/7$ 、 $10/9$ 、が挙げられる。このうち、変換比が 1 、 2 、 $3/2$ 、 $4/3$ 、 $5/3$ 、 $5/4$ の場合については、図70に図示する。このように、第1のステップ後の表示フレームレートが比較的小さい値の場合、 $J = 3$ 以上とすることによって、第1のステップにおける表示フレームレートが小さいことによる利点(消費電力および製造コストの低減等)と、最終的な表示フレームレートが大きいことによる利点(動画の品質向上、フリッカの低減等)を、両立させることが可能となる。

20

【0734】

次に、第2のステップにおける手順によって決められる駆動方法の別の例について説明する。

【0735】

第2のステップにおける手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択された場合、駆動方法は次のようになる。

【0736】

第 i (i は正の整数)の画像データと、
第 $i + 1$ の画像データと、が、一定の周期 T で順次用意され、
前記周期 T は、 J (J は2以上の整数)個のサブ画像表示期間に分割され、
前記第 i の画像データは、複数の画素にそれぞれ固有の明るさ L を持たせることができるデータであり、

第 j (j は1以上 J 以下の整数)のサブ画像は、それぞれ固有の明るさ L_j を持つ画素が複数並置されることによって構成され、第 j のサブ画像表示期間 T_j だけ表示される画像であり、

40

前記 L 、前記 T 、前記 L_j 、前記 T_j を、サブ画像分配条件を満たす表示装置の駆動方法であって、

少なくとも1つの j において、第 j のサブ画像に含まれる全て画素の明るさ L_j が、 $L_j = 0$ である

ことを特徴とする。

ここで、一定の周期 T で順次用意される画像データとしては、第1のステップにおいて作成された元画像データを用いることができる。すなわち、第1のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。

【0737】

50

なお、上記の駆動方法は、第1のステップにおいて用いた様々な n および m について、それぞれ組み合わせて実施できることは明らかである。

【0738】

そして、第2のステップにおける手順2において、サブ画像の数 J が2と決定され、手順3において、 $T_1 = T_2 = T/2$ と決定された場合、上記駆動方法は、図69に示すようなものとなる。

図69に示す駆動方法（様々な n および m における表示タイミング）の特徴および利点は既に述べたので、ここでは詳細な説明は省略するが、第2のステップにおける手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択された場合においても同様な利点を有するのは明らかである。たとえば、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示フレームレートが大きい場合は、動画の品質を向上でき、表示フレームレートが小さい場合は、消費電力および製造コストを低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる

【0739】

第2のステップの手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択されることによる特徴的な利点としては、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができることである。さらに、画像データに含まれる階調値によらずに擬似的にインパルス型の表示方法とすることができるため、動画の品質を向上できる。

【0740】

なお、ここでは、手順2においてサブ画像の数 J が2と決定され、手順3において $T_1 = T_2 = T/2$ と決定された場合について説明したが、これに限定されないのは明らかである。

【0741】

たとえば、第2のステップにおける手順3において、 $T_1 < T_2$ と決定された場合は、第1のサブ画像をより明るく、第2のサブ画像をより暗くすることができる。さらに、第2のステップにおける手順3において、 $T_1 > T_2$ と決定された場合は、第1のサブ画像をより暗く、第2のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。ただし、上記の駆動方法のように、手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択された場合は、サブ画像の明るさを変化させずに、そのまま表示してもよい。なぜならば、この場合はサブ画像の明るさを変えない場合は、元画像の全体の明るさが暗くなって表示されるだけであるからである。すなわち、この方法を表示装置の明るさの制御に積極的に用いることで、動画の品質を向上させつつ、明るさの制御も可能となる。

【0742】

さらに、手順2において、サブ画像の数 J が2ではなく、それ以外の値に決定されてもよいことは明らかである。その場合の利点は既に述べたので、ここでは詳細な説明は省略するが、第2のステップにおける手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、黒挿入法が選択された場合においても同様な利点を有するのは明らかである。たとえば、液晶素子の応答時間が入力画像データの周期の $(1/(\text{変換比の} J \text{ 倍}))$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0743】

次に、第2のステップにおける手順によって決められる駆動方法の別の例について説明す

る。

【0744】

第2のステップにおける手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択された場合、駆動方法は次のようになる。

【0745】

第 i (i は正の整数)の画像データと、

第 $i+1$ の画像データと、が、一定の周期 T で順次用意され、

前記周期 T は、 J (J は2以上の整数)個のサブ画像表示期間に分割され、

前記第 i の画像データは、複数の画素にそれぞれ固有の明るさ L を持たせることができるデータであり、

前記固有の明るさ L は、最大値が L_{max} であり、

第 j (j は1以上 J 以下の整数)のサブ画像は、それぞれ固有の明るさ L_j を持つ画素が複数並置されることによって構成され、第 j のサブ画像表示期間 T_j だけ表示される画像であり、

前記 L 、前記 T 、前記 L_j 、前記 T_j 、を、サブ画像分配条件を満たす表示装置の駆動方法であって、

前記固有の明るさ L を表示するにあたって、 $(j-1) \times L_{max} / J$ から $J \times L_{max} / J$ の明るさの範囲における明るさの調節は、前記 J 個のサブ画像表示期間のうち唯1つのサブ画像表示期間における明るさの調節によって行なう

ことを特徴とする。

ここで、一定の周期 T で順次用意される画像データとしては、第1のステップにおいて作成された元画像データを用いることができる。すなわち、第1のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。

【0746】

なお、上記の駆動方法は、第1のステップにおいて用いた様々な n および m について、それぞれ組み合わせて実施できることは明らかである。

【0747】

そして、第2のステップにおける手順2において、サブ画像の数 J が2と決定され、手順3において、 $T_1 = T_2 = T / 2$ と決定された場合、上記駆動方法は、図69に示すようなものとなる。

図69に示す駆動方法(様々な n および m における表示タイミング)の特徴および利点は既に述べたので、ここでは詳細な説明は省略するが、第2のステップにおける手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択された場合においても同様な利点を有するのは明らかである。たとえば、第1のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示フレームレートが大きい場合は、動画の品質を向上でき、表示フレームレートが小さい場合は、消費電力および製造コストを低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる

【0748】

第2のステップの手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択されることによる特徴的な利点としては、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができることである。さらに、擬似的にインパルス型の表示方法とすることができるため、動画の品質が向上でき、かつ、表示装置の明るさが小さくなってしまわないため、さらに消費電力を低減できる。

10

20

30

40

50

【0749】

なお、ここでは、手順2においてサブ画像の数 J が2と決定され、手順3において $T_1 = T_2 = T/2$ と決定された場合について説明したが、これに限定されないのは明らかである。

【0750】

たとえば、第2のステップにおける手順3において、 $T_1 < T_2$ と決定された場合は、第1のサブ画像をより明るく、第2のサブ画像をより暗くすることができる。さらに、第2のステップにおける手順3において、 $T_1 > T_2$ と決定された場合は、第1のサブ画像をより暗く、第2のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。10

【0751】

さらに、手順2において、サブ画像の数 J が2ではなく、それ以外の値に決定されてもよいことは明らかである。その場合の利点は既に述べたので、ここでは詳細な説明は省略するが、第2のステップにおける手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択された場合においても同様な利点を有するのは明らかである。たとえば、液晶素子の応答時間が入力画像データの周期の $(1/(J \times \text{変換比}))$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。20

【0752】

次に、第2のステップにおける手順によって決められる駆動方法の別の例について説明する。

【0753】

第2のステップにおける手順1において、元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ補完法が選択された場合、駆動方法は次のようになる。

【0754】

第 i (i は正の整数)の画像データと、
第 $i+1$ の画像データと、が、一定の周期 T で順次用意され、
前記周期 T は、 J (J は2以上の整数)個のサブ画像表示期間に分割され、
前記第 i の画像データは、複数の画素にそれぞれ固有の明るさ L を持たせることができるデータであり、30

第 j (j は1以上 J 以下の整数)のサブ画像は、それぞれ固有の明るさ L_j を持つ画素が複数並置されることによって構成され、第 j のサブ画像表示期間 T_j だけ表示される画像であり、

前記 L 、前記 T 、前記 L_j 、前記 T_j 、を、サブ画像分配条件を満たす表示装置の駆動方法であって、

それぞれのサブ画像において、階調に対する明るさの変化の特性を、線形からずらし、線形から明るい方へずらした明るさの量の合計と、線形から暗い方へずらした明るさの量の合計が、全ての階調において概等しいことを特徴とする。40

ここで、一定の周期 T で順次用意される画像データとしては、第1のステップにおいて作成された元画像データを用いることができる。すなわち、第1のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。

【0755】

なお、上記の駆動方法は、第1のステップにおいて用いた様々な n および m について、それぞれ組み合わせて実施できることは明らかである。

【0756】

そして、第2のステップにおける手順2において、サブ画像の数 J が2と決定され、手順3において、 $T_1 = T_2 = T/2$ と決定された場合、上記駆動方法は、図69に示すよう50

なものとなる。

図 6 9 に示す駆動方法（様々な n および m における表示タイミング）の特徴および利点は既に述べたので、ここでは詳細な説明は省略するが、第 2 のステップにおける手順 1 において、元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ補完法が選択された場合においても同様な利点を有するのは明らかである。たとえば、第 1 のステップにおける補間画像が動き補償によって求められた中間画像である場合は、動画の動きを滑らかにすることができるため、動画の品質を顕著に向上させることが可能である。さらに、表示フレームレートが大きい場合は、動画の品質を向上でき、表示フレームレートが小さい場合は、消費電力および製造コストを低減できる。さらに、表示装置がアクティブマトリクス方式の液晶表示装置である場合は、ダイナミックキャパシタンスによる書き込み電圧不足の問題が回避できるため、動画の尾引き、残像等の障害に対し特に顕著な画質改善効果をもたらす。さらに、交流駆動によって現れるフリッカを、人間の目に知覚されない程度に低減することができる

【0757】

第 2 のステップの手順 1 において、元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ補完法が選択されることによる特徴的な利点としては、動き補償によって中間画像を作成する回路の動作を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができることである。さらに、画像データに含まれる階調値によらずに擬似的にインパルス型の表示方法とすることができるため、動画の品質を向上できる。さらに、画像データを直接ガンマ変換することによってサブ画像を求めてもよい。この場合は、動画の動きの大きさなどによって、様々なガンマ値を制御できる利点を有する。さらに、画像データは直接ガンマ変換せず、デジタルアナログ変換回路（DAC）の参照電圧を変えることによって、ガンマ値を変化させたサブ画像を求める構成であってもよい。この場合は、画像データを直接ガンマ変換することがないので、ガンマ変換を行なう回路を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。さらに、ガンマ補完法においては、階調に対するそれぞれのサブ画像の明るさ L_j の変化がガンマ曲線にしたがっているため、それぞれのサブ画像がそれ自体で階調を滑らかに表示でき、最終的に人間の目で知覚される画像の品質も向上するという利点を有する。

【0758】

なお、ここでは、手順 2 においてサブ画像の数 J が 2 と決定され、手順 3 において $T_1 = T_2 = T/2$ と決定された場合について説明したが、これに限定されないのは明らかである。

【0759】

たとえば、第 2 のステップにおける手順 3 において、 $T_1 < T_2$ と決定された場合は、第 1 のサブ画像をより明るく、第 2 のサブ画像をより暗くすることができる。さらに、第 2 のステップにおける手順 3 において、 $T_1 > T_2$ と決定された場合は、第 1 のサブ画像をより暗く、第 2 のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。なお、上記の駆動方法のように、手順 1 において、元画像の明るさを複数のサブ画像に分配する方法のうち、ガンマ法が選択された場合は、サブ画像の明るさを変化させる場合に、ガンマ値を変化させてもよい。すなわち、第 2 のサブ画像の表示タイミングにしたがって、ガンマ値を決めてもよい。こうすることで、画像全体の明るさを変化させる回路を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。

【0760】

さらに、手順 2 において、サブ画像の数 J が 2 でなく、それ以外の値に決定されてもよいことは明らかである。その場合の利点は既に述べたので、ここでは詳細な説明は省略するが、第 2 のステップにおける手順 1 において、元画像の明るさを複数のサブ画像に分配する方法のうち、時分割階調制御法が選択された場合においても同様な利点を有するのは

明らかである。たとえば、液晶素子の応答時間が入力画像データの周期の $(1 / (\text{変換比の } J \text{ 倍}))$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0761】

次に、第2のステップにおける手順によって決められる駆動方法の別の例について、詳細に説明する。

【0762】

第2のステップにおける手順1において、動き補償によって求めた中間画像をサブ画像として用いる方法が選択され、

第2のステップにおける手順2において、サブ画像の数が2と決定され、

第2のステップにおける手順3において、 $T_1 = T_2 = T / 2$ と決定された場合は、第2のステップにおける手順によって決められる駆動方法は、次のようになる。

【0763】

第 i (i は正の整数)の画像データと、

第 $i + 1$ の画像データと、が、一定の周期 T で順次用意され、

第 k (k は正の整数)の画像と、

第 $k + 1$ の画像と、

第 $k + 2$ の画像と、を、元画像データの周期の $1 / 2$ 倍の間隔で順次表示する表示装置の駆動方法であって、

前記第 k の画像は、前記第 i の画像データにしたがって表示され、

前記第 $k + 1$ の画像は、前記第 i の画像データから前記第 $i + 1$ の画像データまでの動きを $1 / 2$ 倍した動きに相当する画像データにしたがって表示され、

前記第 $k + 2$ の画像は、前記第 $i + 1$ の画像データにしたがって表示されることを特徴とする。

ここで、一定の周期 T で順次用意される画像データとしては、第1のステップにおいて作成された元画像データを用いることができる。すなわち、第1のステップの説明で挙げた全ての表示パターンを、上記駆動方法と組み合わせることができる。

【0764】

なお、上記の駆動方法は、第1のステップにおいて用いた様々な n および m について、それぞれ組み合わせて実施できることは明らかである。

【0765】

第2のステップにおける手順1において、動き補償によって求めた中間画像をサブ画像として用いる方法が選択されることによる特徴的な利点は、第1のステップにおける手順において、動き補償によって求めた中間画像を補間画像とする場合に、第1のステップにおいて用いた中間画像を求める方法が、第2のステップでもそのままの方法で用いることができる点である。すなわち、動き補償によって中間画像を求める回路を、第1のステップだけではなく、第2のステップでも利用することができるので、回路を有効に利用できるようになり、処理効率を向上できる。また、画像の動きをさらに滑らかにすることができるため、動画の品質をさらに向上させることができる。

【0766】

なお、ここでは、手順2においてサブ画像の数 J が2と決定され、手順3において $T_1 = T_2 = T / 2$ と決定された場合について説明したが、これに限定されないのは明らかである。

【0767】

たとえば、第2のステップにおける手順3において、 $T_1 < T_2$ と決定された場合は、第1のサブ画像をより明るく、第2のサブ画像をより暗くすることができる。さらに、第2のステップにおける手順3において、 $T_1 > T_2$ と決定された場合は、第1のサブ画像をより暗く、第2のサブ画像をより明るくすることができる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもできるため、動画の品質を向上できる。こうすることで、元画像をきちんと人間の目に知覚させることができると同時に、表示を擬似的にインパルス駆動にすることもで

きるため、動画の品質を向上できる。なお、上記の駆動方法のように、手順 2 において、動き補償によって求めた中間画像をサブ画像として用いる方法が選択された場合は、サブ画像の明るさを変化させなくてもよい。なぜならば、中間状態の画像はそれ自体で画像として完結しているため、第 2 のサブ画像の表示タイミングが変化しても、人間の目に知覚される画像としては変化しないためである。この場合は、画像全体の明るさを変化させる回路を停止または当該回路自体を装置から省略することができるため、消費電力および装置の製造コストを低減することができる。

【0768】

さらに、手順 2 において、サブ画像の数 J が 2 ではなく、それ以外の値に決定されてもよいことは明らかである。その場合の利点は既に述べたので、ここでは詳細な説明は省略するが、第 2 のステップにおける手順 1 において、動き補償によって求めた中間画像をサブ画像として用いる方法が選択された場合においても同様な利点を有するのは明らかである。たとえば、液晶素子の応答時間が入力画像データの周期の $(1 / (\text{変換比の } J \text{ 倍}))$ 倍程度である液晶表示装置に適用することで、画質を向上することができる。

【0769】

次に、図 7 1 を参照して、入力フレームレートと表示フレームレートが異なる場合の、フレームレート変換方法の具体例について説明する。図 7 1 (A) 乃至 (C) に示す方法においては、画像上の円形の領域がフレームによって位置が変化する領域であり、画像上の三角形の領域がフレームによって位置がほぼ変化しない領域であるとしている。ただし、これは説明のための例であり、表示される画像はこれに限定されない。図 7 1 (A) 乃至 (C) の方法は、様々な画像に対して適用することができる。

【0770】

図 7 1 (A) は、表示フレームレートが入力フレームレートの 2 倍 (変換比が 2) である場合を表している。変換比が 2 である場合は、変換比が 2 より小さい場合よりも動画の品質を向上できるという利点を有する。さらに、変換比が 2 である場合は、変換比が 2 より大きい場合よりも消費電力および製造コストを低減できるという利点を有する。図 7 1 (A) は、横軸を時間として、表示される画像の時間的な変化の様子を、模式的に表したものである。ここで、注目している画像のことを、第 p の画像 (p は正の整数) と表記することとする。そして、注目している画像の次に表示される画像を、第 $(p + 1)$ の画像、注目している画像の前に表示される画像を、第 $(p - 1)$ の画像、というように、注目している画像からどれだけ離れて表示されるかということを、便宜的に表記することとする。そして、画像 180701 は第 p の画像、画像 180702 は第 $(p + 1)$ の画像、画像 180703 は第 $(p + 2)$ の画像、画像 180704 は第 $(p + 3)$ の画像、画像 180705 は第 $(p + 4)$ の画像であるとする。期間 T_{in} は、入力画像データの周期を表している。なお、図 7 1 (A) は変換比が 2 である場合を表しているため、期間 T_{in} は、第 p の画像が表示されてから第 $(p + 1)$ の画像が表示されるまで期間の 2 倍の長さとなる。

【0771】

ここで、第 $(p + 1)$ の画像 180702 は、第 p の画像 180701 から第 $(p + 2)$ の画像 180703 までの画像の変化量を検出することで、第 p の画像 180701 および第 $(p + 2)$ の画像 180703 の中間状態となるように作成された画像であってもよい。図 7 1 (A) では、フレームによって位置が変化する領域 (円形の領域) と、フレームによって位置がほぼ変化しない領域 (三角形の領域) と、によって、中間状態の画像の様子を表している。すなわち、第 $(p + 1)$ の画像 180702 における円形の領域の位置は、第 p の画像 180701 における位置と、第 $(p + 2)$ の画像 180703 における位置の中間の位置としている。つまり、第 $(p + 1)$ の画像 180702 は、動き補償を行なって画像データを補間したものである。このように、画像上で動きのある物体に対して動き補償を行い、画像データを補間することによって、なめらかな表示を行なうことができる。

【0772】

さらに、第 $(p+1)$ の画像 180702 は、第 p の画像 180701 および第 $(p+2)$ の画像 180703 の中間状態となるように作成された上で、画像の輝度を一定の規則で制御した画像であってもよい。一定の規則とは、たとえば、図 71 (A) のように、第 p の画像 180701 の代表的な輝度を L 、第 $(p+1)$ の画像 180702 の代表的な輝度を L_c としたとき、 L と L_c で、 $L > L_c$ という関係があってもよい。望ましくは、 $0.1L < L_c < 0.8L$ という関係があってもよい。さらに望ましくは、 $0.2L < L_c < 0.5L$ という関係があってもよい。または、逆に L と L_c で、 $L < L_c$ という関係があってもよい。望ましくは、 $0.1L_c < L < 0.8L_c$ という関係があってもよい。さらに望ましくは、 $0.2L_c < L < 0.5L_c$ という関係があってもよい。このようにすることで、表示を擬似的にインパルス型とすることができるため、目の残像を抑えることができる。

10

【0773】

なお、画像の代表的な輝度については、後に図 72 を参照して詳しく述べる。

【0774】

このように、動画ボケに対する 2 つの異なる原因（画像の動きがなめらかではないこと、および目の残像）を同時に解決することによって、動画ボケを大幅に低減することができる。

【0775】

さらに、第 $(p+3)$ の画像 180704 についても、第 $(p+2)$ の画像 180703 および第 $(p+4)$ の画像 180705 から同様な方法を用いて作成されてもよい。すなわち、第 $(p+3)$ の画像 180704 は、第 $(p+2)$ の画像 180703 から第 $(p+4)$ の画像 180705 までの画像の変化量を検出することで、第 $(p+2)$ の画像 180703 および第 $(p+4)$ の画像 180705 の中間状態となるように作成された画像であって、さらに、画像の輝度を一定の規則で制御した画像であってもよい。

20

【0776】

図 71 (B) は、表示フレームレートが、入力フレームレートの 3 倍（変換比が 3）である場合を表している。図 71 (B) は、横軸を時間として、表示される画像の時間的な変化の様子を、模式的に表したものである。画像 180711 は第 p の画像、画像 180712 は第 $(p+1)$ の画像、画像 180713 は第 $(p+2)$ の画像、画像 180714 は第 $(p+3)$ の画像、画像 180715 は第 $(p+4)$ の画像、画像 180716 は第 $(p+5)$ の画像、画像 180717 は第 $(p+6)$ の画像であるとする。期間 T_{in} は、入力画像データの周期を表している。なお、図 71 (B) は変換比が 3 である場合を表しているため、期間 T_{in} は、第 p の画像が表示されてから第 $(p+1)$ の画像が表示されるまで期間の 3 倍の長さとなる。

30

【0777】

ここで、第 $(p+1)$ の画像 180712 および第 $(p+2)$ の画像 180713 は、第 p の画像 180711 から第 $(p+3)$ の画像 180714 までの画像の変化量を検出することで、第 p の画像 180711 および第 $(p+3)$ の画像 180714 の中間状態となるように作成された画像であってもよい。図 71 (B) では、フレームによって位置が変化する領域（円形の領域）と、フレームによって位置がほぼ変化しない領域（三角形の領域）と、によって、中間状態の画像の様子を表している。すなわち、第 $(p+1)$ の画像 180712 および第 $(p+2)$ の画像 180713 における円形の領域の位置は、第 p の画像 180711 における位置と、第 $(p+3)$ の画像 180714 における位置の中間の位置としている。具体的には、第 p の画像 180711 および第 $(p+3)$ の画像 180714 から検出した、円形の領域が移動する量を X としたとき、第 $(p+1)$ の画像 180712 における円形の領域の位置は、第 p の画像 180711 における位置から、 $(1/3)X$ 程度変位した位置であっても良い。さらに、第 $(p+2)$ の画像 180713 における円形の領域の位置は、第 p の画像 180711 における位置から、 $(2/3)X$ 程度変位した位置であっても良い。つまり、第 $(p+1)$ の画像 180712 および第 $(p+2)$ の画像 180713 は、動き補償を行なって画像データを補間したものであ

40

50

る。このように、画像上で動きのある物体に対して動き補償を行い、画像データを補間することにより、なめらかな表示を行なうことができる。

【0778】

さらに、第 $(p+1)$ の画像180712および第 $(p+2)$ の画像180713は、第 p の画像180711および第 $(p+3)$ の画像180714の中間状態となるように作成された上で、画像の輝度を一定の規則で制御した画像であってもよい。一定の規則とは、たとえば、図71(B)のように、第 p の画像180711の代表的な輝度を L 、第 $(p+1)$ の画像180712の代表的な輝度を $Lc1$ 、第 $(p+2)$ の画像180713の代表的な輝度を $Lc2$ としたとき、 L 、 $Lc1$ 、 $Lc2$ において、 $L > Lc1$ または $L > Lc2$ または $Lc1 = Lc2$ という関係があってもよい。望ましくは、 $0.1L < Lc1 = Lc2 < 0.8L$ という関係があってもよい。さらに望ましくは、 $0.2L < Lc1 = Lc2 < 0.5L$ という関係があってもよい。または、逆に L 、 $Lc1$ 、 $Lc2$ において、 $L < Lc1$ または $L < Lc2$ または $Lc1 = Lc2$ という関係があってもよい。望ましくは、 $0.1Lc1 = 0.1Lc2 < L < 0.8Lc1 = 0.8Lc2$ という関係があってもよい。さらに望ましくは、 $0.2Lc1 = 0.2Lc2 < L < 0.5Lc1 = 0.5Lc2$ という関係があってもよい。このようにすることで、表示を擬似的にインパルス型とすることができるため、目の残像を抑えることができる。または、輝度を変化させる画像が交互に現れるようにしてもよい。こうすることで、輝度が変化する周期を短くすることができるので、フリッカを低減することができる。

【0779】

このように、動画ボケに対する2つの異なる原因（画像の動きがなめらかではないこと、および目の残像）を同時に解決することによって、動画ボケを大幅に低減することができる。

【0780】

さらに、第 $(p+4)$ の画像180715および第 $(p+5)$ の画像180716についても、第 $(p+3)$ の画像180714および第 $(p+6)$ の画像180717から同様な方法を用いて作成されてもよい。すなわち、第 $(p+4)$ の画像180715および第 $(p+5)$ の画像180716は、第 $(p+3)$ の画像180714から第 $(p+6)$ の画像180717までの画像の変化量を検出することで、第 $(p+3)$ の画像180714および第 $(p+6)$ の画像180717の中間状態となるように作成された画像であって、さらに、画像の輝度を一定の規則で制御した画像であってもよい。

【0781】

なお、図71(B)の方法を用いると、表示フレームレートが大きいので、画像の動きが目の動きによく追従できるようになり、画像の動きをなめらかに表示することができるため、動画ボケを大幅に低減することができる。

【0782】

図71(C)は、表示フレームレートが、入力フレームレートの1.5倍（変換比1.5）である場合を表している。図71(C)は、横軸を時間として、表示される画像の時間的な変化の様子を、模式的に表したものである。画像180721は第 p の画像、画像180722は第 $(p+1)$ の画像、画像180723は第 $(p+2)$ の画像、画像180724は第 $(p+3)$ の画像であるとする。なお、実際には表示されなくてもよいが、画像180725は入力画像データであり、第 $(p+1)$ の画像180722および第 $(p+2)$ の画像180723が作成されるために用いられていてもよい。期間 T_{in} は、入力画像データの周期を表している。なお、図71(C)は変換比が1.5である場合を表しているため、期間 T_{in} は、第 p の画像が表示されてから第 $(p+1)$ の画像が表示されるまで期間の1.5倍の長さとなる。

【0783】

ここで、第 $(p+1)$ の画像180722および第 $(p+2)$ の画像180723は、第 p の画像180721から画像180725を経由して第 $(p+3)$ の画像180724までの画像の変化量を検出することで、第 p の画像180721および第 $(p+3)$ の画

10

20

30

40

50

像 180724 の中間状態となるように作成された画像であってもよい。図 71 (C) では、フレームによって位置が変化する領域（円形の領域）と、フレームによって位置がほぼ変化しない領域（三角形の領域）と、によって、中間状態の画像の様子を表している。すなわち、第 $(p+1)$ の画像 180722 および第 $(p+2)$ の画像 180723 における円形の領域の位置は、第 p の画像 180721 における位置と、第 $(p+3)$ の画像 180724 における位置の中間の位置としている。つまり、第 $(p+1)$ の画像 180722 および第 $(p+2)$ の画像 180723 は、動き補償を行なって画像データを補間したものである。このように、画像上で動きのある物体に対して動き補償を行い、画像データを補間することにより、なめらかな表示を行なうことができる。

【0784】

さらに、第 $(p+1)$ の画像 180722 および第 $(p+2)$ の画像 180723 は、第 p の画像 180721 および第 $(p+3)$ の画像 180724 の中間状態となるように作成された上で、画像の輝度を一定の規則で制御した画像であってもよい。一定の規則とは、たとえば、図 71 (C) のように、第 p の画像 180721 の代表的な輝度を L 、第 $(p+1)$ の画像 180722 の代表的な輝度を $Lc1$ 、第 $(p+2)$ の画像 180723 の代表的な輝度を $Lc2$ としたとき、 L 、 $Lc1$ 、 $Lc2$ において、 $L > Lc1$ または $L > Lc2$ または $Lc1 = Lc2$ という関係があってもよい。望ましくは、 $0.1L < Lc1 = Lc2 < 0.8L$ という関係があってもよい。さらに望ましくは、 $0.2L < Lc1 = Lc2 < 0.5L$ という関係があってもよい。または、逆に L 、 $Lc1$ 、 $Lc2$ において、 $L < Lc1$ または $L < Lc2$ または $Lc1 = Lc2$ という関係があってもよい。望ましくは、 $0.1Lc1 = 0.1Lc2 < L < 0.8Lc1 = 0.8Lc2$ という関係があってもよい。さらに望ましくは、 $0.2Lc1 = 0.2Lc2 < L < 0.5Lc1 = 0.5Lc2$ という関係があってもよい。このようにすることで、表示を擬似的にインパルス型とすることができるため、目の残像を抑えることができる。または、輝度を変化させる画像が交互に現れるようにしてもよい。こうすることで、輝度が変化する周期を短くすることができるので、フリッカを低減することができる。

【0785】

このように、動画ボケに対する 2 つの異なる原因（画像の動きがなめらかではないこと、および目の残像）を同時に解決することによって、動画ボケを大幅に低減することができる。

【0786】

なお、図 71 (C) の方法を用いると、表示フレームレートが小さいので、表示装置に信号を書き込む時間を長くすることができる。そのため、表示装置のクロック周波数を小さくできるので、消費電力を低減することができる。また、動き補償を行なう処理速度を遅くできるので、消費電力を低減することができる。

【0787】

次に、図 72 を参照して、画像の代表的な輝度について説明する。図 72 (A) 乃至 (D) に示す図は、横軸を時間として、表示される画像の時間的な変化の様子を、模式的に表したものである。図 72 (E) は、ある領域内の画像の輝度を測定する方法の一例である。

【0788】

画像の輝度を測定する方法としては、画像を構成するそれぞれの画素に対し、個別に輝度を測定する方法がある。この方法を用いると、画像の細部まで厳密に輝度を測定することができる。

【0789】

ただし、画像を構成するそれぞれの画素に対し、個別に輝度を測定する方法は、非常に労力を要するため、別の方法を用いてもよい。画像の輝度を測定する別の方法としては、画像内のある領域に注目し、その領域の平均的な輝度を測定する方法がある。この方法によって、簡易に画像の輝度を測定することができる。本実施の形態においては、画像内のある領域の平均的な輝度を測定する方法によって求めた輝度を、便宜的に、画像の代表的な

10

20

30

40

50

輝度と呼ぶこととする。

【0790】

そして、画像の代表的な輝度を求めるために、画像内のどの領域に注目するかという点について、以下で説明する。

【0791】

図72(A)は、画像の変化に対し、位置がほぼ変化しない領域(三角形の領域)の輝度を、画像の代表的な輝度とする方法の例を表している。期間 T_{in} は入力画像データの周期、画像180801は第 p の画像、画像180802は第 $(p+1)$ の画像、画像180803は第 $(p+2)$ の画像、第1の領域180804は第 p の画像180801における輝度測定領域、第2の領域180805は第 $(p+1)$ の画像180802における輝度測定領域、第3の領域180806は第 $(p+2)$ の画像180803における輝度測定領域を、それぞれ表している。ここで、第1乃至第3の領域は、装置内の空間的な位置としては、概同じであるとしてよい。つまり、第1乃至第3の領域で画像の代表的な輝度を測定することによって、画像の代表的な輝度の時間変化を求めることができる。

10

【0792】

画像の代表的な輝度を測定することで、表示が擬似的にインパルス型となっているかどうかを判断することができる。たとえば、第1の領域180804で測定される輝度を L 、第2の領域180805で測定される輝度を L_c としたとき、 $L_c < L$ であれば、表示は擬似的にインパルス型であるといえる。このようなときに、動画の品質は向上しているといえる。

20

【0793】

なお、輝度測定領域において、時間の変化に対する画像の代表的な輝度の変化量(相対輝度)が、次のような範囲であると、画質を向上することができる。相対輝度としては、たとえば、第1の領域180804と第2の領域180805、第2の領域180805と第3の領域180806、第1の領域180804と第3の領域180806のそれぞれに対し、大きい方の輝度に対する小さい方の輝度の割合とすることができる。つまり、時間の変化に対する画像の代表的な輝度の変化量が0であるとき、相対輝度は100%となる。そして、相対輝度が80%以下であれば、動画の品質を向上できる。特に、相対輝度が50%以下であれば、動画の品質を顕著に向上できる。さらに、相対輝度が10%以上であれば、消費電力を低減し、かつフリッカを抑えることができる。特に、相対輝度が20%以上であれば、消費電力およびフリッカを顕著に低減することができる。すなわち、相対輝度が10%以上80%以下であれば、動画の品質を向上させ、かつ、消費電力およびフリッカを低減することができる。さらに、相対輝度が20%以上50%以下であれば、動画の品質を顕著に向上させ、かつ、消費電力およびフリッカを顕著に低減することができる。

30

【0794】

図72(B)は、タイル状に分割された領域の輝度を測定し、その平均値を画像の代表的な輝度とする方法の例を表している。期間 T_{in} は入力画像データの周期、画像180811は第 p の画像、画像180812は第 $(p+1)$ の画像、画像180813は第 $(p+2)$ の画像、第1の領域180814は第 p の画像180811における輝度測定領域、第2の領域180815は第 $(p+1)$ の画像180812における輝度測定領域、第3の領域180816は第 $(p+2)$ の画像180813における輝度測定領域を、それぞれ表している。ここで、第1乃至第3の領域は、装置内の空間的な位置としては、概同じであるとしてよい。つまり、第1乃至第3の領域で画像の代表的な輝度を測定することによって、画像の代表的な輝度の時間変化を求めることができる。

40

【0795】

画像の代表的な輝度を測定することで、表示が擬似的にインパルス型となっているかどうかを判断することができる。たとえば、第1の領域180814で測定される輝度の全ての領域における平均値を L 、第2の領域180815で測定される輝度の全ての領域における平均値を L_c としたとき、 $L_c < L$ であれば、表示は擬似的にインパルス型であると

50

いえる。このようなときに、動画の品質は向上しているといえる。

【0796】

なお、輝度測定領域において、時間の変化に対する画像の代表的な輝度の変化量（相対輝度）が、次のような範囲であると、画質を向上することができる。相対輝度としては、たとえば、第1の領域180814と第2の領域180815、第2の領域180815と第3の領域180816、第1の領域180814と第3の領域180816のそれぞれに対し、大きい方の輝度に対する小さい方の輝度の割合とすることができる。つまり、時間の変化に対する画像の代表的な輝度の変化量が0であるとき、相対輝度は100%となる。そして、相対輝度が80%以下であれば、動画の品質を向上できる。特に、相対輝度が50%以下であれば、動画の品質を顕著に向上できる。さらに、相対輝度が10%以上であれば、消費電力を低減し、かつフリッカを抑えることができる。特に、相対輝度が20%以上であれば、消費電力およびフリッカを顕著に低減することができる。すなわち、相対輝度が10%以上80%以下であれば、動画の品質を向上させ、かつ、消費電力およびフリッカを低減することができる。さらに、相対輝度が20%以上50%以下であれば、動画の品質を顕著に向上させ、かつ、消費電力およびフリッカを顕著に低減することができる。

10

【0797】

図72（C）は、画像の中央の領域の輝度を測定し、その平均値を画像の代表的な輝度とする方法の例を表している。期間 T_{in} は入力画像データの周期、画像180821は第 p の画像、画像180822は第 $(p+1)$ の画像、画像180823は第 $(p+2)$ の画像、第1の領域180824は第 p の画像180821における輝度測定領域、第2の領域180825は第 $(p+1)$ の画像180822における輝度測定領域、第3の領域180826は第 $(p+2)$ の画像180823における輝度測定領域を、それぞれ表している。

20

【0798】

画像の代表的な輝度を測定することで、表示が擬似的にインパルス型となっているかどうかを判断することができる。たとえば、第1の領域180824で測定される輝度を L 、第2の領域180825で測定される輝度を L_c としたとき、 $L_c < L$ であれば、表示は擬似的にインパルス型であるといえる。このようなときに、動画の品質は向上しているといえる。

30

【0799】

なお、輝度測定領域において、時間の変化に対する画像の代表的な輝度の変化量（相対輝度）が、次のような範囲であると、画質を向上することができる。相対輝度としては、たとえば、第1の領域180824と第2の領域180825、第2の領域180825と第3の領域180826、第1の領域180824と第3の領域180826のそれぞれに対し、大きい方の輝度に対する小さい方の輝度の割合とすることができる。つまり、時間の変化に対する画像の代表的な輝度の変化量が0であるとき、相対輝度は100%となる。そして、相対輝度が80%以下であれば、動画の品質を向上できる。特に、相対輝度が50%以下であれば、動画の品質を顕著に向上できる。さらに、相対輝度が10%以上であれば、消費電力を低減し、かつフリッカを抑えることができる。特に、相対輝度が20%以上であれば、消費電力およびフリッカを顕著に低減することができる。すなわち、相対輝度が10%以上80%以下であれば、動画の品質を向上させ、かつ、消費電力およびフリッカを低減することができる。さらに、相対輝度が20%以上50%以下であれば、動画の品質を顕著に向上させ、かつ、消費電力およびフリッカを顕著に低減することができる。

40

【0800】

図72（D）は、画像全体からサンプリングした複数の点の輝度を測定し、その平均値を画像の代表的な輝度とする方法の例を表している。期間 T_{in} は入力画像データの周期、画像180831は第 p の画像、画像180832は第 $(p+1)$ の画像、画像180833は第 $(p+2)$ の画像、第1の領域180834は第 p の画像180831における

50

輝度測定領域、第2の領域180835は第(p+1)の画像180832における輝度測定領域、第3の領域180836は第(p+2)の画像180833における輝度測定領域を、それぞれ表している。

【0801】

画像の代表的な輝度を測定することで、表示が擬似的にインパルス型となっているかどうかを判断することができる。たとえば、第1の領域180834で測定される輝度の全ての領域における平均値をL、第2の領域180835で測定される輝度の全ての領域における平均値をL_cとしたとき、L_c<Lであれば、表示は擬似的にインパルス型であるといえる。このようなときに、動画の品質は向上しているといえる。

【0802】

なお、輝度測定領域において、時間の変化に対する画像の代表的な輝度の変化量（相対輝度）が、次のような範囲であると、画質を向上することができる。相対輝度としては、たとえば、第1の領域180834と第2の領域180835、第2の領域180835と第3の領域180836、第1の領域180834と第3の領域180836のそれぞれに対し、大きい方の輝度に対する小さい方の輝度の割合とすることができる。つまり、時間の変化に対する画像の代表的な輝度の変化量が0であるとき、相対輝度は100%となる。そして、相対輝度が80%以下であれば、動画の品質を向上できる。特に、相対輝度が50%以下であれば、動画の品質を顕著に向上できる。さらに、相対輝度が10%以上であれば、消費電力を低減し、かつフリッカを抑えることができる。特に、相対輝度が20%以上であれば、消費電力およびフリッカを顕著に低減することができる。すなわち、相対輝度が10%以上80%以下であれば、動画の品質を向上させ、かつ、消費電力およびフリッカを低減することができる。さらに、相対輝度が20%以上50%以下であれば、動画の品質を顕著に向上させ、かつ、消費電力およびフリッカを顕著に低減することができる。

【0803】

図72(E)は、図72(A)乃至(D)に示す図における、輝度測定領域内の測定方法を示した図である。領域180841は注目している輝度測定領域、点180842は領域180841内の輝度測定点である。時間分解能の高い輝度計測機器は、その測定対象範囲が小さい場合があるため、領域180841が大きい場合は、領域全てを測定するのではなく、図72(E)のように、領域180841内を点状で偏り無く、複数の点で測定し、その平均値をもって領域180841の輝度であるとしてもよい。

【0804】

なお、画像がR、G、Bの3原色の組み合わせを持つ場合は、測定される輝度は、R、G、Bを合わせた輝度であってもよいし、RおよびGを合わせた輝度、GおよびBを合わせた輝度、BおよびRを合わせた輝度であってもよいし、R、G、Bそれぞれの輝度であってもよい。

【0805】

次に、入力画像データに含まれる画像の動きを検出し、中間状態の画像を作成する方法、および入力画像データに含まれる画像の動き等に従って駆動方法を制御する方法について説明する。

【0806】

図73を参照して、入力画像データに含まれる画像の動きを検出し、中間状態の画像を作成する方法の例について説明する。図73(A)は、表示フレームレートが、入力フレームレートの2倍（変換比が2）である場合を表したものである。図73(A)は、横軸を時間として、画像の動きを検出する方法を、模式的に表したものである。期間T_{in}は入力画像データの周期、画像180901は第pの画像、画像180902は第(p+1)の画像、画像180903は第(p+2)の画像を、それぞれ表している。また、画像中に、時間に依存しない領域として、第1の領域180904、第2の領域180905および第3の領域180906を設ける。

【0807】

まず、第 $(p+2)$ の画像 180903 においては、画像をタイル状の複数の領域に分割し、そのうちの1つの領域である第3の領域 180906 内の画像データに着目する。

【0808】

次に、第 p の画像 180901 において、第3の領域 180906 を中心とした第3の領域 180906 よりも大きな範囲に着目する。ここで、第3の領域 180906 を中心とした第3の領域 180906 よりも大きな範囲は、データ検索範囲である。データ検索範囲は、水平方向 (X 方向) の範囲を 180907、垂直方向 (Y 方向) の範囲を 180908 とする。なお、データ検索範囲の水平方向の範囲 180907 および垂直方向の範囲 180908 は、第3の領域 180906 の水平方向の範囲および垂直方向の範囲を、それぞれ15画素分程度拡大した範囲であってもよい。

10

【0809】

そして、データ検索範囲内において、前記第3の領域 180906 内の画像データと最も類似した画像データを持つ領域を検索する。検索方法は、最小二乗法などを用いることができる。検索の結果、最も類似した画像データを持つ領域として、第1の領域 180904 が導出されたとする。

【0810】

次に、導出された第1の領域 180904 と、第3の領域 180906 との位置の違いを表す量として、ベクトル 180909 を導出する。なお、ベクトル 180909 を、動きベクトルと呼ぶことにする。

【0811】

そして、第 $(p+1)$ の画像 180902 においては、動きベクトル 180909 から求めたベクトルと、第 $(p+2)$ の画像 180903 における第3の領域 180906 内の画像データと、第 p の画像 180901 における第1の領域 180904 内の画像データと、によって、第2の領域 180905 を形成する。

20

【0812】

ここで、動きベクトル 180909 から求めたベクトルを変位ベクトル 180910 と呼ぶことにする。変位ベクトル 180910 は、第2の領域 180905 を形成する位置を決める役割を持つ。第2の領域 180905 は、第3の領域 180906 から変位ベクトル 180910 だけ離れた位置に形成される。なお、変位ベクトル 180910 は、動きベクトル 180909 に係数 $(1/2)$ をかけた量であってもよい。

30

【0813】

第 $(p+1)$ の画像 180902 における第2の領域 180905 内の画像データは、第 $(p+2)$ の画像 180903 における第3の領域 180906 内の画像データと、第 p の画像 180901 における第1の領域 180904 内の画像データによって決められるとしてもよい。たとえば、第 $(p+1)$ の画像 180902 における第2の領域 180905 内の画像データは、第 $(p+2)$ の画像 180903 における第3の領域 180906 内の画像データと、第 p の画像 180901 における第1の領域 180904 内の画像データの平均値であってもよい。

【0814】

このようにして、第 $(p+2)$ の画像 180903 における第3の領域 180906 に対応する、第 $(p+1)$ の画像 180902 における第2の領域 180905 を形成することができる。なお、以上の処理を、第 $(p+2)$ の画像 180903 における他の領域にも行なうことで、第 $(p+2)$ の画像 180903 と第 p の画像 180901 の中間状態となる、第 $(p+1)$ の画像 180902 を形成することができる。

40

【0815】

図73 (B) は、表示フレームレートが、入力フレームレートの3倍 (変換比が3) である場合を表したものである。図73 (B) は、横軸を時間として、画像の動きを検出する方法を、模式的に表したものである。期間 T_{in} は入力画像データの周期、画像 180911 は第 p の画像、画像 180912 は第 $(p+1)$ の画像、画像 180913 は第 $(p+2)$ の画像、画像 180914 は第 $(p+3)$ の画像を、それぞれ表している。また、

50

画像中に、時間に依存しない領域として、第1の領域180915、第2の領域180916、第3の領域180917および第4の領域180918を設ける。

【0816】

まず、第 $(p+3)$ の画像180914においては、画像をタイル状の複数の領域に分割し、そのうちの1つの領域である第4の領域180918内の画像データに着目する。

【0817】

次に、第 p の画像180911において、第4の領域180918を中心とした第4の領域180918よりも大きな範囲に着目する。ここで、第4の領域180918を中心とした第4の領域180918よりも大きな範囲は、データ検索範囲である。データ検索範囲は、水平方向(X方向)の範囲を180919、垂直方向(Y方向)の範囲を180920とする。なお、データ検索範囲の水平方向の範囲180919および垂直方向の範囲180920は、第4の領域180918の水平方向の範囲および垂直方向の範囲を、それぞれ15画素分程度拡大した範囲であってもよい。

10

【0818】

そして、データ検索範囲内において、前記第4の領域180918内の画像データと最も類似した画像データを持つ領域を検索する。検索方法は、最小二乗法などを用いることができる。検索の結果、最も類似した画像データを持つ領域として、第1の領域180915が導出されたとする。

【0819】

次に、導出された第1の領域180915と、第4の領域180918との位置の違いを表す量として、ベクトルを導出する。なお、このベクトルを、動きベクトル180921と呼ぶことにする。

20

【0820】

そして、第 $(p+1)$ の画像180912および、第 $(p+2)$ の画像180913においては、動きベクトル180921から求めた第1のベクトルおよび第2のベクトルと、第 $(p+3)$ の画像180914における第4の領域180918内の画像データと、第 p の画像180911における第1の領域180915内の画像データと、によって、第2の領域180916および第3の領域180917を形成する。

【0821】

ここで、動きベクトル180921から求めた第1のベクトルを第1の変位ベクトル180922と呼ぶことにする。また、第2のベクトルを第2の変位ベクトル180923と呼ぶことにする。第1の変位ベクトル180922は、第2の領域180916を形成する位置を決める役割を持つ。第2の領域180916は、第4の領域180918から第1の変位ベクトル180922だけ離れた位置に形成される。なお、第1の変位ベクトル180922は、動きベクトル180921に $(1/3)$ をかけた量であってもよい。また、第2の変位ベクトル180923は、第3の領域180917を形成する位置を決める役割を持つ。第3の領域180917は、第4の領域180918から第2の変位ベクトル180923だけ離れた位置に形成される。なお、第2の変位ベクトル180923は、動きベクトル180921に $(2/3)$ をかけた量であってもよい。

30

【0822】

第 $(p+1)$ の画像180912における第2の領域180916内の画像データは、第 $(p+3)$ の画像180914における第4の領域180918内の画像データと、第 p の画像180911における第1の領域180915内の画像データによって決められるとしてもよい。たとえば、第 $(p+1)$ の画像180912における第2の領域180916内の画像データは、第 $(p+3)$ の画像180914における第4の領域180918内の画像データと、第 p の画像180911における第1の領域180915内の画像データの平均値であってもよい。

40

【0823】

第 $(p+2)$ の画像180913における第3の領域180917内の画像データは、第 $(p+3)$ の画像180914における第4の領域180918内の画像データと、第 p

50

の画像180911における第1の領域180915内の画像データによって決められるとしてもよい。たとえば、第(p+2)の画像180913における第3の領域180917内の画像データは、第(p+3)の画像180914における第4の領域180918内の画像データと、第pの画像180911における第1の領域180915内の画像データの平均値であってもよい。

【0824】

このようにして、第(p+3)の画像180914における第4の領域180918に対応する、第(p+1)の画像180902における第2の領域180916、および第(p+2)の画像180913における第3の領域180917を形成することができる。なお、以上の処理を、第(p+3)の画像180914における他の領域にも行なうことで、第(p+3)の画像180914と第pの画像180911の中間状態となる、第(p+1)の画像180912および第(p+2)の画像180913を形成することができる。

10

【0825】

次に、図74を参照して、入力画像データに含まれる画像の動きを検出し、中間状態の画像を作成する回路の例について説明する。図74(A)は、表示領域に画像を表示するためのソースドライバ、ゲートドライバを含む周辺駆動回路と、周辺駆動回路を制御する制御回路の接続関係を表した図である。図74(B)は、前記制御回路の詳細な回路構成の一例を表した図である。図74(C)は、前記制御回路に含まれる画像処理回路の詳細な回路構成の一例を表した図である。図74(D)は、前記制御回路に含まれる画像処理回路の詳細な回路構成の別の例を表した図である。

20

【0826】

図74(A)のように、本実施の形態における装置は、制御回路181011と、ソースドライバ181012と、ゲートドライバ181013と、表示領域181014と、を含んでいてもよい。

【0827】

なお、制御回路181011、ソースドライバ181012およびゲートドライバ181013は、表示領域181014が形成されている基板と同一の基板上に形成されていてもよい。

【0828】

なお、制御回路181011、ソースドライバ181012およびゲートドライバ181013は、これらのうち一部が、表示領域181014が形成されている基板と同一の基板上に形成され、その他の回路は、表示領域181014が形成されている基板とは異なる基板上に形成されていてもよい。たとえば、ソースドライバ181012およびゲートドライバ181013が、表示領域181014が形成されている基板と同一の基板上に形成され、制御回路181011は異なる基板上に外付けICとして形成されていてもよい。同様に、ゲートドライバ181013が、表示領域181014が形成されている基板と同一の基板上に形成され、その他の回路は異なる基板上に外付けICとして形成されていてもよい。同様に、ソースドライバ181012、ゲートドライバ181013および制御回路181011の一部が、表示領域181014が形成されている基板と同一の基板上に形成され、その他の回路は異なる基板上に外付けICとして形成されていてもよい。

30

40

【0829】

制御回路181011は、外部画像信号181000と、水平同期信号181001と、垂直同期信号181002と、が入力され、画像信号181003と、ソーススタートパルス181004と、ソースクロック181005と、ゲートスタートパルス181006と、ゲートクロック181007と、が出力される構成であってもよい。

【0830】

ソースドライバ181012は、画像信号181003と、ソーススタートパルス181004と、ソースクロック181005と、が入力され、画像信号181003に従った

50

電圧または電流を表示領域 181014 に出力する構成であってもよい。

【0831】

ゲートドライバ 181013 は、ゲートスタートパルス 181006 と、ゲートクロック 181007 と、が入力され、ソースドライバ 181012 から出力される信号を表示領域 181014 に書き込むタイミングを指定する信号が出力される構成であってもよい。

【0832】

外部画像信号 181000 の周波数と、画像信号 181003 の周波数が異なっている場合、ソースドライバ 181012 およびゲートドライバ 181013 を駆動するタイミングを制御する信号も、入力される水平同期信号 181001 および垂直同期信号 181002 とは異なる周波数を持つことになる。そのため、画像信号 181003 の処理に加えて、ソースドライバ 181012 およびゲートドライバ 181013 を駆動するタイミングを制御する信号も処理する必要がある。制御回路 181011 は、そのための機能を持った回路であってもよい。たとえば、外部画像信号 181000 の周波数に対して画像信号 181003 の周波数が倍であった場合、制御回路 181011 は、外部画像信号 181000 に含まれる画像信号を補間して倍の周波数の画像信号 181003 を生成し、かつ、タイミングを制御する信号も倍の周波数になるように制御する。

【0833】

また、制御回路 181011 は、図 74 (B) のように、画像処理回路 181015 と、タイミング発生回路 181016 と、を含んでいてもよい。

【0834】

画像処理回路 181015 は、外部画像信号 181000 と、周波数制御信号 181008 と、が入力され、画像信号 181003 が出力される構成であってもよい。

【0835】

タイミング発生回路 181016 は、水平同期信号 181001 と、垂直同期信号 181002 と、が入力され、ソーススタートパルス 181004 と、ソースクロック 181005 と、ゲートスタートパルス 181006 と、ゲートクロック 181007 と、周波数制御信号 181008 と、が出力される構成であってもよい。なお、タイミング発生回路 181016 は、周波数制御信号 181008 の状態を指定するためのデータを保持するメモリまたはレジスタ等を含んでいてもよい。また、タイミング発生回路 181016 は、外部から周波数制御信号 181008 の状態を指定する信号が入力される構成であってもよい。

【0836】

画像処理回路 181015 は、図 74 (C) のように、動き検出回路 181020 と、第 1 のメモリ 181021 と、第 2 のメモリ 181022 と、第 3 のメモリ 181023 と、輝度制御回路 181024 と、高速処理回路 181025 と、を含んでいてもよい。

【0837】

動き検出回路 181020 は、複数の画像データが入力され、画像の動きが検出され、前記複数の画像データの間状態である画像データが出力される構成であってもよい。

【0838】

第 1 のメモリ 181021 は、外部画像信号 181000 が入力され、前記外部画像信号 181000 を一定期間保持しつつ、動き検出回路 181020 と第 2 のメモリ 181022 に前記外部画像信号 181000 を出力する構成であってもよい。

【0839】

第 2 のメモリ 181022 は、第 1 のメモリ 181021 から出力された画像データが入力され、前記画像データを一定期間保持しつつ、動き検出回路 181020 と高速処理回路 181025 に前記画像データを出力する構成であってもよい。

【0840】

第 3 のメモリ 181023 は、動き検出回路 181020 から出力された画像データが入力され、前記画像データを一定期間保持しつつ、輝度制御回路 181024 に前記画像データを出力する構成であってもよい。

【0841】

高速処理回路181025は、第2のメモリ181022から出力された画像データと、輝度制御回路181024から出力された画像データと、周波数制御信号181008と、が入力され、前記画像データを、画像信号181003として出力する構成であってもよい。

【0842】

外部画像信号181000の周波数と、画像信号181003の周波数が異なっている場合、画像処理回路181015によって、外部画像信号181000に含まれる画像信号を補間して画像信号181003を生成してもよい。入力された外部画像信号181000は、一旦第1のメモリ181021に保持される。そのとき、第2のメモリ181022には、1つ前のフレームで入力された画像データが保持されている。動き検出回路181020は、第1のメモリ181021および第2のメモリ181022に保持された画像データを適宜読み込み、両者の画像データの違いから動きベクトルを検出し、さらに、中間状態の画像データを生成してもよい。生成された中間状態の画像データは、第3のメモリ181023によって保持される。

【0843】

動き検出回路181020が中間状態の画像データを生成しているとき、高速処理回路181025は、第2のメモリ181022に保持されている画像データを、画像信号181003として出力する。その後、第3のメモリ181023に保持された画像データを輝度制御回路181024を通じて画像信号181003として出力する。このとき、第2のメモリ181022および第3のメモリ181023が更新される周波数は外部画像信号181000の周波数と同じだが、高速処理回路181025を通じて出力される画像信号181003の周波数は、外部画像信号181000の周波数と異なってもよい。具体的には、たとえば、画像信号181003の周波数は外部画像信号181000の周波数の1.5倍、2倍、3倍が挙げられる。しかし、これに限定されるものではなく、様々な周波数とすることができる。なお、画像信号181003の周波数は、周波数制御信号181008によって指定されてもよい。

【0844】

図74(D)に示した画像処理回路181015の構成は、図74(C)に示した画像処理回路181015の構成に、第4のメモリ181026を加えたものである。このように、第1のメモリ181021から出力された画像データと、第2のメモリ181022から出力された画像データに加えて、第4のメモリ181026から出力された画像データも動き検出回路181020に出力することで、正確に画像の動きを検出することが可能になる。

【0845】

なお、入力される画像データが、データ圧縮等のために、すでに動きベクトルを含んでいるような場合、たとえばMPEG(Moving Picture Expert Group)の規格に基づく画像データである場合は、これを用いて中間状態の画像を補間画像として生成すればよい。このとき、動き検出回路181020に含まれる、動きベクトルを生成する部分は不要となる。また、画像信号181003に係るエンコードおよびデコード処理も簡単なものとなるため、消費電力を低減できる。

【0846】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0847】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行

10

20

30

40

50

うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせるにより、さらに多くの図を構成させることが出来る。

【0848】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0849】

（実施の形態6）

本実施の形態においては、液晶パネルの周辺部について説明する。

【0850】

図75は、エッジライト式と呼ばれるバックライトユニット20101と、液晶パネル20107とを有している液晶表示装置の一例を示す。エッジライト式とは、バックライトユニットの端部に光源を配置し、その光源の蛍光を発光面全体から放射する方式である。エッジライト式のバックライトユニットは、薄型で省電力化を図ることができる。

【0851】

バックライトユニット20101は、拡散板20102、導光板20103、反射板20104、ランプリフレクタ20105及び光源20106によって構成される。

【0852】

光源20106は必要に応じて発光する機能を有している。例えば、光源20106としては冷陰極管、熱陰極管、発光ダイオード、無機EL又は有機ELなどが用いられる。ランプリフレクタ20105は、光源20106からの蛍光を効率よく導光板20103に導く機能を有する。導光板20103は、蛍光を全反射させて、全面に光を導く機能を有する。拡散板20102は、明度のムラを低減する機能を有する。反射板20104は、導光板20103から下方向（液晶パネル20107と反対方向）に漏れた光を反射して再利用する機能を有する。

【0853】

なお、バックライトユニット20101には、光源20106の輝度を調整するための制御回路が接続されている。この制御回路によって、光源20106の輝度を調整することができる。

【0854】

図76（A）、（B）、（C）及び（D）は、エッジライト式のバックライトユニットの詳細な構成を示す図である。なお、拡散板、導光板及び反射板などはその説明を省略する。

【0855】

図76（A）に示すバックライトユニット20201は、光源として冷陰極管20203を用いた構成である。そして、冷陰極管20203からの光を効率よく反射させるため、ランプリフレクタ20202が設けられている。このような構成は、冷陰極管からの輝度の強度のため、大型表示装置に用いることが多い。

【0856】

図76（B）に示すバックライトユニット20211は、光源として発光ダイオード（LED）20213を用いた構成である。例えば、白色に発する発光ダイオード（LED）20213は所定の間隔に配置される。そして、発光ダイオード（LED）20213からの光を効率よく反射させるため、ランプリフレクタ20212が設けられている。

【0857】

発光ダイオードの輝度は高いので、発光ダイオードを用いた構成は大型表示装置に適する。発光ダイオードは色再現性に優れているので、より実物に近い画像を表示することが出来る。LEDはチップが小さいため、配置面積を小さくできる。したがって、表示装置の狭額縁化を図ることができる。

10

20

30

40

50

【0858】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

【0859】

図76(C)に示すバックライトユニット20221は、光源として各色RGBの発光ダイオード(LED)20223、発光ダイオード(LED)20224、発光ダイオード(LED)20225を用いた構成である。各色RGBの発光ダイオード(LED)20223、発光ダイオード(LED)20224、発光ダイオード(LED)20225は、それぞれ所定の間隔に配置される。各色RGBの発光ダイオード(LED)20223、発光ダイオード(LED)20224、発光ダイオード(LED)20225を用いることによって、色再現性を高くすることができる。そして、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ20222が設けられている。

10

【0860】

発光ダイオードの輝度は高いので、光源として各色RGBの発光ダイオードを用いた構成は大型表示装置に適する。発光ダイオードは色再現性に優れているので、より実物に近い画像を表示することが出来る。LEDはチップが小さいため、配置面積を小さくできる。したがって、表示装置の狭額縁化を図ることができる。

【0861】

なお、時間に応じてRGBの発光ダイオードを順次点灯させることによって、カラー表示を行うことができる。いわゆるフィールドシーケンシャルモードである。

20

【0862】

なお、白色を発する発光ダイオードと、各色RGBの発光ダイオード(LED)20223、発光ダイオード(LED)20224、発光ダイオード(LED)20225とを組み合わせることができる。

【0863】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

30

【0864】

図77(D)に示すバックライトユニット20231は、光源として各色RGBの発光ダイオード(LED)20233、発光ダイオード(LED)20234、発光ダイオード(LED)20235を用いた構成である。例えば、各色RGBの発光ダイオード(LED)20233、発光ダイオード(LED)20234、発光ダイオード(LED)20235のうち発光強度の低い色(例えば緑)は複数配置されている。各色RGBの発光ダイオード(LED)20233、発光ダイオード(LED)20234、発光ダイオード(LED)20235を用いることによって、色再現性を高くすることができる。そして、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ20232が設けられている。

40

【0865】

発光ダイオードの輝度は高いので、光源として各色RGBの発光ダイオードを用いた構成は大型表示装置に適する。発光ダイオードは色再現性に優れているので、より実物に近い画像を表示することが出来る。LEDはチップが小さいため、配置面積を小さくできる。したがって、表示装置の狭額縁化を図ることができる。

【0866】

なお、時間に応じてRGBの発光ダイオードを順次点灯させることによって、カラー表示を行うことができる。いわゆるフィールドシーケンシャルモードである。

【0867】

50

なお、白色を発する発光ダイオードと、各色RGBの発光ダイオード（LED）20233、発光ダイオード（LED）20234、発光ダイオード（LED）20235とを組み合わせることができる。

【0868】

なお、発光ダイオードが大型の表示装置に搭載される場合、発光ダイオードを該基板の背面に配置することができる。発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードが順に配置される。発光ダイオードの配置によって、色再現性を高めることができる。

【0869】

図79（A）は、直下型と呼ばれるバックライトユニットと、液晶パネルとを有する液晶表示装置の一例を示す。直下式とは、発光面の直下に光源を配置することで、その光源の蛍光を発光面全体から放射する方式である。直下式のバックライトユニットは、発光光量を効率よく利用することができる。

10

【0870】

バックライトユニット20500は、拡散板20501、遮光板20502、ランプリフレクタ20503及び光源20504によって構成される。

【0871】

光源20504から発せられた光は、ランプリフレクタ20503によってバックライトユニット20500の一方の面に集められる。すなわち、バックライトユニット20500は、強く発光する面とほとんど発光しない面を有することになる。このとき、バックライトユニット20500の強く発光する面側に液晶パネル20505を配置することによって、光源20504から発せられた光を効率よく液晶パネル20505に照射することができる。

20

【0872】

光源20504は、必要に応じて発光する機能を有している。例えば、光源20504としては、冷陰極管、熱陰極管、発光ダイオード、無機EL又は有機ELなどが用いられる。ランプリフレクタ20503は、光源20504の蛍光を効率よく拡散板20501及び遮光板20502に導く機能を有する。遮光板20502は、光源20504の配置に合わせて光が強いところほど遮光を多くすることで、明度のムラを低減する機能を有する。拡散板20501は、さらに明度のムラを低減する機能を有する。

30

【0873】

なお、バックライトユニット20500には、光源20504の輝度を調整するための制御回路が接続されている。この制御回路によって、光源20504の輝度を調整することができる。

【0874】

図79（B）は、直下型と呼ばれるバックライトユニットと、液晶パネルとを有する液晶表示装置の一例を示す。直下式とは、発光面の直下に光源を配置することで、その光源の蛍光を発光面全体から放射する方式である。直下式のバックライトユニットは、発光光量を効率よく利用することができる。

【0875】

バックライトユニット20510は、拡散板20511、遮光板20512、ランプリフレクタ20513、各色RGBの光源（R）20514a、光源（G）20514b及び光源（B）20514cによって構成される。

40

【0876】

光源（R）20514a、光源（G）20514b及び光源（B）20514cから発せられた光は、ランプリフレクタ20513によってバックライトユニット20510の一方の面に集められる。すなわち、バックライトユニット20510は、強く発光する面とほとんど発光しない面を有することになる。このとき、バックライトユニット20510の強く発光する面側に液晶パネル20515を配置することによって、光源（R）20514a、光源（G）20514b及び光源（B）20514cから発せられた光を効率よく

50

く液晶パネル 20515 に照射することができる。

【0877】

各色 RGB の光源 (R) 20514a、光源 (G) 20514b 及び光源 (B) 20514c は、必要に応じて発光する機能を有する。例えば、光源 (R) 20514a、光源 (G) 20514b 及び光源 (B) 20514c としては、冷陰極管、熱陰極管、発光ダイオード、無機 EL 又は有機 EL などが用いられる。ランプリフレクタ 20513 は、光源 20514 の蛍光を効率よく拡散板 20511 及び遮光板 20512 に導く機能を有する。遮光板 20512 は、光源 20514 の配置に合わせて光が強いところほど遮光を多くすることで、明度のムラを低減する機能を有する。拡散板 20511 は、さらに明度のムラを低減する機能を有する。

10

【0878】

なお、バックライトユニット 20510 には、各色 RGB の光源 (R) 20514a、光源 (G) 20514b 及び光源 (B) 20514c の輝度を調整するための制御回路が接続されている。この制御回路によって、各色 RGB の光源 (R) 20514a、光源 (G) 20514b 及び光源 (B) 20514c の輝度を調整することができる。

【0879】

図 77 は、偏光板（偏光フィルムともいう）の構成の一例を示す図である。

【0880】

偏光フィルム 20300 は、保護フィルム 20301、基板フィルム 20302、PVA 偏光フィルム 20303、基板フィルム 20304、粘着剤層 20305 及び離型フィルム 20306 を有する。

20

【0881】

PVA 偏光フィルム 20303 は、ある振動方向だけの光（直線偏光）を作り出す機能を有する。具体的には、PVA 偏光フィルム 20303 は、電子の密度が縦と横で大きく異なる分子（偏光子）を含んでいる。PVA 偏光フィルム 20303 は、この電子の密度が縦と横で大きく異なる分子の方向を揃えることで、直線偏光を作り出すことができる。

【0882】

一例として、PVA 偏光フィルム 20303 は、ポリビニールアルコール（Poly Vinyl Alcohol）の高分子フィルムに、ヨウ素化合物をドーブし、PVA フィルムをある方向に引っ張ることで、一定方向にヨウ素分子の並んだフィルムを得ることができる。そして、ヨウ素分子の長軸と平行な光は、ヨウ素分子に吸収される。なお、高耐久用途及び高耐熱用途として、ヨウ素の代わりに 2 色性の染料が用いてもよい。なお、染料は、車載用 LCD 又はプロジェクタ用 LCD などの耐久性、耐熱性が求められる液晶表示装置に用いられることが望ましい。

30

【0883】

PVA 偏光フィルム 20303 は、両側を基材となるフィルム（基板フィルム 20302 及び基板フィルム 20304）で挟むことで、信頼性を増すことができる。なお、PVA 偏光フィルム 20303 は、高透明性、高耐久性のトリアセチルロース（TAC）フィルムによって挟まれていてもよい。なお、基板フィルム及び TAC フィルムは、PVA 偏光フィルム 20303 が有する偏光子の保護層として機能する。

40

【0884】

一方の基板フィルム（基板フィルム 20304）には、液晶パネルのガラス基板に貼るための粘着剤層 20305 が貼られている。なお、粘着剤層 20305 は、粘着剤を片側の基板フィルム（基板フィルム 20304）に塗布することで形成される。粘着剤層 20305 には、離形フィルム 20306（セパレートフィルム）が備えられている。

【0885】

他方の基板フィルム（基板フィルム 20302）には、保護フィルム 20301 が備えられている。

【0886】

なお、偏光フィルム 20300 表面に、ハードコート散乱層（アンチグレア層）が備えら

50

れていてもよい。ハードコート散乱層は、AG処理によって表面に微細な凹凸が形成されており、外光を散乱させる防眩機能を有するため、液晶パネルへの外光の映り込みを防ぐことができる。表面反射を防ぐことができる。

【0887】

なお、偏光フィルム20300表面に、複数の屈折率の異なる光学薄膜層を多層化（アンチリフレクション処理、若しくはAR処理ともいう）してもよい。多層化された複数の屈折率の異なる光学薄膜層は、光の干渉効果によって表面の反射率を低減することができる。

【0888】

図78は、液晶表示装置のシステムブロックの一例を示す図である。

10

【0889】

画素部20405には、信号線20412が信号線駆動回路20403から延伸して配置されている。画素部20405には、走査線20410が走査線駆動回路20404から延伸して配置されている。そして、信号線20412と走査線20410との交差領域に、複数の画素がマトリクス状に配置されている。なお、複数の画素それぞれはスイッチング素子を有している。したがって、複数の画素それぞれに液晶分子の傾きを制御するための電圧を独立して入力することができる。このように各交差領域にスイッチング素子が設けられた構造をアクティブ型と呼ぶ。ただし、このようなアクティブ型に限定されず、パッシブ型の構成でもよい。パッシブ型は、各画素にスイッチング素子がないため、工程が簡便である。

20

【0890】

駆動回路部20408は、制御回路20402、信号線駆動回路20403及び走査線駆動回路20404を有する。制御回路20402には映像信号20401が入力されている。制御回路20402は、この映像信号20401に応じて、信号線駆動回路20403及び走査線駆動回路20404を制御する。そのため、映像信号20401は、信号線駆動回路20403及び走査線駆動回路20404に、それぞれ制御信号を入力する。そして、この制御信号に応じて、信号線駆動回路20403はビデオ信号を信号線20412に入力し、走査線駆動回路20404は走査信号を走査線20410に入力する。そして、画素が有するスイッチング素子が走査信号に応じて選択され、画素の画素電極にビデオ信号が入力される。

30

【0891】

なお、制御回路20402は、映像信号20401に応じて電源20407も制御している。電源20407は、照明手段20406へ電力を供給する手段を有している。照明手段20406としては、エッジライト式のバックライトユニット、又は直下型のバックライトユニットを用いることができる。ただし、照明手段20406としては、フロントライトを用いてもよい。フロントライトとは、画素部の前面側に取り付け、全体を照らす発光体及び導光体で構成された板状のライトユニットである。このような照明手段により、低消費電力で、均等に画素部を照らすことができる。

【0892】

図78（B）に示すように走査線駆動回路20404は、シフトレジスタ20441、レベルシフタ20442、バッファ20443として機能する回路を有する。シフトレジスタ20441にはゲートスタートパルス（GSP）、ゲートクロック信号（GCK）等の信号が入力される。

40

【0893】

図78（C）に示すように信号線駆動回路20403は、シフトレジスタ20431、第1のラッチ20432、第2のラッチ20433、レベルシフタ20434、バッファ20435として機能する回路を有する。バッファ20435として機能する回路とは、弱い信号を増幅させる機能を有する回路であり、オペアンプ等を有する。レベルシフタ20434には、スタートパルス（SSP）等の信号が、第1のラッチ20432にはビデオ信号等のデータ（DATA）が入力される。第2のラッチ20433にはラッチ（LAT

50

）信号を一時保持することができ、一斉に画素部 20405 へ入力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第 2 のラッチは不要とすることができる。

【0894】

なお、本実施の形態において、液晶パネルは、公知のものを用いることができる。例えば、液晶パネルとして、2つの基板の間に液晶層が封止された構成を用いることができる。一方の基板上には、トランジスタ、容量素子、画素電極又は配向膜などが形成されている。なお、一方の基板の上面と反対側には、偏光板、位相差板又はプリズムシートが配置されていてもよい。他方の基板上には、カラーフィルタ、ブラックマトリクス、対向電極又は配向膜などが形成されている。なお、他方の基板の上面と反対側には、偏光板又は位相差板が配置されていてもよい。なお、カラーフィルタ及びブラックマトリクスは、一方の基板の上面に形成されてもよい。なお、一方の基板の上面側又はその反対側にスリット（格子）を配置することで、3次元表示を行うことができる。

10

【0895】

なお、偏光板、位相差板及びプリズムシートをそれぞれ、2つの基板の間に配置することが可能である。あるいは、2つの基板のうちのいずれかと一体とすることが可能である。

【0896】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

20

【0897】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【0898】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

30

【0899】

（実施の形態 7）

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

【0900】

なお、本実施の形態において、液晶の動作モードとして、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（Anti Ferroelectric Liquid Crystal）などを用いることができる。

40

【0901】

図 131（A）は、液晶表示装置に適用できる画素構成の一例を示す図である。

【0902】

50

画素40100は、トランジスタ40101、液晶素子40102及び容量素子40103を有している。トランジスタ40101のゲートは配線40105に接続されている。トランジスタ40101の第1端子は配線40104に接続されている。トランジスタ40101の第2端子は液晶素子40102の第1電極及び容量素子40103の第1電極に接続される。液晶素子40102の第2電極は対向電極40107に相当する。容量素子40103の第2の電極が配線40106に接続されている。

【0903】

配線40104は、信号線として機能する。配線40105は走査線として機能する。配線40106は容量線として機能する。トランジスタ40101は、スイッチとして機能する。容量素子40103は、保持容量として機能する。

【0904】

トランジスタ40101はスイッチとして機能すればよく、トランジスタ40101の極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0905】

なお、配線40104にはビデオ信号が入力されている。配線40105には走査信号が入力されている。配線40106はある一定の電位が供給されている。なお、走査信号はHレベル又はLレベルのデジタル電圧信号である。トランジスタ40101がNチャネル型の場合、走査信号のHレベルはトランジスタ40101をオンできる電位、走査信号のLレベルはトランジスタ40101をオフできる電位である。あるいは、トランジスタ40101がPチャネル型の場合、走査信号のHレベルはトランジスタ40101をオフできる電位、走査信号のLレベルはトランジスタ40101をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、このビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位である。なお、配線40106に供給されている一定の電位は対向電極40107の電位と等しいことが好ましい。

【0906】

画素40100の動作について、トランジスタ40101がオンしている場合とトランジスタ40101がオフしている場合に分けて説明する。

【0907】

トランジスタ40101がオンしている場合は、配線40104と、液晶素子40102の第1電極（画素電極）及び容量素子40103の第1電極とが電氣的に接続される。したがって、ビデオ信号は、配線40104からトランジスタ40101を介して、液晶素子40102の第1電極（画素電極）及び容量素子40103の第1電極に入力される。そして、容量素子40103はビデオ信号と配線40106に供給されている電位との電位差を保持する。

【0908】

トランジスタ40101がオフしている場合は、配線40104と、液晶素子40102の第1電極（画素電極）及び容量素子40103の第1電極とが電氣的に遮断される。したがって、液晶素子40102の第1電極及び容量素子40103の第1電極は浮遊状態となる。容量素子40103はビデオ信号と配線40106に供給されている電位との電位差を保持しているため、液晶素子40102の第1電極及び容量素子40103の第1電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子40102は、ビデオ信号に応じた透過率となる。

【0909】

図131（B）は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図131（B）は、横電界モード（IPSモード、FFSモードを含む）に適した液晶表示装置に適用できる画素構成の一例を示す図である。

【0910】

画素40110は、トランジスタ40111、液晶素子40112及び容量素子40111

10

20

30

40

50

3を有している。トランジスタ40111のゲートは配線40115に接続されている。トランジスタ40111の第1端子は配線40114に接続されている。トランジスタ40111の第2端子は液晶素子40112の第1電極及び容量素子40113の第1電極に接続される。液晶素子40112の第2電極は配線40116と接続されている。容量素子40113の第2の電極が配線40116に接続されている。

【0911】

配線40114は、信号線として機能する。配線40115は走査線として機能する。配線40116は容量線として機能する。トランジスタ40111は、スイッチとして機能する。容量素子40113は、保持容量として機能する。

【0912】

トランジスタ40111はスイッチとして機能すればよく、トランジスタ40111の極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0913】

なお、配線40114にはビデオ信号が入力されている。配線40115には走査信号が入力されている。配線40116はある一定の電位が供給されている。なお、走査信号はHレベル又はLレベルのデジタル電圧信号である。トランジスタ40111がNチャネル型の場合、走査信号のHレベルはトランジスタ40111をオンできる電位、走査信号のLレベルはトランジスタ40111をオフできる電位である。あるいは、トランジスタ40111がPチャネル型の場合、走査信号のHレベルはトランジスタ40111をオフできる電位、走査信号のLレベルはトランジスタ40111をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、ビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位である。

【0914】

画素40110の動作について、トランジスタ40111がオンしている場合とトランジスタ40111がオフしている場合に分けて説明する。

【0915】

トランジスタ40111がオンしている場合は、配線40114と、液晶素子40112の第1電極（画素電極）及び容量素子40113の第1電極とが電氣的に接続される。したがって、ビデオ信号は、配線40114からトランジスタ40111を介して、液晶素子40112の第1電極（画素電極）及び容量素子40113の第1電極に入力される。そして、容量素子40113はビデオ信号と配線40116に供給されている電位との電位差を保持する。

【0916】

トランジスタ40111がオフしている場合は、配線40114と、液晶素子40112の第1電極（画素電極）及び容量素子40113の第1電極とが電氣的に遮断される。したがって、液晶素子40112の第1電極及び容量素子40113の第1電極は浮遊状態となる。容量素子40113はビデオ信号と配線40116に供給されている電位との電位差を保持しているため、液晶素子40112の第1電極及び容量素子40113の第1電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子40112は、ビデオ信号に応じた透過率となる。

【0917】

図132は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図132は、配線数を減らして画素の開口率を大きくできる画素構成の一例である。

【0918】

図132は、同じ列方向に配置された二つの画素（画素40200及び画素40210）を示す。例えば、画素40200がN行目に配置されている場合、画素40210はN+1行目に配置されている。

【0919】

10

20

30

40

50

画素40200は、トランジスタ40201、液晶素子40202及び容量素子40203を有している。トランジスタ40201のゲートは配線40205に接続されている。トランジスタ40201の第1端子は配線40204に接続されている。トランジスタ40201の第2端子は液晶素子40202の第1電極及び容量素子40203の第1電極に接続される。液晶素子40202の第2電極は対向電極40207に相当する。容量素子40203の第2電極は、前行のトランジスタのゲートと同じ配線に接続されている。

【0920】

画素40210は、トランジスタ40211、液晶素子40212及び容量素子40213を有している。トランジスタ40211のゲートは配線40215に接続されている。トランジスタ40211の第1端子は配線40204に接続されている。トランジスタ40211の第2端子は液晶素子40212の第1電極及び容量素子40213の第1電極に接続される。液晶素子40212の第2電極は対向電極40217に相当する。容量素子40213の第2電極は、前行のトランジスタのゲートと同じ配線（配線40205）に接続されている。

【0921】

配線40204は、信号線として機能する。配線40205はN行目の走査線として機能する。配線40206はN行目の容量線として機能する。トランジスタ40201は、スイッチとして機能する。容量素子40203は、保持容量として機能する。

【0922】

配線40214は、信号線として機能する。配線40215はN+1行目の走査線として機能する。配線40216はN+1行目の容量線として機能する。トランジスタ40211は、スイッチとして機能する。容量素子40213は、保持容量として機能する。

【0923】

トランジスタ40201及びトランジスタ40211はスイッチとして機能すればよく、トランジスタ40201の極性及びトランジスタ40211の極性はPチャネル型でもよいし、Nチャネル型でもよい。

【0924】

なお、配線40204にはビデオ信号が入力されている。配線40205には走査信号（N行目）が入力されている。配線40215には走査信号（N+1行目）が入力されている。

【0925】

走査信号はHレベル又はLレベルのデジタル電圧信号である。トランジスタ40201（又はトランジスタ40211）がNチャネル型の場合、走査信号のHレベルはトランジスタ40201（又はトランジスタ40211）をオンできる電位、走査信号のLレベルはトランジスタ40201（又はトランジスタ40211）をオフできる電位である。あるいは、トランジスタ40201（又はトランジスタ40211）がPチャネル型の場合、走査信号のHレベルはトランジスタ40201（又はトランジスタ40211）をオフできる電位、走査信号のLレベルはトランジスタ40201（又はトランジスタ40211）をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、ビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号のHレベルよりも低く、走査信号のLレベルよりも高い電位である。

【0926】

画素40200の動作について、トランジスタ40201がオンしている場合とトランジスタ40201がオフしている場合に分けて説明する。

【0927】

トランジスタ40201がオンしている場合は、配線40204と、液晶素子40202の第1電極（画素電極）及び容量素子40203の第1電極とが電氣的に接続される。したがって、ビデオ信号は、配線40204からトランジスタ40201を介して、液晶素子40202の第1電極（画素電極）及び容量素子40203の第1電極に入力される。

10

20

30

40

50

そして、容量素子 40203 はビデオ信号と前行のトランジスタのゲートと同じ配線に供給されている電位との電位差を保持する。

【0928】

トランジスタ 40201 がオフしている場合は、配線 40204 と、液晶素子 40202 の第 1 電極（画素電極）及び容量素子 40203 の第 1 電極とが電氣的に遮断される。したがって、液晶素子 40202 の第 1 電極及び容量素子 40203 の第 1 電極は浮遊状態となる。容量素子 40203 はビデオ信号と前行のトランジスタのゲートと同じ配線に供給されている電位との電位差を保持しているため、液晶素子 40202 の第 1 電極及び容量素子 40203 の第 1 電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子 40202 は、ビデオ信号に応じた透過率となる。

10

【0929】

画素 40210 の動作について、トランジスタ 40211 がオンしている場合とトランジスタ 40211 がオフしている場合に分けて説明する。

【0930】

トランジスタ 40211 がオンしている場合は、配線 40204 と、液晶素子 40212 の第 1 電極（画素電極）及び容量素子 40213 の第 1 電極とが電氣的に接続される。したがって、ビデオ信号は、配線 40204 からトランジスタ 40211 を介して、液晶素子 40212 の第 1 電極（画素電極）及び容量素子 40213 の第 1 電極に入力される。そして、容量素子 40213 はビデオ信号と前行のトランジスタのゲートと同じ配線（配線 40205）に供給されている電位との電位差を保持する。

20

【0931】

トランジスタ 40211 がオフしている場合は、配線 40204 と、液晶素子 40212 の第 1 電極（画素電極）及び容量素子 40213 の第 1 電極とが電氣的に遮断される。したがって、液晶素子 40212 の第 1 電極及び容量素子 40213 の第 1 電極は浮遊状態となる。容量素子 40213 はビデオ信号と前行のトランジスタのゲートと同じ配線（配線 40205）に供給されている電位との電位差を保持しているため、液晶素子 40212 の第 1 電極及び容量素子 40213 の第 1 電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子 40212 は、ビデオ信号に応じた透過率となる。

【0932】

図 133 は、液晶表示装置に適用できる画素構成の一例を示す図である。特に、図 133 は、サブ画素を用いることで視野角を向上できる画素構成の一例である。

30

【0933】

画素 40320 は、サブ画素 40300 とサブ画素 40310 を有している。画素 40320 が 2 つのサブ画素を有している場合について説明するが、画素 40320 は 3 つ以上のサブ画素を有していてもよい。

【0934】

サブ画素 40300 は、トランジスタ 40301、液晶素子 40302 及び容量素子 40303 を有している。トランジスタ 40301 のゲートは配線 40305 に接続されている。トランジスタ 40301 の第 1 端子は配線 40304 に接続されている。トランジスタ 40301 の第 2 端子は液晶素子 40302 の第 1 電極及び容量素子 40303 の第 1 電極に接続される。液晶素子 40302 の第 2 電極は対向電極 40307 に相当する。容量素子 40303 の第 2 の電極が配線 40306 に接続されている。

40

【0935】

サブ画素 40310 は、トランジスタ 40311、液晶素子 40312 及び容量素子 40313 を有している。トランジスタ 40311 のゲートは配線 40315 に接続されている。トランジスタ 40311 の第 1 端子は配線 40304 に接続されている。トランジスタ 40311 の第 2 端子は液晶素子 40312 の第 1 電極及び容量素子 40313 の第 1 電極に接続される。液晶素子 40312 の第 2 電極は対向電極 40317 に相当する。容量素子 40313 の第 2 の電極が配線 40306 に接続されている。

【0936】

50

配線 40304 は、信号線として機能する。配線 40305 は走査線として機能する。配線 40315 は信号線として機能する。配線 40306 は容量線として機能する。トランジスタ 40301 は、スイッチとして機能する。トランジスタ 40311 は、スイッチとして機能する。容量素子 40303 は、保持容量として機能する。容量素子 40313 は、保持容量として機能する。

【0937】

トランジスタ 40301 はスイッチとして機能すればよく、トランジスタ 40301 の極性は P チャンネル型でもよいし、N チャンネル型でもよい。トランジスタ 40311 はスイッチとして機能すればよく、トランジスタ 40311 の極性は P チャンネル型でもよいし、N チャンネル型でもよい。

【0938】

なお、配線 40304 にはビデオ信号が入力されている。配線 40305 には走査信号が入力されている。配線 40315 には走査信号が入力されている。配線 40306 はある一定の電位が供給されている。

【0939】

なお、走査信号は H レベル又は L レベルのデジタル電圧信号である。トランジスタ 40301 (又はトランジスタ 40311) が N チャンネル型の場合、走査信号の H レベルはトランジスタ 40301 (又はトランジスタ 40311) をオンできる電位、走査信号の L レベルはトランジスタ 40301 (又はトランジスタ 40311) をオフできる電位である。あるいは、トランジスタ 40301 (又はトランジスタ 40311) が P チャンネル型の場合、走査信号の H レベルはトランジスタ 40301 (又はトランジスタ 40311) をオフできる電位、走査信号の L レベルはトランジスタ 40301 (又はトランジスタ 40311) をオンできる電位である。なお、ビデオ信号はアナログ電圧である。ただし、これに限定されず、ビデオ信号はデジタルの電圧でもよい。または、ビデオ信号は電流でもよい。そして、ビデオ信号の電流は、アナログでもデジタルでもよい。ビデオ信号は、走査信号の H レベルよりも低く、走査信号の L レベルよりも高い電位である。なお、配線 40306 に供給されている一定の電位は対向電極 40307 の電位又は対向電極 40317 の電位と等しいことが好ましい。

【0940】

画素 40320 の動作について、トランジスタ 40301 がオンしトランジスタ 40311 がオフしている場合と、トランジスタ 40301 がオフしトランジスタ 40311 がオンしている場合と、トランジスタ 40301 及びトランジスタ 40311 がオフしている場合とに分けて説明する。

【0941】

トランジスタ 40301 がオンしトランジスタ 40311 がオフしている場合は、サブ画素 40300 において、配線 40304 と、液晶素子 40302 の第 1 電極 (画素電極) 及び容量素子 40303 の第 1 電極とが電氣的に接続される。したがって、ビデオ信号は、配線 40304 からトランジスタ 40301 を介して、液晶素子 40302 の第 1 電極 (画素電極) 及び容量素子 40303 の第 1 電極に入力される。そして、容量素子 40303 はビデオ信号と配線 40306 に供給されている電位との電位差を保持する。このとき、サブ画素 40310 において、配線 40304 と、液晶素子 40312 の第 1 電極 (画素電極) 及び容量素子 40313 の第 1 電極とが電氣的に遮断される。したがって、ビデオ信号は、サブ画素 40310 には入力されない。

【0942】

トランジスタ 40301 がオフし、トランジスタ 40311 がオンしている場合は、サブ画素 40300 において、配線 40304 と、液晶素子 40302 の第 1 電極 (画素電極) 及び容量素子 40303 の第 1 電極とが電氣的に遮断される。したがって、液晶素子 40302 の第 1 電極及び容量素子 40303 の第 1 電極は浮遊状態となる。容量素子 40303 はビデオ信号と配線 40306 に供給されている電位との電位差を保持しているため、液晶素子 40302 の第 1 電極及び容量素子 40303 の第 1 電極は、ビデオ信号と

10

20

30

40

50

同じ（対応した）電位を維持する。このとき、サブ画素４０３１０において、配線４０３０４と、液晶素子４０３１２の第１電極（画素電極）及び容量素子４０３１３の第１電極とが電氣的に接続される。したがって、ビデオ信号は、配線４０３０４からトランジスタ４０３１１を介して、液晶素子４０３１２の第１電極（画素電極）及び容量素子４０３１３の第１電極に入力される。そして、容量素子４０３１３はビデオ信号と配線４０３１６に供給されている電位との電位差を保持する。

【０９４３】

トランジスタ４０３０１及びトランジスタ４０３１１がオフしている場合は、サブ画素４０３００において、配線４０３０４と、液晶素子４０３０２の第１電極（画素電極）及び容量素子４０３０３の第１電極とが電氣的に遮断される。したがって、液晶素子４０３０２の第１電極及び容量素子４０３０３の第１電極は浮遊状態となる。容量素子４０３０３はビデオ信号と配線４０３０６に供給されている電位との電位差を保持しているため、液晶素子４０３０２の第１電極及び容量素子４０３０３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子４０３０２は、ビデオ信号に応じた透過率となる。このとき、このとき、サブ画素４０３１０において、配線４０３０４と、液晶素子４０３１２の第１電極（画素電極）及び容量素子４０３１３の第１電極とが電氣的に遮断される。したがって、液晶素子４０３１２の第１電極及び容量素子４０３１３の第１電極は浮遊状態となる。容量素子４０３１３はビデオ信号と配線４０３０６に供給されている電位との電位差を保持しているため、液晶素子４０３１２の第１電極及び容量素子４０３１３の第１電極は、ビデオ信号と同じ（対応した）電位を維持する。なお、液晶素子４０３１２は、ビデオ信号に応じた透過率となる。

【０９４４】

サブ画素４０３００に入力するビデオ信号は、サブ画素４０３１０に入力するビデオ信号と異なる値としてもよい。この場合、液晶素子４０３０２の液晶分子の配向を液晶素子４０３１２の液晶分子の配向と異ならせることができるため、視野角を広くすることができる。

【０９４５】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【０９４６】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることができる。

【０９４７】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【０９４８】

（実施の形態８）

本実施形態においては、表示装置の駆動方法について説明する。特に、液晶表示装置の駆動方法について説明する。

【０９４９】

本実施形態において説明する液晶表示装置に用いることのできる液晶パネルは、液晶材料を２枚の基板によって挟んだ構造であるとする。２枚の基板は、それぞれ、液晶材料に印

10

20

30

40

50

加する電界を制御するための電極を備えている。液晶材料は、外部から印加される電界によって、光学および電氣的な性質が変化する材料である。したがって、液晶パネルは、基板が有する電極を用いて液晶材料に印加する電圧を制御することによって、所望の光学および電氣的な性質を得ることができるデバイスである。そして、多数の電極を平面的に並置することでそれぞれを画素とし、画素に印加する電圧を個別に制御することにより、精細な画像を表示できる液晶パネルとすることができる。

【0950】

ここで、電界の変化に対する液晶材料の応答時間は、2枚の基板の間隔（セルギャップ）および液晶材料の種類等に依存するが、一般的に数ミリ秒から数十ミリ秒である。さらに、電界の変化量が小さい場合は、液晶材料の応答時間はさらに長くなる。この性質は、液晶パネルによって動きのある画像を表示する場合に、残像、尾引き、コントラストの低下といった画像表示上の障害を引き起こし、特に中間調から別の中間調へ変化する場合（電界の変化が小さい）場合に、前述の障害の程度が著しくなる。

【0951】

一方、アクティブマトリクスを用いた液晶パネルに特有の問題として、定電荷駆動による書き込み電圧の変化がある。以下に、本実施形態における定電荷駆動について説明する。

【0952】

アクティブマトリクスにおける画素回路は、書き込みを制御するスイッチと、電荷を保持する容量素子を含む。アクティブマトリクスにおける画素回路の駆動方法は、スイッチをオン状態として所定の電圧を画素回路に書き込んだ後、直ちにスイッチをオフ状態として画素回路内の電荷を保持する（ホールド状態）というものである。ホールド状態時、画素回路の内部と外部には電荷のやり取りが行なわれない（定電荷）。通常、スイッチがオン状態となっている期間に比べて、オフ状態となっている期間は数百（走査線本数）倍程度長い。そのため、画素回路のスイッチは、ほとんどオフ状態となっていると考えてよい。以上より、本実施形態における定電荷駆動とは、液晶パネルの駆動時、画素回路はほとんどの期間においてホールド状態である駆動方法であるとする。

【0953】

次に、液晶材料の電氣的特性について説明する。液晶材料は、外部から印加される電界が変化すると、光学的性質が変化すると同時に、誘電率も変化する。すなわち、液晶パネルの各画素を2枚の電極に挟まれた容量素子（液晶素子）として考えたとき、当該容量素子は、印加される電圧によって静電容量が変化する容量素子である。この現象を、ダイナミックキャパシタンスと呼ぶこととする。

【0954】

このように、印加される電圧によって静電容量が変化する容量素子を、上述した定電荷駆動によって駆動する場合、次のような問題が生じる。すなわち、電荷の移動が行なわれないホールド状態において、液晶素子の静電容量が変化すると、印加される電圧も変化してしまうという問題である。これは、 $(\text{電荷量}) = (\text{静電容量}) \times (\text{印加電圧})$ という関係式において、電荷量が一定であるということから理解できる。

【0955】

以上の理由により、アクティブマトリクスを用いた液晶パネルでは、定電荷駆動であることによって、ホールド状態時における電圧が、書き込み時における電圧から変化してしまう。その結果、液晶素子の透過率は、ホールド状態を取らない駆動法における変化とは異なったものとなる。この様子を示したのが、図83である。図83（A）は、横軸に時間、縦軸に電圧の絶対値をとり、画素回路に書き込む電圧の制御例を表したものである。図83（B）は、横軸に時間、縦軸に電圧をとった場合の、画素回路に書き込む電圧の制御例を表したものである。図83（C）は、横軸に時間、縦軸に液晶素子の透過率をとり、図83（A）または図83（B）によって表した電圧を画素回路に書き込んだ場合の、液晶素子の透過率の時間変化を表したものである。図83（A）乃至（C）において、期間Fは電圧の書き換え周期を表し、電圧を書き換える時刻を t_1 、 t_2 、 t_3 、 t_4 、・・・として説明する。

10

20

30

40

50

【0956】

ここで、液晶表示装置に入力される画像データに対応する書き込み電圧は、時刻0における書き換えでは $|V_1|$ 、時刻 t_1 、 t_2 、 t_3 、 t_4 、・・・における書き換えでは $|V_2|$ であるとする。（図83（A）参照）

【0957】

なお、液晶表示装置に入力される画像データに対応する書き込み電圧は、その極性を周期的に入れ替えてもよい。（反転駆動：図83（B）参照）この方法によって、液晶に直流電圧をできるだけ印加しないようにすることができるので、液晶素子の劣化による焼きつき等を防ぐことができる。なお、極性を入れ替える周期（反転周期）は、電圧の書き換え周期と同じでもよい。この場合は、反転周期が短いので、反転駆動によるフリッカの発生を低減することができる。さらに、反転周期は、電圧の書き換え周期の整数倍の周期であってもよい。この場合は、反転周期が長く、極性を変えて電圧を書き込む頻度を減少させることができるため、消費電力を低減することができる。

10

【0958】

そして、図83（A）または図83（B）に示したような電圧を液晶素子に印加したときの液晶素子の透過率の時間変化を、図83（C）に示す。ここで、液晶素子に電圧 $|V_1|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_1 とする。同様に、液晶素子に電圧 $|V_2|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_2 とする。時刻 t_1 において、液晶素子に印加される電圧が $|V_1|$ から $|V_2|$ に変化すると、液晶素子の透過率は、破線30401に示したように、すぐに TR_2 とはならず、ゆっくりと変化する。たとえば、電圧の書き換え周期が、60Hzの画像信号のフレーム周期（16.7ミリ秒）と同じであるとき、透過率が TR_2 に変化するまでは、数フレーム程度の時間が必要となる。

20

【0959】

ただし、破線30401に示したような、滑らかな透過率の時間変化は、液晶素子に正確に電圧 $|V_2|$ が印加されたときのものである。実際の液晶パネル、たとえば、アクティブマトリクスを用いた液晶パネルでは、定電荷駆動であることによって、ホールド状態時における電圧が、書き込み時における電圧から変化してしまうため、液晶素子の透過率は破線30401に示したような時間変化とはならず、かわりに、実線30401に示したような、段階的な時間変化となる。これは、定電荷駆動であることによって電圧が変化してしまうため、1回の書き込みでは目的の電圧に到達することができないためである。その結果、液晶素子の透過率の応答時間は、本来の応答時間（破線30401）よりも、見かけ上、さらに長くなってしまい、残像、尾引き、コントラストの低下といった画像表示上の障害を顕著に引き起こしてしまうということになる。

30

【0960】

オーバードライブ駆動を用いることによって、液晶素子の本来の応答時間の長さ、ダイナミックキャパシタンスおよび定電荷駆動による書き込み不足に起因する見かけ上の応答時間がさらに長くなる現象を、同時に解決することができる。この様子を示したのが、図84である。図84（A）は、横軸に時間、縦軸に電圧の絶対値をとり、画素回路に書き込む電圧の制御例を表したものである。図84（B）は、横軸に時間、縦軸に電圧をとった場合の、画素回路に書き込む電圧の制御例を表したものである。図84（C）は、横軸に時間、縦軸に液晶素子の透過率をとり、図84（A）または図84（B）によって表した電圧を画素回路に書き込んだ場合の、液晶素子の透過率の時間変化を表したものである。図84（A）乃至（C）において、期間Fは電圧の書き換え周期を表し、電圧を書き換える時刻を t_1 、 t_2 、 t_3 、 t_4 、・・・として説明する。

40

【0961】

ここで、液晶表示装置に入力される画像データに対応する書き込み電圧は、時刻0における書き換えでは $|V_1|$ 、時刻 t_1 における書き換えでは $|V_3|$ 、時刻 t_2 、 t_3 、 t_4 、・・・における書き換えでは $|V_2|$ であるとする。（図84（A）参照）

【0962】

50

なお、液晶表示装置に入力される画像データに対応する書き込み電圧は、その極性を周期的に入れ替えてもよい。（反転駆動：図 8 4（B）参照）この方法によって、液晶に直流電圧をできるだけ印加しないようにすることができるので、液晶素子の劣化による焼きつき等を防ぐことができる。なお、極性を入れ替える周期（反転周期）は、電圧の書き換え周期と同じでもよい。この場合は、反転周期が短いので、反転駆動によるフリッカの発生を低減することができる。さらに、反転周期は、電圧の書き換え周期の整数倍の周期であってもよい。この場合は、反転周期が長く、極性を変えて電圧を書き込む頻度を減少させることができるため、消費電力を低減することができる。

【0963】

そして、図 8 4（A）または図 8 4（B）に示したような電圧を液晶素子に印加したときの液晶素子の透過率の時間変化を、図 8 4（C）に示す。ここで、液晶素子に電圧 $|V_1|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_1 とする。同様に、液晶素子に電圧 $|V_2|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_2 とする。同様に、液晶素子に電圧 $|V_3|$ が印加され、十分時間が経過した後の液晶素子の透過率を TR_3 とする。時刻 t_1 において、液晶素子に印加される電圧が $|V_1|$ から $|V_3|$ に変化すると、液晶素子の透過率は、破線 30501 に示したように、数フレームをかけて透過率を TR_3 まで変化しようとする。しかし、電圧 $|V_3|$ の印加は時刻 t_2 で終わり、時刻 t_2 より後は、電圧 $|V_2|$ が印加される。そのため、液晶素子の透過率は破線 30501 に示したようにはならず、実線 30502 に示したようになる。ここで、時刻 t_2 の時点において、透過率が概ね TR_2 となっているように、電圧 $|V_3|$ の値を設定するのが好ましい。ここで、電圧 $|V_3|$ を、オーバードライブ電圧とも呼ぶこととする。

【0964】

つまり、オーバードライブ電圧である $|V_3|$ を変化させれば、液晶素子の応答時間をある程度制御することができる。なぜならば、液晶の応答時間は、電界の強さによって変化するからである。具体的には、電界が強いほど、液晶素子の応答時間は短くなり、電界が弱いほど、液晶素子の応答時間は長くなる。

【0965】

なお、オーバードライブ電圧である $|V_3|$ は、電圧の変化量、すなわち、目的とする透過率 TR_1 および TR_2 を与える電圧 $|V_1|$ および $|V_2|$ 、にしたがって変化させるのが好ましい。なぜならば、液晶素子の応答時間が電圧の変化量によって変わってしまうても、オーバードライブ電圧である $|V_3|$ をそれに合わせて変化させれば、常に最適な応答時間を得ることができるからである。

【0966】

なお、オーバードライブ電圧である $|V_3|$ は、TN、VA、IPS、OCB等の液晶のモードによって変化させるのが好ましい。なぜならば、液晶の応答速度が液晶のモードによって異なってしまっても、オーバードライブ電圧である $|V_3|$ をそれに合わせて変化させれば、常に最適な応答時間を得ることができるからである。

【0967】

なお、電圧書き換え周期 F は、入力信号のフレーム周期と同じでもよい。この場合は、液晶表示装置の周辺駆動回路を簡単にできるため、製造コストの低い液晶表示装置を得ることができる。

【0968】

なお、電圧書き換え周期 F は、入力信号のフレーム周期よりも短くてもよい。たとえば、電圧書き換え周期 F は入力信号のフレーム周期の $1/2$ 倍でもよいし、 $1/3$ 倍でもよいし、それ以下でもよい。この方法は、黒挿入駆動、バックライト点滅、バックライトスキャン、動き補償による中間画像挿入駆動等、液晶表示装置のホールド駆動に起因する動画品質の低下の対策法と合わせて用いるのが効果的である。すなわち、液晶表示装置のホールド駆動に起因する動画品質の低下の対策法は、要求される液晶素子の応答時間が短いため、本実施形態で説明したオーバードライブ駆動法を用いることで、比較的容易に液晶素

10

20

30

40

50

子の応答時間を短くすることができる。液晶素子の応答時間は、セルギャップ、液晶材料および液晶モード等によって本質的に短くすることは可能ではあるが、技術的に困難である。そのため、オーバードライブのような、駆動方法から液晶素子の応答時間を短くする方法を用いることは、非常に重要である。

【0969】

なお、電圧書き換え周期 F は、入力信号のフレーム周期よりも長くてもよい。たとえば、電圧書き換え周期 F は入力信号のフレーム周期の2倍でもよいし、3倍でもよいし、それ以上でもよい。この方法は、長期間電圧の書き換えが行なわれないか否かを判断する手段（回路）と合わせて用いるのが効果的である。すなわち、長期間電圧の書き換えが行なわれない場合は、電圧の書き換え動作自体を行わないことによって、回路の動作をその期間中は停止させることができるので、消費電力の低い液晶表示装置を得ることができる。

【0970】

次に、オーバードライブ電圧 $|V_3|$ を、目的とする透過率 TR_1 および TR_2 を与える電圧 $|V_1|$ および $|V_2|$ 、にしたがって変化させるための具体的な方法について説明する。

【0971】

オーバードライブ回路は、目的とする透過率 TR_1 および TR_2 を与える電圧 $|V_1|$ および $|V_2|$ にしたがって、オーバードライブ電圧 $|V_3|$ を適切に制御するための回路であるため、オーバードライブ回路に入力される信号は、透過率 TR_1 を与える電圧 $|V_1|$ に関する信号と、透過率 TR_2 を与える電圧 $|V_2|$ に関する信号であり、オーバードライブ回路から出力される信号は、オーバードライブ電圧 $|V_3|$ に関する信号となる。ここで、これらの信号としては、液晶素子に印加する電圧（ $|V_1|$ 、 $|V_2|$ 、 $|V_3|$ ）のようなアナログの電圧値であってもよいし、液晶素子に印加する電圧を与えるためのデジタル信号であってもよい。ここでは、オーバードライブ回路に関する信号はデジタル信号であるとして説明する。

【0972】

まず、図80の（A）を参照して、オーバードライブ回路の全体的な構成について説明する。ここでは、オーバードライブ電圧を制御するための信号として、入力画像信号30101aおよび30101bを用いる。これらの信号を処理した結果、オーバードライブ電圧を与える信号として、出力画像信号30104が出力されとする。

【0973】

ここで、目的とする透過率 TR_1 および TR_2 を与える電圧 $|V_1|$ および $|V_2|$ は、互いに隣り合ったフレームにおける画像信号であるため、入力画像信号30101aおよび30101bも、同様に互いに隣り合ったフレームにおける画像信号であることが好ましい。このような信号を得るためには、入力画像信号30101aを、図80の（A）における遅延回路30102に入力し、その結果出力される信号を、入力画像信号30101bとすることができる。遅延回路30102としては、たとえば、メモリが挙げられる。すなわち、入力画像信号30101aを1フレーム分遅延させるために、メモリに当該入力画像信号30101aを記憶させておき、同時に、1つ前のフレームにおいて記憶させておいた信号を、入力画像信号30101bとしてメモリから取り出し、入力画像信号30101aと、入力画像信号30101bを、同時に補正回路30103に入力することで、互いに隣り合ったフレームにおける画像信号を扱えるようにすることができる。そして、互いに隣り合ったフレームにおける画像信号を、補正回路30103に入力することで、出力画像信号30104を得ることができる。なお、遅延回路30102としてメモリを用いたときは、1フレーム分遅延させるために、1フレーム分の画像信号を記憶できる容量を持ったメモリ（すなわち、フレームメモリ）とすることができる。こうすることで、メモリ容量の過不足なく、遅延回路としての機能を有することができる。

【0974】

次に、メモリの容量を削減することを主な目的として構成された遅延回路30102について説明する。遅延回路30102としてこのような回路を用いることで、メモリの容量

を削減することができるため、製造コストを低減することができる。

【0975】

このような特徴を持つ遅延回路30102として、具体的には、図80の(B)に示すようなものを用いることができる。図80の(B)に示す遅延回路30102は、エンコーダ30105と、メモリ30106と、デコーダ30107を有する。

【0976】

図80の(B)に示す遅延回路30102の動作としては、次のようなものとなる。まず、入力画像信号30101aをメモリ30106に記憶させる前に、エンコーダ30105によって、圧縮処理を行なう。これによって、メモリ30106に記憶させるべきデータのサイズを減らすことができる。その結果、メモリの容量を削減することができるため、製造コストを低減することができる。そして、圧縮処理を施された画像信号は、デコーダ30107に送られ、ここで伸張処理を行なう。これによって、エンコーダ30105によって圧縮処理された前の信号を復元することができる。ここで、エンコーダ30105およびデコーダ30107によって行なわれる圧縮伸張処理は、可逆的な処理であってもよい。こうすることで、圧縮伸張処理を行なった後でも画像信号の劣化がないため、最終的に装置に表示される画像の品質を落とすことなく、メモリの容量を削減することができる。さらに、エンコーダ30105およびデコーダ30107によって行なわれる圧縮伸張処理は、非可逆的な処理であってもよい。こうすることで、圧縮後の画像信号のデータのサイズを非常に小さくすることができるため、メモリの容量を大幅に削減することができる。

【0977】

なお、メモリの容量を削減するための方法としては、上に挙げたもの以外にも、様々な方法を用いることができる。エンコーダによって画像圧縮するのではなく、画像信号が有する色情報を削減する(たとえば、26万色から6万5千色に減色する)、またはデータ数を削減する(解像度を小さくする)、などの方法を用いることができる。

【0978】

次に、補正回路30103の具体例について、図80の(C)乃至(E)を参照して説明する。補正回路30103は、2つの入力画像信号から、ある値の出力画像信号を出力するための回路である。ここで、2つの入力画像信号と出力画像信号の関係が非線形であり、簡単な演算で求めることが難しい場合には、補正回路30103として、ルックアップテーブル(LUT)を用いてもよい。LUTには、2つの入力画像信号と出力画像信号の関係が、測定によってあらかじめ求められているため、2つの入力画像信号に対応する出力画像信号を、LUTを参照するだけで求めることができる。(図80の(C)参照)補正回路30103としてLUT30108を用いることで、複雑な回路設計等を行なうことなく、補正回路30103を実現することができる。

【0979】

ここで、LUTはメモリの1つであるため、メモリ容量をできるだけ削減することが、製造コストを低減する上で、好ましい。それを実現するための補正回路30103の例として、図80の(D)に示す回路が考えられる。図80の(D)に示す補正回路30103は、LUT30109と、加算器30110を有する。LUT30109には、入力画像信号30101aと、出力するべき出力画像信号30104の差分データが格納されている。つまり、入力画像信号30101aおよび入力画像信号30101bから、対応する差分データをLUT30109から取り出し、取り出した差分データと入力画像信号30101aを、加算器30110によって加算することで、出力画像信号30104を得ることができる。なお、LUT30109に格納するデータを差分データとすることで、LUTのメモリ容量の削減が実現できる。なぜならば、そのままの出力画像信号30104よりも、差分データの方がデータサイズが小さいため、LUT30109に必要なメモリ容量を小さくできるからである。

【0980】

さらに、出力画像信号が、2つの入力画像信号の四則演算等の簡単な演算によって求めら

れるならば、加算器、減算器、乗算器等の簡単な回路の組み合わせによって実現できる。その結果、LUTを用いる必要が無くなり、製造コストを大幅に低減することができる。このような回路としては、図80の(E)に示す回路を挙げることができる。図80の(E)に示す補正回路30103は、減算器30111と、乗算器30112と、加算器30113、を有する。まず、入力画像信号30101aと、入力画像信号30101bの差分を、減算器30111によって求める。その後、乗算器30112によって、適切な係数を差分値に乘ずる。そして、入力画像信号30101aに、適切な係数を乗じた差分値を、加算器30113によって加算することで、出力画像信号30104を得ることができる。このような回路を用いることによって、LUTを用いる必要が無くなり、製造コストを大幅に低減することができる。

10

【0981】

なお、ある条件の下で、図80の(E)に示す補正回路30103を用いることによって、不適切な出力画像信号30104を出力することを防止することができる。その条件とは、オーバードライブ電圧を与える出力画像信号30104と、入力画像信号30101aおよび入力画像信号30101bの差分値に、線形性があることである。そして、この線形性の傾きを、乗算器30112によって乗ずる係数とする。すなわち、このような性質を持つ液晶素子に、図80の(E)に示す補正回路30103を用いることが好ましい。このような性質を持つ液晶素子としては、応答速度の階調依存性の小さい、IPSモードの液晶素子が挙げられる。このように、たとえば、IPSモードの液晶素子に図80の(E)に示す補正回路30103を用いることによって、製造コストを大幅に低減でき、かつ、不適切な出力画像信号30104を出力することを防止することができるオーバードライブ回路を得ることができる。

20

【0982】

なお、図80の(A)乃至(E)に示した回路と同等の働きを、ソフトウェア処理によって実現してもよい。遅延回路に用いるメモリについては、液晶表示装置が有する他のメモリ、液晶表示装置に表示する画像を送り出す側の装置（たとえば、パーソナルコンピュータやそれに準じた装置が有するビデオカード等）が有するメモリ等を流用することができる。こうすることで、製造コストを低減できるだけでなく、オーバードライブの強さや利用する状況などを、ユーザが好みに応じて選択できるようにすることができる。

【0983】

次に、コモン線の電位を操作する駆動について、図81を参照して説明する。図81の(A)は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が一本配置されているときの、複数の画素回路を表した図である。図81の(A)に示す画素回路は、トランジスタ30201、補助容量30202、表示素子30203、映像信号線30204、走査線30205、コモン線30206、を備えている。

30

【0984】

トランジスタ30201のゲート電極は、走査線30205に電氣的に接続され、トランジスタ30201のソース電極及びドレイン電極の一方は、映像信号線30204に電氣的に接続され、トランジスタ30201のソース電極及びドレイン電極の他方は、補助容量30202の一方の電極、及び表示素子30203の一方の電極に電氣的に接続されている。

40

また、補助容量30202の他方の電極は、コモン線30206に電氣的に接続されている。

【0985】

まず、走査線30205によって選択された画素は、トランジスタ30201がオンとなるため、それぞれ、映像信号線30204を介して、表示素子30203及び補助容量30202に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線30206に接続された全ての画素に対して最低階調を表示させるものだった場合、あるいは、コモン線30206に接続された全ての画素に対して最高階調を表示させるものだった

50

場合は、画素にそれぞれ映像信号線 30204 を介して映像信号を書き込む必要はない。映像信号線 30204 を介して映像信号を書き込む代わりに、コモン線 30206 の電位を動かすことで、表示素子 30203 にかかる電圧を変えることができる。

【0986】

次に、図 81 の (B) は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が 2 本配置されているときの、複数の画素回路を表した図である。図 81 の (B) に示す画素回路は、トランジスタ 30211、補助容量 30212、表示素子 30213、映像信号線 30214、走査線 30215、第 1 のコモン線 30216、第 2 のコモン線 30217、を備えている。

【0987】

トランジスタ 30211 のゲート電極は、走査線 30215 に電氣的に接続され、トランジスタ 30211 のソース電極及びドレイン電極の一方は、映像信号線 30214 に電氣的に接続され、トランジスタ 30211 のソース電極及びドレイン電極の他方は、補助容量 30212 の一方の電極、及び表示素子 30213 の一方の電極に電氣的に接続されている。

また、補助容量 30212 の他方の電極は、第 1 のコモン線 30216 に電氣的に接続されている。

また、当該画素と隣接する画素においては、補助容量 30212 の他方の電極は、第 2 のコモン線 30217 に電氣的に接続されている。

【0988】

図 81 の (B) に示す画素回路は、コモン線一本に対し電氣的に接続されている画素が少ないため、映像信号線 30214 を介して映像信号を書き込む代わりに、第 1 のコモン線 30216 又は第 2 のコモン線 30217 の電位を動かすことで、表示素子 30213 にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動又はドット反転駆動が可能になる。ソース反転駆動又はドット反転駆動により、素子の信頼性を向上させつつ、フリッカを抑えることができる。

【0989】

次に、走査型バックライトについて、図 82 を参照して説明する。図 82 の (A) は、冷陰極管を並置した走査型バックライトを示す図である。図 82 の (A) に示す走査型バックライトは、拡散板 30301 と、N 個の冷陰極管 30302-1 から 30302-N と、を備える。N 個の冷陰極管 30302-1 から 30302-N を、拡散板 30301 の後ろに並置することで、N 個の冷陰極管 30302-1 から 30302-N は、その輝度を変化させて走査することができる。

【0990】

走査するときの各冷陰極管の輝度の変化を、図 82 の (C) を用いて説明する。まず、冷陰極管 30302-1 の輝度を、一定時間変化させる。そして、その後に、冷陰極管 30302-1 の隣に配置された冷陰極管 30302-2 の輝度を、同じ時間だけ変化させる。このように、冷陰極管 30302-1 から 30302-N まで、輝度を順に変化させる。なお、図 82 の (C) においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管 30302-1 から 30302-N まで走査するとしたが、逆方向に冷陰極管 30302-N から 30302-1 まで走査してもよい。

【0991】

図 82 のように駆動することで、バックライトの平均輝度を小さくすることができる。したがって、液晶表示装置の消費電力の大部分を占める、バックライトの消費電力を低減することができる。

【0992】

なお、走査型バックライトの光源として、LED を用いてもよい。その場合の走査型バックライトは、図 82 の (B) のようになる。図 82 の (B) に示す走査型バックライトは、拡散板 30311 と、LED を並置した光源 30312-1 から 30312-N と、を

10

20

30

40

50

備える。走査型バックライトの光源として、LEDを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、LEDを並置した光源30312-1から30312-Nのそれぞれに並置したLEDも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。

【0993】

なお、バックライトの光源としてLEDを用いた場合も、図82の(C)に示すように輝度を変化させて駆動することができる。

【0994】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0995】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることができる。

【0996】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0997】

（実施の形態9）

本実施の形態においては、各種液晶モードについて説明する。

【0998】

まず、断面図を用いて各種液晶モードについて説明する。

【0999】

図134(A)、(B)は、TNモードの断面の模式図を示す。

【1000】

互いに対向するように配置された第1の基板50101及び第2の基板50102に、液晶層50100が挟持されている。第1の基板50101の上面には、第1の電極50105が形成されている。第2の基板50102の上面には、第2の電極50106が形成されている。第1の基板50101の液晶層と反対側には、第1の偏光板50103が配置されている。第2の基板50102の液晶層と反対側には、第2の偏光板50104が配置されている。なお、第1の偏光板50103と第2の偏光板50104とは、クロスニコルになるように配置されている。

【1001】

第1の偏光板50103は、第1の基板50101の上面に配置されてもよい。第2の偏光板50104は、第2の基板50102の上面に配置されてもよい。

【1002】

第1の電極50105及び第2の電極50106のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【1003】

図134(A)は、第1の電極50105及び第2の電極50106に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子が縦に並んだ状態となるため

10

20

30

40

50

、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50103と第2の偏光板50104とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過できない。したがって、黒色表示が行われる。

【1004】

なお、第1の電極50105及び第2の電極50106に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1005】

図134(B)は、第1の電極50105及び第2の電極50106に電圧が印加されていない場合の断面の模式図である。液晶分子が横に並び、平面内で回転している状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50103と第2の偏光板50104とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。いわゆるノーマリーホワイトモードである。

10

【1006】

図134(A)、(B)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50101側又は第2の基板50102側に設けることができる。

【1007】

TNモードに使用される液晶材料は、公知のものを使用すればよい。

20

【1008】

図135(A)、(B)は、VAモードの断面の模式図を示す。VAモードは、無電界の時に液晶分子が基板に垂直となるように配向されているモードである。

【1009】

互いに対向するように配置された第1の基板50201及び第2の基板50202に、液晶層50200が挟持されている。第1の基板50201の上面には、第1の電極50205が形成されている。第2の基板50202の上面には、第2の電極50206が形成されている。第1の基板50201の液晶層と反対側には、第1の偏光板50203が配置されている。第2の基板50202の液晶層と反対側には、第2の偏光板50204が配置されている。なお、第1の偏光板50203と第2の偏光板50204とは、クロスニコルになるように配置されている。

30

【1010】

第1の偏光板50203は、第1の基板50201の上面に配置されてもよい。第2の偏光板50204は、第2の基板50202の上面に配置されてもよい。

【1011】

第1の電極50205及び第2の電極50206のうち、少なくとも一方(又は両方)の電極が透光性を有していればよい(透過型又は反射型)。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい(半透過型)。

【1012】

図135(A)は、第1の電極50205及び第2の電極50206に電圧が印加(縦電界方式と呼ぶ)された場合の断面の模式図である。液晶分子が横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50203と第2の偏光板50204とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

40

【1013】

なお、第1の電極50205及び第2の電極50206に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1014】

図135(B)は、第1の電極50205及び第2の電極50206に電圧が印加されて

50

いない場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50203と第2の偏光板50204とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【1015】

図135(A)、(B)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50201側又は第2の基板50202側に設けることができる。

【1016】

V Aモードに使用される液晶材料は、公知のものを使用すればよい。

【1017】

図135(C)、(D)は、M V Aモードの断面の模式図を示す。M V Aモードは、それぞれの部分の視野角依存性を互いに補償する方法である。

【1018】

互いに対向するように配置された第1の基板50211及び第2の基板50212に、液晶層50210が挟持されている。第1の基板50211の上面には、第1の電極50215が形成されている。第2の基板50212の上面には、第2の電極50216が形成されている。第1の電極50215上には、配向制御用に第1の突起物50217が形成されている。第2の電極50216上には、配向制御用に第2の突起物50218が形成されている。第1の基板50211の液晶層と反対側には、第1の偏光板50213が配置されている。第2の基板50212の液晶層と反対側には、第2の偏光板50214が配置されている。なお、第1の偏光板50213と第2の偏光板50214とは、クロスニコルになるように配置されている。

【1019】

第1の偏光板50213は、第1の基板50211の上面に配置されてもよい。第2の偏光板50214は、第2の基板50212の上面に配置されてもよい。

【1020】

第1の電極50215及び第2の電極50216のうち、少なくとも一方(又は両方)の電極が透光性を有していればよい(透過型又は反射型)。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい(半透過型)。

【1021】

図135(C)は、第1の電極50215及び第2の電極50216に電圧が印加(縦電界方式と呼ぶ)された場合の断面の模式図である。液晶分子が第1の突起物50217及び第2の突起物50218に対して倒れて並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50213と第2の偏光板50214とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【1022】

なお、第1の電極50215及び第2の電極50216に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1023】

図135(D)は、第1の電極50215及び第2の電極50216に電圧が印加されていない場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50213と第2の偏光板50214とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【1024】

10

20

30

40

50

図135 (C)、(D)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50211側又は第2の基板50212側に設けることができる。

【1025】

MVAモードに使用される液晶材料は、公知のものを使用すればよい。

【1026】

図136 (A)、(B)は、OCBモードの断面の模式図を示す。OCBモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、視野角依存が少ない。この液晶分子の状態は、ベンド配向と呼ばれる。

【1027】

互いに対向するように配置された第1の基板50301及び第2の基板50302に、液晶層50300が挟持されている。第1の基板50301の上面には、第1の電極50305が形成されている。第2の基板50302の上面には、第2の電極50306が形成されている。第1の基板50301の液晶層と反対側には、第1の偏光板50303が配置されている。第2の基板50302の液晶層と反対側には、第2の偏光板50304が配置されている。なお、第1の偏光板50303と第2の偏光板50304とは、クロスニコルになるように配置されている。

【1028】

第1の偏光板50303は、第1の基板50301の上面に配置されてもよい。第2の偏光板50304は、第2の基板50302の上面に配置されてもよい。

【1029】

第1の電極50305及び第2の電極50306のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【1030】

図136 (A)は、第1の電極50305及び第2の電極50306に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子が縦に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50303と第2の偏光板50304とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。

【1031】

なお、第1の電極50305及び第2の電極50306に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1032】

図136 (B)は、第1の電極50305及び第2の電極50306に電圧が印加されていない場合の断面の模式図である。液晶分子がベンド配向の状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50303と第2の偏光板50304とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。いわゆるノーマリーホワイトモードである。

【1033】

図136 (A)、(B)に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50301側又は第2の基板50302側に設けることができる。

【1034】

OCBモードに使用される液晶材料は、公知のものを使用すればよい。

【1035】

図136 (C)、(D)は、FLCモード又はAFLCモードの断面の模式図を示す。

【1036】

互いに対向するように配置された第1の基板50311及び第2の基板50312に、液晶層50310が挟持されている。第1の基板50311の上面には、第1の電極50315が形成されている。第2の基板50312の上面には、第2の電極50316が形成されている。第1の基板50311の液晶層と反対側には、第1の偏光板50313が配置されている。第2の基板50312の液晶層と反対側には、第2の偏光板50314が配置されている。なお、第1の偏光板50313と第2の偏光板50314とは、クロスニコルになるように配置されている。

【1037】

第1の偏光板50313は、第1の基板50311の上面に配置されてもよい。第2の偏光板50314は、第2の基板50312の上面に配置されてもよい。

【1038】

第1の電極50315及び第2の電極50316のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【1039】

図136（C）は、第1の電極50315及び第2の電極50316に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた方向で横に並んでいる状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50313と第2の偏光板50314とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【1040】

なお、第1の電極50315及び第2の電極50316に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1041】

図136（D）は、第1の電極50315及び第2の電極50316に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50313と第2の偏光板50314とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【1042】

図136（C）、（D）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50311側又は第2の基板50312側に設けることができる。

【1043】

FLCモード又はAFLCモードに使用される液晶材料は、公知のものを使用すればよい。

【1044】

図137（A）、（B）は、IPSモードの断面の模式図を示す。IPSモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

【1045】

互いに対向するように配置された第1の基板50401及び第2の基板50402に、液晶層50400が挟持されている。第1の基板50401の上面には、第1の電極50405及び第2の電極50406が形成されている。第1の基板50401の液晶層と反対側には、第1の偏光板50403が配置されている。第2の基板50402の液晶層と反対側には、第2の偏光板50404が配置されている。なお、第1の偏光板50403と

10

20

30

40

50

第2の偏光板50404とは、クロスニコルになるように配置されている。

【1046】

第1の偏光板50403は、第1の基板50401の上面に配置されてもよい。第2の偏光板50404は、第2の基板50402の上面に配置されてもよい。

【1047】

第1の電極50405及び第2の電極50406のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【1048】

図137（A）は、第1の電極50405及び第2の電極50406に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた電気力線に沿って配向した状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50403と第2の偏光板50404とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

【1049】

なお、第1の電極50405及び第2の電極50406に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1050】

図137（B）は、第1の電極50405及び第2の電極50406に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50403と第2の偏光板50404とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

【1051】

図137（A）、（B）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50401側又は第2の基板50402側に設けることができる。

【1052】

IPSモードに使用される液晶材料は、公知のものを使用すればよい。

【1053】

図137（C）、（D）は、FFSモードの断面の模式図を示す。FFSモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

【1054】

互いに対向するように配置された第1の基板50411及び第2の基板50412に、液晶層50410が挟持されている。第1の基板50411の上面には、第2の電極50416が形成されている。第2の電極50416の上面には、絶縁膜50417が形成されている。絶縁膜50417上には、第2の電極50416が形成されている。第1の基板50411の液晶層と反対側には、第1の偏光板50413が配置されている。第2の基板50412の液晶層と反対側には、第2の偏光板50414が配置されている。なお、第1の偏光板50413と第2の偏光板50414とは、クロスニコルになるように配置されている。

【1055】

第1の偏光板50413は、第1の基板50411の上面に配置されてもよい。第2の偏光板50414は、第2の基板50412の上面に配置されてもよい。

【1056】

第1の電極50415及び第2の電極50416のうち、少なくとも一方（又は両方）の電極が透光性を有していればよい（透過型又は反射型）。あるいは、両方の電極が透光性を有し、かつ一方の電極の一部が反射性を有していてもよい（半透過型）。

【1057】

図137（C）は、第1の電極50415及び第2の電極50416に電圧が印加（縦電界方式と呼ぶ）された場合の断面の模式図である。液晶分子がラビング方向からずれた電気力線に沿って配向した状態となるため、バックライトからの光は液晶分子の複屈折の影響を受ける。そして、第1の偏光板50413と第2の偏光板50414とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過する。したがって、白色表示が行われる。

10

【1058】

なお、第1の電極50415及び第2の電極50416に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1059】

図137（D）は、第1の電極50415及び第2の電極50416に電圧が印加されていない場合の断面の模式図である。液晶分子がラビング方向に沿って横に並んだ状態となるため、バックライトからの光は液晶分子の複屈折の影響を受けない。そして、第1の偏光板50413と第2の偏光板50414とがクロスニコルになるように配置されているため、バックライトからの光は基板を通過しない。したがって、黒色表示が行われる。いわゆるノーマリーブラックモードである。

20

【1060】

図137（C）、（D）に示した構成を有する液晶表示装置は、カラーフィルタを設けることで、フルカラー表示を行うことができる。カラーフィルタは、第1の基板50411側又は第2の基板50412側に設けることができる。

【1061】

FFSモードに使用される液晶材料は、公知のものを使用すればよい。

【1062】

次に、上面図を用いて各種液晶モードを説明する。

【1063】

30

図138は、MVAモードを適用した画素部の上面図を示す。MVAモードは、それぞれの部分の視野角依存性を互いに補償する方法である。

【1064】

図138は、第1の画素電極50501、第2の画素電極（50502a、50502b、50502c）、及び突起物50503を示している。第1の画素電極50501は、対向基板の全面に形成されている。形状がくの字型となるように、第2の画素電極（50502a、50502b、50502c）が形成されている。形状が第2の画素電極（50502a、50502b、50502c）と対応するように、第1の画素電極50501上に第2の画素電極（50502a、50502b、50502c）が形成されている。

40

【1065】

第2の画素電極（50502a、50502b、50502c）の開口部は、突起物のように機能する。

【1066】

第1の画素電極50501及び第2の画素電極（50502a、50502b、50502c）に電圧が印加（縦電界方式と呼ぶ）された場合、液晶分子が第2の画素電極（50502a、50502b、50502c）の開口部及び突起物50503に対して倒れて並んだ状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。

【1067】

50

なお、第1の画素電極50501及び第2の画素電極(50502a、50502b、50502c)に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1068】

第1の画素電極50501及び第2の画素電極(50502a、50502b、50502c)に電圧が印加されていない場合、液晶分子が縦に並んだ状態となる。一对の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光がパネルを通過しないため、黒色表示が行われる。いわゆる、ノーマリーブラックモードである。

【1069】

MVAモードに使用される液晶材料は、公知のものを使用すればよい。

【1070】

図139(A)、(B)、(C)、(D)は、IPSモードを適用した画素部の上面図を示す。IPSモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

【1071】

IPSモードでは、一对の電極が異なる形状となるように形成される。

【1072】

図139(A)は、第1の画素電極50601及び第2の画素電極50602を示している。第1の画素電極50601及び第2の画素電極50602は、波状形状である。

【1073】

図139(B)は、第1の画素電極50611及び第2の画素電極50612を示している。第1の画素電極50611及び第2の画素電極50612は、同心円状の開口部を有する形状である。

【1074】

図139(C)は、第1の画素電極50631及び第2の画素電極50632を示している。第1の画素電極50631及び第2の画素電極50632は、
場状であり一部重なっている形状で

【1075】

図139(D)は、第1の画素電極50641及び第2の画素電極50642を示している。第1の画素電極50641及び第2の画素電極50642は、
場状であり電極同士がかみ合うような形状である。

【1076】

第1の電極(50601、50611、50621、50631)及び第2の電極(50602、50612、50622、50632)に電圧が印加(縦電界方式と呼ぶ)された場合、液晶分子がラビング方向からずれた電気力線に沿って配向した状態となる。一对の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。

【1077】

なお、第1の電極(50601、50611、50621、50631)及び第2の電極(50602、50612、50622、50632)に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1078】

第1の電極(50601、50611、50621、50631)及び第2の電極(50602、50612、50622、50632)に電圧が印加されていない場合、液晶分子がラビング方向に沿って横に並んだ状態となる。一对の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過しないため、黒色表示が行われる。いわゆるノーマリーブラックモードである。

10

20

30

40

50

【1079】

I P Sモードに使用される液晶材料は、公知のものを使用すればよい。

【1080】

図140(A)、(B)、(C)、(D)は、F F Sモードを適用した画素部の上面図を示す。F F Sモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しているため、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。

【1081】

F F Sモードでは、第2の電極の上面に、第1の電極が様々な形状となるように形成される。

10

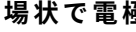
【1082】

図140(A)は、第1の画素電極50701及び第2の画素電極50702を示している。第1の画素電極50701は、屈曲したくの字形状である。第2の画素電極50702は、パターン形成されていなくてもよい。

【1083】

図140(B)は、第1の画素電極50711及び第2の画素電極50712を示している。第1の画素電極50711は、同心円状の形状である。第2の画素電極50712は、パターン形成されていなくてもよい。

【1084】

図140(C)は、第1の画素電極50731及び第2の画素電極50732を示している。第1の画素電極50731は、場状で電極同士がかみ合うような形状である。第2の画素電極50732は、パターン形成されていなくてもよい。

20

【1085】

図140(D)は、第1の画素電極50741及び第2の画素電極50742を示している。第1の画素電極50741は、場状の形状である。第2の画素電極50742は、パターン形成されていなくてもよい。

【1086】

第1の電極(50701、50711、50721、50731)及び第2の電極(50702、50712、50722、50732)に電圧が印加(縦電界方式と呼ぶ)された場合、液晶分子がラビング方向からずれた電気力線に沿って配向した状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過するため、白色表示が行われる。

30

【1087】

なお、第1の電極(50701、50711、50721、50731)及び第2の電極(50702、50712、50722、50732)に印加する電圧を制御することで、液晶分子の状態を制御することが可能である。したがって、バックライトからの光が基板を通過する量を制御できるため、所定の映像表示を行うことが可能である。

【1088】

第1の電極(50701、50711、50721、50731)及び第2の電極(50702、50712、50722、50732)に電圧が印加されていない場合、液晶分子がラビング方向に沿って横に並んだ状態となる。一対の偏光板がクロスニコルとなるように配置されているときには、バックライトからの光が基板を通過しないため、黒色表示が行われる。いわゆるノーマリーブラックモードである。

40

【1089】

I P Sモードに使用される液晶材料は、公知のものを使用すればよい。

【1090】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させるこ

50

とが出来る。

【1091】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【1092】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

10

【1093】

（実施の形態10）

本実施の形態においては、表示装置の画素構造について説明する。特に、液晶表示装置の画素構造について説明する。

【1094】

各液晶モードとトランジスタとを組み合わせた場合の画素構造について、画素の断面図を参照して説明する。

【1095】

なお、トランジスタとしては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体層を有する薄膜トランジスタ（TFT）などを用いることが出来る。

20

【1096】

なお、トランジスタの構造としては、トップゲート型又はボトムゲート型などを用いることができる。なお、ボトムゲート型のトランジスタとしては、チャネルエッチ型又はチャネル保護型などを用いることができる。

【1097】

図85は、TN方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図85に示す画素構造を液晶表示装置に適用することによって、安価に液晶表示装置を製造することができる。

30

【1098】

図85に示す画素構造の特徴について説明する。図85に示した液晶分子10118は、長軸と短軸を持った細長い分子である。液晶分子10118の向きを示すため、図85においては、その長さによって表現している。すなわち、長く表現された液晶分子10118は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10118ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図85に示した液晶分子10118は、第1の基板10101に近いものと、第2の基板10116に近いものとは、その長軸の向きが90度異なっており、これらの中に位置する液晶分子10118の長軸の向きは、これらを滑らかにつなぐような向きとなる。すなわち、図85に示した液晶分子10118は、第1の基板10101と第2の基板10116の間で、90度ねじれているような配向状態となっている。

40

【1099】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【1100】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図85において、2枚の基板は、

50

第1の基板10101及び第2の基板10116である。第1の基板には、トランジスタ及び画素電極が形成される。第2の基板には、遮光膜10114、カラーフィルタ10115、第4の導電層10113、スペーサ10117、及び第2の配向膜10112が形成される。

【1101】

なお、第2の基板10116に遮光膜10114が形成されていなくてもよい。遮光膜10114を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜10114を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【1102】

なお、第2の基板10116にカラーフィルタ10115が形成されていなくてもよい。カラーフィルタ10115を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ10115を形成しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10115を形成する場合は、カラー表示ができる表示装置を得ることができる。

【1103】

なお、スペーサ10117の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、スペーサ10117を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一樣にすることができ、表示ムラの少ない表示装置を得ることができる。

【1104】

第1の基板10101に施す加工について説明する。

【1105】

まず、第1の基板10101上に、第1の絶縁膜10102がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜10102は成膜されていなくてもよい。第1の絶縁膜10102は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1106】

次に、第1の絶縁膜10102上に、第1の導電層10103がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【1107】

次に、第2の絶縁膜10104がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜10104は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1108】

次に、第1の半導体層10105及び第2の半導体層10106が形成される。なお、第1の半導体層10105及び第2の半導体層10106は連続して成膜され、同時にその形状が加工される。

【1109】

次に、第2の導電層10107がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層10107の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層10107としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【1110】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第2の半導体層10106は、第2の導電層10107をマスクとして用いてエッチングされる。あるいは、第2の導電層10107の形状を加工するためのマスクを用いてエッチングされ

10

20

30

40

50

る。そして、第2の半導体層10106が除去された部分の第1の導電層10103がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【1111】

次に、第3の絶縁膜10108が形成され、第3の絶縁膜10108には選択的にコンタクトホールが形成されている。なお、第3の絶縁膜10108にコンタクトホールを形成すると同時に、第2の絶縁膜10104にもコンタクトホールを形成してもよい。なお、第3の絶縁膜10108の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【1112】

次に、第3の導電層10109がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【1113】

次に、第1の配向膜10110が形成される。なお、第1の配向膜10110を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【1114】

以上のように作製した第1の基板10101と、遮光膜10114、カラーフィルタ10115、第4の導電層10113、スペーサ10117及び第2の配向膜10112が形成された第2の基板10116とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、2枚の基板間に液晶材料が注入される。なお、TN方式では、第4の導電層10113は、第2の基板10116の全面に形成される。

【1115】

図86(A)は、MVA(Multi-domain Vertical Alignment)方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図86(A)に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【1116】

図86(A)に示す画素構造の特徴について説明する。MVA方式の液晶パネルの画素構造の特徴について説明する。図86(A)に示した液晶分子10218は、長軸と短軸を持った細長い分子である。液晶分子10218の向きを示すため、図86(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子10218は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10218ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図86(A)に示した液晶分子10218は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、配向制御用突起10219のある部分の液晶分子10218は、配向制御用突起10219を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【1117】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【1118】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図86(A)において、2枚の基板は、第1の基板10201及び第2の基板10216である。第1の基板には、トランジスタ及び画素電極が形成されている。第2の基板には、遮光膜10214、カラーフィルタ10215、第4の導電層10213、スペーサ10217、第2の配向膜1021

10

20

30

40

50

2、及び配向制御用突起 10219 が形成されている。

【1119】

なお、第2の基板 10216 に遮光膜 10214 が形成されていなくてもよい。遮光膜 10214 を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜 10214 を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【1120】

なお、第2の基板 10216 にカラーフィルタ 10215 が形成されていなくてもよい。カラーフィルタ 10215 を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ 10215 を作製しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ 10215 を形成する場合は、カラー表示ができる表示装置を得ることができる。

【1121】

なお、第2の基板 10216 にスペーサ 10217 の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ 10217 を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【1122】

第1の基板 10201 に施す加工について説明する。

【1123】

まず、第1の基板 10201 上に、第1の絶縁膜 10202 がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜 10202 は成膜されていなくてもよい。第1の絶縁膜 10202 は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1124】

次に、第1の絶縁膜 10202 上に、第1の導電層 10203 がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【1125】

次に、第2の絶縁膜 10204 がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜 10204 は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1126】

次に、第1の半導体層 10205 及び第2の半導体層 10206 が形成される。なお、第1の半導体層 10205 及び第2の半導体層 10206 は連続して成膜され、同時にその形状が加工される。

【1127】

次に、第2の導電層 10207 がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層 10207 の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層 10207 としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【1128】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第2の半導体層 10206 は、第2の導電層 10207 をマスクとして用いてエッチングされる。あるいは、第2の導電層 10207 の形状を加工するためのマスクを用いてエッチングされる。そして、第2の半導体層 10206 が除去された部分の第1の導電層 10203 がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

10

20

30

40

50

【1129】

次に、第3の絶縁膜10208が形成され、第3の絶縁膜10208には選択的にコンタクトホールが形成されている。なお、第3の絶縁膜10208にコンタクトホールを形成すると同時に、第2の絶縁膜10204にもコンタクトホールを形成してもよい。

【1130】

次に、第3の導電層10209がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【1131】

次に、第1の配向膜10210が形成される。なお、第1の配向膜10210を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

10

【1132】

以上のように作製した第1の基板10201と、遮光膜10214、カラーフィルタ10215、第4の導電層10213、スペーサ10217、及び第2の配向膜10212を作製した第2の基板10216とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、2枚の基板間に液晶材料が注入される。なお、MVA方式では、第4の導電層10213は、第2の基板10216の全面に形成されている。なお、第4の導電層10213に接して、配向制御用突起10219が形成されている。配向制御用突起10219の形状は、滑らかな曲面を持った形状であることが好ましい。

20

【1133】

図86(B)は、PVA(Patterned Vertical Alignment)方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図86(B)に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【1134】

図86(B)に示す画素構造の特徴について説明する。図86(B)に示した液晶分子10248は、長軸と短軸を持った細長い分子である。液晶分子10248の向きを示すため、図86(B)においては、その長さによって表現している。すなわち、長く表現された液晶分子10248は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10248ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図86(B)に示した液晶分子10248は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、電極切り欠き部10249のある部分の液晶分子10248は、電極切り欠き部10249と第4の導電層10243の境界を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

30

【1135】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

40

【1136】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図86(B)において、2枚の基板は、第1の基板10231、及び第2の基板10246である。第1の基板には、トランジスタ及び画素電極が形成されている。第2の基板には、遮光膜10244、カラーフィルタ10245、第4の導電層10243、スペーサ10247、及び第2の配向膜1

50

0 2 4 2 が形成されている。

【1 1 3 7】

なお、第2の基板1 0 2 4 6に遮光膜1 0 2 4 4が形成されていなくてもよい。遮光膜1 0 2 4 4を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜1 0 2 4 4を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【1 1 3 8】

なお、第2の基板1 0 2 4 6にカラーフィルタ1 0 2 4 5が形成されていなくてもよい。カラーフィルタ1 0 2 4 5を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ1 0 2 4 5を作製しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ1 0 2 4 5を形成する場合は、カラー表示ができる表示装置を得ることができる。

【1 1 3 9】

なお、第2の基板1 0 2 4 6にスペーサ1 0 2 4 7の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ1 0 2 4 7を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【1 1 4 0】

第1の基板1 0 2 3 1に施す加工について説明する。

【1 1 4 1】

まず、第1の基板1 0 2 3 1上に、第1の絶縁膜1 0 2 3 2がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜1 0 2 3 2は成膜されていなくてもよい。第1の絶縁膜1 0 2 3 2は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1 1 4 2】

次に、第1の絶縁膜1 0 2 3 2上に、第1の導電層1 0 2 3 3がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【1 1 4 3】

次に、第2の絶縁膜1 0 2 3 4がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜1 0 2 3 4は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1 1 4 4】

次に、第1の半導体層1 0 2 3 5及び第2の半導体層1 0 2 3 6が形成される。なお、第1の半導体層1 0 2 3 5及び第2の半導体層1 0 2 3 6は連続して成膜され、同時にその形状が加工される。

【1 1 4 5】

次に、第2の導電層1 0 2 3 7がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層1 0 2 3 7の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層1 0 2 3 7としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【1 1 4 6】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第2の半導体層1 0 2 3 6は、第2の導電層1 0 2 3 7をマスクとして用いてエッチングされる。あるいは、第2の導電層1 0 2 3 7の形状を加工するためのマスクを用いてエッチングされる。そして、第2の半導体層1 0 2 3 6が除去された部分の第1の導電層1 0 2 3 3がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【1147】

次に、第3の絶縁膜10238が形成され、第3の絶縁膜10238には選択的にコンタクトホールが形成されている。なお、第3の絶縁膜10238にコンタクトホールを形成すると同時に、第2の絶縁膜10234にもコンタクトホールを形成してもよい。なお、第3の絶縁膜10238の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【1148】

次に、第3の導電層10239がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【1149】

次に、第1の配向膜10240が形成される。なお、第1の配向膜10240を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【1150】

以上のように作製した第1の基板10231と、遮光膜10244、カラーフィルタ10245、第4の導電層10243、スペーサ10247、及び第2の配向膜10242を作製した第2の基板10246とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、2枚の基板間に液晶材料が注入される。なお、PVA方式では、第4の導電層10243にパターン加工が施され、電極切り欠き部10249が形成される。なお、電極切り欠き部10249の形状に限定はないが、異なる向きを持った複数の矩形を組み合わせた形状であるのが好適である。こうすることで、配向の異なる複数の領域が形成できるので、視野角の大きな液晶表示装置を得ることができる。なお、電極切り欠き部10249と第4の導電層10243の境界における第4の導電層10243の形状は、滑らかな曲線であることが好適である。こうすることで、近接する液晶分子10248の配向が極近いものとなるため、配向不良が低減する。第2の配向膜10242が、電極切り欠き部10249によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

【1151】

図87(A)は、IPS(In-Plane-Switching)方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図87(A)に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【1152】

図87(A)に示す画素構造の特徴について説明する。図87(A)に示した液晶分子10318は、長軸と短軸を持った細長い分子である。液晶分子10318の向きを示すため、図87(A)においては、その長さによって表現している。すなわち、長く表現された液晶分子10318は、その長軸の向きが紙面に平行であり、短く表現された液晶分子10318ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図87(A)に示した液晶分子10318は、その長軸の向きが常に基板と水平の方向を向くように配向している。図87(A)においては、電界のない状態における配向を表しているが、液晶分子10318に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【1153】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【1154】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネル

10

20

30

40

50

は、加工を施した2枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで作製される。図87(A)において、2枚の基板は、第1の基板10301、及び第2の基板10316である。第1の基板には、トランジスタ及び画素電極が形成されている。第2の基板には、遮光膜10314、カラーフィルタ10315、スペーサ10317、及び第2の配向膜10312が形成されている。

【1155】

なお、第2の基板10316に遮光膜10314が形成されていなくてもよい。遮光膜10314を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜10314を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

10

【1156】

なお、第2の基板10316にカラーフィルタ10315が形成されていなくてもよい。カラーフィルタ10315を形成しない場合は、工程数が減少するため、製造コストを低減することができる。ただし、カラーフィルタ10315を形成しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、カラーフィルタ10315を形成する場合は、カラー表示ができる表示装置を得ることができる。

【1157】

なお、第2の基板10316にスペーサ10317の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10317を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一樣にすることができ、表示ムラの少ない表示装置を得ることができる。

20

【1158】

第1の基板10301に施す加工について説明する。

【1159】

まず、第1の基板10301上に、第1の絶縁膜10302がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜10302は成膜されていなくてもよい。第1の絶縁膜10302は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

30

【1160】

次に、第1の絶縁膜10302上に、第1の導電層10303がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【1161】

次に、第2の絶縁膜10304がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜10304は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1162】

次に、第1の半導体層10305及び第2の半導体層10306が形成される。なお、第1の半導体層10305及び第2の半導体層10306は連続して成膜され、同時にその形状が加工される。

40

【1163】

次に、第2の導電層10307がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層10307の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層10307としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【1164】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第2の半導

50

体層 10306 は、第 2 の導電層 10307 をマスクとして用いてエッチングされる。あるいは、第 2 の導電層 10307 の形状を加工するためのマスクを用いてエッチングされる。そして、第 2 の半導体層 10306 が除去された部分の第 1 の導電層 10303 がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。

【1165】

次に、第 3 の絶縁膜 10308 が形成され、第 3 の絶縁膜 10308 には選択的にコンタクトホールが形成されている。なお、第 3 の絶縁膜 10308 にコンタクトホールを形成すると同時に、第 2 の絶縁膜 10304 にもコンタクトホールを形成してもよい。

【1166】

次に、第 3 の導電層 10309 がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。ここで、第 3 の導電層 10309 の形状は、互いにかみ合った 2 つの 歯状とする。一方の 歯状の電極がトランジスタのソース電極及びドレイン電極の一方と電氣的に接続され、他方の 歯状の電極が共通電極と電氣的に接続される。こうすることで、液晶分子 10318 に効果的に横方向の電界をかけることができる。

【1167】

次に、第 1 の配向膜 10310 が形成される。なお、第 1 の配向膜 10310 を形成後、液晶分子の配向を制御するために、ラビングを行ってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【1168】

以上のように作製した第 1 の基板 10301 と、遮光膜 10314、カラーフィルタ 10315、スペーサ 10317、及び第 2 の配向膜 10312 とがシール材によって数マイクロメートルのギャップを持たせて貼り合わせられる。そして、2 枚の基板間に液晶材料が注入される。

【1169】

図 87 (B) は、FFS (Fringe Field Switching) 方式とトランジスタとを組み合わせた場合の画素の断面図の一例である。図 87 (B) に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【1170】

図 89 (B) に示す画素構造の特徴について説明する。図 89 (B) に示した液晶分子 10348 は、長軸と短軸を持った細長い分子である。液晶分子 10348 の向きを示すため、図 89 (B) においては、その長さによって表現している。すなわち、長く表現された液晶分子 10348 は、その長軸の向きが紙面に平行であり、短く表現された液晶分子 10348 ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図 89 (B) に示した液晶分子 10348 は、その長軸の向きが常に基板と水平の方向を向くように配向している。図 89 (B) においては、電界のない状態における配向を表しているが、液晶分子 10348 に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【1171】

なお、トランジスタとして、非晶質半導体を用いたボトムゲート型のトランジスタを用いた場合について説明する。非晶質半導体を用いたトランジスタを用いた場合、大面積の基板を用いて、安価に液晶表示装置を製造することができる。

【1172】

液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した 2 枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、2 枚の基板間に液晶材料を注入することで作製される。図 89 (B) において、2 枚の基板は、第 1 の基板 10331 及び第 2 の基板 10346 である。第 1 の基板には、トラン

10

20

30

40

50

ジスタ及び画素電極が形成され、第2の基板には、遮光膜10344、カラーフィルタ10345、スペーサ10347、及び第2の配向膜10342が形成されている。

【1173】

なお、第2の基板10346に遮光膜10344が形成されていなくてもよい。遮光膜10344を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。一方、遮光膜10344を形成する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【1174】

なお、第2の基板10346にカラーフィルタ10345を形成されていなくてもよい。カラーフィルタ10345を形成しない場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりの向上を図ることができる。ただし、カラーフィルタ10345を形成しない場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ10345を形成する場合は、カラー表示ができる表示装置を得ることができる。

【1175】

なお、第2の基板10346にスペーサ10347の代わりに、球状のスペーサを散布してもよい。球状のスペーサを散布する場合は、工程数が減少するため、製造コストを低減することができる。構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ10347を形成する場合は、スペーサの位置がばらつかないため、2枚の基板間の距離を一樣にすることができ、表示ムラの少ない表示装置を得ることができる。

【1176】

第1の基板10331に施す加工について説明する。

【1177】

まず、第1の基板10331上に、第1の絶縁膜10332がスパッタ法、印刷法又は塗布法などによって成膜される。ただし、第1の絶縁膜10332は成膜されていなくてもよい。第1の絶縁膜10332は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1178】

次に、第1の絶縁膜10332上に、第1の導電層10333がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。

【1179】

次に、第2の絶縁膜10334がスパッタ法、印刷法又は塗布法などによって全面に成膜されている。第2の絶縁膜10334は、基板からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうのを防ぐ機能を有する。

【1180】

次に、第1の半導体層10335及び第2の半導体層10336が形成される。なお、第1の半導体層10335及び第2の半導体層10336は連続して成膜され、同時にその形状が加工される。

【1181】

次に、第2の導電層10337がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。なお、第2の導電層10337の形状が加工されるときに行われるエッチング方法としては、ドライエッチングで行なうのが好適である。なお、第2の導電層10337としては、透明性を有する材料を用いてもよいし、反射性を有する材料を用いてもよい。

【1182】

次に、トランジスタのチャネル領域を形成する。その工程の一例を説明する。第2の半導体層10336は、第2の導電層10337をマスクとして用いてエッチングされる。あるいは、第2の導電層10337の形状を加工するためのマスクを用いてエッチングされる。そして、第2の半導体層10336が除去された部分の第1の導電層10333がトランジスタとチャネル領域となる。こうすることで、マスク枚数を減らすことができるの

10

20

30

40

50

で、製造コストを低減することができる。

【1183】

次に、第3の絶縁膜10338が形成され、第3の絶縁膜10338には選択的にコンタクトホールが形成されている。

【1184】

次に、第4の導電層10343がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成されている。

【1185】

次に、第4の絶縁膜10349が形成され、第4の絶縁膜10349には選択的にコンタクトホールが形成されている。なお、第4の絶縁膜10349の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

10

【1186】

次に、第3の導電層10339がフォトリソグラフィ法、レーザー直描法又はインクジェット法などによって形成される。ここで、第3の導電層10339の形状は、歯状とする。

【1187】

次に、第1の配向膜10340が形成される。なお、第1の配向膜10340を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

20

【1188】

以上のように作製した第1の基板10331と、遮光膜10344、カラーフィルタ10345、スペーサ10347、及び第2の配向膜10342を、シール材によって数マイクロメートルのギャップを持たせて貼り合わせ、2枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。

【1189】

ここで、各導電層又は各絶縁膜に用いることができる材料について説明する。

【1190】

図85の第1の絶縁膜10102、図86(A)の第1の絶縁膜10202、図86(B)の第1の絶縁膜10232、図87(A)の第1の絶縁膜10302、図87(B)の第1の絶縁膜10332としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)等の絶縁膜を用いることができる。あるいは、第1の絶縁膜10102は、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)等のうちの2つ以上の膜を組み合わせた積層構造の絶縁膜を用いることができる。

30

【1191】

図85の第1の導電層10103、図86(A)の第1の導電層10203、図86(B)の第1の導電層10233、図87(A)の第1の導電層10303、図87(B)の第1の導電層10333としては、Mo、Ti、Al、Nd、Crなどを用いることができる。あるいは、Mo、Ti、Al、Nd、Crなどのうちの2つ以上を組み合わせた積層構造を用いることもできる。

40

【1192】

図85の第2の絶縁膜10104、図86(A)の第2の絶縁膜10204、図86(B)の第2の絶縁膜10234、図87(A)の第2の絶縁膜10304、図87(B)の第2の絶縁膜10334としては、熱酸化膜、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜などを用いることができる。あるいは、熱酸化膜、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜などのうち2以上を組み合わせた積層構造などを用いることができる。なお、半導体層と接する部分では、酸化シリコン膜であることが好ましい。なぜなら、酸化シリコン膜にすると半導体層との界面におけるトラップ準位が少なくなるからである。なお、Moと接する部分では、窒化シリコン膜であることが好ましい。

50

なぜなら、窒化シリコン膜はMoを酸化させないからである。

【1193】

図85の第1の半導体層10105、図86(A)の第1の半導体層10205、図86(B)の第1の半導体層10235、図87(A)の第1の半導体層10305、図87(B)の第1の半導体層10335としては、シリコン又はシリコンゲルマニウム(SiGe)などを用いることができる。

【1194】

図85の第2の半導体層10106、図86(A)の第2の半導体層10206、図86(B)の第2の半導体層10236、図87(A)の第2の半導体層10306、図87(B)の第2の半導体層10336としては、リン等を含んだシリコン等を用いることができる。

10

【1195】

図85の第2の導電層10107及び第3の導電層10109、図86(A)の第2の導電層10207及び第3の導電層10209、図86(B)の第2の導電層10237及び第2の導電層10239、図87(A)の第2の導電層10307及び第2の導電層10309、もしくは図87(B)の第2の導電層10337、第2の導電層10339及び第4の導電層10343の透明性を有する材料としては、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物(ITO)膜、インジウムスズ酸化物(ITO)に酸化珪素を混ぜたインジウムスズ珪素酸化物(ITSO)膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物(IZO)膜、酸化亜鉛膜又は酸化スズ膜などを用いることができる。なお、IZOとは、ITOに2〜20wt%の酸化亜鉛(ZnO)を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料である。

20

【1196】

図85の第2の導電層10107及び第3の導電層10109、図86(A)の第2の導電層10207及び第3の導電層10209、図86(B)の第2の導電層10237及び第2の導電層10239、図87(A)の第2の導電層10307及び第2の導電層10309、もしくは図87(B)の第2の導電層10337、第2の導電層10339及び第4の導電層10343の反射性を有する材料としては、Ti、Mo、Ta、Cr、W、Alなどを用いることができる。あるいは、Ti、Mo、Ta、Cr、WとAlを積層させた2層構造、AlをTi、Mo、Ta、Cr、Wなどの金属で挟んだ3層積層構造としてもよい。

30

【1197】

図85の第3の絶縁膜10108、図86(A)の第3の絶縁膜10208、図86(B)の第3の絶縁膜10238、図86(B)の第3の導電層10239、図87(A)の第3の絶縁膜10308、図87(B)の第3の絶縁膜10338及び第4の絶縁膜10349としては、無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)あるいは、低誘電率の有機化合物材料(感光性又は非感光性の有機樹脂材料)などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

【1198】

図85の第1の配向膜10110、図86(A)の第1の配向膜10210、図86(B)の第1の配向膜10240、図86(B)の第1の配向膜10310、図87(B)の第1の配向膜10340としては、ポリイミドなどの高分子膜を用いることができる。

【1199】

次に、各液晶モードとトランジスタとを組み合わせた場合の画素構造について、画素の上面図(レイアウト図)を参照して説明する。

【1200】

50

なお、液晶モードとしては、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。

【1201】

なお、トランジスタとしては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体層を有する薄膜トランジスタ（TFT）などを用いることができる。

【1202】

なお、トランジスタの構造としては、トップゲート型又はボトムゲート型などを用いることができる。ボトムゲート型のトランジスタとしては、チャネルエッチ型又はチャネル保護型などを用いることができる。

【1203】

図88は、TN方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図88に示す画素構造を液晶表示装置に適用することによって、安価に液晶表示装置を製造することができる。

【1204】

図88に示す画素は、走査線10401と、映像信号線10402と、容量線10403と、トランジスタ10404と、画素電極10405と、画素容量10406と、を有している。

【1205】

走査線10401は、信号（走査信号）を画素に伝達する機能を有する。映像信号線10402は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線10401と映像信号線10402とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線10401と。映像信号線10402との交差部に、半導体層が配置されていてもよい。こうすることで、走査線10401と。映像信号線10402と交差容量を低減することができる。

【1206】

容量線10403は、画素電極10405と平行に配置されている。容量線10403と画素電極10405とが重なって配置されている部分が画素容量10406となる。なお、容量線10403の一部は、映像信号線10402に沿って、映像信号線10402を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線10402の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象のことである。なお、容量線10403と映像信号線10402との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線10403は、走査線10401と同様な材料で構成されている。

【1207】

トランジスタ10404は、映像信号線10402と画素電極10405を導通させるスイッチとしての機能を有する。なお、トランジスタ10404のソース領域及びドレイン領域の一方は、トランジスタ10404のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ10404のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ10404のゲート電極は、半導体層を囲むように配置されている。

【1208】

画素電極10405は、トランジスタ10404のソース電極及びドレイン電極の一方に

10

20

30

40

50

電氣的に接続される。画素電極 10405 は、映像信号線 10402 によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極 10405 は、矩形である。こうすることで、画素の開口率を大きくすることができる。なお、画素電極 10405 としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極 10405 に用いてもよい。

【1209】

図 89 (A) は、MVA 方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図 89 (A) に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【1210】

図 89 (A) に示す画素は、走査線 10501 と、映像信号線 10502 と、容量線 10503 と、トランジスタ 10504 と、画素電極 10505 と、画素容量 10506 と、配向制御用突起 10507 と、を有する。

【1211】

走査線 10501 は、信号（走査信号）を画素に伝達する機能を有する。映像信号線 10502 は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線 10501 と映像信号線 10502 とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線 10501 と。映像信号線 10502 との交差部に、半導体層が配置されていてもよい。こうすることで、走査線 10501 と。映像信号線 10502 と交差容量を低減することができる。

【1212】

容量線 10503 は、画素電極 10505 と平行に配置されている。容量線 10503 と画素電極 10505 とが重なって配置されている部分が画素容量 10506 となる。なお、容量線 10503 の一部は、映像信号線 10502 に沿って、映像信号線 10502 を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線 10502 の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象のことである。なお、容量線 10503 と映像信号線 10502 との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線 10503 は、走査線 10501 と同様な材料で構成されている。

【1213】

トランジスタ 10504 は、映像信号線 10502 と画素電極 10505 を導通させるスイッチとしての機能を有する。なお、トランジスタ 10504 のソース領域及びドレイン領域の一方は、トランジスタ 10504 のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ 10504 のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ 10504 のゲート電極は、半導体層を囲むように配置されている。

【1214】

画素電極 10505 は、トランジスタ 10504 のソース電極及びドレイン電極の一方に電氣的に接続される。画素電極 10505 は、映像信号線 10502 によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極 10505 は、矩形である。こうすることで、画素の開口率を大きくすることができる。なお、画素電極 10505 としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極 10505 に用いてもよい。

【1215】

配向制御用突起 10507 は、対向基板に形成されている。配向制御用突起 10507 は、液晶分子を放射状に配向させる機能を有する。なお、配向制御用突起 10507 の形状に限定はない。例えば、配向制御用突起 10507 の形状は、くの字型となってもよい。こうすることで、液晶分子の配向が異なる複数の領域を形成することができる。視野

10

20

30

40

50

角の向上を図ることができる。

【1216】

図89(B)は、PVA方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図89(B)に示す画素構造を液晶表示装置に適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【1217】

図89(B)に示す画素は、走査線10511と、映像信号線10512と、容量線10513と、トランジスタ10514と、画素電極10515と、画素容量10516と、電極切り欠き部10517、を有する。

【1218】

走査線10511は、信号(走査信号)を画素に伝達する機能を有する。映像信号線10512は、信号(映像信号)を画素に伝達するための機能を有する。なお、走査線10511と映像信号線10512とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線10511と。映像信号線10512との交差部に、半導体層が配置されていてもよい。こうすることで、走査線10511と。映像信号線10512と交差容量を低減することができる。

【1219】

容量線10513は、画素電極10515と平行に配置されている。容量線10513と画素電極10515とが重なって配置されている部分が画素容量10516となる。なお、容量線10513の一部は、映像信号線10512に沿って、映像信号線10512を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線10512の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象のことである。なお、容量線10513と映像信号線10512との間に半導体層を配置することによって、交差容量を低減することができる。なお、容量線10513は、走査線10511と同様な材料で構成されている。

【1220】

トランジスタ10514は、映像信号線10512と画素電極10515を導通させるスイッチとしての機能を有する。なお、トランジスタ10514のソース領域及びドレイン領域の一方は、トランジスタ10514のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ10514のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ10514のゲート電極は、半導体層を囲むように配置されている。

【1221】

画素電極10515は、トランジスタ10514のソース電極及びドレイン電極の一方に電氣的に接続される。画素電極10515は、映像信号線10512によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極10515は、電極切り欠き部10517の形状に合わせた形状である。具体的には、電極切り欠き部10517のない部分に、画素電極10515を切り欠いた部分を形成したような形状である。こうすることで、液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。なお、画素電極10515としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極10515に用いてもよい。

【1222】

図90(A)は、IPS方式とトランジスタとを組み合わせた場合の画素の上面図の一例である。図90(A)に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【1223】

図90(A)に示す画素は、走査線10601と、映像信号線10602と、共通電極10603と、トランジスタ10604と、画素電極10605と、を有する。

【1224】

10

20

30

40

50

走査線 10601 は、信号（走査信号）を画素に伝達する機能を有する。映像信号線 10602 は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線 10601 と映像信号線 10602 とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線 10601 と映像信号線 10602 との交差部に、半導体層が配置されていてもよい。こうすることで、走査線 10601 と。映像信号線 10602 と交差容量を低減することができる。なお、映像信号線 10602 は、画素電極 10605 の形状に合わせて形成されている。

【1225】

共通電極 10603 は、画素電極 10605 と平行に配置されている。共通電極 10603 は、横方向の電界を発生させるための電極である。なお、共通電極 10603 の形状は、屈曲した 歯状である。なお、共通電極 10603 の一部は、映像信号線 10602 に沿って、映像信号線 10602 を囲むように延設されている。こうすることで、クロストークを低減することができる。クロストークとは、映像信号線 10602 の電位変化に伴って、電位を保持すべき電極の電位が変化してしまう現象のことである。なお、共通電極 10603 と映像信号線 10602 との間に半導体層を配置することによって、交差容量を低減することができる。なお、共通電極 10603 の走査線 10601 と平行に配置されている部分では、走査線 10601 と同様な材料で構成されている。共通電極 10603 の画素電極 10605 と平行に配置されている部分では、画素電極 10605 と同様な材料で構成されている。

【1226】

トランジスタ 10604 は、映像信号線 10602 と画素電極 10605 を導通させるスイッチとしての機能を有する。なお、トランジスタ 10604 のソース領域及びドレイン領域の一方は、トランジスタ 10604 のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ 10604 のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ 10604 のゲート電極は、半導体層を囲むように配置されている。

【1227】

画素電極 10605 は、トランジスタ 10604 のソース電極及びドレイン電極の一方に電気的に接続される。画素電極 10505 は、映像信号線 10602 によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極 10605 の形状は、屈曲した 歯状の形状である。こうすることで、液晶分子に横電界をかけることができる。液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。なお、画素電極 10605 としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極 10605 に用いてもよい。

【1228】

なお、共通電極 10603 のうち 歯状の部分と画素電極 10605 とは、別々の導電層で形成されていてもよい。例えば、共通電極 10603 のうち 歯状の部分は、走査線 10601 又は映像信号線 10602 と同じ導電層で形成されていてもよい。同様に、画素電極 10605 は、走査線 10601 又は映像信号線 10602 と同じ導電層で形成されていてもよい。

【1229】

図 90 (B) は、FFS 方式とトランジスタとを組み合わせた場合の画素の上面図である。図 90 (B) に示す画素構造を液晶表示装置に適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【1230】

図 90 (B) に示す画素は、走査線 10611 と、映像信号線 10612 と、共通電極 10613 と、トランジスタ 10614 と、画素電極 10615 と、を備えていてもよい。

【1231】

走査線 10611 は、信号（走査信号）を画素に伝達する機能を有する。映像信号線 10

10

20

30

40

50

6 1 2 は、信号（映像信号）を画素に伝達するための機能を有する。なお、走査線 1 0 6 1 1 と映像信号線 1 0 6 1 2 とは、マトリックス状に配置されるため、異なる層の導電層で形成されている。なお、走査線 1 0 6 1 1 と。映像信号線 1 0 6 1 2 との交差部に、半導体層が配置されていてもよい。こうすることで、走査線 1 0 6 1 1 と。映像信号線 1 0 6 1 2 と交差容量を低減することができる。なお、映像信号線 1 0 6 1 2 は、画素電極 1 0 6 1 5 の形状に合わせて形成されている。

【1 2 3 2】

共通電極 1 0 6 0 1 3 は、画素電極 1 0 6 1 5 の下部、及び画素電極 1 0 6 1 5 と画素電極 1 0 6 1 5 との間の下部に一様に形成されている。なお、共通電極 1 0 6 0 1 3 としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、共通電極 1 0 6 0 1 3 に用いてもよい。

10

【1 2 3 3】

トランジスタ 1 0 6 1 4 は、映像信号線 1 0 6 1 2 と画素電極 1 0 6 1 5 を導通させるスイッチとしての機能を有する。なお、トランジスタ 1 0 6 0 4 のソース領域及びドレイン領域の一方は、トランジスタ 1 0 6 1 4 のソース領域及びドレイン領域の他方に囲まれるように配置されている。こうすることで、トランジスタ 1 0 6 1 4 のチャネル幅が大きくなるため、スイッチング能力の向上を図ることができる。なお、トランジスタ 1 0 6 1 4 のゲート電極は、半導体層を囲むように配置されている。

【1 2 3 4】

20

画素電極 1 0 6 1 5 は、トランジスタ 1 0 6 1 4 のソース電極及びドレイン電極の一方に電氣的に接続される。画素電極 1 0 5 1 5 は、映像信号線 1 0 6 1 2 によって伝達された信号電圧を液晶素子に与えるための電極である。なお、画素電極 1 0 6 1 5 の形状は、屈曲した 歯状の形状である。こうすることで、液晶分子に横電界をかけることができる。なお、 歯状の画素電極 1 0 6 1 5 は、共通電極 1 0 6 1 3 の一様な部分よりも液晶層に近いところに配置される。液晶分子の配向が異なる複数の領域を形成することができる。視野角の向上を図ることができる。なお、画素電極 1 0 6 1 5 としては、透明性を有する材料又は反射性を有する材料を用いることができる。あるいは、透明性を有する材料と反射性を有する材料とを組み合わせ、画素電極 1 0 6 1 5 に用いてもよい。

【1 2 3 5】

30

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【1 2 3 6】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることができる。

40

【1 2 3 7】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【1 2 3 8】

（実施の形態 1 1）

本実施の形態では、液晶セル（液晶パネルともいう）の作製工程を説明する。

【1 2 3 9】

50

液晶の充填方法として真空注入法を用いた場合の液晶セルの作製工程について、図 9 1 (A) 乃至 (E)、及び図 9 2 (A) 乃至 (C) を参照して説明する。

【1 2 4 0】

図 9 2 (C) は、液晶セルを示す断面図である。第 1 の基板 7 0 1 0 1 と第 2 の基板 7 0 1 0 7 とが、スペーサ 7 0 1 0 6 及びシール材 7 0 1 0 5 を介して貼り付けられている。そして、液晶 7 0 1 0 9 が第 1 の基板 7 0 1 0 1 と第 2 の基板 7 0 1 0 7 との間に配置されている。なお、配向膜 7 0 1 0 2 が第 1 の基板 7 0 1 0 1 上に形成され、配向膜 7 0 1 0 8 が第 2 の基板 7 0 1 0 7 上に形成されている。

【1 2 4 1】

第 1 の基板 7 0 1 0 1 には、複数の画素がマトリクス状に形成されている。そして、複数の画素それぞれは、トランジスタを有していてもよい。なお、第 1 の基板 7 0 1 0 1 を T F T 基板、アレイ基板、T F T アレイ基板と呼んでもよい。第 1 の基板 7 0 1 0 1 としては、単結晶基板、S O I 基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。ただし、これに限定されず、様々なものを用いることができる。

10

【1 2 4 2】

第 2 の基板 7 0 1 0 7 には、共通電極、カラーフィルタ、ブラックマトリクスなどが形成されている。なお、第 2 の基板 7 0 1 0 7 を対向基板又はカラーフィルタ基板と呼んでもよい。

20

【1 2 4 3】

配向膜 7 0 1 0 2 は、液晶分子を一定方向に配向させる機能を有する。配向膜 7 0 1 0 2 としては、ポリイミド樹脂などを用いることができる。ただし、これに限定されず、様々なものを用いることができる。なお、配向膜 7 0 1 0 8 は、配向膜 7 0 1 0 2 と同様である。

【1 2 4 4】

シール材 7 0 1 0 5 は、液晶 7 0 1 0 9 が漏れないように、第 1 の基板 7 0 1 0 1 と第 2 の基板 7 0 1 0 7 を接着する機能を有する。つまり、封止材として機能する。

30

【1 2 4 5】

スペーサ 7 0 1 0 6 は、第 1 の基板 7 0 1 0 1 と第 2 の基板 7 0 1 0 7 との間の空間（液晶のセルギャップ）を一定に保つための機能を有する。スペーサ 7 0 1 0 6 としては、粒状スペーサ又は柱状スペーサを用いることができる。粒状スペーサとしては、ファイバ状のものと球状のものとがある。そして、粒状スペーサの材料としては、プラスチック又はガラスなどがある。なお、プラスチックで形成された球状スペーサは、プラスチックビーズと呼ばれ、広く利用されている。なお、ガラスで形成されたファイバ状のスペーサは、ガラスファイバと呼ばれ、シール材に混入されて利用される。

【1 2 4 6】

図 9 1 (A) は、第 1 の基板 7 0 1 0 1 上に配向膜 7 0 1 0 2 を形成する工程を示した断面図である。配向膜 7 0 1 0 2 は、ローラ 7 0 1 0 3 を用いたローラーコート法によって第 1 の基板 7 0 1 0 1 上に形成される。ただし、第 1 の基板 7 0 1 0 1 上に配向膜 7 0 1 0 2 を形成する方法としては、ローラーコート法の他に、オフセット印刷法、ディップコート法、エアナイフコート法、カーテンコート法、ワイヤーバーコート法、グラビアコート法、エクストルージョンコート法などを用いることができる。その後、仮焼成、本焼成が配向膜 7 0 1 0 2 に順に施される。

40

【1 2 4 7】

図 9 1 (B) は、配向膜 7 0 1 0 2 にラビング処理を施す工程を示した断面図である。ラビング処理は、ドラムに布を巻きつけたラビング用ローラ 7 0 1 0 4 を回転させて配向膜

50

70102を擦ることによって行われる。このラビング処理が配向膜70102に施されると、液晶分子を一定方向に配向させるための溝が、配向膜70102に形成される。ただし、これに限定されず、イオンビームを用いて配向膜に溝を形成してもよい。その後、水洗浄処理が第1の基板70101に施される。こうすることで、第1の基板70101の表面の異物又は汚れなどを除去することができる。

【1248】

なお、図示はしないが、第1の基板70101と同様に、配向膜70108が第2の基板70107に形成され、ラビング処理が配向膜70108に施される。ただし、これに限定されず、イオンビームを用いて配向膜に溝を形成してもよい。

【1249】

図91(C)は、シール材70105を配向膜70102上に形成する工程を示した断面図である。シール材70105は描画装置又はスクリーン印刷などによって塗布され、シールパターンが形成される。このシールパターンは第1の基板70101の外周に沿って形成され、シールパターンの一部に液晶注入口が設けられている。そして、仮止め用のUV樹脂が第1の基板70101の表示領域外にディスペンサなどでスポット塗布される。

【1250】

なお、シール材70105は、第2の基板70107に形成されてもよい。

【1251】

図91(D)は、スペーサ70106を第1の基板70101に散布する工程を示した断面図である。スペーサ70106は、圧縮された気体とともにのノズルから噴出して散布される(乾式散布)。あるいは、スペーサ70106は、揮発性の液体に混合され、この液体を噴路露するようにして散布される(湿式散布)。このような乾式散布又は湿式散布によって、スペーサ70106を第1の基板70101に均一に散布することができる。

【1252】

ここで、スペーサ70106として、球状の粒状スペーサを用いた場合について説明した。ただし、これに限定されず、柱状スペーサを用いることもできる。柱状スペーサは、第1の基板70101に形成されていてもよいし、第2の基板70107に形成されていてもよい。あるいは、スペーサの一部が第1の基板70101に形成され、残りが第2の基板70107に形成されていてもよい。

【1253】

なお、スペーサがシール材の中に混入していてもよい。こうすることで、液晶のセルギャップを一定に保ちやすくなる。

【1254】

図91(E)は、第1の基板70101と第2の基板70107とを張り合わせる工程を示した断面図である。第1の基板70101と第2の基板70107とは、大気中で張り合わされる。そして、第1の基板70101と第2の基板70107と間のギャップが一定となるように、両基板が加圧される。その後、紫外線照射又は熱処理がシール材70105に施されることによって、シール材70105が硬化する。

【1255】

図92(A)及び(B)は、液晶を充填する工程を示した上面図である。第1の基板70101と第2の基板70107とが張り合わされたセル(空セルともいう)が真空槽内に入れられる。その後、真空槽内が減圧された後に、空セルの液晶注入口70113が液晶に浸漬される。そして、真空槽内が大気に開放されると、液晶70109が差圧と毛細管現象によって空セル内に充填される。

【1256】

必要な量の液晶70109が空セルに充填されると、液晶注入口が樹脂70110によって封口される。そして、空セルに余分に付着した液晶が洗浄される。その後、アニール処理によって、再配向処理が液晶70109に施される。こうして、液晶セルが完成する。

【1257】

次に、液晶の充填方法として滴下法を用いた場合の液晶セルの作製工程について、図93

10

20

30

40

50

(A)乃至(D)、及び図94(A)乃至(C)を参照して説明する。

【1258】

図94(C)は、液晶セルを示す断面図である。第1の基板70301と第2の基板70307とが、スペーサ70306及びシール材70305を介して貼り付けられている。そして、液晶70309が第1の基板70301と第2の基板70307との間に配置されている。なお、配向膜70302が第1の基板70301上に形成され、配向膜70308が第2の基板70307上に形成されている。

【1259】

第1の基板70301には、複数の画素がマトリクス状に形成されている。そして、複数の画素それぞれは、トランジスタを有していてもよい。なお、第1の基板70301をTFT基板、アレイ基板、TFTアレイ基板と呼んでもよい。第1の基板70301としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板(天然繊維(絹、綿、麻)、合成繊維(ナイロン、ポリウレタン、ポリエステル)若しくは再生繊維(アセテート、キュプラ、レーヨン、再生ポリエステル)などを含む)、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚(皮表、真皮)又は皮下組織を基板として用いてもよい。ただし、これに限定されず、様々なものを用いることができる。

10

【1260】

第2の基板70307には、共通電極、カラーフィルタ、ブラックマトリクスなどが形成されている。なお、第2の基板70307を対向基板又はカラーフィルタ基板と呼んでもよい。

20

【1261】

配向膜70302は、液晶分子を一定方向に配向させる機能を有する。配向膜70302としては、ポリイミド樹脂などを用いることができる。ただし、これに限定されず、様々なものを用いることができる。なお、配向膜70308は、配向膜70302と同様である。

【1262】

シール材70305は、液晶70309が漏れないように、第1の基板70301と第2の基板70307を接着する機能を有する。つまり、封止材として機能する。

30

【1263】

スペーサ70306は、第1の基板70301と第2の基板70307との間の空間(液晶のセルギャップ)を一定に保つための機能を有する。スペーサ70306としては、粒状スペーサ又は柱状スペーサを用いることができる。粒状スペーサとしては、ファイバ状のものと球状のものがある。そして、粒状スペーサの材料としては、プラスチック又はガラスなどがある。なお、プラスチックで形成された球状スペーサは、プラスチックビーズと呼ばれ、広く利用されている。なお、ガラスで形成されたファイバ状のスペーサは、ガラスファイバと呼ばれ、シール材に混入されて利用される。

【1264】

図93(A)は、第1の基板70301上に配向膜70302を形成する工程を示した断面図である。配向膜70302は、ローラ70303を用いたローラーコート法によって第1の基板70301上に形成される。ただし、第1の基板70301上に配向膜70302を形成する方法としては、ローラーコート法の他に、オフセット印刷法、ディップコート法、エアナイフコート法、カーテンコート法、ワイヤーバーコート法、グラビアコート法、エクストルージョンコート法などを用いることもできる。その後、仮焼成、本焼成が配向膜70302に順に施される。

40

【1265】

図93(B)は、配向膜70302にラビング処理を施す工程を示した断面図である。ラビング処理は、ドラムに布を巻きつけたラビング用ローラ70304を回転させて配向膜70302を擦ることによって行われる。このラビング処理が配向膜70302に施され

50

ると、液晶分子を一定方向に配向させるための溝が、配向膜 70302 に形成される。ただし、これに限定されず、イオンビームを用いて配向膜に溝を形成してもよい。その後、水洗浄処理が第 1 の基板 70301 に施される。こうすることで、第 1 の基板 70301 の表面の異物又は汚れなどを除去することができる。

【1266】

なお、図示はしないが、第 1 の基板 70301 と同様に、配向膜 70308 が第 2 の基板 70307 に形成され、ラビング処理が配向膜 70308 に施される。ただし、これに限定されず、イオンビームを用いて配向膜に溝を形成してもよい。

【1267】

図 93 (C) は、シール材 70305 を配向膜 70302 上に形成する工程を示した断面図である。シール材 70305 は描画装置又はスクリーン印刷などによって塗布され、シールパターンが形成される。このシールパターンは第 1 の基板 70301 の外周に沿って形成される。ここで、シール材 70305 は、ラジカル型の UV 樹脂又はカチオン型の UV 樹脂を用いる。そして、導電性樹脂がスポット的にディスペンサで塗布される。

【1268】

なお、シール材 70305 は、第 2 の基板 70307 に形成されてもよい。

【1269】

図 93 (D) は、スペーサ 70306 を第 1 の基板 70301 に散布する工程を示した断面図である。スペーサ 70306 は、圧縮された気体とともにのノズルから噴出して散布される（乾式散布）。あるいは、スペーサ 70306 は、揮発性の液体に混合され、この液体を噴路露するようにして散布される（湿式散布）。このような乾式散布又は湿式散布によって、スペーサ 70306 を第 1 の基板 70301 に均一に散布することができる。

【1270】

ここで、スペーサ 70306 として、球状の粒状スペーサを用いた場合について説明した。ただし、これに限定されず、柱状スペーサを用いることもできる。柱状スペーサは、第 1 の基板 70301 に形成されていてもよいし、第 2 の基板 70307 に形成されていてもよい。あるいは、スペーサの一部が第 1 の基板 70301 に形成され、残りが第 2 の基板 70307 に形成されていてもよい。

【1271】

なお、スペーサがシール材の中に混入していてもよい。こうすることで、液晶のセルギャップを一定に保ちやすくなる。

【1272】

図 94 (A) は、液晶 70309 を滴下する工程を示した断面図である。脱泡処理が液晶 70309 に施された後に、液晶 70309 がシール材 70305 の内側に滴下される。

【1273】

なお、図 94 (B) は、液晶 70309 を滴下した後の上面図である。シール材 70305 が第 1 の基板 70301 の外周に沿って形成されているため、液晶 70309 が漏れることはない。

【1274】

図 94 (C) は、第 1 の基板 70301 と第 2 の基板 70307 とを張り合わせる工程を示した断面図である。第 1 の基板 70301 と第 2 の基板 70307 とは、真空槽内で張り合わされる。そして、第 1 の基板 70301 と第 2 の基板 70307 と間のギャップが一定となるように、両基板が加圧される。その後、紫外線照射がシール材 70305 に施されることによって、シール材 70305 が硬化する。ここで、表示部をマスクで隠して、紫外線照射をシール材 70305 に施すことが望ましい。なぜなら、液晶 70309 が紫外線によって劣化することを防止できるからである。その後、アニール処理によって、再配向処理が液晶 70309 に施される。こうして、液晶セルが完成する。

【1275】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、

10

20

30

40

50

又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【1276】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【1277】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【1278】

（実施の形態12）

本実施の形態においては、表示装置の画素の構成及び画素の動作について説明する。

【1279】

図95（A）、（B）は、デジタル時間階調駆動の一例を示すタイミングチャートである。図95（A）のタイミングチャートは、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されている場合の駆動方法を示す。

【1280】

なお、1表示領域分の画像を完全に表示するための期間を1フレーム期間という。1フレーム期間は複数のサブフレーム期間を有し、1サブフレーム期間はアドレス期間とサステイン期間とを有する。アドレス期間 $T_{a1} \sim T_{a4}$ は、全行分の画素への信号書き込みにかかる時間を示し、期間 $T_{b1} \sim T_{b4}$ は一行分の画素（又は一画素分）への信号書き込みにかかる時間を示している。サステイン期間 $T_{s1} \sim T_{s4}$ は、画素へ書き込まれたビデオ信号にしたがって点灯又は非点灯状態を維持する時間を示し、その長さの比を $T_{s1} : T_{s2} : T_{s3} : T_{s4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ としている。どのサステイン期間で発光するかによって階調を表現している。

【1281】

動作について説明する。まず、アドレス期間 T_{a1} において、1行目から順に走査線に画素選択信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間 T_{s1} における各画素の点灯、非点灯が制御される。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における各画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

【1282】

ここで、図95（B）を参照して、 i 行目の画素行に着目して説明する。まず、アドレス期間 T_{a1} において、1行目から順に走査線に画素選択信号が入力され、アドレス期間 T_{a1} のうち期間 $T_{b1}(i)$ において i 行目の画素が選択される。そして、 i 行目の画素が選択されているときに、信号線から i 行目の画素へビデオ信号が入力される。そして、 i 行目の画素にビデオ信号が書き込まれると、 i 行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間 T_{s1} における i 行目の画素の点灯、非点灯が制御される。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において i 行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン

10

20

30

40

50

期間 T_{s2} 、 T_{s3} 、 T_{s4} における i 行目の画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サステイン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

【1283】

なお、ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。なお、点灯の順番は T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} である必要はなく、ランダムでもよいし、複数に分割して発光をさせてもよい。なお、 T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} の点灯時間は、2のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2のべき乗からすこしだけずらしてもよい。

10

【1284】

続いて、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されていない場合の駆動方法について説明する。つまり、ビデオ信号の書き込み動作が完了した行の画素は、次に画素へ信号の書き込み（又は消去）が行われるまで、信号を保持する。書き込み動作から次にこの画素へ信号の書き込みが行われるまでの期間をデータ保持時間という。そして、このデータ保持時間中は画素に書き込まれたビデオ信号に従って、画素が点灯又は非点灯となる。同じ動作が、最終行まで行われ、アドレス期間が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。

【1285】

20

このように、信号書き込み動作が完了しデータ保持時間となると、直ちに画素へ書き込まれたビデオ信号に従って画素が点灯又は非点灯となる駆動方法の場合には、データ保持時間をアドレス期間より短くしようとしても、同時に2行に信号を入力できないため、アドレス期間を重ねないようにしなければならないので、データ保持時間を短くすることができない。よって、その結果、高階調表示を行うことが困難になる。

【1286】

よって、消去期間を設けることによって、アドレス期間より短いデータ保持時間を設定する。消去期間を設けアドレス期間より短いデータ保持時間を設定する場合の駆動方法について図96（A）を用いて説明する。

【1287】

30

まず、アドレス期間 T_{a1} において、1行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間 T_{s1} における各画素の点灯、非点灯が制御される。ビデオ信号の書き込み動作が完了した行においては、直ちに書き込まれたビデオ信号にしたがって、画素が点灯又は非点灯の状態となる。同じ動作が、最終行まで行われ、アドレス期間 T_{a1} が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。同様に、アドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 T_{s2} 、 T_{s3} 、 T_{s4} における各画素の点灯、非点灯が制御される。そして、サステイン期間 T_{s4} はその終期を消去動作の開始によって設定される。なぜなら、各行の消去時間 T_e に画素に書き込まれた信号の消去が行われると、次の画素への信号の書き込みが行われるまでは、アドレス期間に画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間 T_e が始まった行の画素からデータ保持時間が終了する。

40

【1288】

ここで、図96（B）を参照して、 i 行目の画素行に着目して説明する。 i 行目の画素行において、アドレス期間 T_{a1} において、1行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、期間 $T_{b1}(i)$ において i 行目の画素が選択されているときに、 i 行目の画素にビデオ信号が入力される。そして、 i 行目の画素にビデオ信号

50

が書き込まれると、 i 行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によって、サステイン期間 $Ts1(i)$ における i 行目の画素の点灯、非点灯が制御される。つまり、 i 行目にビデオ信号の書き込み動作が完了したら、直ちに書き込まれたビデオ信号にしたがって、 i 行目の画素が点灯又は非点灯の状態となる。同様に、アドレス期間 $Ta2$ 、 $Ta3$ 、 $Ta4$ において i 行目の画素へビデオ信号が入力され、そのビデオ信号によってサステイン期間 $Ts2$ 、 $Ts3$ 、 $Ts4$ における i 行目の画素の点灯、非点灯が制御される。そして、サステイン期間 $Ts4(i)$ はその終期を消去動作の開始によって設定される。なぜなら、 i 行目の消去時間 $Ts(i)$ に i 行目の画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間 $Te(i)$ が始まると i 行目の画素のデータ保持時間が終了する。

10

【1289】

よって、アドレス期間とサステイン期間とを分離せずに、アドレス期間より短い高階調且つデューティ比（1フレーム期間中の点灯期間の割合）の高い表示装置を提供することができる。瞬間輝度を低くすることが可能であるため表示素子の信頼性の向上を図ることが可能である。

【1290】

なお、ここでは4ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、点灯の順番は $Ts1$ 、 $Ts2$ 、 $Ts3$ 、 $Ts4$ である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。また、 $Ts1$ 、 $Ts2$ 、 $Ts3$ 、 $Ts4$ の点灯時間は、2のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、2のべき乗からすこしだけずらしてもよい。

20

【1291】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。

【1292】

図97は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【1293】

画素80300は、スイッチング用トランジスタ80301、駆動用トランジスタ80302、発光素子80304及び容量素子80303を有している。スイッチング用トランジスタ80301はゲートが走査線80306に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線80305に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ80302のゲートに接続されている。駆動用トランジスタ80302は、ゲートが容量素子80303を介して電源線80307に接続され、第1電極が電源線80307に接続され、第2電極が発光素子80304の第1電極（画素電極）に接続されている。発光素子80304の第2電極は共通電極80308に相当する。

30

【1294】

なお、発光素子80304の第2電極（共通電極80308）には低電源電位が設定されている。なお、低電源電位とは、電源線80307に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子80304に印加して、発光素子80304に電流を流して発光素子80304を発光させるため、高電源電位と低電源電位との電位差が発光素子80304の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

40

【1295】

なお、容量素子80303は駆動用トランジスタ80302のゲート容量を代用して省略することも可能である。駆動用トランジスタ80302のゲート容量については、ソース領域、ドレイン領域又はLDD領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【1296】

50

走査線 80306 で画素が選択されているとき、つまりスイッチング用トランジスタ 80301 がオンになっているときに信号線 80305 から画素にビデオ信号が入力される。そして、ビデオ信号に相当する電圧分の電荷が容量素子 80303 に蓄積され、容量素子 80303 はその電圧を保持する。この電圧は駆動用トランジスタ 80302 のゲートと第 1 電極間の電圧であり、駆動用トランジスタ 80302 のゲートソース間電圧 V_{gs} に相当する。

【1297】

一般に、トランジスタの動作領域は、線形領域と飽和領域とに分けることが出来る。その境目は、ドレインソース間電圧を V_{ds} 、ゲートソース間電圧を V_{gs} 、しきい値電圧を V_{th} とすると、 $(V_{gs} - V_{th}) = V_{ds}$ の時になる。 $(V_{gs} - V_{th}) > V_{ds}$ の場合は、線形領域であり、 V_{ds} 、 V_{gs} の大きさによって電流値が決まる。一方、 $(V_{gs} - V_{th}) < V_{ds}$ の場合は飽和領域になり、理想的には、 V_{ds} が変化しても、電流値はほとんど変わらない。つまり、 V_{gs} の大きさだけによって電流値が決まる。

10

【1298】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 80302 のゲートには、駆動用トランジスタ 80302 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 80302 は線形領域で動作させる。

【1299】

よって、駆動用トランジスタ 80302 がオンするビデオ信号であるときには、理想的には電源線 80307 に設定されている電源電位 V_{DD} をそのまま発光素子 80304 の第 1 の電極に設定する。

20

【1300】

つまり、理想的には発光素子 80304 に印加する電圧を一定にし、発光素子 80304 から得られる輝度を一定にする。そして、1 フレーム期間内に複数のサブフレーム期間を設け、サブフレーム期間毎に画素へのビデオ信号の書き込みを行い、サブフレーム期間毎に画素の点灯又は非点灯を制御し、その点灯しているサブフレーム期間の合計によって、階調を表現する。

【1301】

なお、駆動用トランジスタ 80302 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 80304 に電流を流すことができる。発光素子 80304 が電流に応じて輝度を決定するような素子であれば、発光素子 80304 の劣化による輝度の低下を抑制することができる。さらに、ビデオ信号をアナログとすることで、発光素子 80304 にビデオ信号に応じた電流を流すことができる。この場合、アナログ階調駆動を行うことができる。

30

【1302】

図 98 は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【1303】

画素 80400 は、スイッチング用トランジスタ 80401、駆動用トランジスタ 80402、容量素子 80403、発光素子 80404 及び整流素子 80409 を有している。スイッチング用トランジスタ 80401 はゲートが第 2 の走査線 80406 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 80405 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 80402 のゲートに接続されている。駆動用トランジスタ 80402 は、ゲートが容量素子 80403 を介して電源線 80407 に接続され、ゲートが整流素子 80309 を介して第 2 の走査線 80410 に接続され、第 1 電極が電源線 80407 に接続され、第 2 電極が発光素子 80404 の第 1 電極（画素電極）に接続されている。発光素子 80404 の第 2 電極は共通電極 80408 に相当する。

40

【1304】

なお、発光素子 80404 の第 2 電極（共通電極 80408）には低電源電位が設定され

50

ている。なお、低電源電位とは、電源線 80407 に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 80404 に印加して、発光素子 80404 に電流を流して発光素子 80404 を発光させるため、高電源電位と低電源電位との電位差が発光素子 80404 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【1305】

なお、容量素子 80403 は駆動用トランジスタ 80402 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 80402 のゲート容量については、ソース領域、ドレイン領域又は LDD 領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【1306】

なお、整流素子 80409 として、ダイオード接続したトランジスタを用いることが可能である。ダイオード接続したトランジスタの他にも、PN 接合のダイオード、PIN 接合のダイオード、ショットキー型のダイオード又はカーボンナノチューブで形成されたダイオードなどを用いてもよい。ダイオード接続されたトランジスタの極性は、N チャンネル型でもよいし、P チャンネル型でもよい。

【1307】

画素 80400 は、図 97 に示した画素に、整流素子 80409 と第 2 の走査線 80410 を追加したものである。よって、図 98 に示すスイッチング用トランジスタ 80401、駆動用トランジスタ 80402、容量素子 80403、発光素子 80404、信号線 80405、第 1 の走査線 80406、電源線 80407 及び共通電極 80408 は、それぞれ図 97 に示したスイッチング用トランジスタ 80301、駆動用トランジスタ 80302、容量素子 80303、発光素子 80304、信号線 80305、走査線 80306、電源線 80307 及び共通電極 80308 に相当する。したがって、図 98 の書き込みの動作及び発光動作は、図 97 で説明した書き込みの動作及び発光動作と同様であるため、その説明を省略する。

【1308】

消去動作について説明する。消去動作時には、第 2 の走査線 80410 に H レベルの信号を入力する。すると、整流素子 80409 に電流が流れ、容量素子 80403 によって保持されていた駆動用トランジスタ 80402 のゲート電位をある電位に設定することができる。つまり、駆動用トランジスタ 80402 のゲートの電位を、ある電位に設定し、画素へ書き込まれたビデオ信号に関わらず、駆動用トランジスタ 80402 を強制的にオフすることができる。

【1309】

なお、第 2 の走査線 80410 に入力する L レベルの信号は、画素に非点灯となるビデオ信号が書き込まれているときに整流素子 80409 に電流が流れないような電位とする。第 2 の走査線 80410 に入力する H レベルの信号は、画素に書き込まれたビデオ信号に関わらず、駆動用トランジスタ 80402 がオフするような電位をゲートに設定することができるような電位とする。

【1310】

なお、整流素子 80409 として、ダイオード接続したトランジスタを用いることが可能である。さらに、ダイオード接続したトランジスタの他にも、PN 接合のダイオード、PIN 接合のダイオード、ショットキー型のダイオード又はカーボンナノチューブで形成されたダイオードなどを用いてもよい。ダイオード接続されたトランジスタの極性は、N チャンネル型でもよいし、P チャンネル型でもよい。

【1311】

図 99 は、デジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【1312】

10

20

30

40

50

画素80500は、スイッチング用トランジスタ80501、駆動用トランジスタ80502、容量素子80503、発光素子80504及び消去用トランジスタ80509を有している。スイッチング用トランジスタ80501はゲートが第2の走査線80506に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線80505に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ80502のゲートに接続されている。駆動用トランジスタ80502は、ゲートが容量素子80503を介して電源線80507に接続され、ゲートが消去用トランジスタ80509の第1電極に接続され、第1電極が電源線80507に接続され、第2電極が発光素子80504の第1電極（画素電極）に接続されている。消去用トランジスタは、ゲートが第2の走査線80510に接続され、第2電極が電源線80507に接続されている。発光素子80504の第2電極は共通電極80508に相当する。

10

【1313】

なお、発光素子80504の第2電極（共通電極80508）には低電源電位が設定されている。なお、低電源電位とは、電源線80507に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子80504に印加して、発光素子80504に電流を流して発光素子80504を発光させるため、高電源電位と低電源電位との電位差が発光素子80504の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【1314】

なお、容量素子80503は駆動用トランジスタ80502のゲート容量を代用して省略することも可能である。駆動用トランジスタ80502のゲート容量については、ソース領域、ドレイン領域又はLDD領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。

20

【1315】

画素80500は、図97に示した画素に、消去用トランジスタ80509と第2の走査線80510を追加したものである。よって、図99に示すスイッチング用トランジスタ80501、駆動用トランジスタ80502、容量素子80503、発光素子80504、信号線80505、第1の走査線80506、電源線80507及び共通電極80508は、それぞれ図97に示したスイッチング用トランジスタ80301、駆動用トランジスタ80302、容量素子80303、発光素子80304、信号線80305、走査線80306、電源線80307及び共通電極80308に相当する。したがって、図99の書き込みの動作及び発光動作は、図97で説明した書き込みの動作及び発光動作と同様であるため、その説明を省略する。

30

【1316】

消去動作について説明する。消去動作時には、第2の走査線80510にHレベルの信号を入力する。すると、消去用トランジスタ80509がオンして、駆動用トランジスタのゲートと第1電極を同電位にすることができる。つまり、駆動用トランジスタ80502のV_{gs}を0Vにすることができる。こうして、駆動用トランジスタ80502を強制的にオフすることができる。

40

【1317】

しきい値電圧補正型と呼ばれる画素の構成及び動作について説明する。しきい値電圧補正型の画素は、デジタル時間階調駆動及びアナログ階調駆動に適用することができる。

【1318】

図100は、しきい値電圧補正型と呼ばれる画素の構成の一例を示す図である。

【1319】

図100に示す画素は、駆動用トランジスタ80600、第1のスイッチ80601、第2のスイッチ80602、第3のスイッチ80603、第1の容量素子80604、第2の容量素子80605及び発光素子80620を有している。駆動用トランジスタ806

50

00のゲートは、第1の容量素子80604と第1のスイッチ80601とを順に介して信号線80611と接続されている。駆動用トランジスタ80600のゲートは、第2の容量素子80605を介して電源線80612と接続されている。駆動用トランジスタ80600の第1電極は、電源線80612と接続されている。駆動用トランジスタ80600の第2電極は、第3のスイッチ80603を介して発光素子80620の第1の電極と接続されている。駆動用トランジスタ80600の第2電極は、第2のスイッチ80602を介して駆動用トランジスタ80600のゲートと接続されている。発光素子80620の第2の電極は、共通電極80621に相当する。

【1320】

発光素子80620の第2の電極には低電源電位が設定されている。なお、低電源電位とは、電源線80612に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子80620に印加して、発光素子80620に電流を流して発光素子80620を発光させるため、高電源電位と低電源電位との電位差が発光素子80620の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、第2の容量素子80605は駆動用トランジスタ80600のゲート容量を代用して省略することも可能である。駆動用トランジスタ80600のゲート容量については、ソース領域、ドレイン領域又はLDD領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャンネル領域とゲート電極との間で容量が形成されていてもよい。なお、第1のスイッチ80601、第2のスイッチ80602、第3のスイッチ80603は、それぞれ第1の走査線80613、第2の走査線80614、第3の走査線80614によってオンとオフが制御される。

【1321】

図100に示す画素の駆動方法について、動作期間を初期化期間、データ書き込み期間、しきい値取得期間、発光期間に分割して説明する。

【1322】

初期化期間では、第2のスイッチ80602及び第3のスイッチ80603がオンする。そして、駆動用トランジスタ80600のゲートの電位が少なくとも電源線80612の電位よりも低くなる。このとき、第1のスイッチ80601は、オンしていても、オフしていてもよい。なお、初期化期間は必ずしも必要ではない。

【1323】

しきい値取得期間では、第1の走査線80613によって画素が選択される。つまり、第1のスイッチ80601がオンし、信号線80611からある一定電圧が入力される。このとき、第2のスイッチ80602がオンし、第3のスイッチ80603がオフしている。したがって、駆動用トランジスタ80600はダイオード接続され、駆動用トランジスタ80600の第2電極及びゲートが浮遊状態（フローティング状態）となる。そして、駆動用トランジスタ80600のゲートの電位は、電源線80612の電位から駆動用トランジスタ80600のしきい値電圧を引いた値となる。よって、第1の容量素子80604には駆動用トランジスタ80600のしきい値電圧が保持される。第2の容量素子80605には、駆動用トランジスタ80600のゲートの電位と信号線80611から入力されている一定電圧との電位差が保持される。

【1324】

データ書き込み期間では、信号線80611からビデオ信号（電圧）が入力される。このとき、第1のスイッチ80601はオンのままであり、第2のスイッチ80602はオフし、第3のスイッチ80603がオフのままである。そして、駆動用トランジスタ80600のゲートは浮遊状態（フローティング状態）となっているので、駆動用トランジスタ80600のゲートの電位は、しきい値取得期間において信号線80611入力される一定電圧と、データ書き込み期間において信号線80611入力されるビデオ信号との電位差に応じて変化する。例えば、第1の容量素子80604の容量値<<第2の容量素子80605の容量値であれば、データ書き込み期間における駆動用トランジスタ80600

のゲートの電位は、しきい値取得期間における信号線 80611 の電位とデータ書込み期間における信号線 80611 の電位と電位差（変化量）と、電源線 80612 の電位から駆動用トランジスタ 80600 のしきい値電圧を引いた値との和とおおむね等しくなる。つまり、駆動用トランジスタ 80600 のゲートの電位は、駆動用トランジスタ 80600 のしきい値電圧を補正した電位となる。

【1325】

発光期間では、駆動用トランジスタ 80600 のゲートと電源線 80612 との電位差（ V_{gs} ）に応じた電流が発光素子 80620 に流れる。このとき、第 1 のスイッチ 80601 がオフし、第 2 のスイッチ 80602 がオフのままであり、第 3 のスイッチ 80603 がオンする。なお、発光素子 80620 に流れる電流は、駆動用トランジスタ 80600 のしきい値電圧によらず一定である。

10

【1326】

なお、図 100 に示す画素構成は、これに限定されない。例えば、図 100 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。例えば、第 2 のスイッチ 80602 を P チャネル型トランジスタ又は N チャネル型のトランジスタで構成し、第 3 のスイッチ 80603 を第 2 のスイッチ 80602 とは別の極性のトランジスタで構成し、第 2 のスイッチ 80602 及び第 3 のスイッチ 80603 を同じ走査線で制御してもよい。

【1327】

電流入力型と呼ばれる画素の構成及び動作について説明する。電流入力正型の画素は、デジタル階調駆動及びアナログ階調駆動に適用することができる。

20

【1328】

図 101 は、電流入力型と呼ばれる画素の構成の一例を示す図である。

【1329】

図 101 に示す画素は、駆動用トランジスタ 80700、第 1 のスイッチ 80701、第 2 のスイッチ 80702、第 3 のスイッチ 80703、容量素子 80704 及び発光素子 80730 を有している。駆動用トランジスタ 80700 のゲートは、第 2 のスイッチ 80702 と第 1 のスイッチ 80701 とを順に介して信号線 80711 に接続されている。駆動用トランジスタ 80700 のゲートは、容量素子 80704 を介して電源線 80712 に接続されている。駆動用トランジスタ 80700 の第 1 電極は、電源線 80712 に接続されている。駆動用トランジスタ 80700 の第 2 電極は、第 1 のスイッチ 80701 を介して電源線 80712 に接続されている。駆動用トランジスタ 80700 の第 2 電極は、第 3 のスイッチ 80703 を介して発光素子 80730 の第 1 の電極に接続されている。発光素子 80730 の第 2 の電極は、共通電極 80731 に相当する。

30

【1330】

発光素子 80730 の第 2 の電極には低電源電位が設定されている。なお、低電源電位とは、電源線 80712 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 80730 に印加して、発光素子 80730 に電流を流して発光素子 80730 を発光させるため、高電源電位と低電源電位との電位差が発光素子 80730 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、容量素子 80704 は駆動用トランジスタ 80700 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 80700 のゲート容量については、ソース領域、ドレイン領域又は LDD 領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。なお、第 1 のスイッチ 80701、第 2 のスイッチ 80702、第 3 のスイッチ 80703 は、それぞれ第 1 の走査線 80713、第 2 の走査線 80714、第 3 の走査線 80734 によってオンとオフが制御される。

40

【1331】

図 101 に示す画素の駆動方法について、動作期間をデータ書き込み期間、発光期間に分

50

割して説明する。

【1332】

データ書き込み期間では、第1の走査線80713によって画素が選択される。つまり、第1のスイッチ80701がオンし、信号線80711からビデオ信号として電流が入力される。このとき、第2のスイッチ80702がオンし、第3のスイッチ80703がオフする。したがって、駆動用トランジスタ80700のゲートの電位は、ビデオ信号に応じた電位となる。つまり、容量素子80704には、駆動用トランジスタ80700がビデオ信号と同じ電流を流すような駆動用トランジスタ80700のゲート電極とソース電極との間の電圧が保持される。

【1333】

次に、発光期間では、第1のスイッチ80701及び第2のスイッチ80702がオフし、第3のスイッチ80703がオンする。したがって、発光素子80730にはビデオ信号と同じ値の電流が流れる。

【1334】

なお、図101に示す画素構成は、これに限定されない。例えば、図101に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。例えば、第1のスイッチ80701をPチャネル型トランジスタ又はNチャネル型トランジスタで構成し、第2のスイッチ80702を第1のスイッチ80701と同じ極性のトランジスタで構成し、第1のスイッチ80701及び第2のスイッチ80702を同じ走査線で制御してもよい。第2のスイッチ80702は駆動用トランジスタ80700のゲートと信号線80711との間に配置されていてもよい。

【1335】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【1336】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

【1337】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【1338】

（実施の形態13）

本実施形態においては、表示装置の画素構造について説明する。特に、有機EL素子を用いた表示装置の画素構造について説明する。

【1339】

図102（A）は、1つの画素に2つのトランジスタを有する画素の上面図（レイアウト図）の一例である。図102（B）は、図102（A）に示すX-X'の部分の断面図の一例である。

【1340】

図102（A）は、第1のトランジスタ60105、第1の配線60106、第2の配線60107、第2のトランジスタ60108、第3の配線60111、対向電極60112、コンデンサ60113、画素電極60115、隔壁60116、有機導電体膜601

10

20

30

40

50

17、有機薄膜60118及び基板60119を示している。なお、第1のトランジスタ60105はスイッチング用トランジスタとして、第1の配線60106はゲート信号線として、第2の配線60107はソース信号線として、第2のトランジスタ60108は駆動用トランジスタとして、第3の配線60111は電流供給線として、それぞれ用いられるのが好適である。

【1341】

第1のトランジスタ60105のゲート電極は、第1の配線60106と電氣的に接続され、第1のトランジスタ60105のソース電極及びドレイン電極の一方は、第2の配線60107と電氣的に接続され、第1のトランジスタ60105のソース電極及びドレイン電極の他方は、第2のトランジスタ60108のゲート電極及びコンデンサ60113の一方の電極と電氣的に接続されている。なお、第1のトランジスタ60105のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第1のトランジスタ60105のオフ状態におけるリーク電流を低減することができる。

【1342】

第2のトランジスタ60108のソース電極及びドレイン電極の一方は、第3の配線60111と電氣的に接続され、第2のトランジスタ60108のソース電極及びドレイン電極の他方は、画素電極60115と電氣的に接続されている。こうすることで、画素電極60115に流れる電流を、第2のトランジスタ60108によって制御することができる。

【1343】

画素電極60115上には、有機導電体膜60117が設けられ、さらに有機薄膜60118（有機化合物層）が設けられている。有機薄膜60118（有機化合物層）上には、対向電極60112が設けられている。なお、対向電極60112は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【1344】

有機薄膜60118（有機化合物層）から発せられた光は、画素電極60115又は対向電極60112のうちいずれかを透過して発せられる。

【1345】

図102（B）において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【1346】

下面放射の場合、画素電極60115は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極60112は透明導電膜によって形成されるのが好適である。

【1347】

カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子をベタ付けの形で塗り、カラーフィルタによってR、G、Bの発光を得るようにしても良い。

【1348】

なお、図102に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図102に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【1349】

図103（A）は、1つの画素に3つのトランジスタを有する画素の上面図（レイアウト図）の一例である。図103（B）は、図103（A）に示すX-X'の部分の断面図の一例である。

【1350】

図103（A）は、基板60200、第1の配線60201、第2の配線60202、第

10

20

30

40

50

3の配線60203、第4の配線60204、第1のトランジスタ60205、第2のトランジスタ60206、第3のトランジスタ60207、画素電極60208、隔壁60211、有機導電体膜60212、有機薄膜60213及び対向電極60214を示す。なお、第1の配線60201はソース信号線として、第2の配線60202は書込用ゲート信号線として、第3の配線60203は消去用ゲート信号線として、第4の配線60204は電流供給線として、第1のトランジスタ60205はスイッチング用トランジスタとして、第2のトランジスタ60206は消去用トランジスタとして、第3のトランジスタ60207は駆動用トランジスタとして、それぞれ用いられるのが好適である。

【1351】

第1のトランジスタ60205のゲート電極は、第2の配線60202と電氣的に接続され、第1のトランジスタ60205のソース電極及びドレイン電極の一方は、第1の配線60201と電氣的に接続され、第1のトランジスタ60205のソース電極及びドレイン電極の他方は、第3のトランジスタ60207のゲート電極と電氣的に接続されている。なお、第1のトランジスタ60205のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第1のトランジスタ60205のオフ状態におけるリーク電流を低減することができる。

10

【1352】

第2のトランジスタ60206のゲート電極は、第3の配線60203と電氣的に接続され、第2のトランジスタ60206のソース電極及びドレイン電極の一方は、第4の配線60204と電氣的に接続され、第2のトランジスタ60206のソース電極及びドレイン電極の他方は、第3のトランジスタ60207のゲート電極と電氣的に接続されている。なお、第2のトランジスタ60206のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第2のトランジスタ60206のオフ状態におけるリーク電流を低減することができる。

20

【1353】

第3のトランジスタ60207のソース電極及びドレイン電極の一方は、第4の配線60204と電氣的に接続され、第3のトランジスタ60207のソース電極及びドレイン電極の他方は、画素電極60208と電氣的に接続されている。こうすることで、画素電極60208に流れる電流を、第3のトランジスタ60207によって制御することができる。

30

【1354】

画素電極60208上には、有機導電体膜60212が設けられ、さらに有機薄膜60213（有機化合物層）が設けられている。有機薄膜60213（有機化合物層）上には、対向電極60214が設けられている。なお、対向電極60214は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【1355】

有機薄膜60213（有機化合物層）から発せられた光は、画素電極60208もしくは対向電極60214のうちいずれかを透過して発せられる。

【1356】

図103（B）において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

40

【1357】

下面放射の場合、画素電極60208は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極60214は透明導電膜によって形成されるのが好適である。

【1358】

カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つEL素子を塗り分けても良いし、単色のEL素子をベタ付けの形で塗り、カラーフィルタによってR、G、Bの発光を得るようにしても良い。

50

【1359】

なお、図103に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL素子の電極の積層順等に関して、図103に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LEDのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【1360】

図104(A)は、1つの画素に4つのトランジスタを有する画素の上面図(レイアウト図)の一例である。図104(B)は、図104(A)に示すX-X'の部分の断面図の一例である。

【1361】

図104(A)は、基板60300、第1の配線60301、第2の配線60302、第3の配線60303、第4の配線60304、第1のトランジスタ60305、第2のトランジスタ60306、第3のトランジスタ60307、第4のトランジスタ60308、画素電極60309、第5の配線60311、第6の配線60312、隔壁60321、有機導電体膜60322、有機薄膜60323及び対向電極60324を示している。なお、第1の配線60301はソース信号線として、第2の配線60302は書込用ゲート信号線として、第3の配線60303は消去用ゲート信号線として、第4の配線60304は逆方向バイアス用信号線として、第1のトランジスタ60305はスイッチング用トランジスタとして、第2のトランジスタ60306は消去用トランジスタとして、第3のトランジスタ60307は駆動用トランジスタとして、第4のトランジスタ60308は逆方向バイアス用トランジスタとして、第5の配線60311は電流供給線として、第6の配線60312は逆方向バイアス用電源線として、それぞれ用いられるのが好適である。

【1362】

第1のトランジスタ60305のゲート電極は、第2の配線60302と電氣的に接続され、第1のトランジスタ60305のソース電極及びドレイン電極の一方は、第1の配線60301と電氣的に接続され、第1のトランジスタ60305のソース電極及びドレイン電極の他方は、第3のトランジスタ60307のゲート電極と電氣的に接続されている。なお、第1のトランジスタ60305のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第1のトランジスタ60305のオフ状態におけるリーク電流を低減することができる。

【1363】

第2のトランジスタ60306のゲート電極は、第3の配線60303と電氣的に接続され、第2のトランジスタ60306のソース電極及びドレイン電極の一方は、第5の配線60311と電氣的に接続され、第2のトランジスタ60306のソース電極及びドレイン電極の他方は、第3のトランジスタ60307のゲート電極と電氣的に接続されている。なお、第2のトランジスタ60306のゲート電極は、複数のゲート電極によって構成されている。こうすることで、第2のトランジスタ60306のオフ状態におけるリーク電流を低減することができる。

【1364】

第3のトランジスタ60307のソース電極及びドレイン電極の一方は、第5の配線60311と電氣的に接続され、第3のトランジスタ60307のソース電極及びドレイン電極の他方は、画素電極60309と電氣的に接続されている。こうすることで、画素電極60309に流れる電流を、第3のトランジスタ60307によって制御することができる。

【1365】

第4のトランジスタ60308のゲート電極は、第4の配線60304と電氣的に接続され、第4のトランジスタ60308のソース電極及びドレイン電極の一方は、第6の配線60312と電氣的に接続され、第4のトランジスタ60308のソース電極及びドレイン電極の他方は、画素電極60309と電氣的に接続されている。こうすることで、画素

10

20

30

40

50

電極 60309 の電位を、第 4 のトランジスタ 60308 によって制御することができるので、有機導電体膜 60322 及び有機薄膜 60323 に、逆方向のバイアスを印加することができる。有機導電体膜 60322 及び有機薄膜 60323 などによって構成される発光素子に逆方向のバイアスを印加することによって、発光素子の信頼性を大きく向上させることができる。

【1366】

画素電極 60309 上には、有機導電体膜 60322 が設けられ、さらに有機薄膜 60323（有機化合物層）が設けられている。有機薄膜 60323（有機化合物層）上には、対向電極 60324 が設けられている。なお、対向電極 60324 は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

10

【1367】

有機薄膜 60323（有機化合物層）から発せられた光は、画素電極 60309 もしくは対向電極 60324 のうちいずれかを透過して発せられる。

【1368】

図 104（B）において、画素電極側、すなわちトランジスタ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【1369】

下面放射の場合、画素電極 60309 は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極 60324 は透明導電膜によって形成されるのが好適である。

20

【1370】

カラー表示の発光装置においては、R、G、Bそれぞれの発光色を持つ EL 素子を塗り分けても良いし、単色の EL 素子をベタ付けの形で塗り、カラーフィルタによって R、G、B の発光を得るようにしても良い。

【1371】

なお、図 104 に示した構成はあくまで一例であり、画素レイアウト、断面構成、EL 素子の電極の積層順等に関して、図 104 に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、LED のような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

30

【1372】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【1373】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることができる。

40

【1374】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【1375】

（実施の形態 14）

本実施の形態においては、EL 素子の構造について説明する。特に、有機 EL 素子の構造

50

について説明する。

【1376】

混合接合型のEL素子の構成について説明する。その一例として、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のEL素子と表記する）について説明する。

【1377】

図105（A）、（B）、（C）及び（D）は、混合接合型のEL素子の構造を示す模式図である。なお、陽極190101と陰極190102の間に挟まれた層が、EL層に相当する。

10

【1378】

図105（A）に、EL層が正孔輸送材料からなる正孔輸送領域190103と、電子輸送材料からなる電子輸送領域190104とを含み、正孔輸送領域190103は電子輸送領域190104よりも陽極側に位置し、且つ、正孔輸送領域190103と、電子輸送領域190104の間に、正孔輸送材料及び電子輸送材料の両方を含む混合領域190105が設けられた構成を示す。

【1379】

なお、陽極190101から陰極190102の方向に、混合領域190105内の正孔輸送材料の濃度が減少し、混合領域190105内の電子輸送材料の濃度が増加することを特徴とする。

20

【1380】

なお、濃度勾配の設定の仕方は、自由に設定することが可能である。例えば、正孔輸送材料のみからなる正孔輸送領域190103が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域190105内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。あるいは、正孔輸送材料のみからなる正孔輸送領域190103及び電子輸送材料のみからなる電子輸送領域190104が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域190105内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。あるいは、濃度の割合は、陽極又は陰極からの距離に依存して変化する構成であってもよい。なお、濃度の割合の変化は連続的であってもよい。

30

【1381】

混合領域190105内に、発光材料が添加された領域190106を有する。発光材料によって、EL素子の発光色を制御することができる。発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、EL素子の発光色を制御することができる。

【1382】

陽極190101としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドーパ酸化インジウム（ITO）、亜鉛ドーパ酸化インジウム（IZO）、ZnO、SnO₂又はIn₂O₃等の透明電極を用いることができる。あるいは、透光性を有する必要が無いならば、陽極190101は、不透明の金属材料でもよい。

40

【1383】

正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

【1384】

電子輸送材料としては、キノリン誘導体、8-キノリノール又はその誘導体を配位子とする金属錯体（特に、トリス（8-キノリノール）アルミニウム（Alq₃））等を用い

50

ることができる。

【1385】

陰極190102としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。あるいは、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

【1386】

図105(A)とは異なる構成のEL素子の模式図を図105(B)に示す。なお、図105(A)と同じ部分は同じ符号を用いて示し、説明は省略する。

【1387】

図105(B)では、発光材料が添加された領域を有さない。しかし、電子輸送領域190104に添加する材料として、電子輸送性及び発光性の両方を有する材料(電子輸送発光材料)、例えば、トリス(8-キノリノライト)アルミニウム(Alq₃)を用いる構成とし、発光を行うことができる。

【1388】

あるいは、正孔輸送領域190103に添加する材料として、正孔輸送性及び発光性の両方を有する材料(正孔輸送発光材料)を用いてもよい。

【1389】

図105(A)及び図105(B)とは異なる構成のEL素子の模式図を図105(C)に示す。なお、図105(A)及び図105(B)と同じ部分は同じ符号を用いて示し、説明は省略する。

【1390】

図105(C)において、正孔輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域190105内に添加された領域190107を有する。正孔ブロッキング性材料が添加された領域190107を、混合領域190105内の発光材料が添加された領域190106より陰極190102側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域190107を設ける構成は、特に、三重光励起子のよる発光(燐光)を利用するEL素子において有効である。

【1391】

図105(A)、図105(B)及び図105(C)とは異なる構成のEL素子の模式図を図105(D)に示す。なお、図105(A)、図105(B)及び図105(C)と同じ部分は同じ符号を用いて示し、説明は省略する。

【1392】

図105(D)において、電子輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域190105内に添加された領域190108を有する。電子ブロッキング性材料が添加された領域190108を、混合領域190105内の発光材料が添加された領域190106より陽極190101側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域190108を設ける構成は、特に、三重光励起子のよる発光(燐光)を利用するEL素子において有効である。

【1393】

図105(E)は、図105(A)、図105(B)、図105(C)及び図105(D)とは異なる混合接合型のEL素子の構成を示す模式図である。図105(E)では、EL素子の電極に接するEL層の部分に、金属材料を添加した領域190109を有する構成の例を示す。図105(E)において、図105(A)~図105(D)と同じ部分は同じ符号を用いて示し説明は省略する。図105(E)に示す構成は、たとえば、陰極190102としてMgAg(Mg-Ag合金)を用い、電子輸送材料が添加された電子輸送領域190104の、陰極190102に接する領域にAl(アルミニウム)合金を添加した領域190109を有する構成であってもよい。上記構成によって、陰極の酸化を

10

20

30

40

50

防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型のＥＬ素子では、その寿命を長くすることができる。駆動電圧も低くすることができる。

【１３９４】

上記混合接合型のＥＬ素子を作製する手法としては、共蒸着法等を用いることができる。

【１３９５】

図１０５（Ａ）～図１０５（Ｅ）に示したような混合接合型のＥＬ素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。駆動電圧も低くすることができる。

【１３９６】

なお、図１０５（Ａ）～図１０５（Ｅ）に示した構成は、自由に組み合わせて実施することが可能である。

【１３９７】

なお、混合接合型のＥＬ素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【１３９８】

なお、ＥＬ素子のＥＬ層を構成する有機材料としては、低分子材料でも高分子材料でもよい。あるいは、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、ＥＬ層として高分子材料を用いる場合は、高分子材料を溶媒に溶かし、スピン塗布法又はインクジェット方式で成膜することができる。

【１３９９】

ＥＬ層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が２０程度以下の有機発光材料を示すものとする。ＥＬ層として中分子材料を用いる場合は、インクジェット方式等で成膜することができる。

【１４００】

なお、低分子材料と、高分子材料と、中分子材料とを組み合わせ用いても良い。

【１４０１】

ＥＬ素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

【１４０２】

次に、表示装置を製造するための蒸着装置について、図面を参照して説明する。

【１４０３】

表示装置は、ＥＬ層を形成して製造されてもよい。ＥＬ層は、エレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。ＥＬ層は機能の異なる複数の層で構成されても良い。その場合、ＥＬ層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能の異なる層が組み合わさって構成されていてもよい。

【１４０４】

トランジスタが形成された素子基板に、ＥＬ層を形成するための蒸着装置の構成を図１０６に示す。この蒸着装置は、搬送室１９０２６０、１９０２６１に複数の処理室を連結している。処理室には、基板を供給するロード室１９０２６２、基板を回収するアンロード室１９０２６３、その他、加熱処理室１９０２６８、プラズマ処理室１９０２７２、ＥＬ材料を蒸着する成膜処理室１９０２６９～１９０２７５、ＥＬ素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室１９０２７６を含んでいる。搬送室と各処理室の間にはゲートバルブ１９０２７７a～１９０２７７mが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

【１４０５】

ロード室１９０２６２から搬送室１９０２６０に導入された基板は、回転自在に設けられたアーム方式の搬送手段１９０２６６により、所定の処理室へ搬入される。基板は搬送手

10

20

30

40

50

段190266により、ある処理室から他の処理室へ搬送される。搬送室190260と搬送室190261とは成膜処理室190270で連結され、ここで搬送手段190266と搬送手段190267により基板の受け渡しが行う。

【1406】

搬送室190260及び搬送室190261に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続してEL層の成膜処理が行われる。EL層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室190265が搬送室190261に連結されている。封止処理室190265は大気圧若しくはそれに近い減圧下におかれているので、搬送室190261と封止処理室190265の間にも中間処理室190264が備えられている。中間処理室190264は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

10

【1407】

ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。

【1408】

図106の蒸着装置において、搬送室190260及び搬送室190261に連結される処理室の数及びその構成は、EL素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

20

【1409】

加熱処理室190268は、最初に下部電極又は絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室190272は、下地電極表面を希ガス又は酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状态（例えば、仕事関数など）を安定化させるために行う。

【1410】

成膜処理室190269は、EL素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、EL素子の短絡又は暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が $5 \times 10^4 \sim 1 \times 10^6 \Omega \text{cm}$ であり、 $30 \sim 300 \text{nm}$ の厚さに形成される。なお、成膜室190271は正孔輸送層を成膜する処理室である。

30

【1411】

EL素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室もそれに応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類のEL素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室190270を第1の発光層の成膜用として、成膜処理室190273を第2の発光層の成膜用として、成膜処理室190274を第3の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することが出来、成膜処理のスループットを向上させることが出来る。

40

【1412】

なお、成膜処理室190270、成膜処理室190273、成膜処理室190274のそれぞれで、発光色が異なる三種類のEL材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

【1413】

白色発光するEL素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。あるいは、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

【1414】

50

成膜処理室190276では、EL層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法又はスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

【1415】

電極の形成まで終了した素子基板は、中間処理室190264を経て封止処理室190265に搬入される。封止処理室190265は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性気体が充填されており、その雰囲気下で素子基板のEL層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板との間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室190265には、シール材を描画するディスペンサー、又は素子基板に対向して封止板を固定する固定ステージ又はアームなどの機械的要素、樹脂材料を充填するディスペンサー若しくはスピncerなどが備えられている。

【1416】

図107は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図107では天板190391と底板190392で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。

【1417】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合、又は異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図107では、蒸発源190381a、190381b、190381cが蒸発源ホルダ190380に装着されている。蒸発源ホルダ190380は多関節アーム190383によって保持されている。多関節アーム190383は関節の伸縮によって、蒸発源ホルダ190380の位置をその可動範囲内で自在に移動可能としている。あるいは、蒸発源ホルダ190380に距離センサー190382を設け、蒸発源190381a～190381cと基板190389との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームに上下方向（Z方向）にも変位する多関節アームとしても良い。

【1418】

基板ステージ190386と基板チャック190387は一對となって基板190389を固定する。基板ステージ190386はヒータを内蔵させて基板190389を加熱できるように構成しても良い。基板190389は、基板チャック190387の禁緩により、基板ステージ190386に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク190390を用いることもできる。その場合、シャドーマスク190390は、基板190389と蒸発源190381a～190381cの間に配置されるようにする。シャドーマスク190390はマスクチャック190388により、基板190389と密着若しくは一定の間隔を持って固定される。シャドーマスク190390のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック190388にX-Y-θ方向に微動する位置決め手段を備えることで、その位置合わせを行う。

【1419】

蒸発源190381には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源190381と離れた位置に配置される材料供給源190385a、190385b、190385cと、その両者の間を繋ぐ材料供給管190384を有している。典型的には、材料供給源190385a、190385b、190385cは蒸発源190381に対応して設けられている。図107の場合は、材料供給源190385aと蒸発源190381aが対応している。材料供給源190385bと蒸発源190381b、材料供給源190385cと蒸発源190381cについても同様である。

【1420】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方

10

20

30

40

50

式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源 190381 に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解又は分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源 190381 には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板 190389 に成膜する。図 107 の場合、材料供給管 190384 は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

【1421】

気流搬送方式又はエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは 133 Pa ~ 13300 Pa の減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、又は当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。なお、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素などの気体を導入して酸化雰囲気としておいても良い。あるいは、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気としておいても良い。

10

【1422】

その他の蒸着材料の供給方法として、材料供給管 190384 の中にスクリーンを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【1423】

この蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。

20

【1424】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【1425】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

30

【1426】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【1427】

（実施の形態 15）

本実施の形態においては、EL 素子の構造について説明する。特に、無機 EL 素子の構造について説明する。

40

【1428】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機 EL ではドナー-

50

アクセプター再結合型発光、薄膜型無機EL素子では局在型発光である場合が多い。

【1429】

発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法又は液相法（共沈法）などの様々な方法を用いることができる。あるいは、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法又はこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

【1430】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、700～1500℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

【1431】

液相法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく低い焼成温度でも反応が進むことができる。

【1432】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛（ZnS）、硫化カドミウム（CdS）、硫化カルシウム（CaS）、硫化イットリウム（Y₂S₃）、硫化ガリウム（Ga₂S₃）、硫化ストロンチウム（SrS）、硫化バリウム（BaS）等を用いることができる。酸化物としては、例えば、酸化亜鉛（ZnO）、酸化イットリウム（Y₂O₃）等を用いることができる。窒化物としては、例えば、窒化アルミニウム（AlN）、窒化ガリウム（GaN）、窒化インジウム（InN）等を用いることができる。さらに、セレン化亜鉛（ZnSe）、テルル化亜鉛（ZnTe）等も用いることができ、硫化カルシウム－ガリウム（CaGa₂S₄）、硫化ストロンチウム－ガリウム（SrGa₂S₄）、硫化バリウム－ガリウム（BaGa₂S₄）、等の3元系の混晶であってもよい。

【1433】

局在型発光の発光中心として、マンガン（Mn）、銅（Cu）、サマリウム（Sm）、テルビウム（Tb）、エルビウム（Er）、ツリウム（Tm）、ユーロピウム（Eu）、セリウム（Ce）、プラセオジウム（Pr）などを用いることができる。なお、電荷補償として、フッ素（F）、塩素（Cl）などのハロゲン元素が添加されていてもよい。

【1434】

一方、ドナー－アクセプター再結合型発光の発光中心として、ドナー準位を形成する第1の不純物元素及びアクセプター準位を形成する第2の不純物元素を含む発光材料を用いることができる。第1の不純物元素は、例えば、フッ素（F）、塩素（Cl）、アルミニウム（Al）等を用いることができる。第2の不純物元素としては、例えば、銅（Cu）、銀（Ag）等を用いることができる。

【1435】

ドナー－アクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第1の不純物元素又は第1の不純物元素を含む化合物と、第2の不純物元素又は第2の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第1の不純物元素又は第1の不純物元素を含む化合物としては、例えば、フッ素（F）、塩素（Cl）、硫化アルミニウム（Al₂S₃）等を用いることができ、第2の不純物元素又は第2の不純物元素を含む化合物としては、例えば、銅（Cu）、銀（Ag）、硫化銅（Cu₂S）、硫化銀（Ag₂S）等を用いることができる。焼成温度は、700～1500℃が好ましい。

10

20

30

40

50

温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

【1436】

固相反応を利用する場合の不純物元素として、第1の不純物元素と第2の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料を得ることができる。第1の不純物元素と第2の不純物元素で構成される化合物としては、例えば、塩化銅 (CuCl)、塩化銀 (AgCl) 等を用いることができる。

10

【1437】

なお、これらの不純物元素の濃度は、母体材料に対して0.01~10atom%であればよく、好ましくは0.05~5atom%の範囲である。

【1438】

薄膜型無機ELの場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着 (EB蒸着) 法等の真空蒸着法、スパッタリング法等の物理気相成長法 (PVD)、有機金属CVD法、ハイドライド輸送減圧CVD法等の化学気相成長法 (CVD)、原子エビタキシ法 (ALE) 等を用いて形成することができる。

【1439】

図108 (A) 乃至 (C) に発光素子として用いることのできる薄膜型無機EL素子の一例を示す。図108 (A) 乃至 (C) において、発光素子は、第1の電極層120100、電界発光層120102、第2の電極層120103を含む。

20

【1440】

図108 (B) 及び図108 (C) に示す発光素子は、図108 (A) の発光素子において、電極層と電界発光層間に絶縁膜を設ける構造である。図108 (B) に示す発光素子は、第1の電極層120100と電界発光層120102との間に絶縁膜120104を有し、図108 (C) に示す発光素子は、第1の電極層120100と電界発光層120102との間に絶縁膜120105、第2の電極層120103と電界発光層120102との間に絶縁膜120106とを有している。このように絶縁膜は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。絶縁膜は単層でもよいし複数層を有する積層でもよい。

30

【1441】

なお、図108 (B) では第1の電極層120100に接するように絶縁膜120104が設けられているが、絶縁膜と電界発光層の順番を逆にして、第2の電極層120103に接するように絶縁膜120104を設けてもよい。

【1442】

分散型無機ELの場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。粒子状に加工する。発光材料の作製方法によって、十分に所望の大きさの粒子が得られない場合は、乳鉢等で粉碎などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

40

【1443】

分散型無機ELの場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法、印刷法 (スクリーン印刷やオフセット印刷など)、又はスピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、10~1000nmの範囲である。発光材料及びバインダを含む電界発光層において、発光材料の割合は50wt%以上80wt%以下とするよい。

【1444】

図109 (A) 乃至 (C) に発光素子として用いることのできる分散型無機EL素子の一

50

例を示す。図109(A)における発光素子は、第1の電極層120200、電界発光層120202、第2の電極層120203の積層構造を有し、電界発光層120202中にバインダによって保持された発光材料120201を含む。

【1445】

バインダは、絶縁材料を用いることができる。絶縁材料としては、有機材料及び無機材料を用いることができる。あるいは、有機材料及び無機材料の混合材料を用いてもよい。有機絶縁材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリマー、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコン樹脂、エポキシ樹脂、又はフッ化ビニリデンなどの樹脂を用いることができる。あるいは、芳香族ポリアミド、又はポリベンゾイミダゾール (polybenzimidazole) などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いてもよい。又は置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。あるいは、ポリビニルアルコール、ポリビニルブチラルなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂 (ポリベンゾオキサゾール) 等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウム (BaTiO₃)、又はチタン酸ストロンチウム (SrTiO₃) などの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

【1446】

バインダに含まれる無機絶縁材料としては、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸素及び窒素を含む珪素、窒化アルミニウム (AlN)、酸素及び窒素を含むアルミニウム、酸素及び窒素を含む酸化アルミニウム (Al₂O₃)、酸化チタン (TiO₂)、BaTiO₃、SrTiO₃、チタン酸鉛 (PbTiO₃)、ニオブ酸カリウム (KNbO₃)、ニオブ酸鉛 (PbNbO₃)、酸化タンタル (Ta₂O₅)、タンタル酸バリウム (BaTa₂O₆)、タンタル酸リチウム (LiTaO₃)、酸化イットリウム (Y₂O₃)、酸化ジルコニウム (ZrO₂)、ZnSその他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる (添加等によって) ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

【1447】

作製工程において、発光材料はバインダを含む溶液中に分散される。バインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層を形成する方法 (各種ウェットプロセス) 及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。たとえば、溶媒として有機溶媒等を用いることができる。バインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート (PGMEAともいう)、3-メトシキ-3-メチル-1-ブタノール (MMBともいう) などを溶媒として用いることができる。

【1448】

図109(B)及び図109(C)に示す発光素子は、図109(A)の発光素子において、電極層と電界発光層間に絶縁膜を設ける構造である。図109(B)に示す発光素子は、第1の電極層120200と電界発光層120202との間に絶縁膜120204を有し、図109(C)に示す発光素子は、第1の電極層120200と電界発光層120202との間に絶縁膜120205、第2の電極層120203と電界発光層120202との間に絶縁膜120206とを有している。このように絶縁膜は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。絶縁膜は、単層でもよいし複数層を有する積層でもよい。

【1449】

図109(B)では第1の電極層120200に接するように絶縁膜120204が設け

10

20

30

40

50

られているが、絶縁膜と電界発光層の順番を逆にして、第2の電極層120203に接するように絶縁膜120204を設けてもよい。

【1450】

図108における絶縁膜120104、図109における絶縁膜120204のような絶縁膜に用いることのできる材料は、絶縁耐性が高く、緻密な膜質であることが好ましい。さらには、誘電率が高いことが好ましい。例えば、酸化シリコン(SiO_2)、酸化イットリウム(Y_2O_3)、酸化チタン(TiO_2)、酸化アルミニウム(Al_2O_3)、酸化ハフニウム(HfO_2)、酸化タンタル(Ta_2O_5)、チタン酸バリウム(BaTiO_3)、チタン酸ストロンチウム(SrTiO_3)、チタン酸鉛(PbTiO_3)、窒化シリコン(Si_3N_4)又は酸化ジルコニウム(ZrO_2)等、若しくはこれらの混合膜又は2種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、CVD等により成膜することができる。絶縁膜はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは10～1000nmの範囲である。

【1451】

なお、発光素子は、電界発光層を挟持する一対の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。

【1452】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【1453】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【1454】

なお、本実施の形態は、他の実施の形態で述べた内容(一部でもよい)を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【1455】

(実施の形態16)

本実施の形態においては、表示装置の一例、特に光学的な取り扱いを行なう場合について説明する。

【1456】

図110(A)及び(B)に示す背面投影型表示装置130100は、プロジェクタユニット130111、ミラー130112、スクリーンパネル130101を備えている。その他に、スピーカ130102、操作スイッチ類130104を備えていてもよい。このプロジェクタユニット130111は、背面投影型表示装置130100の筐体130110の下部に配設され、映像信号に基づいて映像を映し出す投射光をミラー130112に向けて投射する。背面投影型表示装置130100はスクリーンパネル130101の背面から投影される映像を表示する構成となっている。

【1457】

一方、図111は、前面投影型表示装置130200を示している。前面投影型表示装置130200は、プロジェクタユニット130111と投射光学系130201を備えて

10

20

30

40

50

いる。この投射光学系130201は前面に配設するスクリーン等に映像を投影する構成となっている。

【1458】

図110に示す背面投影型表示装置130100、図111に示す前面投影型表示装置130200に適用されるプロジェクタユニット130111の構成を以下に説明する。

【1459】

図112は、プロジェクタユニット130111の一構成例を示している。このプロジェクタユニット130111は、光源ユニット130301及び変調ユニット130304を備えている。光源ユニット130301は、レンズ類を含んで構成される光源光学系130303と、光源ランプ130302を備えている。光源ランプ130302は迷光が拡散しないように筐体内に収納されている。光源ランプ130302としては、大光量の光を放射可能な、例えば、高圧水銀ランプ又はキセノンランプなどが用いられる。光源光学系130303は、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルム、IRフィルム等を適宜設けて構成される。そして、光源ユニット130301は、放射光が変調ユニット130304に入射するように配設されている。変調ユニット130304は、複数の表示パネル130308、カラーフィルター、ダイクロイックミラー130305、全反射ミラー130306、プリズム130309、投射光学系130310を備えている。光源ユニット130301から放射された光は、ダイクロイックミラー130305で複数の光路に分離される。

【1460】

各光路には、所定の波長若しくは波長帯の光を透過するカラーフィルターと、表示パネル130308が備えられている。透過型である表示パネル130308は映像信号に基づいて透過光を変調する。表示パネル130308を透過した各色の光は、プリズム130309に入射し投射光学系130310を通して、スクリーン上に映像を表示する。なお、フレネルレンズがミラー及びスクリーンの間に配設されていてもよい。そして、プロジェクタユニット130111によって投射されミラーで反射される投影光は、フレネルレンズによって概略平行光に変換され、スクリーンに投影される。

【1461】

図113で示すプロジェクタユニット130111は、反射型表示パネル130407、130408、130409を備えた構成を示している。

【1462】

図113で示すプロジェクタユニット130111は、光源ユニット130301と変調ユニット130400を備えている。光源ユニット130301は、図112と同様の構成であってもよい。光源ユニット130301からの光は、ダイクロイックミラー130401、130402、全反射ミラー130403により、複数の光路に分けられて、偏光ビームスプリッタ130404、130405、130406に入射する。偏光ビームスプリッタ130404、130405、130406は、各色に対応する反射型表示パネル130407、130408、130409に対応して設けられている。反射型表示パネル130407、130408、130409は、映像信号に基づいて反射光を変調する。反射型表示パネル130407、130408、130409で反射された各色の光は、プリズム130309に入射することで合成されて、投射光学系130411を通して投射される。

【1463】

光源ユニット130301から放射された光は、ダイクロイックミラー130401で赤の波長領域の光のみを透過し、緑及び青の波長領域の光を反射する。さらに、ダイクロイックミラー130402では、緑の波長領域の光のみが反射される。ダイクロイックミラー130401を透過した赤の波長領域の光は、全反射ミラー130403で反射され、偏光ビームスプリッタ130404へ入射し、青の波長領域の光は偏光ビームスプリッタ130405へ入射し、緑の波長領域の光は偏光ビームスプリッタ130406に入射する。偏光ビームスプリッタ130404、130405、130406は、入射光をP偏

10

20

30

40

50

光とS偏光とに分離する機能を有し、且つP偏光のみを透過させる機能を有している。反射型表示パネル130407、130408、130409は、映像信号に基づいて、入射した光を偏光する。

【1464】

各色に対応する反射型表示パネル130407、130408、130409には各色に対応するS偏光のみが入射する。なお、反射型表示パネル130407、130408、130409は液晶パネルであってもよい。このとき、液晶パネルは電界制御複屈折モード（ECB）で動作する。そして、液晶分子は基板に対してある角度をもって垂直配向している。よって、反射型表示パネル130407、130408、130409は画素がオフ状態にある時は入射光の偏光状態を変化させないで反射させるように表示分子が配向している。そして、画素がオン状態にある時は表示分子の配向状態が変化し、入射光の偏光状態が変化する。

10

【1465】

図113に示すプロジェクタユニット130111は、図110に示す背面投影型表示装置130100及び、図111に示す前面投影型表示装置130200に適用することができる。

【1466】

図114で示すプロジェクタユニットは単板式の構成を示している。図114（A）に示したプロジェクタユニット130111は、光源ユニット130301、表示パネル130507、投射光学系130511、位相差板130504を備えている。投射光学系130511は一つ又は複数のレンズにより構成されている。表示パネル130507にはカラーフィルターが備えられていてもよい。

20

【1467】

図114（B）は、フィールドシーケンシャル方式で動作するプロジェクタユニット130111の構成を示している。フィールドシーケンシャル方式は、赤、緑、青などの各色の光を時間的にずらせて順次表示パネルに入射させて、カラーフィルター無しでカラー表示を行う方式である。特に、入力信号変化に対する応答速度の大きい表示パネルと組み合わせると、高精細な映像を表示することができる。図114（B）では、光源ユニット130301と表示パネル130508の間に、赤、緑、青などの複数のカラーフィルターが備えられた回動式のカラーフィルター板130505を備えている。

30

【1468】

図114（C）で示すプロジェクタユニット130111は、カラー表示の方式として、マクロレンズを使った色分離方式の構成を示している。この方式は、マイクロレンズアレイ130506を表示パネル130509の光入射側に備え、各色の光をそれぞれの方向から照明することでカラー表示を実現する方式である。この方式を採用するプロジェクタユニット130111は、カラーフィルターによる光の損失が少ないので、光源ユニット130301からの光を有効に利用することができるという特徴を有している。図114（C）に示すプロジェクタユニット130111は、表示パネル130509に対して各色の光をそれぞれの方向から照明するように、ダイクロイックミラー130501、ダイクロイックミラー130502、赤色光用ダイクロイックミラー130503を備えている。

40

【1469】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【1470】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行

50

うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせるにより、さらに多くの図を構成させることが出来る。

【1471】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一列などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【1472】

（実施の形態17）

本実施形態においては、電子機器の例について説明する。

【1473】

図115は表示パネル900101と、回路基板900111を組み合わせた表示パネルモジュールを示している。表示パネル900101は画素部900102、走査線駆動回路900103及び信号線駆動回路900104を有している。回路基板900111には、例えば、コントロール回路900112及び信号分割回路900113などが形成されている。表示パネル900101と回路基板900111とは接続配線900114によって接続されている。接続配線にはFPC等を用いることができる。

【1474】

表示パネル900101は、画素部900102と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネル900101に実装してもよい。こうすることで、回路基板900111の面積を削減でき、小型の表示装置を得ることができる。あるいは、そのICチップをTAB（Tape Auto Bonding）又はプリント基板を用いて表示パネル900101に実装してもよい。こうすることで、表示パネル900101の面積を小さくできるので、額縁サイズの小さい表示装置を得ることができる。

【1475】

例えば、消費電力の低減を図るため、ガラス基板上にトランジスタを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG又はTABで表示パネルに実装してもよい。

【1476】

図115に示した表示パネルモジュールによって、テレビ受像機を完成させることができる。図116は、テレビ受像機の主要な構成を示すブロック図である。チューナ900201は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路900202と、映像信号増幅回路900202から出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路900203と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路900212により処理される。コントロール回路900212は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路900213を設け、入力デジタル信号をm個（mは正の整数）に分割して供給する構成としても良い。

【1477】

チューナ900201で受信した信号のうち、音声信号は音声信号増幅回路900205に送られ、その出力は音声信号処理回路900206を経てスピーカ900207に供給される。制御回路900208は受信局（受信周波数）及び音量の制御情報を入力部900209から受け、チューナ900201又は音声信号処理回路900206に信号を送出する。

【1478】

図116とは別の形態の表示パネルモジュールを組み込んだテレビ受像器について図11

10

20

30

40

50

7 (A) に示す。図 1 1 7 (A) において、筐体 9 0 0 3 0 1 内に収められた表示画面 9 0 0 3 0 2 は、表示パネルモジュールで形成される。なお、スピーカ 9 0 0 3 0 3、操作スイッチ 9 0 0 3 0 4、入力手段 9 0 0 3 0 5、センサ 9 0 0 3 0 6 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン 9 0 0 3 0 7 などが適宜備えられていてもよい。

【1 4 7 9】

図 1 1 7 (B) に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体 9 0 0 3 1 2 にはバッテリー及び信号受信器が収められており、そのバッテリーで表示部 9 0 0 3 1 3、スピーカ部 9 0 0 3 1 7、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの) 9 0 0 3 1 9 及びマイクロフォン 9 0 0 3 2 0 を駆動させる。バッテリーは充電器 9 0 0 3 1 0 で繰り返し充電が可能となっている。充電器 9 0 0 3 1 0 は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。図 1 1 7 (B) に示す装置は、操作キー 9 0 0 3 1 6 によって制御される。あるいは、図 1 1 7 (B) に示す装置は、操作キー 9 0 0 3 1 6 を操作することによって、充電器 9 0 0 3 1 0 に信号を送ることが可能である。つまり、映像音声双方向通信装置であってもよい。あるいは、図 1 1 7 (B) に示す装置は、操作キー 9 0 0 3 1 6 を操作することによって、充電器 9 0 0 3 1 0 に信号を送り、さらに充電器 9 0 0 3 1 0 が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能である。つまり、汎用遠隔制御装置であってもよい。なお、入力手段 9 0 0 3 1 8 などが適宜備えられていてもよい。なお、本実施の形態の各々の図で述べた内容 (一部でもよい) を表示部 9 0 0 3 1 3 に適用することができる。

【1 4 8 0】

図 1 1 8 (A) は、表示パネル 9 0 0 4 0 1 とプリント配線基板 9 0 0 4 0 2 を組み合わせたモジュールを示している。表示パネル 9 0 0 4 0 1 は、複数の画素が設けられた画素部 9 0 0 4 0 3 と、第 1 の走査線駆動回路 9 0 0 4 0 4、第 2 の走査線駆動回路 9 0 0 4 0 5 と、選択された画素にビデオ信号を供給する信号線駆動回路 9 0 0 4 0 6 を備えていてもよい。

【1 4 8 1】

プリント配線基板 9 0 0 4 0 2 には、コントローラ 9 0 0 4 0 7、中央処理装置 (CPU) 9 0 0 4 0 8、メモリ 9 0 0 4 0 9、電源回路 9 0 0 4 1 0、音声処理回路 9 0 0 4 1 1 及び送受信回路 9 0 0 4 1 2 などが備えられている。プリント配線基板 9 0 0 4 0 2 と表示パネル 9 0 0 4 0 1 は、フレキシブル配線基板 (FPC) 9 0 0 4 1 3 により接続されている。フレキシブル配線基板 (FPC) 9 0 0 4 1 3 には、保持容量、バッファ回路などを設け、電源電圧又は信号にノイズの発生、及び信号の立ち上がり時間の増大を防ぐ構成としても良い。なお、コントローラ 9 0 0 4 0 7、音声処理回路 9 0 0 4 1 1、メモリ 9 0 0 4 0 9、中央処理装置 (CPU) 9 0 0 4 0 8、電源回路 9 0 0 4 1 0 などは、COG (Chip On Glass) 方式を用いて表示パネル 9 0 0 4 0 1 に実装することもできる。COG 方式により、プリント配線基板 9 0 0 4 0 2 の規模を縮小することができる。

【1 4 8 2】

プリント配線基板 9 0 0 4 0 2 に備えられたインターフェース (I/F) 部 9 0 0 4 1 4 を介して、各種制御信号の入出力が行われる。そして、アンテナとの間の信号の送受信を行うためのアンテナ用ポート 9 0 0 4 1 5 が、プリント配線基板 9 0 0 4 0 2 に設けられている。

【1 4 8 3】

図 1 1 8 (B) は、図 1 1 8 (A) に示したモジュールのブロック図を示す。このモジュールは、メモリ 9 0 0 4 0 9 として VRAM 9 0 0 4 1 6、DRAM 9 0 0 4 1 7、フラ

10

20

30

40

50

ッシュメモリ 900418 などが含まれている。VRAM 900416 にはパネルに表示する画像のデータが、DRAM 900417 には画像データ又は音声データが、フラッシュメモリには各種プログラムが記憶されている。

【1484】

電源回路 900410 は、表示パネル 900401、コントローラ 900407、中央処理装置 (CPU) 900408、音声処理回路 900411、メモリ 900409、送受信回路 900412 を動作させる電力を供給する。ただし、パネルの仕様によっては、電源回路 900410 に電流源が備えられている場合もある。

【1485】

中央処理装置 (CPU) 900408 は、制御信号生成回路 900420、デコーダ 900421、レジスタ 900422、演算回路 900423、RAM 900424、中央処理装置 (CPU) 900408 用のインターフェース (I/F) 部 900419 などを有している。インターフェース (I/F) 部 900419 を介して中央処理装置 (CPU) 900408 に入力された各種信号は、一旦レジスタ 900422 に保持された後、演算回路 900423、デコーダ 900421 などに入力される。演算回路 900423 では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ 900421 に入力された信号はデコードされ、制御信号生成回路 900420 に入力される。制御信号生成回路 900420 は入力された信号に基づき、各種命令を含む信号を生成し、演算回路 900423 において指定された場所、具体的にはメモリ 900409、送受信回路 900412、音声処理回路 900411、コントローラ 900407 などに送る。

【1486】

メモリ 900409、送受信回路 900412、音声処理回路 900411、コントローラ 900407 は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【1487】

入力手段 900425 から入力された信号は、インターフェース (I/F) 部 900414 を介してプリント配線基板 900402 に実装された中央処理装置 (CPU) 900408 に送られる。制御信号生成回路 900420 は、ポインティングデバイス又はキーボードなどの入力手段 900425 から送られてきた信号に従い、VRAM 900416 に格納してある画像データを所定のフォーマットに変換し、コントローラ 900407 に送付する。

【1488】

コントローラ 900407 は、パネルの仕様に合わせて中央処理装置 (CPU) 900408 から送られてきた画像データを含む信号にデータ処理を施し、表示パネル 900401 に供給する。コントローラ 900407 は、電源回路 900410 から入力された電源電圧、又は中央処理装置 (CPU) 900408 から入力された各種信号をもとに、Hsync 信号、Vsync 信号、クロック信号 CLK、交流電圧 (AC Cont)、切り替え信号 L/R を生成し、表示パネル 900401 に供給する。

【1489】

送受信回路 900412 では、アンテナ 900428 において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO (Voltage Controlled Oscillator)、LPF (Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいてもよい。送受信回路 900412 において送受信される信号のうち音声情報を含む信号が、中央処理装置 (CPU) 900408 からの命令に従って、音声処理回路 900411 に送られる。

【1490】

中央処理装置 (CPU) 900408 の命令に従って送られてきた音声情報を含む信号は、音声処理回路 900411 において音声信号に復調され、スピーカ 900427 に送られる。マイク 900426 から送られてきた音声信号は、音声処理回路 900411 にお

10

20

30

40

50

いて変調され、中央処理装置（CPU）900408からの命令に従って、送受信回路900412に送られる。

【1491】

コントローラ900407、中央処理装置（CPU）900408、電源回路900410、音声処理回路900411、メモリ900409を、本実施形態のパッケージとして実装することができる。

【1492】

勿論、本実施の形態はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅又は空港などにおける情報表示盤、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【1493】

次に、図119を参照して、携帯電話の構成例について説明する。

【1494】

表示パネル900501はハウジング900530に脱着自在に組み込まれる。ハウジング900530は表示パネル900501のサイズに合わせて、形状又は寸法を適宜変更することができる。表示パネル900501を固定したハウジング900530はプリント基板900531に嵌入されモジュールとして組み立てられる。

【1495】

表示パネル900501はFPC900513を介してプリント基板900531に接続される。プリント基板900531には、スピーカ900532、マイクロフォン900533、送受信回路900534、CPU、コントローラなどを含む信号処理回路900535及びセンサ900541（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）が形成されている。このようなモジュールと、入力手段900536、バッテリー900537を組み合わせ、筐体900539に収納する。表示パネル900501の画素部は筐体900539に形成された開口窓から視認できよう配置する。

【1496】

表示パネル900501は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネル900501に実装しても良い。あるいは、そのICチップをTAB（Tape Auto Bonding）又はプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。携帯電話機の低コスト化を図ることができる。

【1497】

図119に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能を有する。カレンダー、日付又は時刻などを表示部に表示する機能を有する。表示部に表示した情報を操作又は編集する機能を有する。様々なソフトウェア（プログラム）によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて他の携帯電話、固定電話又は音声通信機器と通話する機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。着信、データの受信、又はアラームに応じてバイブレータが動作する機能を有する。着信、データの受信、又はアラームに応じて音が発生する機能を有する。なお、図119に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【1498】

図120で示す携帯電話機は、操作スイッチ類900604、マイクロフォン900605などが備えられた本体（A）900601と、表示パネル（A）900608、表示パ

10

20

30

40

50

ネル（Ｂ）９００６０９、スピーカ９００６０６、センサ９００６１１（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、入力手段９００６１２などが備えられた本体（Ｂ）９００６０２とが、蝶番９００６１０で開閉可能に連結されている。表示パネル（Ａ）９００６０８と表示パネル（Ｂ）９００６０９は、回路基板９００６０７と共に本体（Ｂ）９００６０２の筐体９００６０３の中に収納される。表示パネル（Ａ）９００６０８及び表示パネル（Ｂ）９００６０９の画素部は筐体９００６０３に形成された開口窓から視認できるように配置される。

【１４９９】

表示パネル（Ａ）９００６０８と表示パネル（Ｂ）９００６０９は、その携帯電話機９００６００の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル（Ａ）９００６０８を主画面とし、表示パネル（Ｂ）９００６０９を副画面として組み合わせることができる。

【１５００】

本実施形態に係る携帯電話機は、その機能又は用途に応じてさまざまな態様に変容し得る。例えば、蝶番９００６１０の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。操作スイッチ類９００６０４、表示パネル（Ａ）９００６０８、表示パネル（Ｂ）９００６０９を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。表示部を複数個そなえた情報表示端末に本実施形態の構成を適用しても、同様な効果を得ることができる。

【１５０１】

図１２０に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能を有する。カレンダー、日付又は時刻などを表示部に表示する機能を有する。表示部に表示した情報を操作又は編集する機能を有する。様々なソフトウェア（プログラム）によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて他の携帯電話、固定電話又は音声通信機器と通話する機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。着信、データの受信、又はアラームに応じてバイブレータが動作する機能を有する。着信、データの受信、又はアラームに応じて音が発生する機能を有する。なお、図１２０に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

【１５０２】

本実施の形態の各々の図で述べた内容（一部でもよい）を様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【１５０３】

図１２１（Ａ）はディスプレイであり、筐体９００７１１、支持台９００７１２、表示部９００７１３、入力手段９００７１４、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）９００７１５、マイクロフォン９００７１６、スピーカ９００７１７、操作キー９００７１８、ＬＥＤランプ９００７１９等を含む。図１２１（Ａ）に示すディスプレイは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図１２１（Ａ）に示すディスプレイが有する機能はこれに限定されず、様々な機能を有するこ

10

20

30

40

50

とができる。

【1504】

図121(B)はカメラであり、本体900731、表示部900732、受像部900733、操作キー900734、外部接続ポート900735、シャッター900736、入力手段900737、センサ900738(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン900739、スピーカ900740、LEDランプ900741等を含む。図121(B)に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像(静止画、動画)を自動で補正する機能を有する。撮影した画像を記録媒体(外部又はデジタルカメラに内蔵)に保存する機能を有する。撮影した画像を表示部に表示する機能を有する。なお、図121(B)に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

10

【1505】

図121(C)はコンピュータであり、本体900751、筐体900752、表示部900753、キーボード900754、外部接続ポート900755、ポインティングデバイス900756、入力手段900757、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)900758、マイクロフォン900759、スピーカ900760、LEDランプ900761、リーダ/ライタ900762等を含む。図121(C)に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。様々なソフトウェア(プログラム)によって処理を制御する機能を有する。無線通信又は有線通信などの通信機能を有する。通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図121(C)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

20

【1506】

図128(A)はモバイルコンピュータであり、本体901411、表示部901412、スイッチ901413、操作キー901414、赤外線ポート901415、入力手段901416、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)901417、マイクロフォン901418、スピーカ901419、LEDランプ901420等を含む。図128(A)に示すモバイルコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。表示部にタッチパネルの機能を有する。カレンダー、日付又は時刻などを表示する機能を有する。様々なソフトウェア(プログラム)によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図128(A)に示すモバイルコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

30

【1507】

図128(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、本体901431、筐体901432、表示部A901433、表示部B901434、記録媒体(DVD等)読み込み部901435、操作キー901436、スピーカ部901437、入力手段901438、センサ901439(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン901440、LEDランプ901441等を含む。表示部A901433は主として画像情報を表示し、表示部B901434は主として文字

40

50

情報を表示することができる。

【1508】

図128(C)はゴーグル型ディスプレイであり、本体901451、表示部901452、イヤホン901453、支持部901454、入力手段901455、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に¹⁰お¹⁰い¹⁰又¹⁰は¹⁰赤¹⁰外¹⁰線¹⁰を¹⁰測¹⁰定¹⁰す¹⁰る¹⁰機¹⁰能¹⁰を¹⁰含¹⁰む¹⁰もの)901456、マイクロフォン901457、スピーカ901458等を含む。図128(C)に示すゴーグル型ディスプレイは、外部から取得した画像(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図128(C)に示すゴーグル型ディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【1509】

図129(A)は携帯型遊技機であり、筐体901511、表示部901512、スピーカ部901513、操作キー901514、記憶媒体挿入部901515、入力手段901516、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に²⁰お²⁰い²⁰又²⁰は²⁰赤²⁰外²⁰線²⁰を²⁰測²⁰定²⁰す²⁰る²⁰機²⁰能²⁰を²⁰含²⁰む²⁰もの)901517、マイクロフォン901518、LEDランプ901519等を含む。図129(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能を有する。他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図129(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【1510】

図129(B)はテレビ受像機能付きデジタルカメラであり、本体901531、表示部901532、操作キー901533、スピーカ901534、シャッター901535、受像部901536、アンテナ901537、入力手段901538、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に³⁰お³⁰い³⁰又³⁰は³⁰赤³⁰外³⁰線³⁰を³⁰測³⁰定³⁰す³⁰る³⁰機³⁰能³⁰を³⁰含³⁰む³⁰もの)901539、マイクロフォン901540、LEDランプ901541等を含む。図129(B)に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像を自動で補正する機能を有する。アンテナから様々な情報を取得する機能を有する。撮影した画像、又はアンテナから取得した情報を保存する機能を有する。撮影した画像、又はアンテナから取得した情報を表示部に表示する機能を有する。なお、図121(H)に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【1511】

図130は携帯型遊技機であり、筐体901611、第1表示部901612、第2表示部901613、スピーカ部901614、操作キー901615、記録媒体挿入部901616、入力手段901617、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に⁴⁰お⁴⁰い⁴⁰又⁴⁰は⁴⁰赤⁴⁰外⁴⁰線⁴⁰を⁴⁰測⁴⁰定⁴⁰す⁴⁰る⁴⁰機⁴⁰能⁴⁰を⁴⁰含⁴⁰む⁴⁰もの)901618、マイクロフォン901619、LEDランプ901620等を含む。図130に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能を有する。他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図130に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【1512】

図121(A)乃至(C)、図128(A)乃至(C)、図129(A)乃至(C)、及び図130に示したように、電子機器は、何らかの情報を表示するための表示部を有する

10

20

30

40

50

ことを特徴とする。電子機器は、広い視野角を有する表示部を備えることができる。

【1513】

次に、半導体装置の応用例を説明する。

【1514】

図122に、半導体装置を、建造物と一体にして設けた例について示す。図122は、筐体900810、表示部900811、操作部であるリモコン装置900812、スピーカ部900813等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【1515】

図123に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル900901は、ユニットバス900902と一体に取り付けられており、入浴者は表示パネル900901の視聴が可能になる。表示パネル900901は入浴者が操作することで情報を表示する機能を有する。広告又は娯楽手段として利用できる機能を有する。

10

【1516】

なお、半導体装置は、図123で示したユニットバス900902の側壁だけではなく、様々な場所に設置することができる。たとえば、鏡面の一部又は浴槽自体と一体にするなどとしてもよい。このとき、表示パネル900901の形状は、鏡面又は浴槽の形状に合わせたものとなってもよい。

【1517】

20

図124に、半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル901002は、柱状体901001の曲面に合わせて湾曲させて取り付けられている。なお、ここでは柱状体901001を電柱として説明する。

【1518】

図124に示す表示パネル901002は、人間の視点より高い位置に設けられている。電柱のように屋外で繰り返し林立している建造物に表示パネル901002を設置することで、不特定多数の視認者に広告を行なうことができる。ここで、表示パネル901002は、外部からの制御により、同じ画像を表示させること、及び瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。表示パネル901002に自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。電柱に設置することで、表示パネル901002の電力供給手段の確保が容易である。災害発生時などの非常事態の際には、被災者に素早く正確な情報を伝達する手段ともなり得る。

30

【1519】

なお、表示パネル901002としては、たとえば、フィルム状の基板に有機トランジスタなどのスイッチング素子を設けて表示素子を駆動することにより画像の表示を行なう表示パネルを用いることができる。

【1520】

なお、本実施形態において、建造物として壁、柱状体、ユニットバスを例としたが、本実施形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

40

【1521】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【1522】

図125は、半導体装置を、自動車と一体にして設けた例について示した図である。表示パネル901102は、自動車の車体901101と一体に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【1523】

なお、半導体装置は、図125で示した車体901101だけではなく、様々な場所に設置することができる。たとえば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート

50

、ルームミラー等と一体にしてもよい。このとき、表示パネル 901102 の形状は、設置するもの形状に合わせたものとなってもよい。

【1524】

図126は、半導体装置を、列車車両と一体にして設けた例について示した図である。

【1525】

図126(a)は、列車車両のドア901201のガラスに表示パネル901202を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要な人件費がかからないという利点がある。表示パネル901202は、外部からの信号により表示部で表示される画像の切り替えを瞬時にこなうことが可能であるため、たとえば、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることができ、より効果的な広告効果が期待できる。

10

【1526】

図126(b)は、列車車両のドア901201のガラスの他に、ガラス窓901203、及び天井901204に表示パネル901202を設けた例について示した図である。このように、半導体装置は、従来では設置が困難であった場所に容易に設置することが可能であるため、効果的な広告効果を得ることができる。半導体装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時にこなうことが可能であるため、広告切替え時のコスト及び時間が削減でき、より柔軟な広告の運用及び情報伝達が可能となる。

【1527】

なお、半導体装置は、図126で示したドア901201、ガラス窓901203、及び天井901204だけではなく、様々な場所に設置することができる。たとえば、つり革、座席シート、てすり、床等と一体にしてもよい。このとき、表示パネル901202の形状は、設置するもの形状に合わせたものとなってもよい。

20

【1528】

図127は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。

【1529】

図127(a)は、旅客用飛行機の座席上部の天井901301に表示パネル901302を設けたときの、使用時の形状について示した図である。表示パネル901302は、天井901301とヒンジ部901303を介して一体に取り付けられており、ヒンジ部901303の伸縮により乗客は表示パネル901302の視聴が可能になる。表示パネル901302は乗客が操作することで情報を表示する機能を有する。広告又は娯楽手段として利用できる機能を有する。図127(b)に示すように、ヒンジ部を折り曲げて天井901301に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、情報伝達手段及び誘導灯としても利用可能である。

30

【1530】

なお、半導体装置は、図127で示した天井901301だけではなく、様々な場所に設置することができる。たとえば、座席シート、座席テーブル、肘掛、窓等と一体にしてもよい。多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル901302の形状は、設置するもの形状に合わせたものとなってもよい。

40

【1531】

なお、本実施形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。半導体装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に半導体装置を設置することにより、移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板、等の用途に用いることが可能となる。

50

【1532】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【1533】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【1534】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【符号の説明】

【1535】

100 画素
101 スイッチ
102 スイッチ
103 液晶素子
103 電位V
104 液晶素子
105 液晶素子
106 容量素子
107 容量素子
108 配線
109 配線
110 配線
111 共通電極
150 画素
151 スイッチ
152 スイッチ
153 液晶素子
154 液晶素子
155 液晶素子
156 容量素子
157 容量素子
158 配線
159 配線
160 配線
161 容量素子
200 画素
201 スイッチ
202 スイッチ
203 スイッチ
203 トランジスタ
204 液晶素子

20

30

40

50

2 0 5	液晶素子	
2 0 6	液晶素子	
2 0 7	容量素子	
2 0 8	容量素子	
2 0 9	配線	
2 1 0	配線	
2 1 1	配線	
2 5 3	トランジスタ	
2 6 0	配線	
2 6 1	配線	10
2 6 2	配線	
3 0 1	スイッチ	
3 0 2	スイッチ	
3 0 3	トランジスタ	
3 0 9	配線	
3 1 0	配線	
3 1 3	配線	
3 5 3	トランジスタ	
3 5 6	液晶素子	
3 5 9	容量素子	20
3 6 4	配線	
4 0 0	画素	
4 0 1	スイッチ	
4 0 2	スイッチ	
4 0 3	液晶素子	
4 0 4	液晶素子	
4 0 5	液晶素子	
4 0 6	容量素子	
4 0 7	容量素子	
4 0 8	容量素子	30
4 0 9	容量素子	
4 1 0	配線	
4 1 1	配線	
4 1 2	配線	
4 1 3	配線	
4 1 4	配線	
4 1 5	配線	
4 1 6	共通電極	
4 1 7	容量素子	
4 5 0	画素	40
4 5 1	スイッチ	
4 5 2	スイッチ	
4 5 3	液晶素子	
4 5 4	液晶素子	
4 5 5	液晶素子	
4 5 6	容量素子	
4 5 7	容量素子	
4 5 8	配線	
4 5 9	配線	
4 6 0	配線	50

4 6 1	共通電極	
4 6 3	容量線	
4 6 5	容量線	
5 0 0	画素	
5 0 1	スイッチ	
5 0 2	スイッチ	
5 0 3	液晶素子	
5 0 4	液晶素子	
5 0 5	液晶素子	
5 0 6	液晶素子	10
5 0 7	容量素子	
5 0 8	容量素子	
5 0 9	容量素子	
5 1 0	配線	
5 1 1	配線	
5 1 2	配線	
5 5 0	画素	
5 5 1	スイッチ	
5 5 2	スイッチ	
5 5 3	スイッチ	20
5 5 4	液晶素子	
5 5 5	液晶素子	
5 5 6	液晶素子	
5 5 7	液晶素子	
5 5 8	容量素子	
5 5 9	容量素子	
5 6 0	配線	
5 6 1	配線	
5 6 2	配線	
5 6 3	配線	30
5 6 5	容量素子	
5 6 6	容量素子	
5 7 2	容量素子	
5 8 4	容量素子	
6 0 0	画素	
6 0 1	スイッチ	
6 0 2	スイッチ	
6 0 3	液晶素子	
6 0 4	液晶素子	
6 0 5	液晶素子	40
6 0 6	分圧素子	
6 0 7	分圧素子	
6 0 8	配線	
6 0 9	配線	
6 1 0	配線	
6 5 0	画素	
6 5 1	スイッチ	
6 5 2	スイッチ	
6 5 3	液晶素子	
6 5 4	液晶素子	50

6 5 5	液晶素子	
6 5 6	分圧素子	
6 5 7	分圧素子	
6 5 8	スイッチ	
6 5 9	スイッチ	
6 6 0	配線	
6 6 1	配線	
6 6 2	配線	
7 0 0	画素	
7 0 1	スイッチ	10
7 0 2	スイッチ	
7 0 3	液晶素子	
7 0 4	液晶素子	
7 0 5	液晶素子	
7 0 6	トランジスタ	
7 0 7	トランジスタ	
7 0 8	配線	
7 0 9	配線	
7 1 0	配線	
7 5 0	画素	20
7 5 1	スイッチ	
7 5 2	スイッチ	
7 5 3	液晶素子	
7 5 4	液晶素子	
7 5 5	液晶素子	
7 5 6	トランジスタ	
7 5 7	トランジスタ	
7 5 8	配線	
7 5 9	配線	
7 6 0	配線	30
7 6 1	配線	
7 6 2	容量素子	
7 6 3	容量素子	
7 6 4	容量素子	
8 0 0	画素	
8 0 1	スイッチ	
8 0 2	スイッチ	
8 0 3	トランジスタ	
8 0 3	液晶素子	
8 0 4	トランジスタ	40
8 0 4	液晶素子	
8 0 5	液晶素子	
8 0 6	液晶素子	
8 0 7	液晶素子	
8 0 8	配線	
8 0 9	配線	
8 1 0	配線	
8 1 1	配線	
8 5 0	画素	
8 5 1	スイッチ	50

8 5 2	スイッチ	
8 5 3	液晶素子	
8 5 4	液晶素子	
8 5 5	液晶素子	
8 5 6	トランジスタ	
8 5 7	トランジスタ	
8 5 8	配線	
8 5 9	配線	
8 6 0	配線	
8 6 1	容量素子	10
9 0 0	画素	
9 0 1	スイッチ	
9 0 2	スイッチ	
9 0 3	液晶素子	
9 0 4	液晶素子	
9 0 5	液晶素子	
9 0 6	液晶素子	
9 0 7	トランジスタ	
9 0 8	トランジスタ	
9 0 9	トランジスタ	20
9 1 0	配線	
9 1 1	配線	
9 1 2	配線	
1 0 1 N	スイッチ	
1 0 1 P	スイッチ	
1 0 2 N	スイッチ	
1 0 2 P	スイッチ	
1 0 5 a	液晶素子	
1 0 5 b	液晶素子	
1 5 1 N	スイッチ	30
1 5 2 N	スイッチ	
1 9 1 1	信号線駆動回路	
1 9 1 2	走査線駆動回路	
1 9 1 3	画素部	
1 9 1 4	画素	
2 0 1 N	スイッチ	
2 0 2 N	スイッチ	
2 1 1 A	配線	
2 5 1 N	スイッチ	
2 5 2 N	スイッチ	40
3 0 1 N	スイッチ	
3 0 2 N	スイッチ	
4 0 1 N	スイッチ	
4 0 2 N	スイッチ	
4 5 1 N	スイッチ	
4 5 2 N	スイッチ	
5 0 1 N	スイッチ	
5 0 2 N	スイッチ	
5 5 1 N	スイッチ	
5 5 2 N	スイッチ	50

6 0 1 N	スイッチ	
6 0 2 N	スイッチ	
6 5 1 N	スイッチ	
6 5 2 N	スイッチ	
7 0 1 N	スイッチ	
7 0 2 N	スイッチ	
7 5 1 N	スイッチ	
7 5 2 N	スイッチ	
8 0 1 N	スイッチ	
8 0 2 N	スイッチ	10
8 5 1 N	スイッチ	
8 5 2 N	スイッチ	
9 0 1 N	スイッチ	
9 0 2 N	スイッチ	
1 0 7 3 2 0	F P C	
1 0 7 3 2 1	I C チップ	
1 7 0 1 0 0	基板	
1 7 0 1 0 1	画素部	
1 7 0 1 0 2	画素	
1 7 0 1 0 3	走査線側入力端子	20
1 7 0 1 0 4	信号線側入力端子	
1 7 0 1 0 5	走査線駆動回路	
1 7 0 1 0 6	信号線駆動回路	
1 7 0 2 0 0	F P C	
1 7 0 2 0 1	I C チップ	
1 7 0 3 0 0	基板	
1 7 0 3 0 1	画素部	
1 7 0 3 0 3	信号線駆動回路	
1 7 0 3 1 0	基板	
1 7 0 3 2 0	F P C	30
1 7 0 3 2 1	シール材	
1 7 0 4 0 1	I C チップ	
1 7 0 3 0 2 a	走査線駆動回路	
1 7 0 3 0 2 b	走査線駆動回路	
1 7 0 5 0 1 a	I C チップ	
1 7 0 5 0 1 b	I C チップ	
1 8 0 1 0 0	表示装置	
1 8 0 1 0 1	画素部	
1 8 0 1 0 2	画素	
1 8 0 1 0 3	信号線駆動回路	40
1 8 0 1 0 4	走査線駆動回路	
1 8 0 7 0 1	画像	
1 8 0 7 0 2	画像	
1 8 0 7 0 3	画像	
1 8 0 7 0 4	画像	
1 8 0 7 0 5	画像	
1 8 0 7 1 1	画像	
1 8 0 7 1 2	画像	
1 8 0 7 1 3	画像	
1 8 0 7 1 4	画像	50

1 8 0 7 1 5	画像	
1 8 0 7 1 6	画像	
1 8 0 7 1 7	画像	
1 8 0 7 2 1	画像	
1 8 0 7 2 2	画像	
1 8 0 7 2 3	画像	
1 8 0 7 2 4	画像	
1 8 0 7 2 5	画像	
1 8 0 8 0 1	画像	
1 8 0 8 0 2	画像	10
1 8 0 8 0 3	画像	
1 8 0 8 0 4	領域	
1 8 0 8 0 5	領域	
1 8 0 8 0 6	領域	
1 8 0 8 1 1	画像	
1 8 0 8 1 2	画像	
1 8 0 8 1 3	画像	
1 8 0 8 1 4	領域	
1 8 0 8 1 5	領域	
1 8 0 8 1 6	領域	20
1 8 0 8 2 1	画像	
1 8 0 8 2 2	画像	
1 8 0 8 2 3	画像	
1 8 0 8 2 4	領域	
1 8 0 8 2 5	領域	
1 8 0 8 2 6	領域	
1 8 0 8 3 1	画像	
1 8 0 8 3 2	画像	
1 8 0 8 3 3	画像	
1 8 0 8 3 4	領域	30
1 8 0 8 3 5	領域	
1 8 0 8 3 6	領域	
1 8 0 8 4 1	領域	
1 8 0 8 4 2	点	
1 8 0 9 0 1	画像	
1 8 0 9 0 2	画像	
1 8 0 9 0 3	画像	
1 8 0 9 0 4	領域	
1 8 0 9 0 5	領域	
1 8 0 9 0 6	領域	40
1 8 0 9 0 7	範囲	
1 8 0 9 0 8	範囲	
1 8 0 9 0 9	ベクトル	
1 8 0 9 1 0	変位ベクトル	
1 8 0 9 1 1	画像	
1 8 0 9 1 2	画像	
1 8 0 9 1 3	画像	
1 8 0 9 1 4	画像	
1 8 0 9 1 5	領域	
1 8 0 9 1 6	領域	50

1 8 0 9 1 7	領域	
1 8 0 9 1 8	領域	
1 8 0 9 1 9	範囲	
1 8 0 9 2 0	範囲	
1 8 0 9 2 1	動きベクトル	
1 8 0 9 2 2	変位ベクトル	
1 8 0 9 2 3	変位ベクトル	
1 8 1 0 0 0	外部画像信号	
1 8 1 0 0 1	水平同期信号	
1 8 1 0 0 2	垂直同期信号	10
1 8 1 0 0 3	画像信号	
1 8 1 0 0 4	ソーススタートパルス	
1 8 1 0 0 5	ソースクロック	
1 8 1 0 0 6	ゲートスタートパルス	
1 8 1 0 0 7	ゲートクロック	
1 8 1 0 0 8	周波数制御信号	
1 8 1 0 1 1	制御回路	
1 8 1 0 1 2	ソースドライバ	
1 8 1 0 1 3	ゲートドライバ	
1 8 1 0 1 4	表示領域	20
1 8 1 0 1 5	画像処理回路	
1 8 1 0 1 6	タイミング発生回路	
1 8 1 0 2 0	検出回路	
1 8 1 0 2 1	第1のメモリ	
1 8 1 0 2 2	第2のメモリ	
1 8 1 0 2 3	第3のメモリ	
1 8 1 0 2 3	画像信号	
1 8 1 0 2 4	輝度制御回路	
1 8 1 0 2 5	高速処理回路	
1 8 1 0 2 6	メモリ	30
2 0 1 0 1	バックライトユニット	
2 0 1 0 2	拡散板	
2 0 1 0 3	導光板	
2 0 1 0 4	反射板	
2 0 1 0 5	ランプリフレクタ	
2 0 1 0 6	光源	
2 0 1 0 7	液晶パネル	
2 0 2 0 1	バックライトユニット	
2 0 2 0 2	ランプリフレクタ	
2 0 2 0 3	冷陰極管	40
2 0 2 1 1	バックライトユニット	
2 0 2 1 2	ランプリフレクタ	
2 0 2 1 3	発光ダイオード (L E D)	
2 0 2 1 3 W	発光ダイオード	
2 0 2 2 1	バックライトユニット	
2 0 2 2 2	ランプリフレクタ	
2 0 2 2 3	発光ダイオード (L E D)	
2 0 2 2 4	発光ダイオード (L E D)	
2 0 2 2 5	発光ダイオード (L E D)	
2 0 2 3 1	バックライトユニット	50

2 0 2 3 2	ランプリフレクタ	
2 0 2 3 3	発光ダイオード (L E D)	
2 0 2 3 4	発光ダイオード (L E D)	
2 0 2 3 5	発光ダイオード (L E D)	
2 0 3 0 0	偏光フィルム	
2 0 3 0 1	保護フィルム	
2 0 3 0 2	基板フィルム	
2 0 3 0 3	P V A 偏光フィルム	
2 0 3 0 4	基板フィルム	
2 0 3 0 5	粘着剤層	10
2 0 3 0 6	離型フィルム	
2 0 4 0 1	映像信号	
2 0 4 0 2	制御回路	
2 0 4 0 3	信号線駆動回路	
2 0 4 0 4	走査線駆動回路	
2 0 4 0 5	画素部	
2 0 4 0 6	照明手段	
2 0 4 0 7	電源	
2 0 4 0 8	駆動回路部	
2 0 4 1 0	走査線	20
2 0 4 1 2	信号線	
2 0 4 3 1	シフトレジスタ	
2 0 4 3 2	ラッチ	
2 0 4 3 3	ラッチ	
2 0 4 3 4	レベルシフタ	
2 0 4 3 5	バッファ	
2 0 4 4 1	シフトレジスタ	
2 0 4 4 2	レベルシフタ	
2 0 4 4 3	バッファ	
2 0 5 0 0	バックライトユニット	30
2 0 5 0 1	拡散板	
2 0 5 0 2	遮光板	
2 0 5 0 3	ランプリフレクタ	
2 0 5 0 4	光源	
2 0 5 0 5	液晶パネル	
2 0 5 1 0	バックライトユニット	
2 0 5 1 1	拡散板	
2 0 5 1 2	遮光板	
2 0 5 1 3	ランプリフレクタ	
2 0 5 1 4	光源	40
2 0 5 1 5	液晶パネル	
2 0 5 1 4 a	光源 (R)	
2 0 5 1 4 b	光源 (G)	
2 0 5 1 4 c	光源 (B)	
4 0 1 0 0	画素	
4 0 1 0 1	トランジスタ	
4 0 1 0 2	液晶素子	
4 0 1 0 3	容量素子	
4 0 1 0 4	配線	
4 0 1 0 5	配線	50

4 0 1 0 6	配線	
4 0 1 0 7	対向電極	
4 0 1 1 0	画素	
4 0 1 1 1	トランジスタ	
4 0 1 1 2	液晶素子	
4 0 1 1 3	容量素子	
4 0 1 1 4	配線	
4 0 1 1 5	配線	
4 0 1 1 6	配線	
4 0 2 0 0	画素（画素	10
4 0 2 0 0	画素	
4 0 2 0 1	トランジスタ	
4 0 2 0 2	液晶素子	
4 0 2 0 3	容量素子	
4 0 2 0 4	配線	
4 0 2 0 5	配線	
4 0 2 0 6	配線	
4 0 2 0 7	対向電極	
4 0 2 1 0	画素	
4 0 2 1 1	トランジスタ	20
4 0 2 1 2	液晶素子	
4 0 2 1 3	容量素子	
4 0 2 1 4	配線	
4 0 2 1 5	配線	
4 0 2 1 6	配線	
4 0 2 1 7	対向電極	
4 0 3 0 0	サブ画素	
4 0 3 0 1	トランジスタ	
4 0 3 0 2	液晶素子	
4 0 3 0 3	容量素子	30
4 0 3 0 4	配線	
4 0 3 0 5	配線	
4 0 3 0 6	配線	
4 0 3 0 7	対向電極	
4 0 3 1 0	サブ画素	
4 0 3 1 1	トランジスタ	
4 0 3 1 2	液晶素子	
4 0 3 1 3	容量素子	
4 0 3 1 5	配線	
4 0 3 1 6	配線	40
4 0 3 1 7	対向電極	
4 0 3 2 0	画素	
5 0 1 0 0	液晶層	
5 0 1 0 1	基板	
5 0 1 0 2	基板	
5 0 1 0 3	偏光板	
5 0 1 0 4	偏光板	
5 0 1 0 5	電極	
5 0 1 0 6	電極	
5 0 2 0 0	液晶層	50

5 0 2 0 1	基板	
5 0 2 0 2	基板	
5 0 2 0 3	偏光板	
5 0 2 0 4	偏光板	
5 0 2 0 5	電極	
5 0 2 0 6	電極	
5 0 2 1 0	液晶層	
5 0 2 1 1	基板	
5 0 2 1 2	基板	
5 0 2 1 3	偏光板	10
5 0 2 1 4	偏光板	
5 0 2 1 5	電極	
5 0 2 1 6	電極	
5 0 3 0 0	液晶層	
5 0 3 0 1	基板	
5 0 3 0 2	基板	
5 0 3 0 3	偏光板	
5 0 3 0 4	偏光板	
5 0 3 0 5	電極	
5 0 3 0 6	電極	20
5 0 3 1 0	液晶層	
5 0 3 1 1	基板	
5 0 3 1 2	基板	
5 0 3 1 3	偏光板	
5 0 3 1 4	偏光板	
5 0 3 1 5	電極	
5 0 3 1 6	電極	
5 0 4 0 0	液晶層	
5 0 4 0 1	基板	
5 0 4 0 2	基板	30
5 0 4 0 3	偏光板	
5 0 4 0 4	偏光板	
5 0 4 0 5	電極	
5 0 4 0 6	電極	
5 0 4 1 0	液晶層	
5 0 4 1 1	基板	
5 0 4 1 2	基板	
5 0 4 1 3	偏光板	
5 0 4 1 4	偏光板	
5 0 4 1 5	電極	40
5 0 4 1 6	電極	
5 0 4 1 7	絶縁膜	
5 0 5 0 1	画素電極	
5 0 5 0 3	突起物	
5 0 6 0 1	画素電極	
5 0 6 0 2	画素電極	
5 0 6 1 1	画素電極	
5 0 6 1 2	画素電極	
5 0 6 3 1	画素電極	
5 0 6 3 2	画素電極	50

5 0 6 4 1	画素電極	
5 0 6 4 2	画素電極	
5 0 7 0 1	画素電極	
5 0 7 0 2	画素電極	
5 0 7 1 1	画素電極	
5 0 7 1 2	画素電極	
5 0 7 3 1	画素電極	
5 0 7 3 2	画素電極	
5 0 7 4 1	画素電極	
5 0 7 4 2	画素電極	10
5 0 2 1 1 7	突起物	
5 0 2 1 1 8	突起物	
1 0 1 0 1	基板	
1 0 1 0 2	絶縁膜	
1 0 1 0 3	導電層	
1 0 1 0 4	絶縁膜	
1 0 1 0 5	半導体層	
1 0 1 0 6	半導体層	
1 0 1 0 7	導電層	
1 0 1 0 8	絶縁膜	20
1 0 1 0 9	導電層	
1 0 1 1 0	配向膜	
1 0 1 1 2	配向膜	
1 0 1 1 3	導電層	
1 0 1 1 4	遮光膜	
1 0 1 1 5	カラーフィルタ	
1 0 1 1 6	基板	
1 0 1 1 7	スペーサ	
1 0 1 1 8	液晶分子	
1 0 2 0 1	基板	30
1 0 2 0 2	絶縁膜	
1 0 2 0 3	導電層	
1 0 2 0 4	絶縁膜	
1 0 2 0 5	半導体層	
1 0 2 0 6	半導体層	
1 0 2 0 7	導電層	
1 0 2 0 8	絶縁膜	
1 0 2 0 9	導電層	
1 0 2 1 0	配向膜	
1 0 2 1 2	配向膜	40
1 0 2 1 3	導電層	
1 0 2 1 4	遮光膜	
1 0 2 1 5	カラーフィルタ	
1 0 2 1 6	基板	
1 0 2 1 7	スペーサ	
1 0 2 1 8	液晶分子	
1 0 2 1 9	配向制御用突起	
1 0 2 3 1	基板	
1 0 2 3 2	絶縁膜	
1 0 2 3 3	導電層	50

1 0 2 3 4	絶縁膜	
1 0 2 3 5	半導体層	
1 0 2 3 6	半導体層	
1 0 2 3 7	導電層	
1 0 2 3 8	絶縁膜	
1 0 2 3 9	導電層	
1 0 2 4 0	配向膜	
1 0 2 4 2	配向膜	
1 0 2 4 3	導電層	
1 0 2 4 4	遮光膜	10
1 0 2 4 5	カラーフィルタ	
1 0 2 4 6	基板	
1 0 2 4 7	スペーサ	
1 0 2 4 8	液晶分子	
1 0 2 4 9	部	
1 0 3 0 1	基板	
1 0 3 0 2	絶縁膜	
1 0 3 0 3	導電層	
1 0 3 0 4	絶縁膜	
1 0 3 0 5	半導体層	20
1 0 3 0 6	半導体層	
1 0 3 0 7	導電層	
1 0 3 0 8	絶縁膜	
1 0 3 0 9	導電層	
1 0 3 1 0	配向膜	
1 0 3 1 2	配向膜	
1 0 3 1 4	遮光膜	
1 0 3 1 5	カラーフィルタ	
1 0 3 1 6	基板	
1 0 3 1 7	スペーサ	30
1 0 3 1 8	液晶分子	
1 0 3 3 1	基板	
1 0 3 3 2	絶縁膜	
1 0 3 3 3	導電層	
1 0 3 3 4	絶縁膜	
1 0 3 3 5	半導体層	
1 0 3 3 6	半導体層	
1 0 3 3 7	導電層	
1 0 3 3 8	絶縁膜	
1 0 3 3 9	導電層	40
1 0 3 4 0	配向膜	
1 0 3 4 2	配向膜	
1 0 3 4 3	導電層	
1 0 3 4 4	遮光膜	
1 0 3 4 5	カラーフィルタ	
1 0 3 4 6	基板	
1 0 3 4 7	スペーサ	
1 0 3 4 8	液晶分子	
1 0 3 4 9	絶縁膜	
1 0 4 0 1	走査線	50

1 0 4 0 2	映像信号線	
1 0 4 0 3	容量線	
1 0 4 0 4	トランジスタ	
1 0 4 0 5	画素電極	
1 0 4 0 6	画素容量	
1 0 5 0 1	走査線	
1 0 5 0 2	映像信号線	
1 0 5 0 3	容量線	
1 0 5 0 4	トランジスタ	
1 0 5 0 5	画素電極	10
1 0 5 0 6	画素容量	
1 0 5 0 7	配向制御用突起	
1 0 5 1 1	走査線	
1 0 5 1 2	映像信号線	
1 0 5 1 3	容量線	
1 0 5 1 4	トランジスタ	
1 0 5 1 5	画素電極	
1 0 5 1 6	画素容量	
1 0 5 1 7	部	
1 0 6 0 1	走査線	20
1 0 6 0 2	映像信号線	
1 0 6 0 3	共通電極	
1 0 6 0 4	トランジスタ	
1 0 6 0 5	画素電極	
1 0 6 1 1	走査線	
1 0 6 1 2	映像信号線	
1 0 6 1 3	共通電極	
1 0 6 1 4	トランジスタ	
1 0 6 1 5	画素電極	
1 0 6 0 1 3	共通電極	30
7 0 1 0 1	基板	
7 0 1 0 2	配向膜	
7 0 1 0 3	ローラ	
7 0 1 0 4	ラビング用ローラ	
7 0 1 0 5	シール材	
7 0 1 0 6	スペーサ	
7 0 1 0 7	基板	
7 0 1 0 8	配向膜	
7 0 1 0 9	液晶	
7 0 1 1 0	樹脂	40
7 0 1 1 3	液晶注入口	
7 0 3 0 1	基板	
7 0 3 0 2	配向膜	
7 0 3 0 3	ローラ	
7 0 3 0 4	ラビング用ローラ	
7 0 3 0 5	シール材	
7 0 3 0 6	スペーサ	
7 0 3 0 7	基板	
7 0 3 0 8	配向膜	
7 0 3 0 9	液晶	50

8 0 3 0 0	画素	
8 0 3 0 1	スイッチング用トランジスタ	
8 0 3 0 2	駆動用トランジスタ	
8 0 3 0 3	容量素子	
8 0 3 0 4	発光素子	
8 0 3 0 5	信号線	
8 0 3 0 6	走査線	
8 0 3 0 7	電源線	
8 0 3 0 8	共通電極	
8 0 3 0 9	整流素子	10
8 0 4 0 0	画素	
8 0 4 0 1	スイッチング用トランジスタ	
8 0 4 0 2	駆動用トランジスタ	
8 0 4 0 3	容量素子	
8 0 4 0 4	発光素子	
8 0 4 0 5	信号線	
8 0 4 0 6	走査線	
8 0 4 0 7	電源線	
8 0 4 0 8	共通電極	
8 0 4 0 9	整流素子	20
8 0 4 1 0	走査線	
8 0 5 0 0	画素	
8 0 5 0 1	スイッチング用トランジスタ	
8 0 5 0 2	駆動用トランジスタ	
8 0 5 0 3	容量素子	
8 0 5 0 4	発光素子	
8 0 5 0 5	信号線	
8 0 5 0 6	走査線	
8 0 5 0 7	電源線	
8 0 5 0 8	共通電極	30
8 0 5 0 9	消去用トランジスタ	
8 0 5 1 0	走査線	
8 0 6 0 0	駆動用トランジスタ	
8 0 6 0 1	スイッチ	
8 0 6 0 2	スイッチ	
8 0 6 0 3	スイッチ	
8 0 6 0 4	容量素子	
8 0 6 0 5	容量素子	
8 0 6 1 1	信号線	
8 0 6 1 2	電源線	40
8 0 6 1 3	走査線	
8 0 6 1 4	走査線	
8 0 6 2 0	発光素子	
8 0 6 2 1	共通電極	
8 0 7 0 0	駆動用トランジスタ	
8 0 7 0 1	スイッチ	
8 0 7 0 2	スイッチ	
8 0 7 0 3	スイッチ	
8 0 7 0 4	容量素子	
8 0 7 1 1	信号線	50

8 0 7 1 2	電源線	
8 0 7 1 3	走査線	
8 0 7 1 4	走査線	
8 0 7 3 0	発光素子	
8 0 7 3 1	共通電極	
8 0 7 3 4	走査線	
7 0 1 0 1	基板	
7 0 1 0 2	配向膜	
7 0 1 0 3	ローラ	
7 0 1 0 4	ラビング用ローラ	10
7 0 1 0 5	シール材	
7 0 1 0 6	スペーサ	
7 0 1 0 7	基板	
7 0 1 0 8	配向膜	
7 0 1 0 9	液晶	
7 0 1 1 0	樹脂	
7 0 1 1 3	液晶注入口	
7 0 3 0 1	基板	
7 0 3 0 2	配向膜	
7 0 3 0 3	ローラ	20
7 0 3 0 4	ラビング用ローラ	
7 0 3 0 5	シール材	
7 0 3 0 6	スペーサ	
7 0 3 0 7	基板	
7 0 3 0 8	配向膜	
7 0 3 0 9	液晶	
8 0 3 0 0	画素	
8 0 3 0 1	スイッチング用トランジスタ	
8 0 3 0 2	駆動用トランジスタ	
8 0 3 0 3	容量素子	30
8 0 3 0 4	発光素子	
8 0 3 0 5	信号線	
8 0 3 0 6	走査線	
8 0 3 0 7	電源線	
8 0 3 0 8	共通電極	
8 0 3 0 9	整流素子	
8 0 4 0 0	画素	
8 0 4 0 1	スイッチング用トランジスタ	
8 0 4 0 2	駆動用トランジスタ	
8 0 4 0 3	容量素子	40
8 0 4 0 4	発光素子	
8 0 4 0 5	信号線	
8 0 4 0 6	走査線	
8 0 4 0 7	電源線	
8 0 4 0 8	共通電極	
8 0 4 0 9	整流素子	
8 0 4 1 0	走査線	
8 0 5 0 0	画素	
8 0 5 0 1	スイッチング用トランジスタ	
8 0 5 0 2	駆動用トランジスタ	50

8 0 5 0 3	容量素子	
8 0 5 0 4	発光素子	
8 0 5 0 5	信号線	
8 0 5 0 6	走査線	
8 0 5 0 7	電源線	
8 0 5 0 8	共通電極	
8 0 5 0 9	消去用トランジスタ	
8 0 5 1 0	走査線	
8 0 6 0 0	駆動用トランジスタ	
8 0 6 0 1	スイッチ	10
8 0 6 0 2	スイッチ	
8 0 6 0 3	スイッチ	
8 0 6 0 4	容量素子	
8 0 6 0 5	容量素子	
8 0 6 1 1	信号線	
8 0 6 1 2	電源線	
8 0 6 1 3	走査線	
8 0 6 1 4	走査線	
8 0 6 2 0	発光素子	
8 0 6 2 1	共通電極	20
8 0 7 0 0	駆動用トランジスタ	
8 0 7 0 1	スイッチ	
8 0 7 0 2	スイッチ	
8 0 7 0 3	スイッチ	
8 0 7 0 4	容量素子	
8 0 7 1 1	信号線	
8 0 7 1 2	電源線	
8 0 7 1 3	走査線	
8 0 7 1 4	走査線	
8 0 7 3 0	発光素子	30
8 0 7 3 1	共通電極	
8 0 7 3 4	走査線	
6 0 1 0 5	トランジスタ	
6 0 1 0 6	配線	
6 0 1 0 7	配線	
6 0 1 0 8	トランジスタ	
6 0 1 1 1	配線	
6 0 1 1 2	対向電極	
6 0 1 1 3	コンデンサ	
6 0 1 1 5	画素電極	40
6 0 1 1 6	隔壁	
6 0 1 1 7	有機導電体膜	
6 0 1 1 8	有機薄膜	
6 0 1 1 9	基板	
6 0 2 0 0	基板	
6 0 2 0 1	配線	
6 0 2 0 2	配線	
6 0 2 0 3	配線	
6 0 2 0 4	配線	
6 0 2 0 5	トランジスタ	50

6 0 2 0 6	トランジスタ	
6 0 2 0 7	トランジスタ	
6 0 2 0 8	画素電極	
6 0 2 1 1	隔壁	
6 0 2 1 2	有機導電体膜	
6 0 2 1 3	有機薄膜	
6 0 2 1 4	対向電極	
6 0 3 0 0	基板	
6 0 3 0 1	配線	
6 0 3 0 2	配線	10
6 0 3 0 3	配線	
6 0 3 0 4	配線	
6 0 3 0 5	トランジスタ	
6 0 3 0 6	トランジスタ	
6 0 3 0 7	トランジスタ	
6 0 3 0 8	トランジスタ	
6 0 3 0 9	画素電極	
6 0 3 1 1	配線	
6 0 3 1 2	配線	
6 0 3 2 1	隔壁	20
6 0 3 2 2	有機導電体膜	
6 0 3 2 3	有機薄膜	
6 0 3 2 4	対向電極	
1 9 0 1 0 1	陽極	
1 9 0 1 0 2	陰極	
1 9 0 1 0 3	正孔輸送領域	
1 9 0 1 0 4	電子輸送領域	
1 9 0 1 0 5	混合領域	
1 9 0 1 0 6	領域	
1 9 0 1 0 7	領域	30
1 9 0 1 0 8	領域	
1 9 0 1 0 9	領域	
1 9 0 2 6 0	搬送室	
1 9 0 2 6 1	搬送室	
1 9 0 2 6 2	ロード室	
1 9 0 2 6 3	アンロード室	
1 9 0 2 6 4	中間処理室	
1 9 0 2 6 5	封止処理室	
1 9 0 2 6 6	搬送手段	
1 9 0 2 6 7	搬送手段	40
1 9 0 2 6 8	加熱処理室	
1 9 0 2 6 9	成膜処理室	
1 9 0 2 7 0	成膜処理室	
1 9 0 2 7 1	成膜室	
1 9 0 2 7 2	プラズマ処理室	
1 9 0 2 7 3	成膜処理室	
1 9 0 2 7 4	成膜処理室	
1 9 0 2 7 6	成膜処理室	
1 9 0 3 8 0	蒸発源ホルダ	
1 9 0 3 8 1	蒸発源	50

1 9 0 3 8 2	距離センサー	
1 9 0 3 8 3	多関節アーム	
1 9 0 3 8 4	材料供給管	
1 9 0 3 8 6	基板ステージ	
1 9 0 3 8 7	基板チャック	
1 9 0 3 8 8	マスクチャック	
1 9 0 3 8 9	基板	
1 9 0 3 9 0	シャドーマスク	
1 9 0 3 9 1	天板	
1 9 0 3 9 2	底板	10
1 9 0 2 7 7 a	ゲートバルブ	
1 9 0 3 8 1 a	蒸発源	
1 9 0 3 8 1 b	蒸発源	
1 9 0 3 8 1 c	蒸発源	
1 9 0 3 8 5 a	材料供給源	
1 9 0 3 8 5 b	材料供給源	
1 9 0 3 8 5 c	材料供給源	
1 2 0 1 0 0	電極層	
1 2 0 1 0 2	電界発光層	
1 2 0 1 0 3	電極層	20
1 2 0 1 0 4	絶縁膜	
1 2 0 1 0 5	絶縁膜	
1 2 0 1 0 6	絶縁膜	
1 2 0 2 0 0	電極層	
1 2 0 2 0 1	発光材料	
1 2 0 2 0 2	電界発光層	
1 2 0 2 0 3	電極層	
1 2 0 2 0 4	絶縁膜	
1 2 0 2 0 5	絶縁膜	
1 2 0 2 0 6	絶縁膜	30
1 3 0 1 0 0	背面投影型表示装置	
1 3 0 1 0 1	スクリーンパネル	
1 3 0 1 0 2	スピーカ	
1 3 0 1 0 4	操作スイッチ類	
1 3 0 1 1 0	筐体	
1 3 0 1 1 1	プロジェクタユニット	
1 3 0 1 1 2	ミラー	
1 3 0 2 0 0	前面投影型表示装置	
1 3 0 2 0 1	投射光学系	
1 3 0 3 0 1	光源ユニット	40
1 3 0 3 0 2	光源ランプ	
1 3 0 3 0 3	光源光学系	
1 3 0 3 0 4	変調ユニット	
1 3 0 3 0 5	ダイクロイックミラー	
1 3 0 3 0 6	全反射ミラー	
1 3 0 3 0 8	表示パネル	
1 3 0 3 0 9	プリズム	
1 3 0 3 1 0	投射光学系	
1 3 0 4 0 0	変調ユニット	
1 3 0 4 0 1	ダイクロイックミラー	50

1 3 0 4 0 2	ダイクロイックミラー	
1 3 0 4 0 3	全反射ミラー	
1 3 0 4 0 4	偏光ビームスプリッタ	
1 3 0 4 0 5	偏光ビームスプリッタ	
1 3 0 4 0 6	偏光ビームスプリッタ	
1 3 0 4 0 7	反射型表示パネル	
1 3 0 4 1 1	投射光学系	
1 3 0 5 0 1	ダイクロイックミラー	
1 3 0 5 0 2	ダイクロイックミラー	
1 3 0 5 0 3	赤色光用ダイクロイックミラー	10
1 3 0 5 0 4	位相差板	
1 3 0 5 0 5	カラーフィルター板	
1 3 0 5 0 6	マイクロレンズアレイ	
1 3 0 5 0 7	表示パネル	
1 3 0 5 0 8	表示パネル	
1 3 0 5 0 9	表示パネル	
1 3 0 5 1 1	投射光学系	
9 0 0 1 0 1	表示パネル	
9 0 0 1 0 2	画素部	
9 0 0 1 0 3	走査線駆動回路	20
9 0 0 1 0 4	信号線駆動回路	
9 0 0 1 1 1	回路基板	
9 0 0 1 1 2	コントロール回路	
9 0 0 1 1 3	信号分割回路	
9 0 0 1 1 4	接続配線	
9 0 0 2 0 1	チューナ	
9 0 0 2 0 2	映像信号増幅回路	
9 0 0 2 0 3	映像信号処理回路	
9 0 0 2 0 5	音声信号増幅回路	
9 0 0 2 0 6	音声信号処理回路	30
9 0 0 2 0 7	スピーカ	
9 0 0 2 0 8	制御回路	
9 0 0 2 0 9	入力部	
9 0 0 2 1 2	コントロール回路	
9 0 0 2 1 3	信号分割回路	
9 0 0 3 0 1	筐体	
9 0 0 3 0 2	表示画面	
9 0 0 3 0 3	スピーカ	
9 0 0 3 0 4	操作スイッチ	
9 0 0 3 0 5	入力手段	40
9 0 0 3 0 6	センサ	
9 0 0 3 0 7	マイクロフォン	
9 0 0 3 1 0	充電器	
9 0 0 3 1 2	筐体	
9 0 0 3 1 3	表示部	
9 0 0 3 1 6	操作キー	
9 0 0 3 1 7	スピーカ部	
9 0 0 3 1 8	入力手段	
9 0 0 3 1 9	)	
9 0 0 3 2 0	マクロフォン	50

9 0 0 4 0 1	表示パネル	
9 0 0 4 0 2	プリント配線基板	
9 0 0 4 0 3	画素部	
9 0 0 4 0 4	走査線駆動回路	
9 0 0 4 0 5	走査線駆動回路	
9 0 0 4 0 6	信号線駆動回路	
9 0 0 4 0 7	コントローラ	
9 0 0 4 0 8	中央処理装置 (C P U)	
9 0 0 4 0 9	メモリ	
9 0 0 4 1 0	電源回路	10
9 0 0 4 1 1	音声処理回路	
9 0 0 4 1 2	送受信回路	
9 0 0 4 1 3	フレキシブル配線基板 (F P C)	
9 0 0 4 1 4	インターフェース (I / F) 部	
9 0 0 4 1 5	アンテナ用ポート	
9 0 0 4 1 6	V R A M	
9 0 0 4 1 7	D R A M	
9 0 0 4 1 8	フラッシュメモリ	
9 0 0 4 1 9	インターフェース (I / F) 部	
9 0 0 4 2 0	制御信号生成回路	20
9 0 0 4 2 1	デコーダ	
9 0 0 4 2 1	一方デコーダ	
9 0 0 4 2 2	レジスタ	
9 0 0 4 2 3	演算回路	
9 0 0 4 2 4	R A M	
9 0 0 4 2 5	入力手段	
9 0 0 4 2 6	マイク	
9 0 0 4 2 7	スピーカ	
9 0 0 4 2 8	アンテナ	
9 0 0 5 0 1	表示パネル	30
9 0 0 5 1 3	F P C	
9 0 0 5 3 0	ハウジング	
9 0 0 5 3 1	プリント基板	
9 0 0 5 3 2	スピーカ	
9 0 0 5 3 3	マイクロフォン	
9 0 0 5 3 4	送受信回路	
9 0 0 5 3 5	信号処理回路	
9 0 0 5 3 6	入力手段	
9 0 0 5 3 7	バッテリー	
9 0 0 5 3 9	筐体	40
9 0 0 5 4 1	センサ	
9 0 0 6 0 0	携帯電話機	
9 0 0 6 0 1	本体 (A)	
9 0 0 6 0 2	本体 (B)	
9 0 0 6 0 3	筐体	
9 0 0 6 0 4	操作スイッチ類	
9 0 0 6 0 5	マイクロフォン	
9 0 0 6 0 6	スピーカ	
9 0 0 6 0 7	回路基板	
9 0 0 6 0 8	表示パネル (A)	50

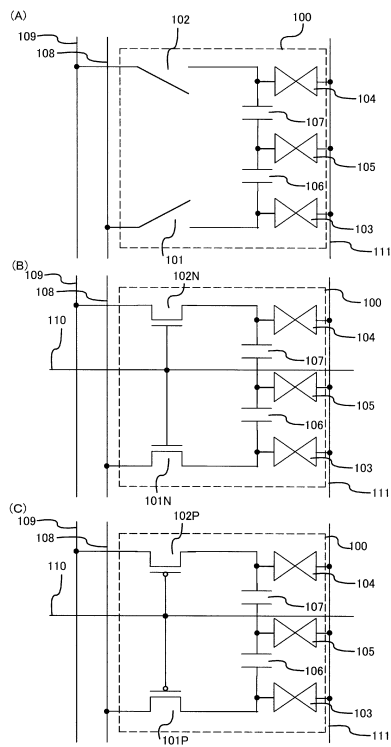
9 0 0 6 0 9	表示パネル (B)	
9 0 0 6 1 0	蝶番	
9 0 0 6 1 1	センサ	
9 0 0 6 1 2	入力手段	
9 0 0 7 1 1	筐体	
9 0 0 7 1 2	支持台	
9 0 0 7 1 3	表示部	
9 0 0 7 1 4	入力手段	
9 0 0 7 1 5	)	
9 0 0 7 1 6	マイクロフォン	10
9 0 0 7 1 7	スピーカ	
9 0 0 7 1 8	操作キー	
9 0 0 7 1 9	L E D ランプ	
9 0 0 7 3 1	本体	
9 0 0 7 3 2	表示部	
9 0 0 7 3 3	受像部	
9 0 0 7 3 4	操作キー	
9 0 0 7 3 5	外部接続ポート	
9 0 0 7 3 6	シャッター	
9 0 0 7 3 7	入力手段	20
9 0 0 7 3 8	センサ	
9 0 0 7 3 9	マイクロフォン	
9 0 0 7 4 0	スピーカ	
9 0 0 7 4 1	L E D ランプ	
9 0 0 7 5 1	本体	
9 0 0 7 5 2	筐体	
9 0 0 7 5 3	表示部	
9 0 0 7 5 4	キーボード	
9 0 0 7 5 5	外部接続ポート	
9 0 0 7 5 6	ポインティングデバイス	30
9 0 0 7 5 7	入力手段	
9 0 0 7 5 8	)	
9 0 0 7 5 9	マイクロフォン	
9 0 0 7 6 0	スピーカ	
9 0 0 7 6 1	L E D ランプ	
9 0 0 7 6 2	リーダ／ライタ	
9 0 0 8 1 0	筐体	
9 0 0 8 1 1	表示部	
9 0 0 8 1 2	リモコン装置	
9 0 0 8 1 3	スピーカ部	40
9 0 0 9 0 1	表示パネル	
9 0 0 9 0 2	ユニットバス	
9 0 1 0 0 1	柱状体	
9 0 1 0 0 2	表示パネル	
9 0 1 1 0 1	車体	
9 0 1 1 0 2	表示パネル	
9 0 1 2 0 1	ドア	
9 0 1 2 0 2	表示パネル	
9 0 1 2 0 3	ガラス窓	
9 0 1 2 0 4	天井	50

9 0 1 3 0 1	天井	
9 0 1 3 0 2	表示パネル	
9 0 1 3 0 3	ヒンジ部	
9 0 1 4 1 1	本体	
9 0 1 4 1 2	表示部	
9 0 1 4 1 3	スイッチ	
9 0 1 4 1 4	操作キー	
9 0 1 4 1 5	赤外線ポート	
9 0 1 4 1 6	入力手段	
9 0 1 4 1 7	)	10
9 0 1 4 1 8	マイクロフォン	
9 0 1 4 1 9	スピーカ	
9 0 1 4 2 0	L E D ランプ	
9 0 1 4 3 1	本体	
9 0 1 4 3 2	筐体	
9 0 1 4 3 3	表示部 A	
9 0 1 4 3 4	表示部 B	
9 0 1 4 3 5	部	
9 0 1 4 3 6	操作キー	
9 0 1 4 3 7	スピーカ部	20
9 0 1 4 3 8	入力手段	
9 0 1 4 3 9	)	
9 0 1 4 4 0	マイクロフォン	
9 0 1 4 4 1	L E D ランプ	
9 0 1 4 5 1	本体	
9 0 1 4 5 2	表示部	
9 0 1 4 5 3	イヤホン	
9 0 1 4 5 4	支持部	
9 0 1 4 5 5	入力手段	
9 0 1 4 5 6	)	30
9 0 1 4 5 7	マイクロフォン	
9 0 1 4 5 8	スピーカ	
9 0 1 5 1 1	筐体	
9 0 1 5 1 2	表示部	
9 0 1 5 1 3	スピーカ部	
9 0 1 5 1 4	操作キー	
9 0 1 5 1 5	記憶媒体挿入部	
9 0 1 5 1 6	入力手段	
9 0 1 5 1 7	)	
9 0 1 5 1 8	マイクロフォン	40
9 0 1 5 1 9	L E D ランプ	
9 0 1 5 3 1	本体	
9 0 1 5 3 2	表示部	
9 0 1 5 3 3	操作キー	
9 0 1 5 3 4	スピーカ	
9 0 1 5 3 5	シャッター	
9 0 1 5 3 6	受像部	
9 0 1 5 3 7	アンテナ	
9 0 1 5 3 8	入力手段	
9 0 1 5 3 9	センサ	50

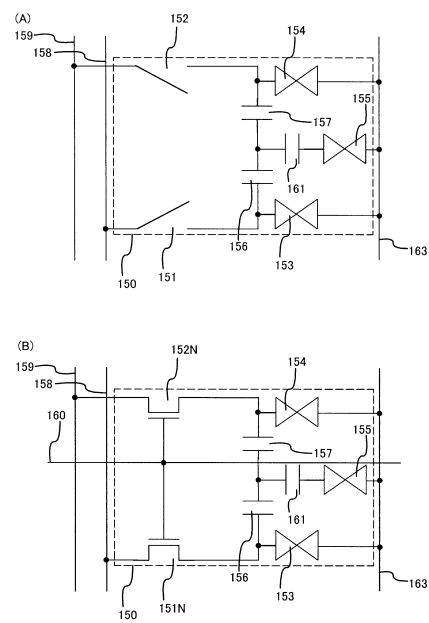
9 0 1 5 4 0	マイクロフォン
9 0 1 5 4 1	L E D ランプ
9 0 1 6 1 1	筐体
9 0 1 6 1 2	表示部
9 0 1 6 1 3	表示部
9 0 1 6 1 4	スピーカ部
9 0 1 6 1 5	操作キー
9 0 1 6 1 6	記録媒体挿入部
9 0 1 6 1 7	入力手段
9 0 1 6 1 8	)
9 0 1 6 1 9	マイクロフォン
9 0 1 6 2 0	L E D ランプ

【図面】

【図 1】



【図 2】



10

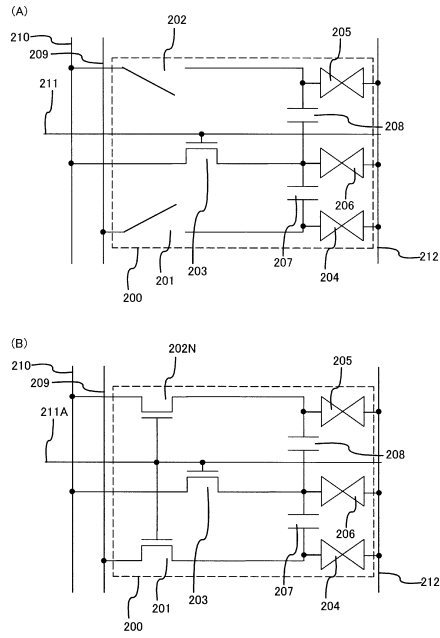
20

30

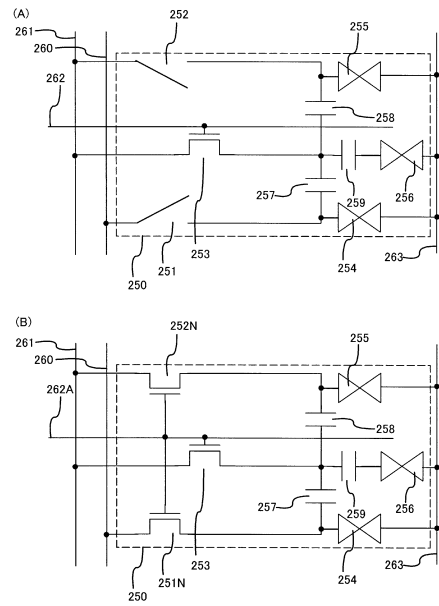
40

50

【図 3】

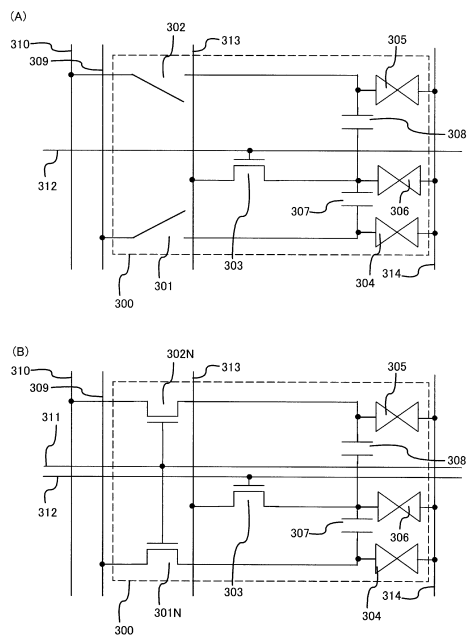


【図 4】

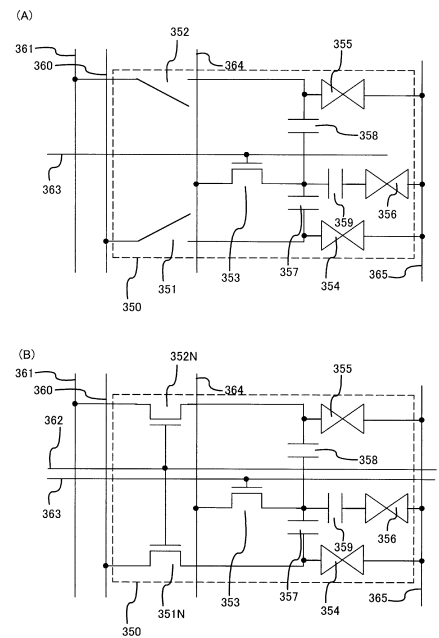


10

【図 5】



【図 6】



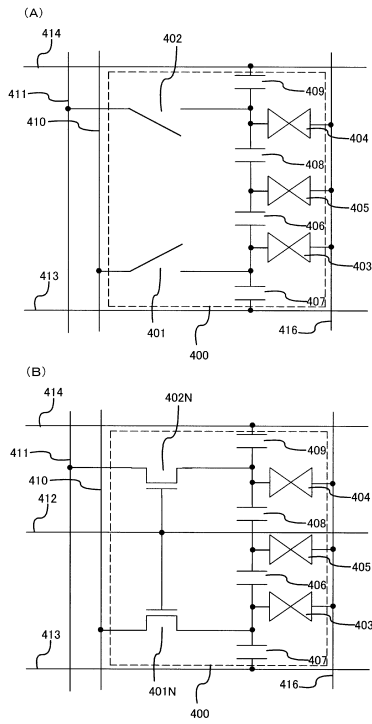
20

30

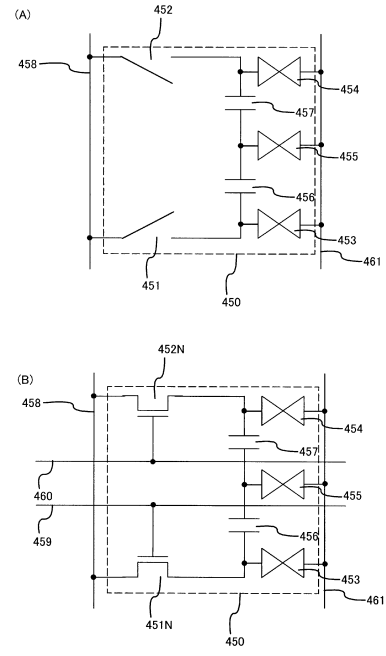
40

50

【図 7】



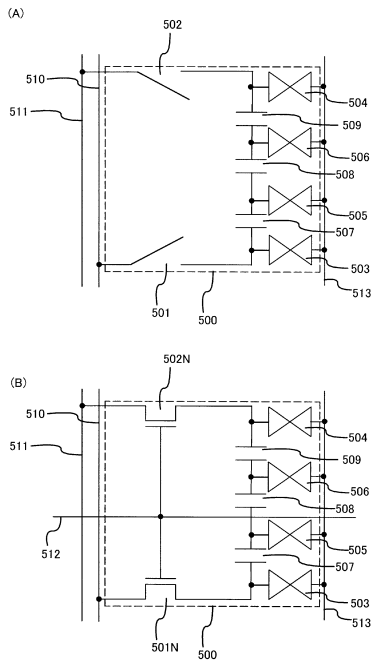
【図 8】



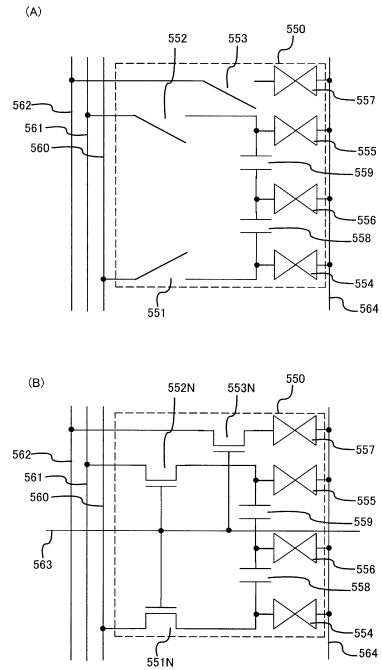
10

20

【図 9】



【図 10】

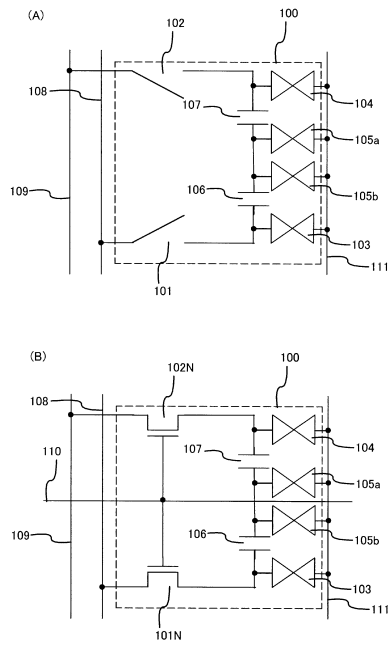


30

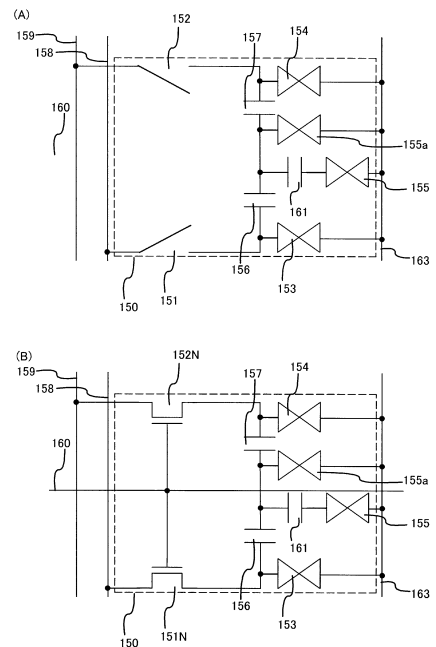
40

50

【図 1 1】



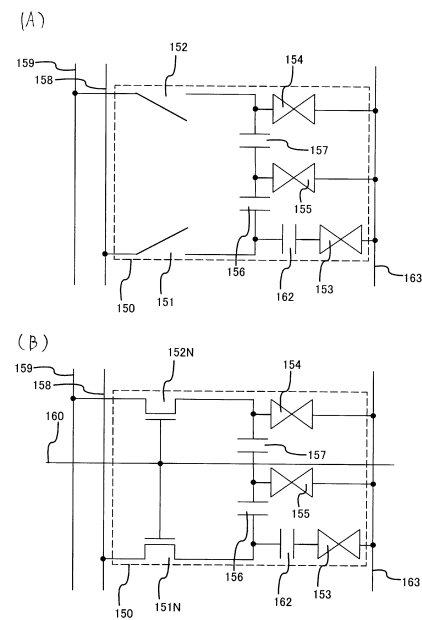
【図 1 2】



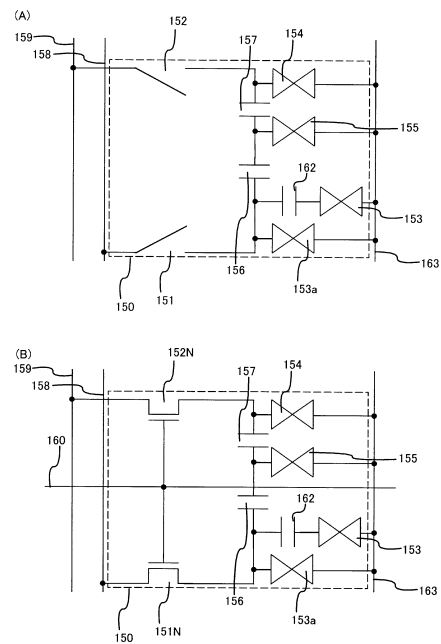
10

20

【図 1 3】



【図 1 4】

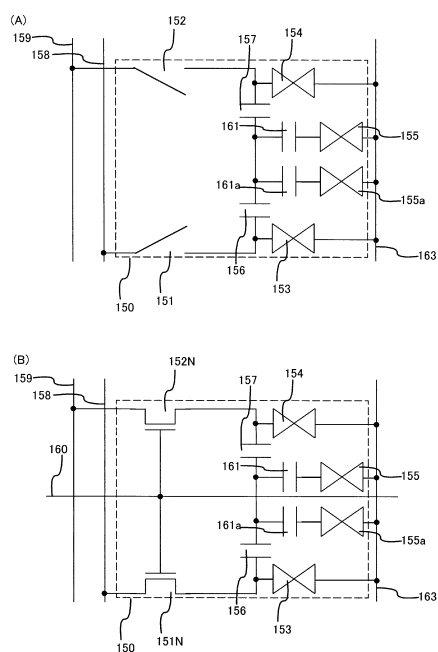


30

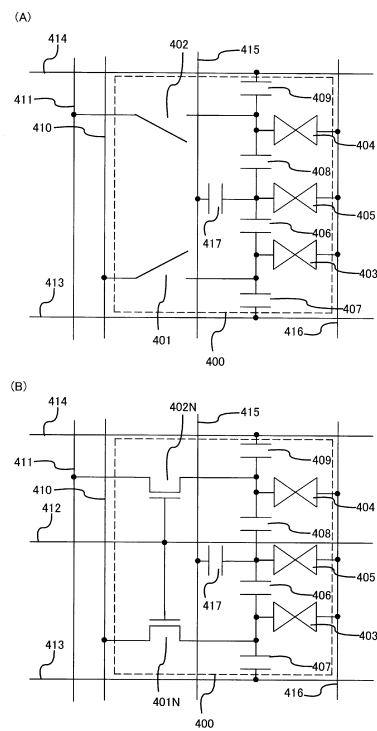
40

50

【図 15】



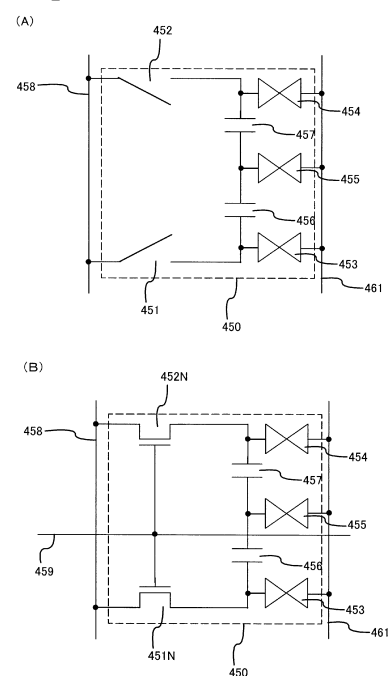
【図 16】



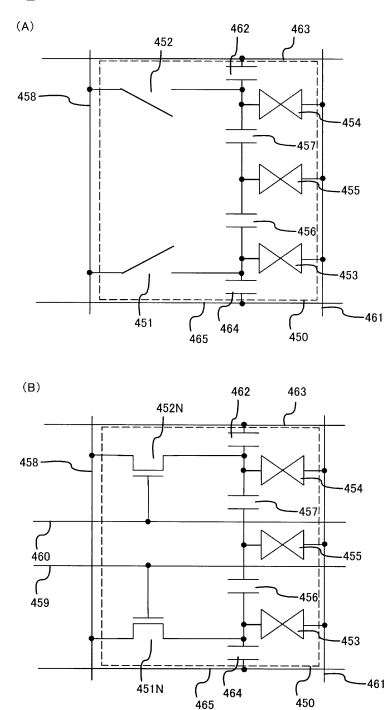
10

20

【圖 17】



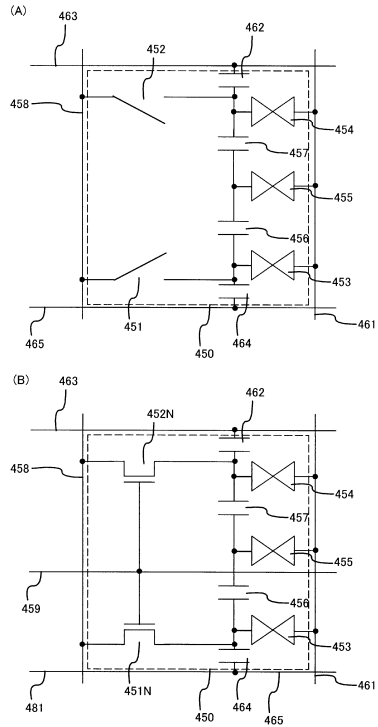
【図 18】



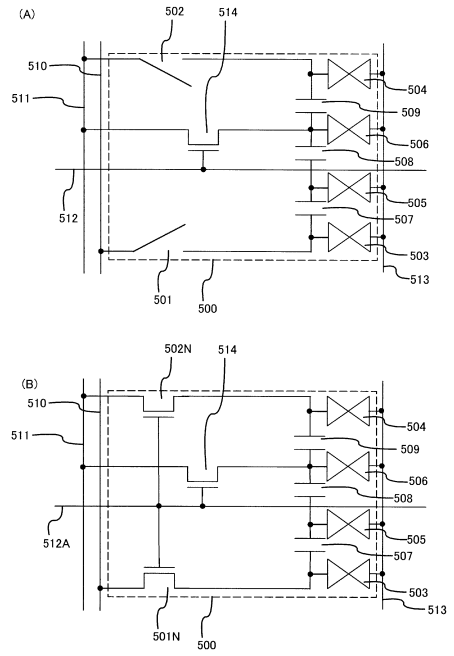
30

40

【図 19】



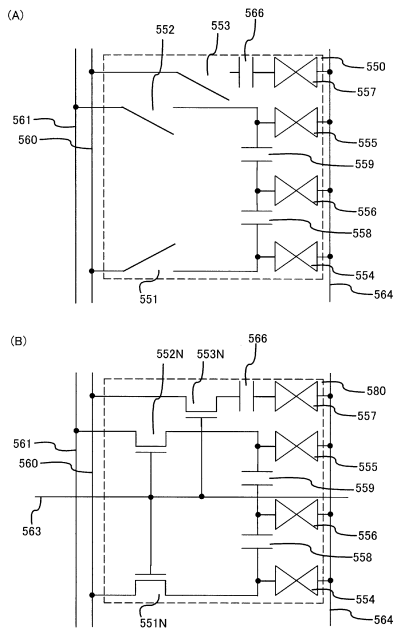
【図 20】



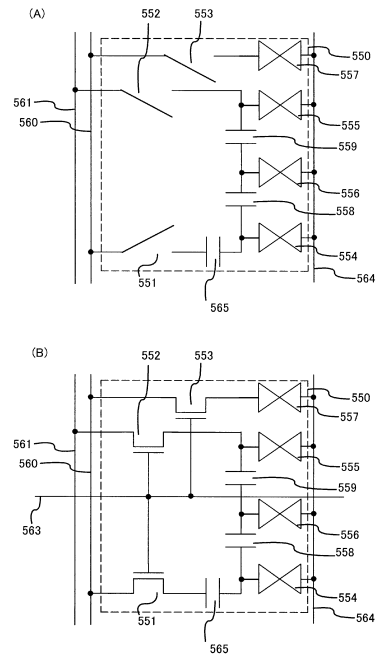
10

20

【図 21】



【図 22】

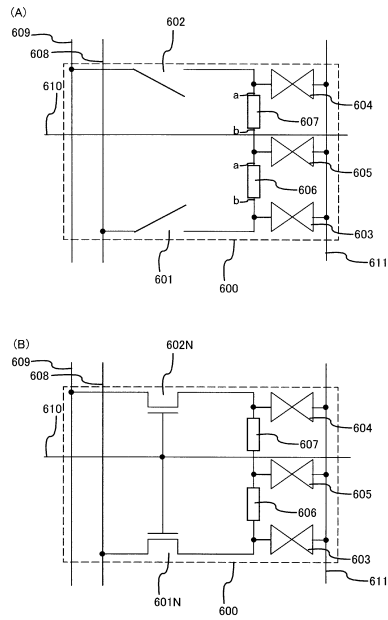


30

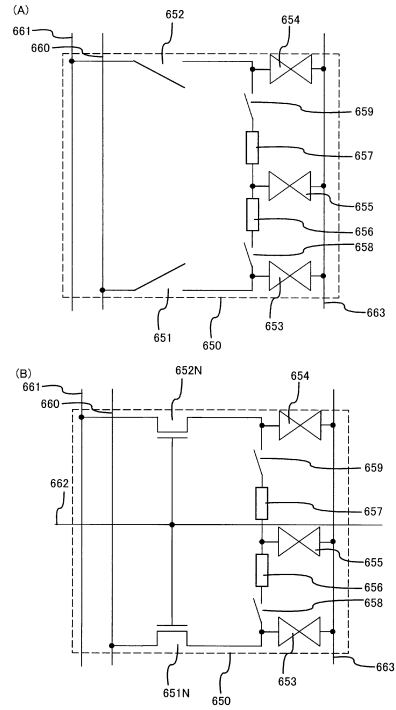
40

50

【図 2 3】



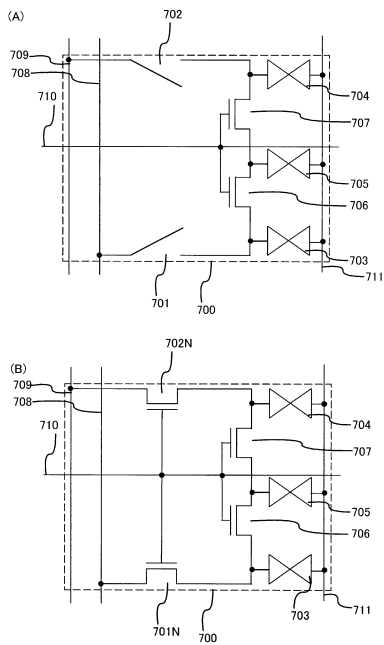
【図 2 4】



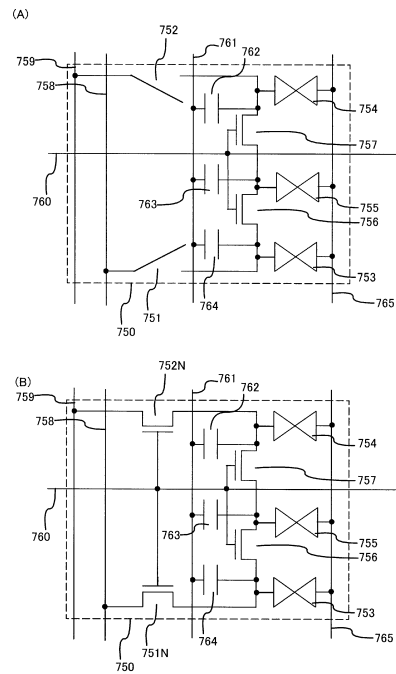
10

20

【図 2 5】



【図 2 6】

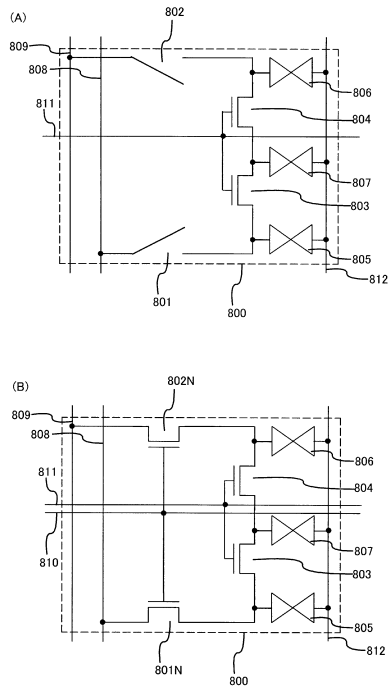


30

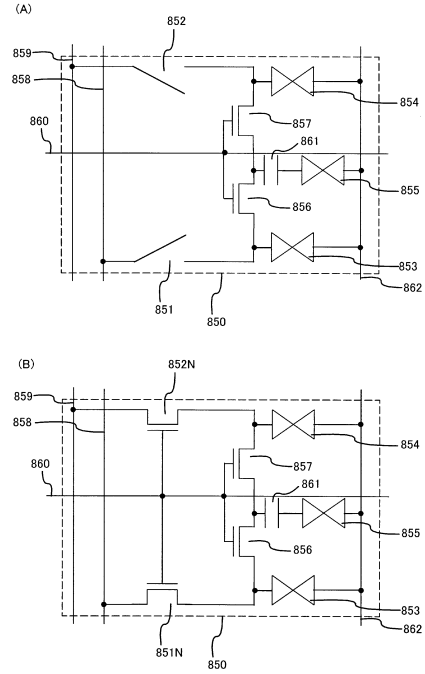
40

50

【図 27】



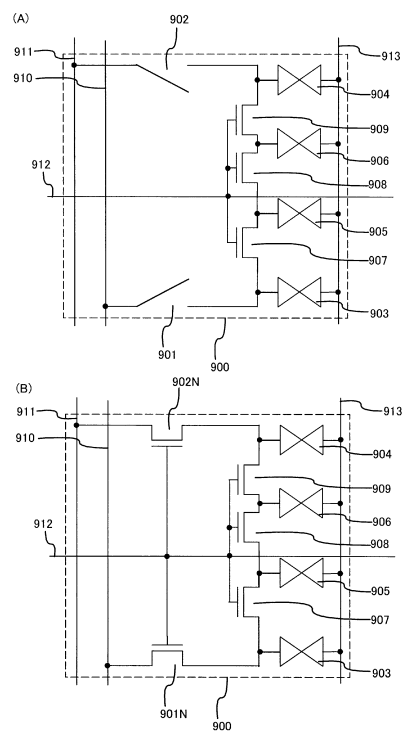
【図 28】



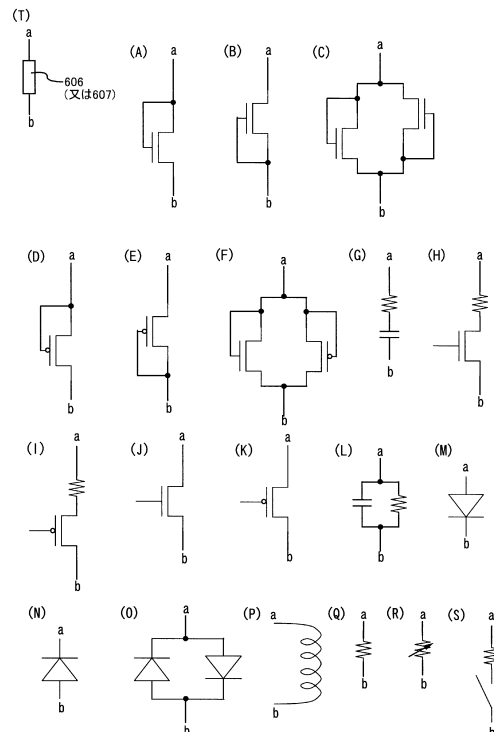
10

20

【図 29】



【図 30】

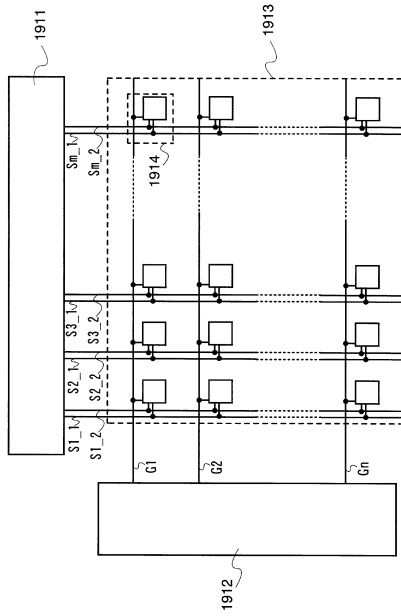


30

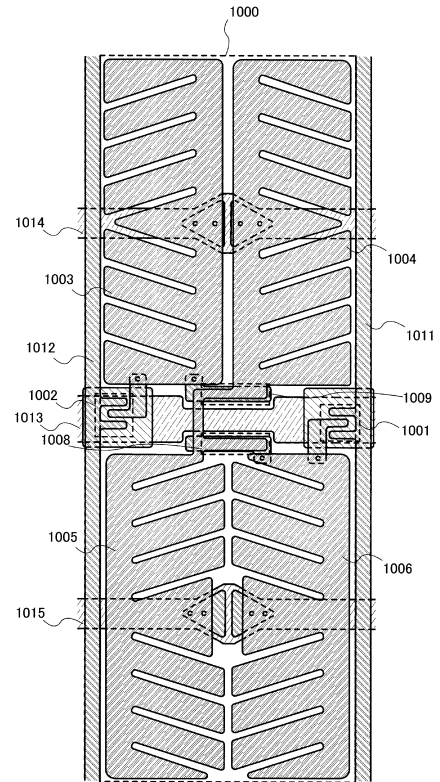
40

50

【図 3 1】



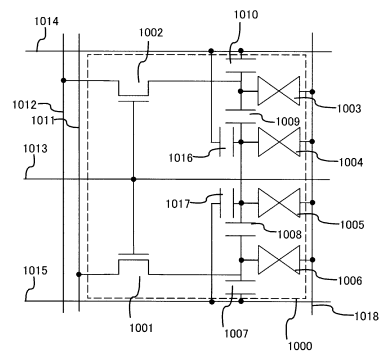
【図 3 2】



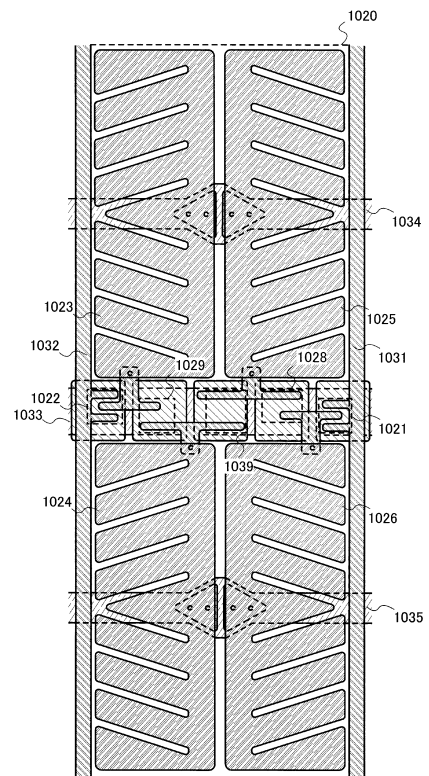
10

20

【図 3 3】



【図 3 4】

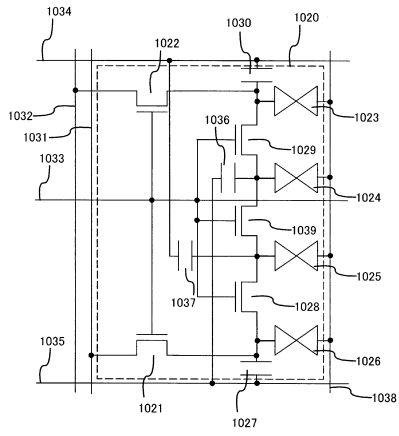


30

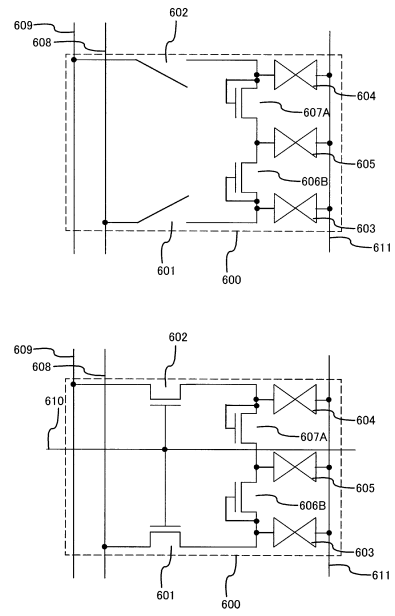
40

50

【図 3 5】

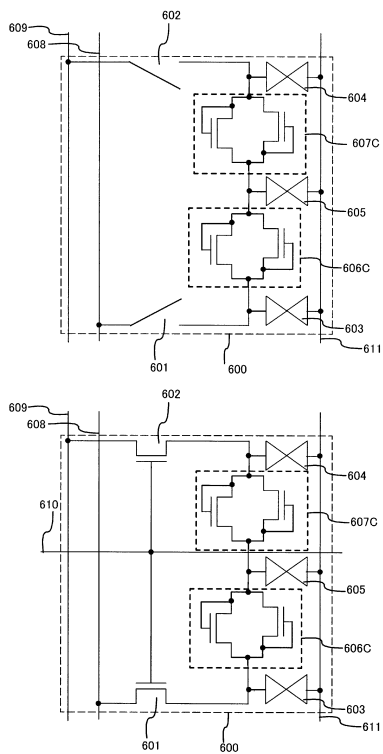


【図 3 6】

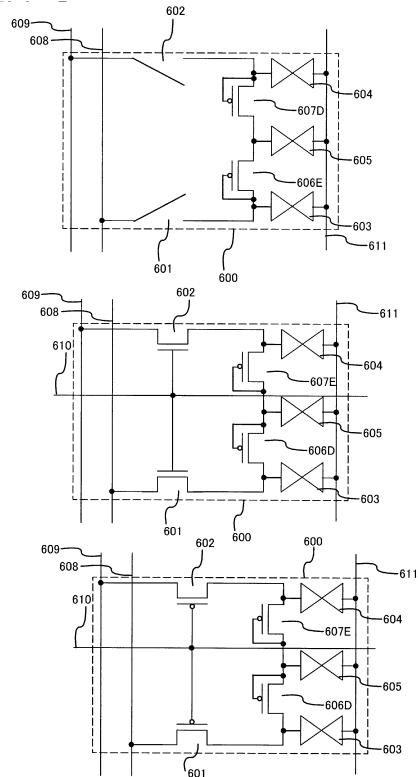


10

【図 3 7】



【図 3 8】



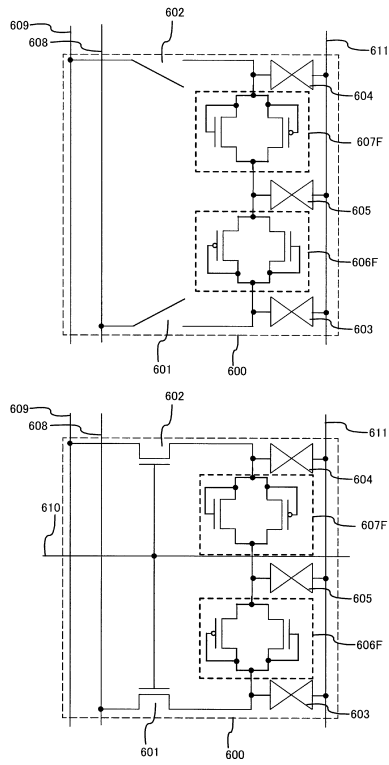
20

30

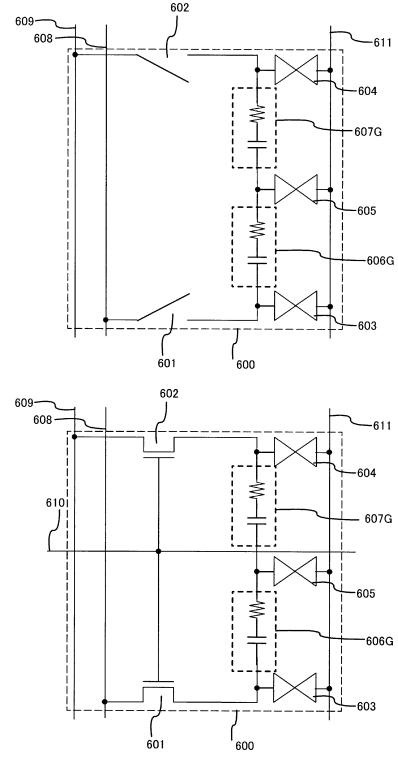
40

50

【図 39】



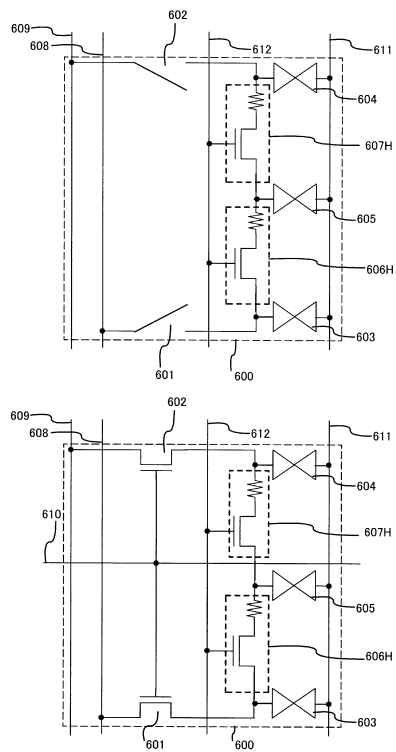
【図 40】



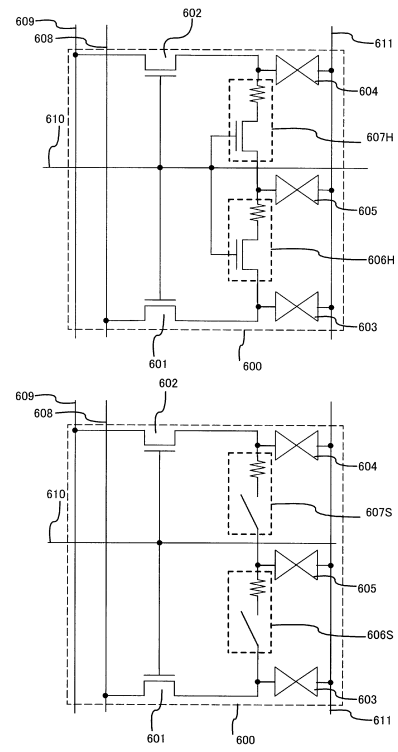
10

20

【図 4 1】



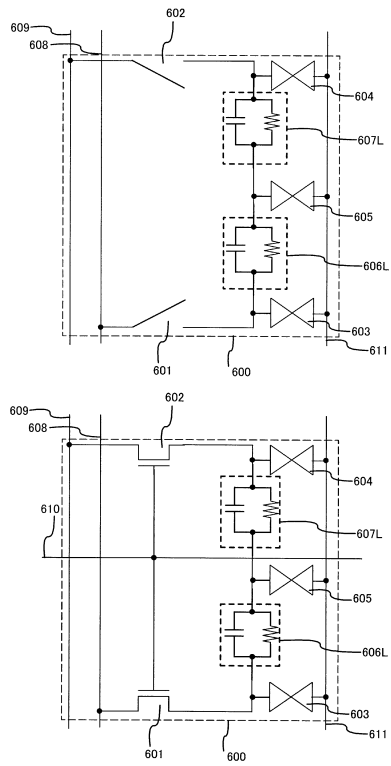
【圖 4 2】



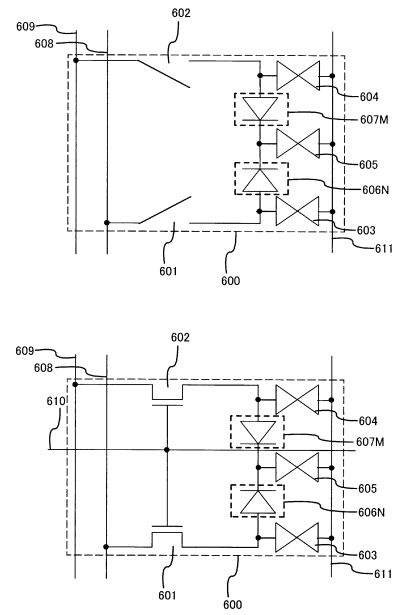
30

40

【図 4 3】



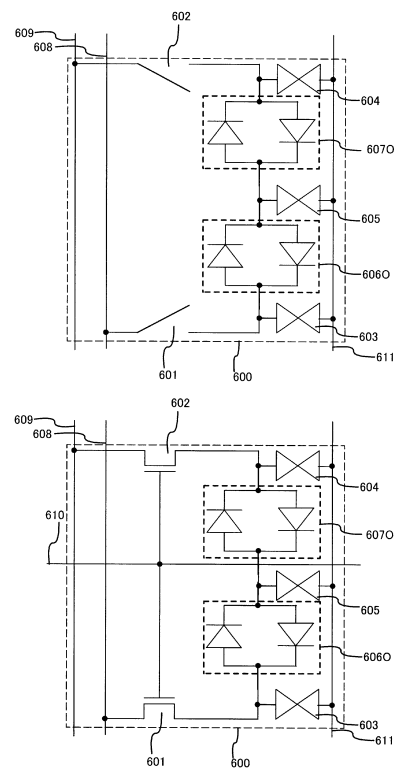
【図 4 4】



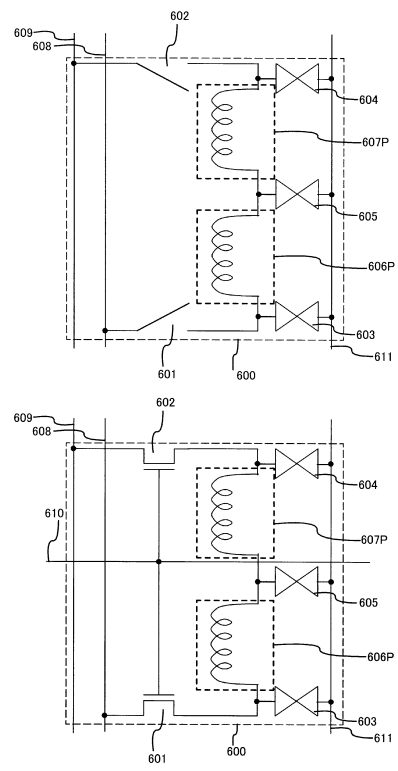
10

20

【図 4 5】



【図 4 6】

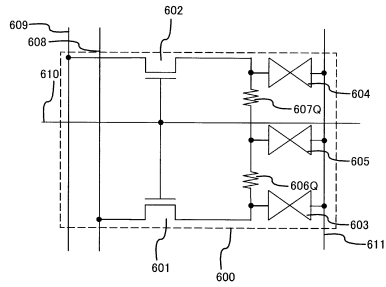
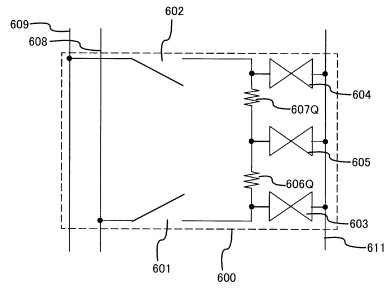


30

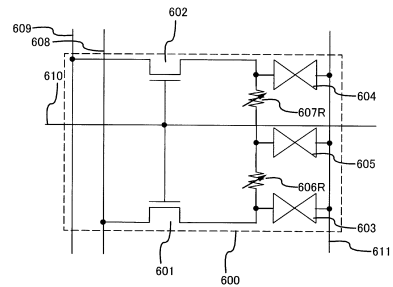
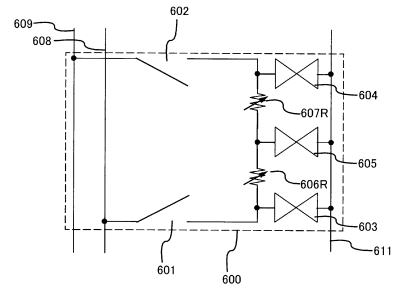
40

50

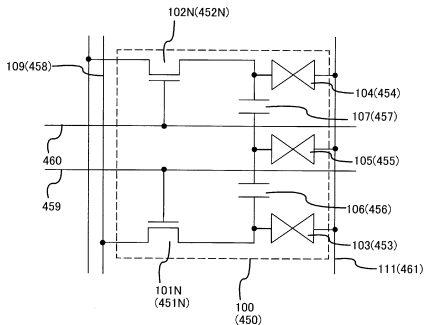
【図 47】



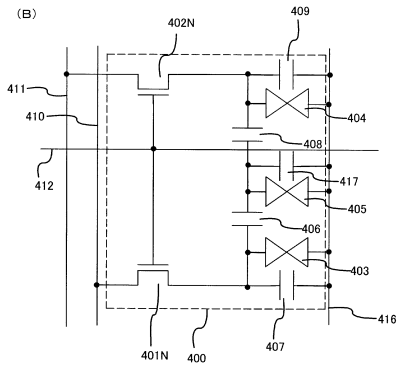
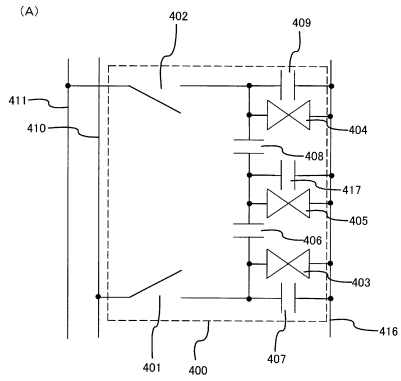
【図 48】



【図 49】



【図 50】



10

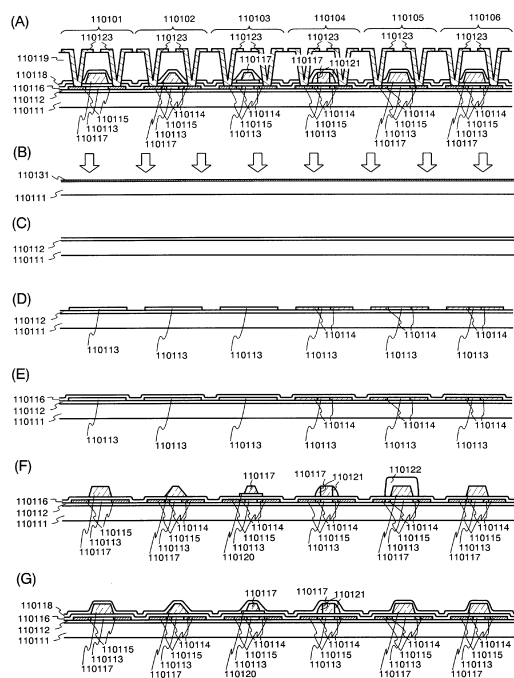
20

30

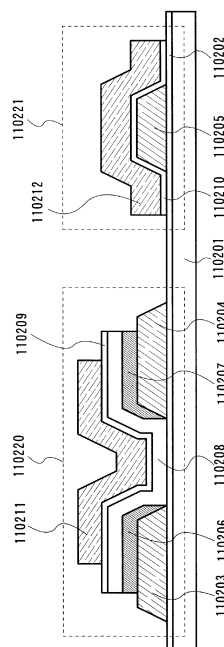
40

50

【図 5 1】



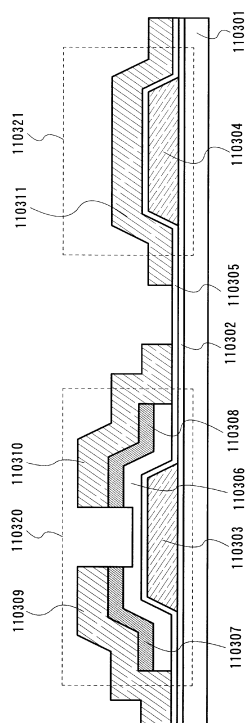
【図 5 2】



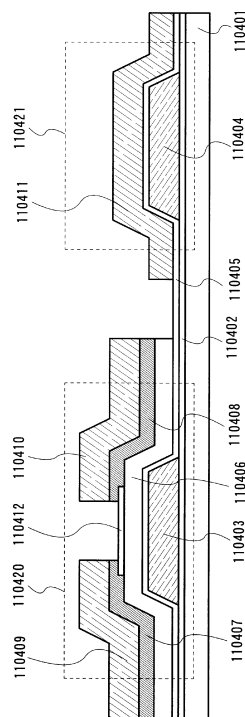
10

20

【圖 5 3】



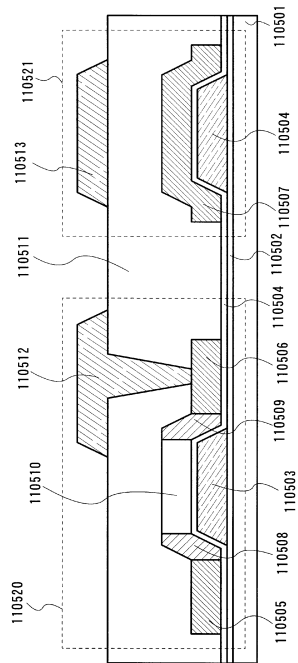
【図 5 4】



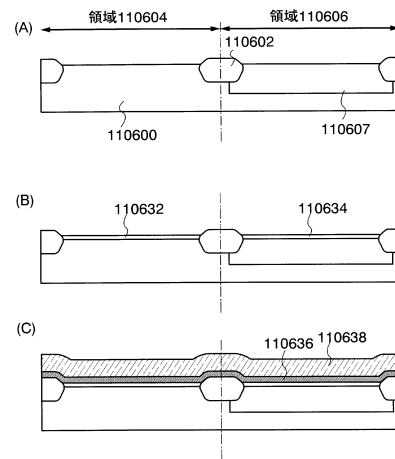
30

40

【図 5 5】

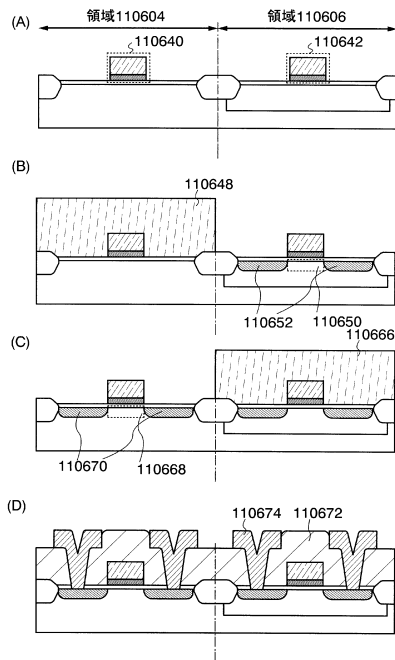


【図 5 6】

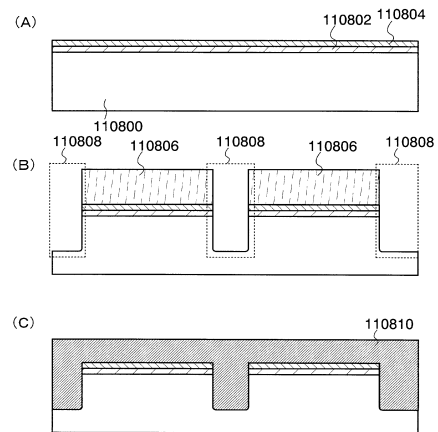


10

【図 5 7】



【図 5 8】



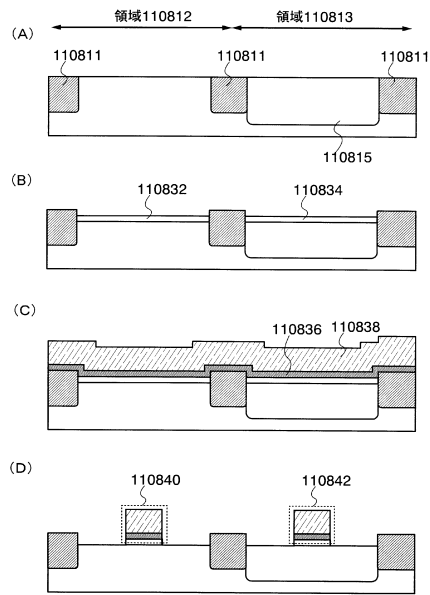
20

30

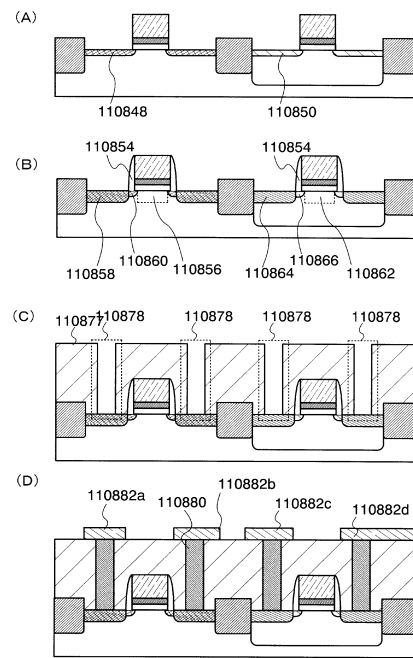
40

50

【図 59】



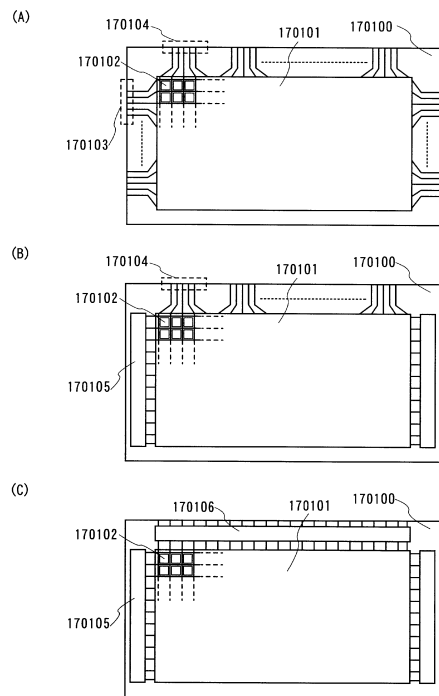
【図 60】



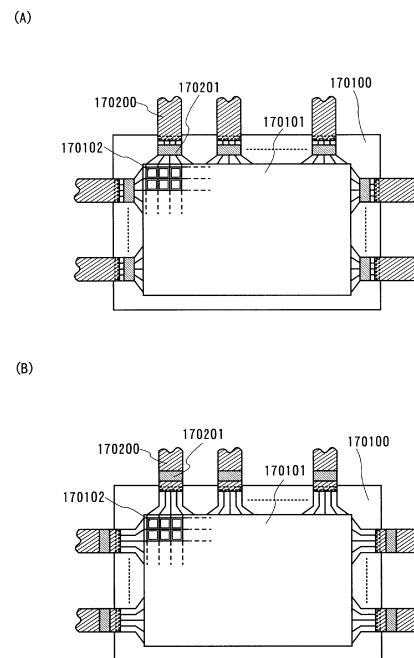
10

20

【図 61】



【図 62】

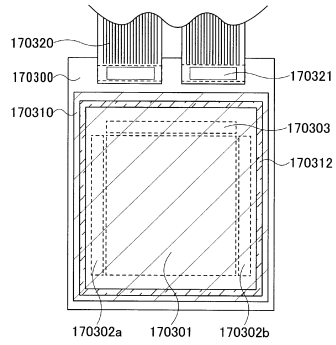


30

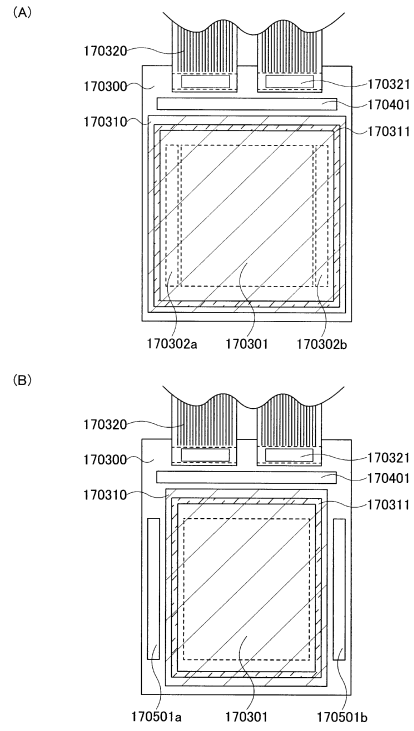
40

50

【図 6 3】



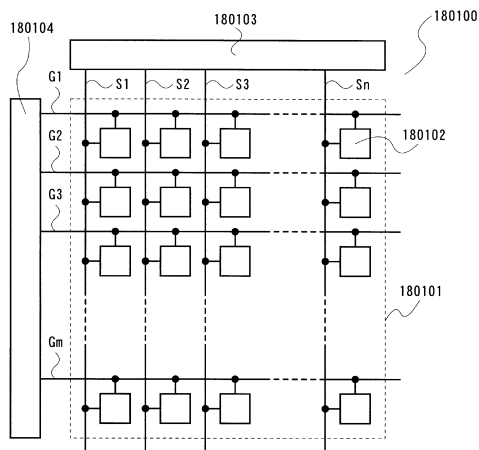
【図 6 4】



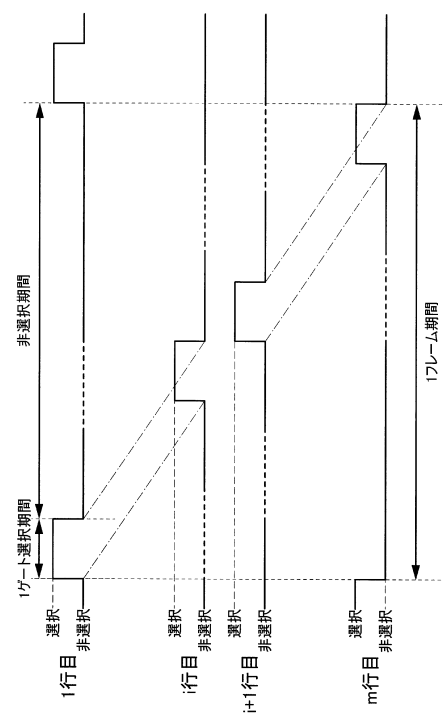
10

20

【図 6 5】



【図 6 6】

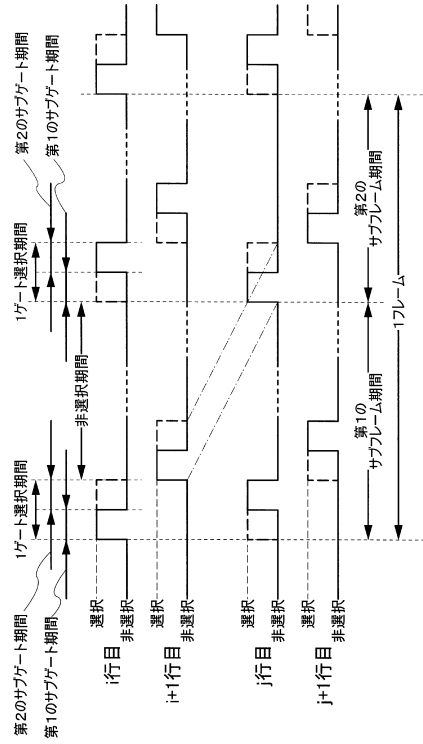


30

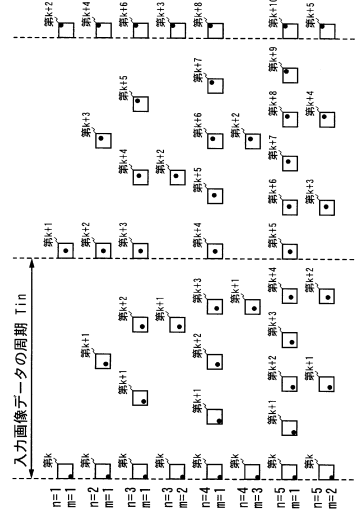
40

50

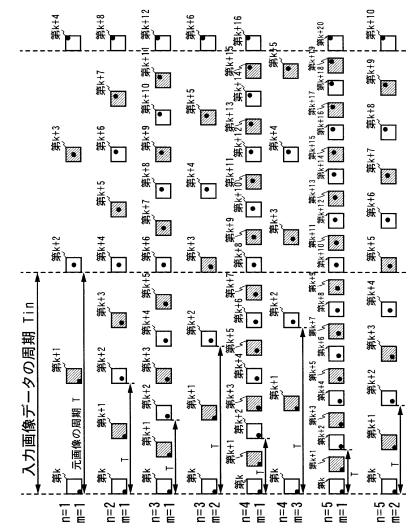
【図 67】



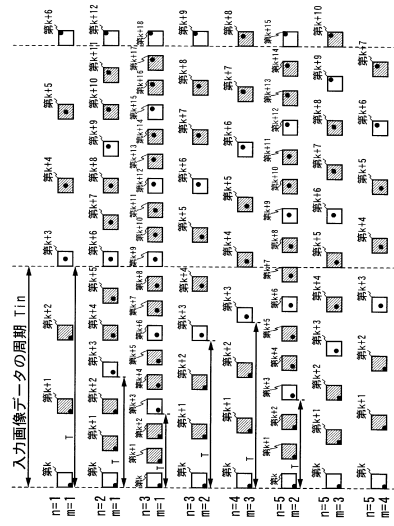
【図 68】



【図 69】



【図 70】



10

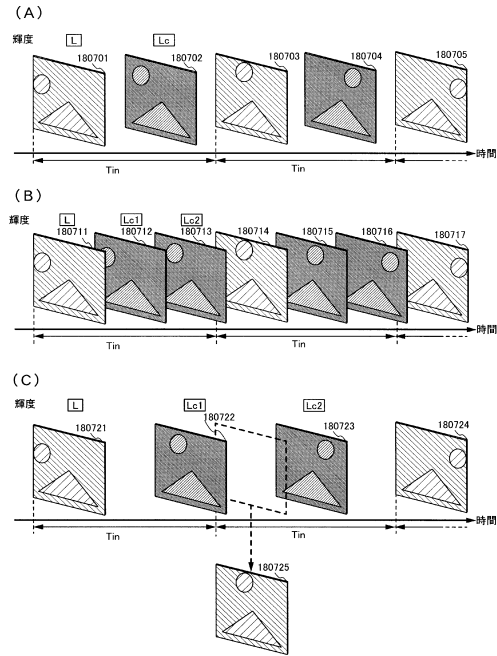
20

30

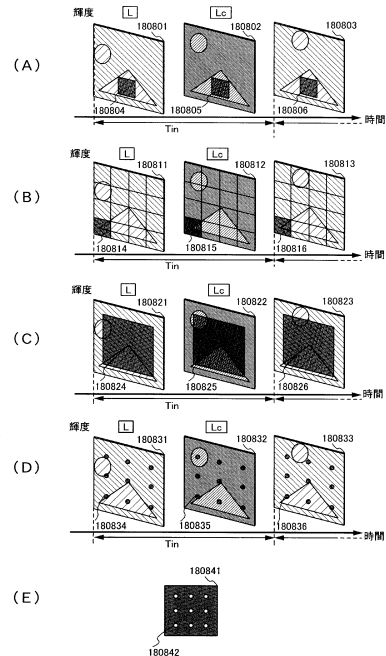
40

50

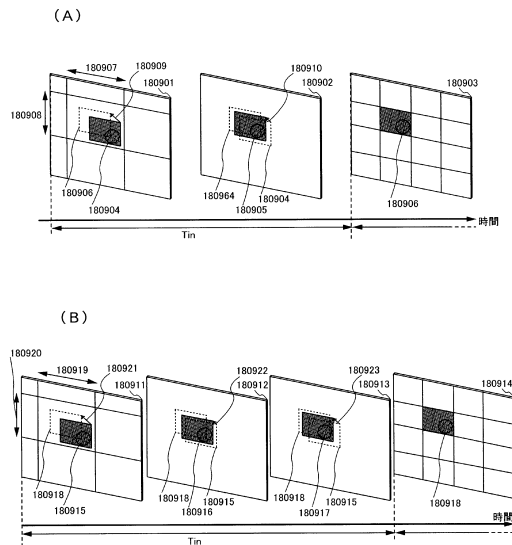
【図 7 1】



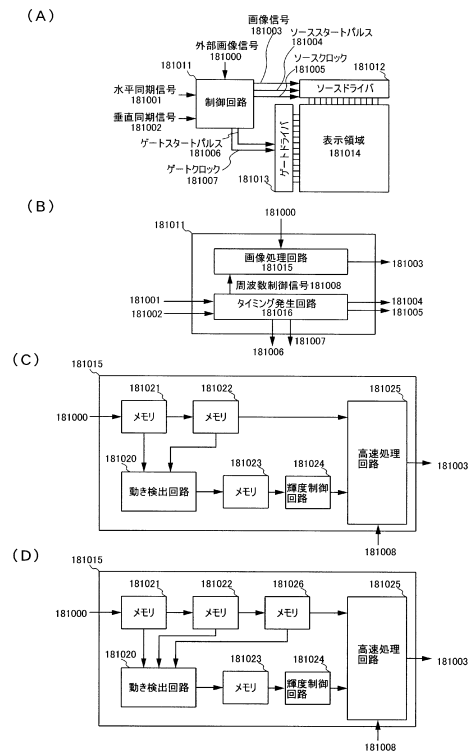
【図 7 2】



【図 7 3】



【図 7 4】



10

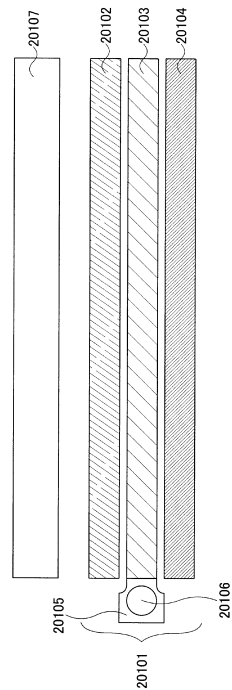
20

30

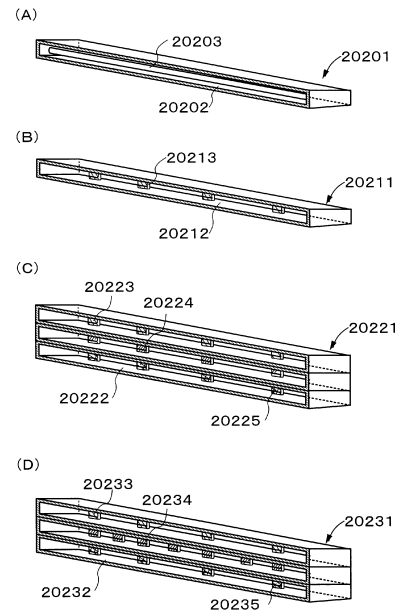
40

50

【図 75】



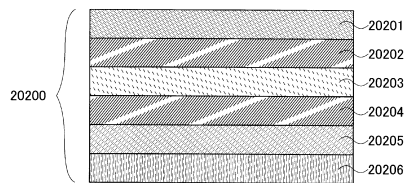
【図 76】



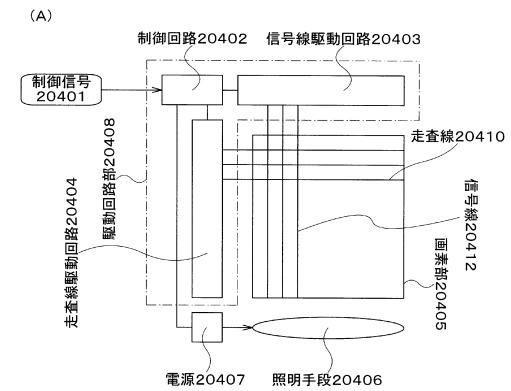
10

20

【図 77】



【図 78】

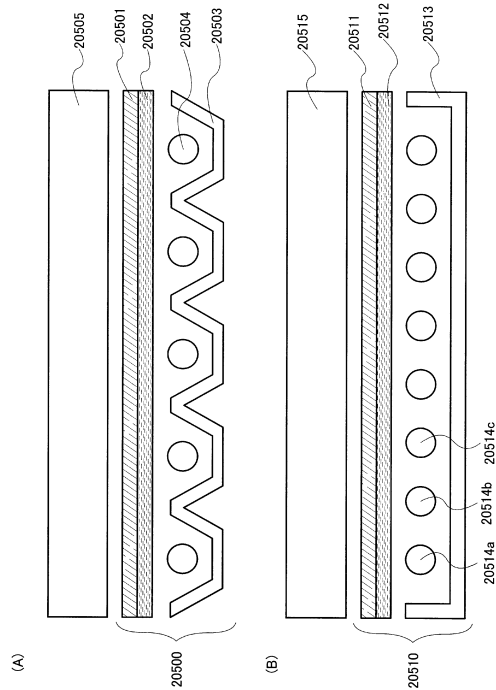


30

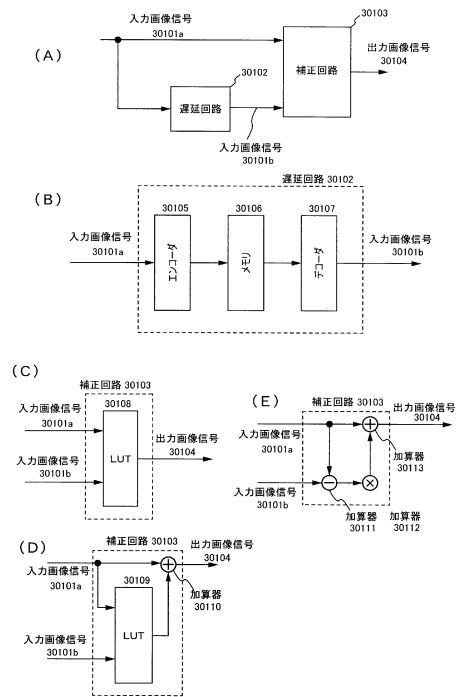
40

50

【図 79】



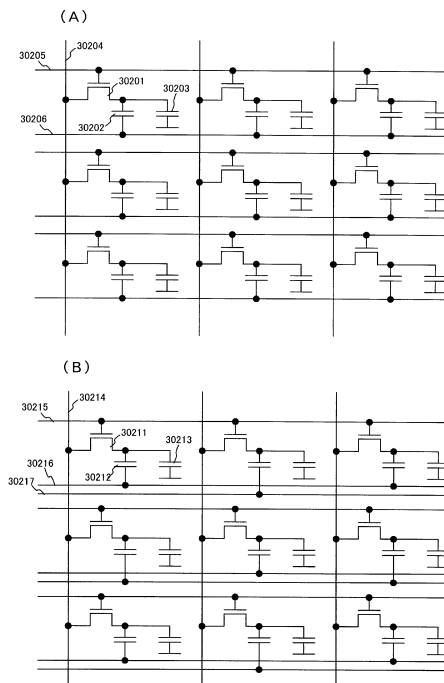
【図 80】



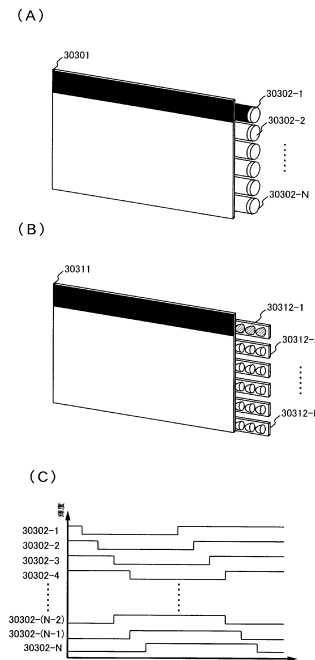
10

20

【図 81】



【図 82】

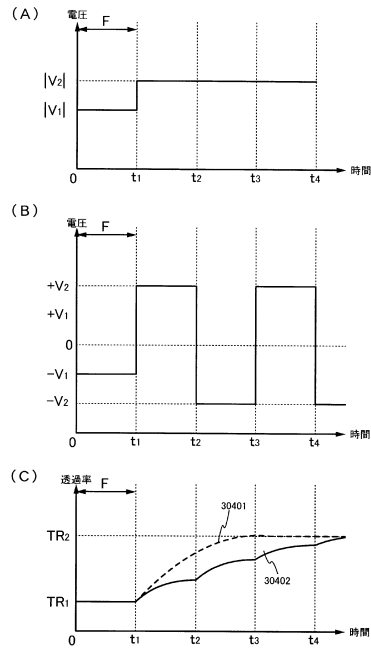


30

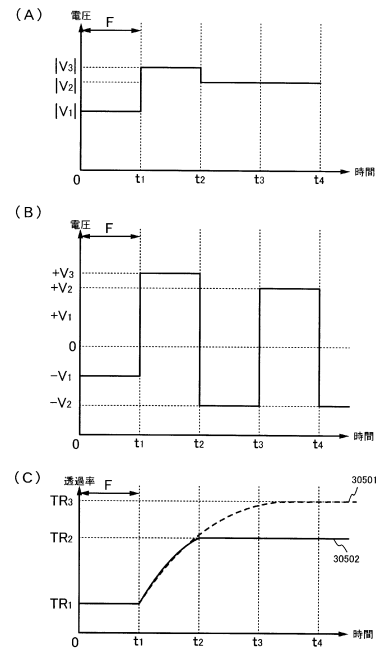
40

50

【図 8 3】



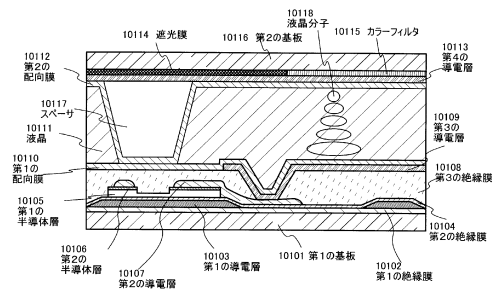
【図 8 4】



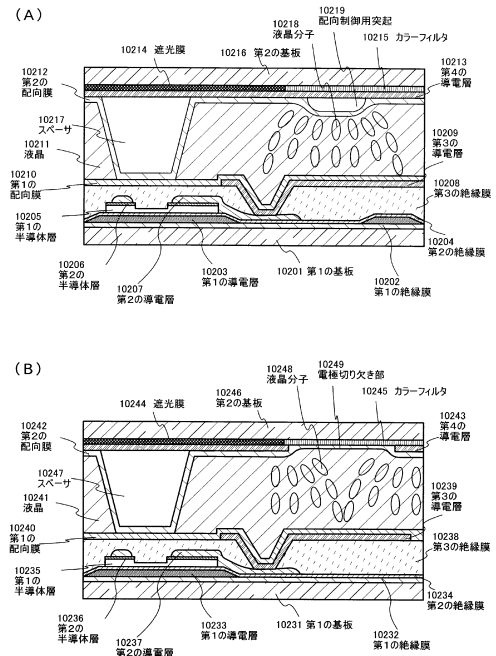
10

20

【図 8 5】



【図 8 6】



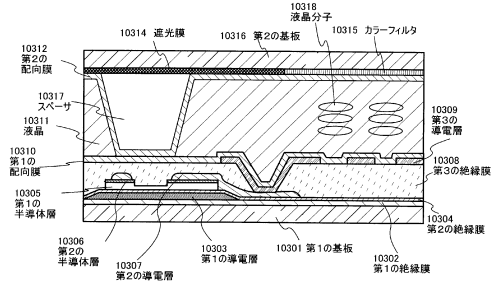
30

40

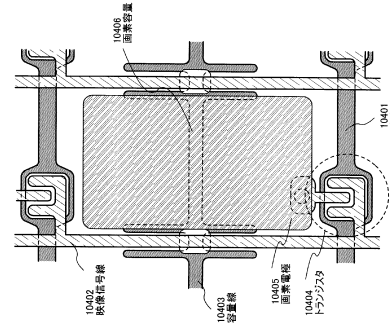
50

【図 87】

(A)

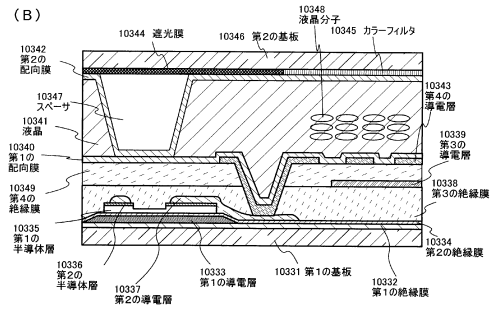


【図 88】

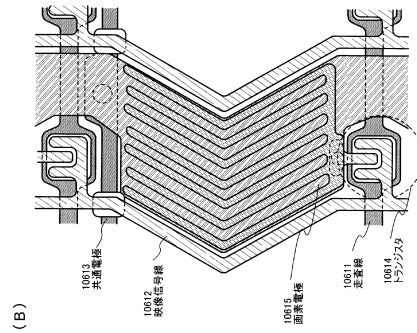


10

(B)



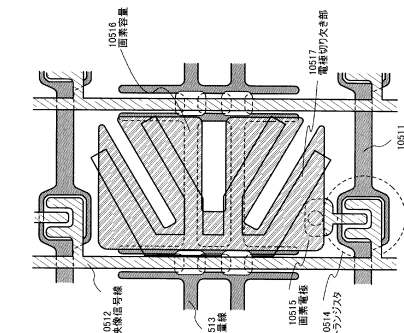
【図 90】



20

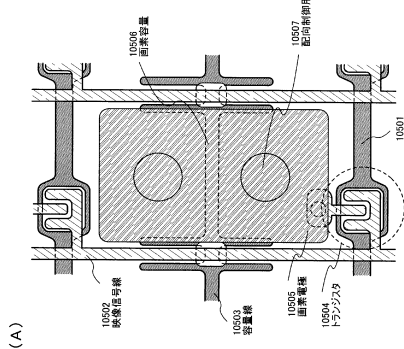
【図 89】

(B)

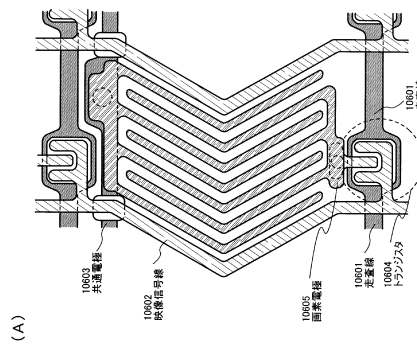


30

(A)



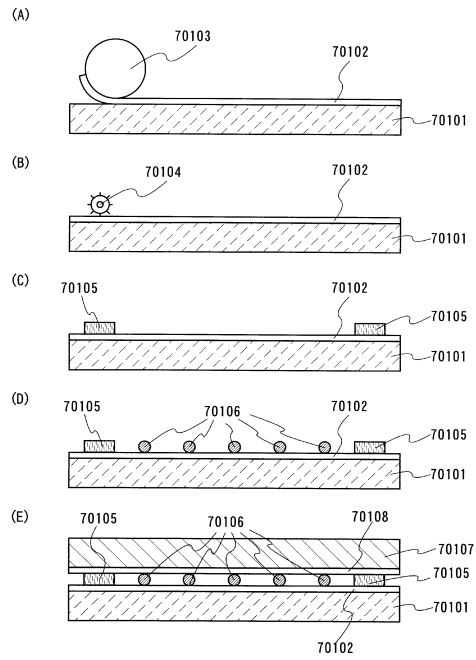
(A)



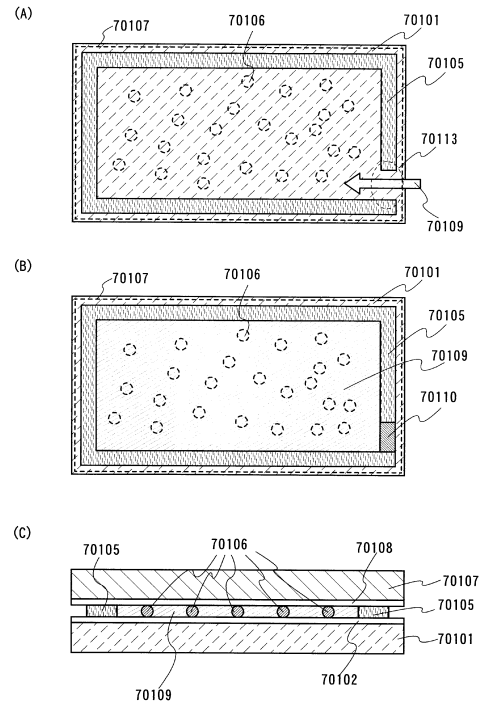
40

50

【図 9 1】



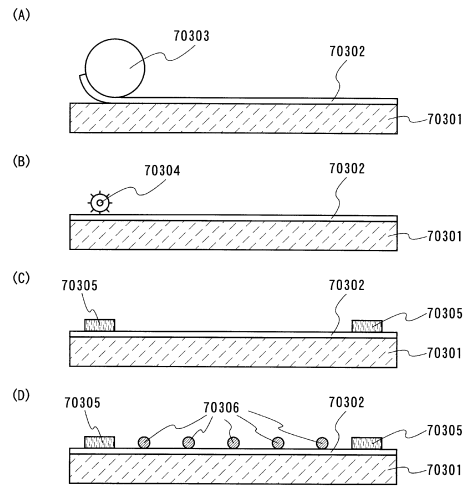
【図 9 2】



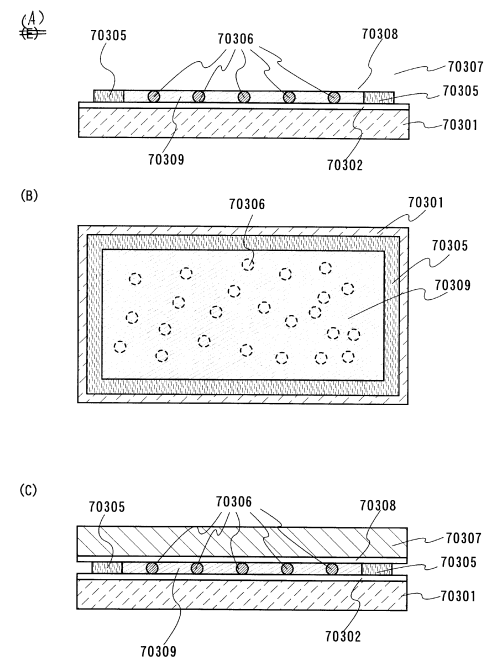
10

20

【図 9 3】



【図 9 4】

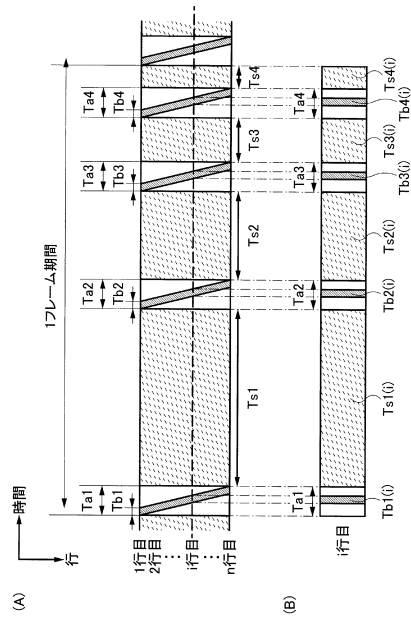


30

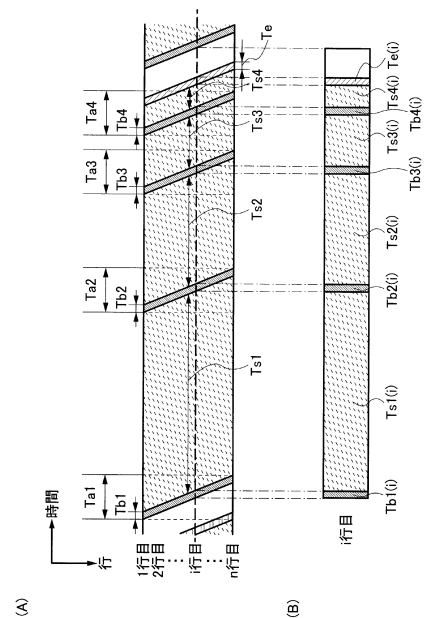
40

50

【図 9 5】

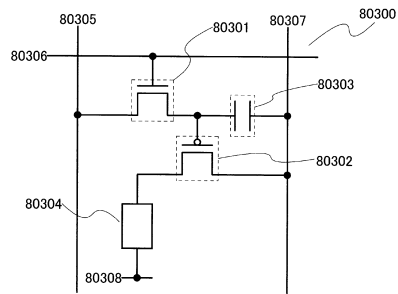


【図 9 6】

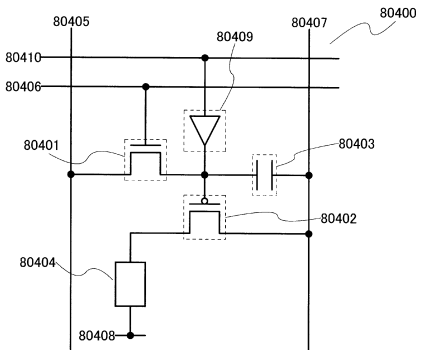


10

【図 9 7】



【図 9 8】



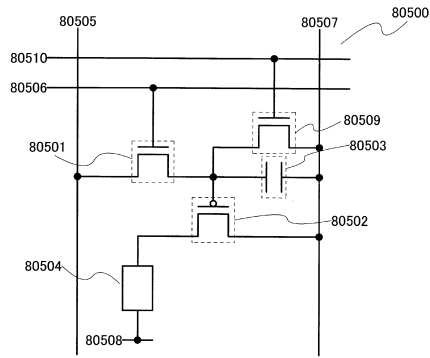
20

30

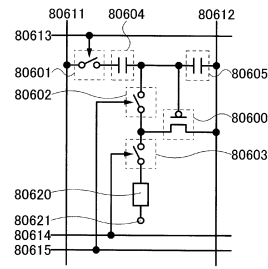
40

50

【図 99】

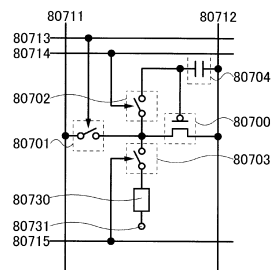


【図 100】

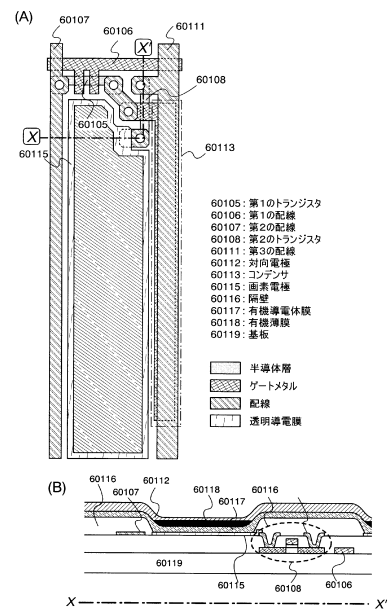


10

【図 101】



【図 102】



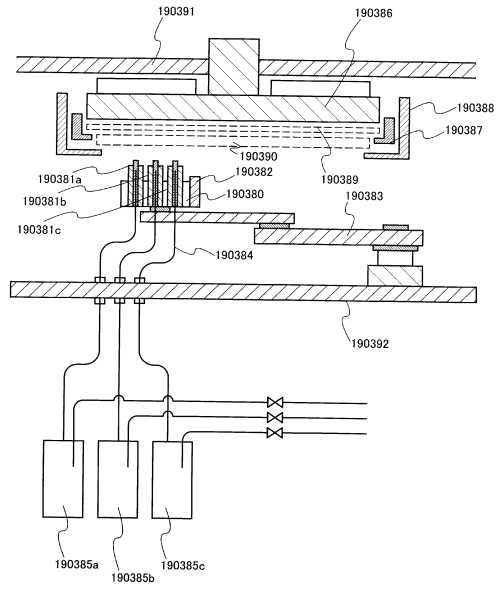
20

30

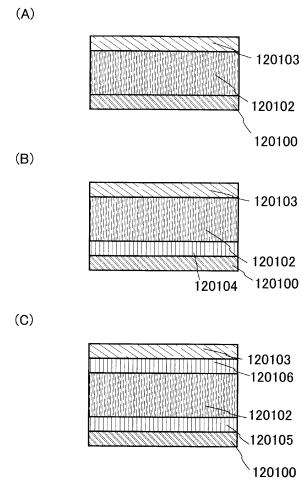
40

50

【図 107】

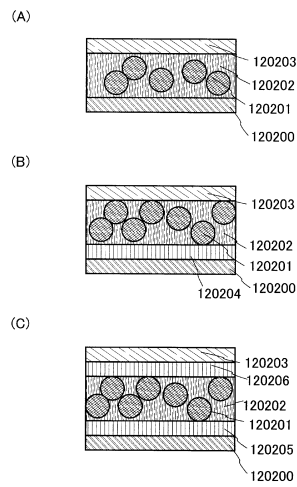


【図 108】

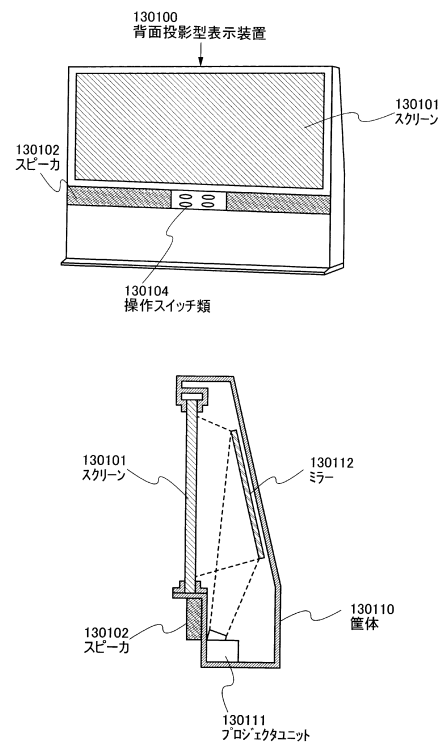


10

【図 109】



【図 110】



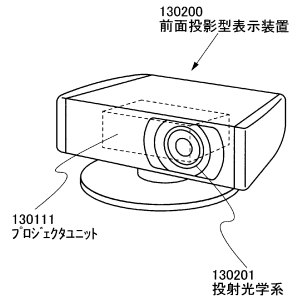
20

30

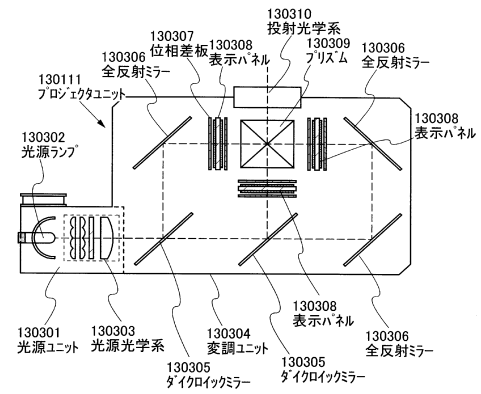
40

50

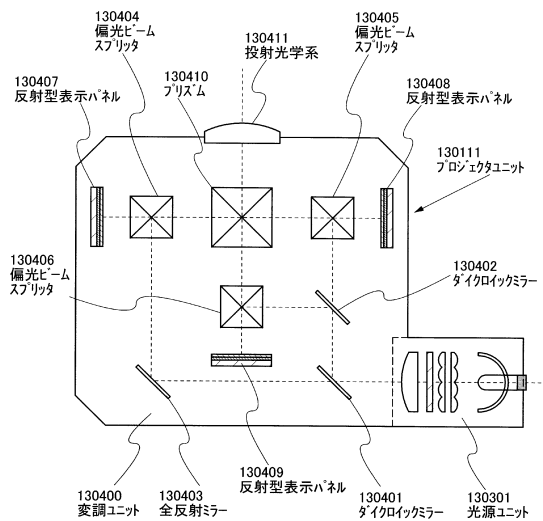
【図 1 1 1】



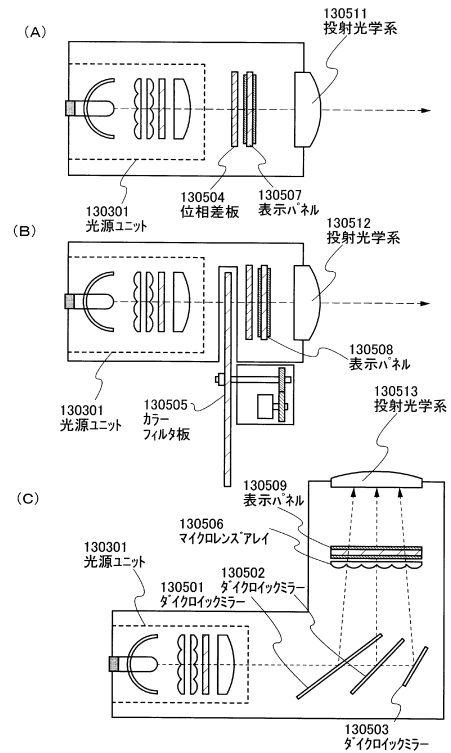
【図 1 1 2】



【図 1 1 3】



【図 1 1 4】



10

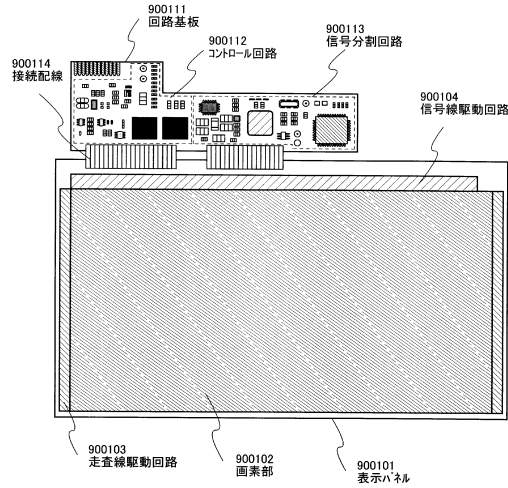
20

30

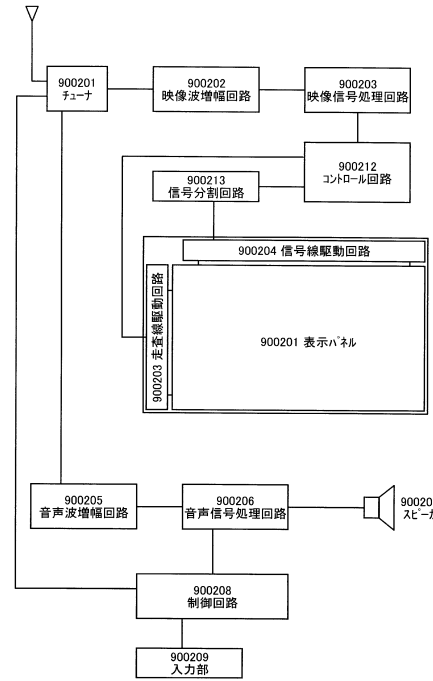
40

50

【図 1 1 5】

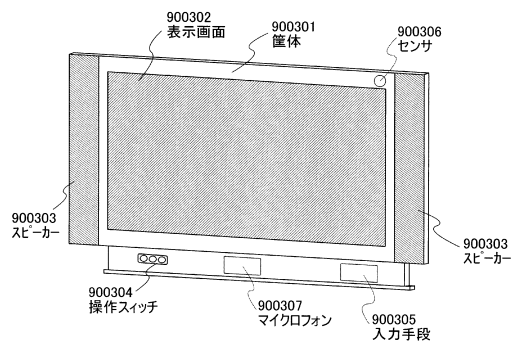


【図 1 1 6】

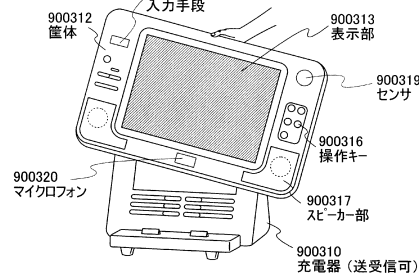


【図 1 1 7】

(A)

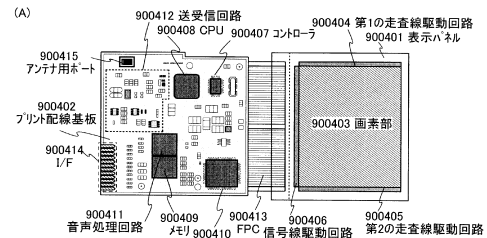


(B)

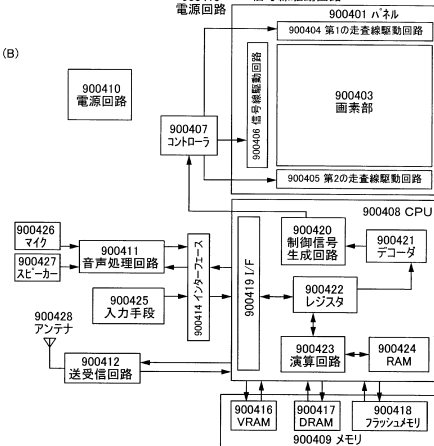


【図 1 1 8】

(A)



(B)



10

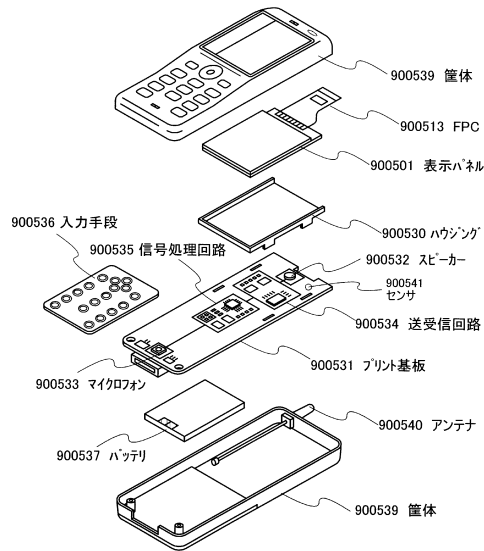
20

30

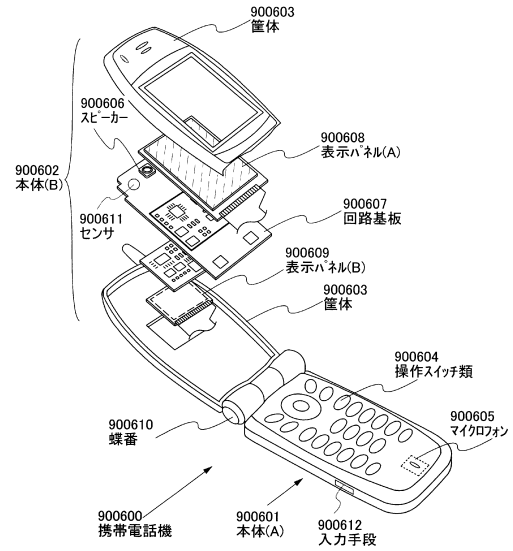
40

50

【図 1 1 9】

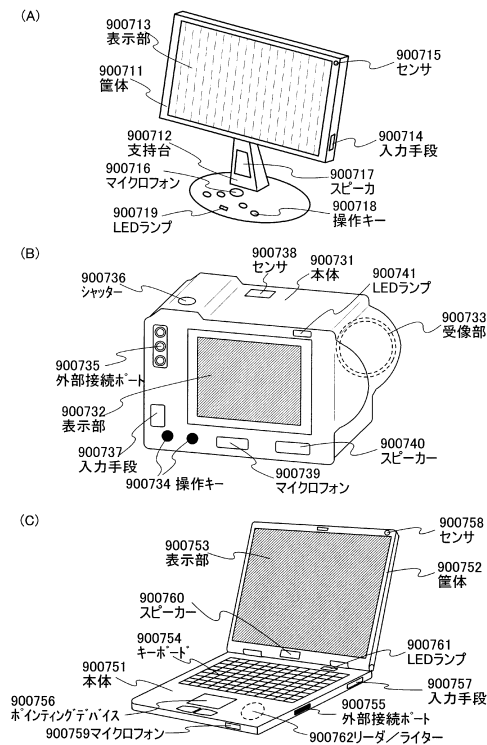


【図 1 2 0】

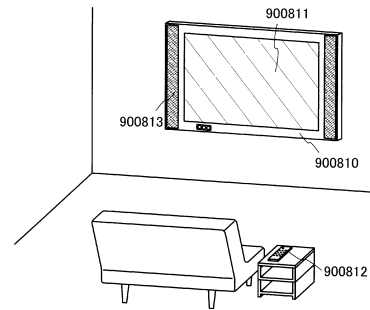


10

【図 1 2 1】



【図 1 2 2】



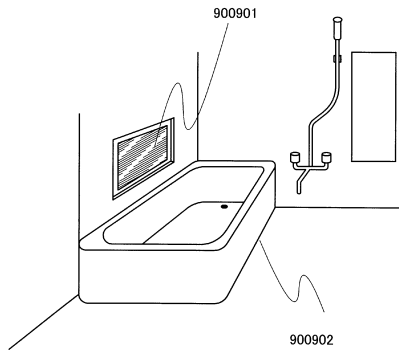
20

30

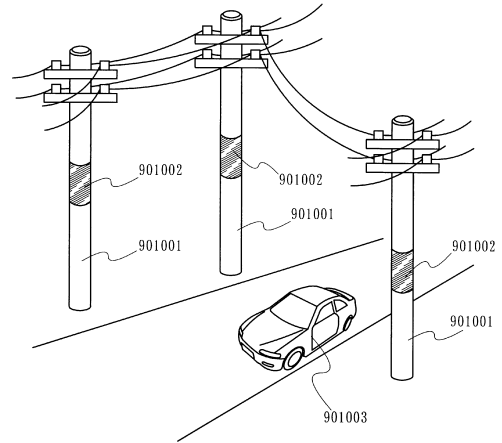
40

50

【図 1 2 3】

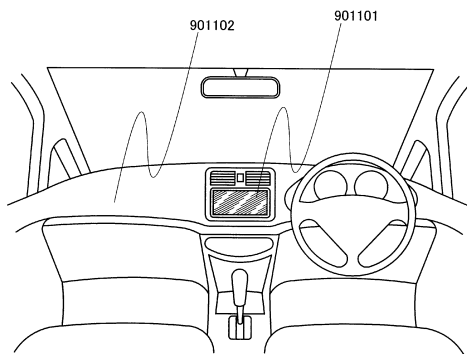


【図 1 2 4】

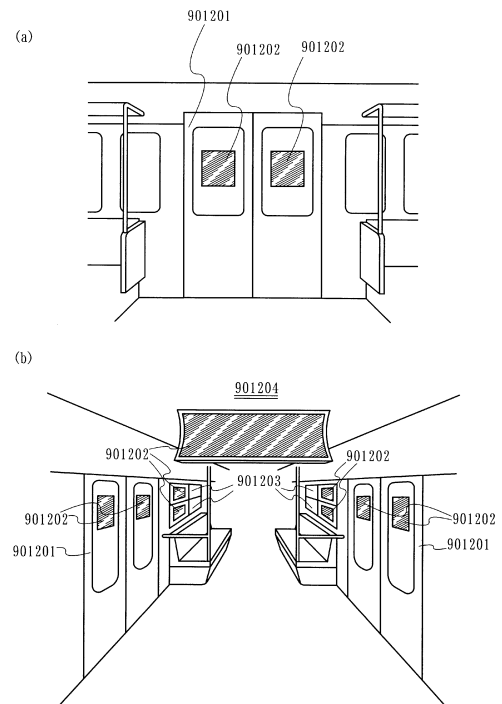


10

【図 1 2 5】



【図 1 2 6】



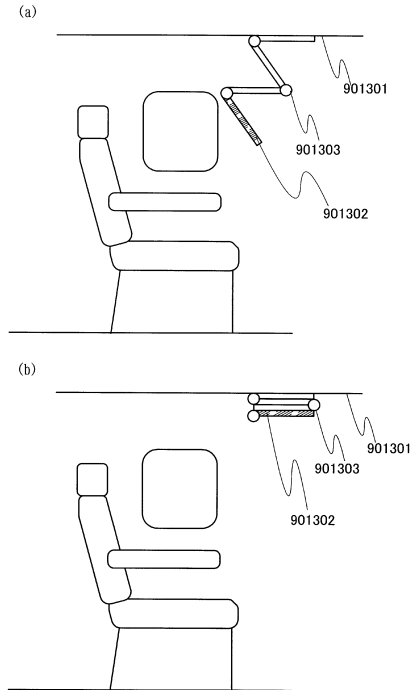
20

30

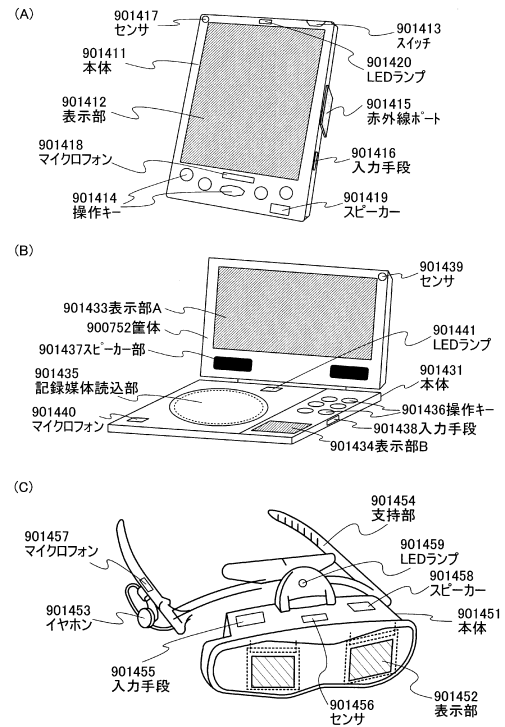
40

50

【図 1 2 7】



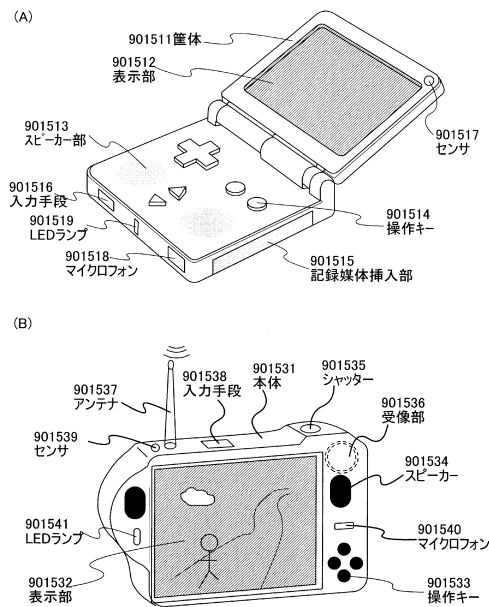
【図 1 2 8】



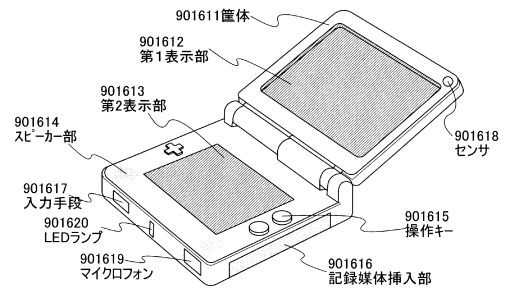
10

20

【図 1 2 9】



【図 1 3 0】



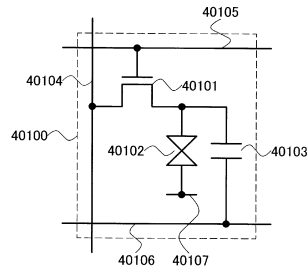
30

40

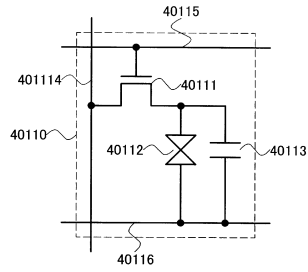
50

【図 1 3 1】

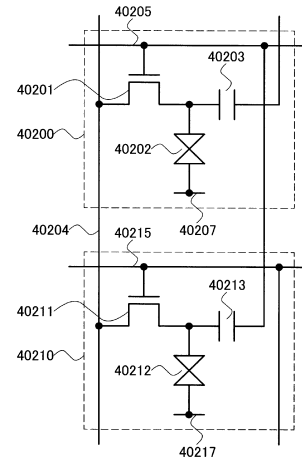
(A)



(b)

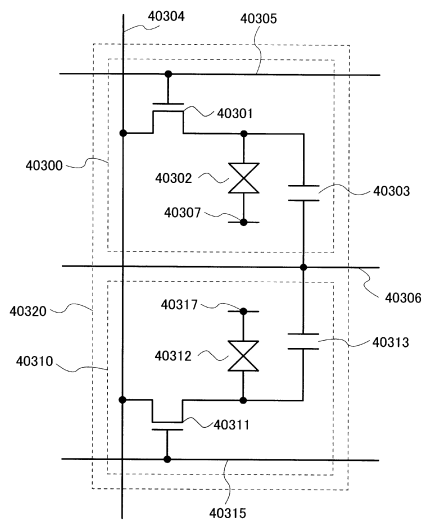


【図 1 3 2】



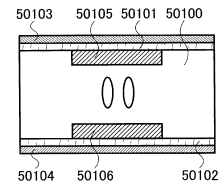
10

【図 1 3 3】

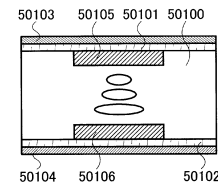


【図 1 3 4】

(A)



(B)

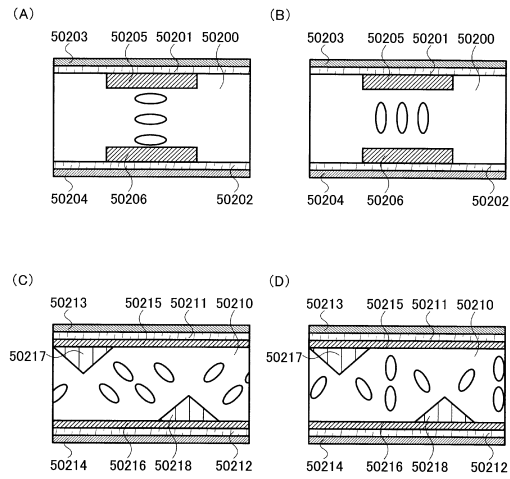


30

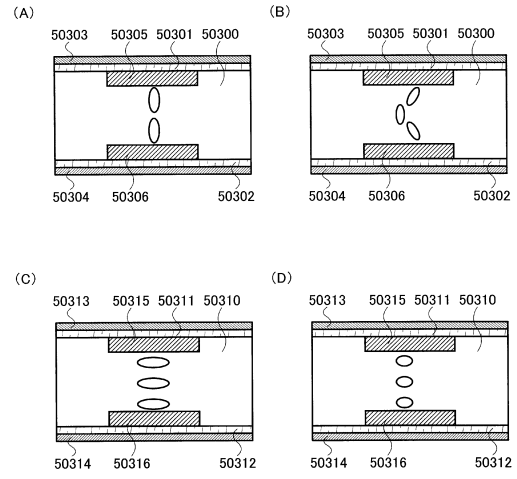
40

50

【図 1 3 5】

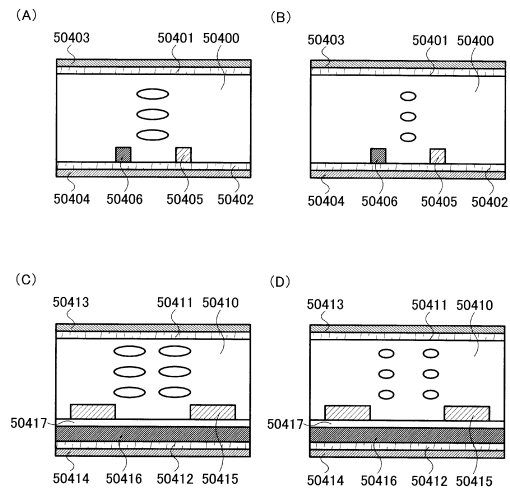


【図 1 3 6】

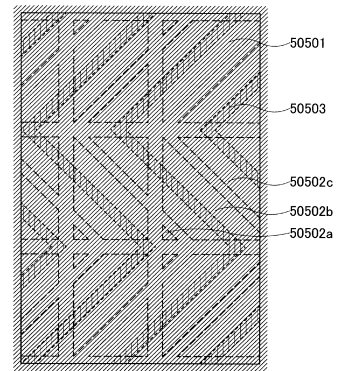


10

【図 1 3 7】



【図 1 3 8】



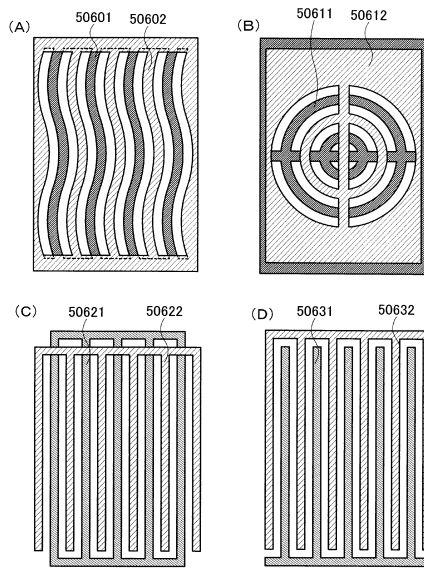
20

30

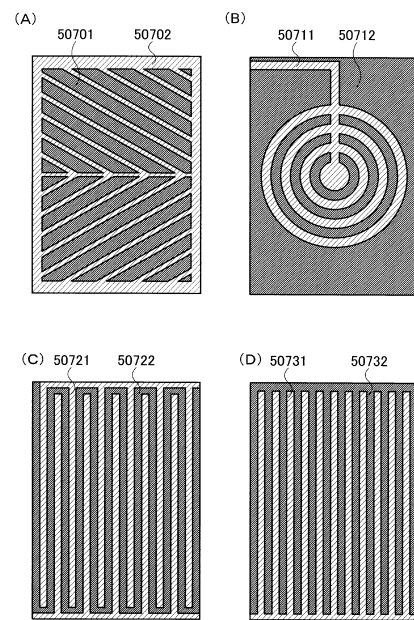
40

50

【図 1 3 9】



【図 1 4 0】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 4 1 G
G 0 2 F	1/1368	

(56)参考文献

実開平 0 2 - 0 3 9 2 1 5 (J P , U)
中国特許出願公開第 1 8 6 6 0 8 7 (C N , A)
米国特許出願公開第 2 0 0 7 / 0 1 0 3 6 1 5 (U S , A 1)
特開昭 6 1 - 2 4 5 1 3 6 (J P , A)
特開 2 0 0 5 - 3 0 0 8 2 1 (J P , A)
特開 2 0 0 5 - 0 0 4 2 1 2 (J P , A)
特開 2 0 0 6 - 1 2 6 8 4 2 (J P , A)
中国特許出願公開第 1 9 6 3 6 4 7 (C N , A)
米国特許第 0 4 9 0 2 6 3 8 (U S , A)
米国特許出願公開第 2 0 0 5 / 0 2 2 5 7 0 8 (U S , A 1)
中国特許出願公開第 1 6 8 0 8 4 4 (C N , A)
米国特許出願公開第 2 0 0 6 / 0 1 0 3 8 0 0 (U S , A 1)
韓国公開特許第 1 0 - 2 0 0 6 - 0 0 5 2 2 4 5 (K R , A)

(58)調査した分野 (Int.Cl., D B 名)

G 0 9 G	3 / 3 6
G 0 9 G	3 / 2 0
G 0 2 F	1 / 1 3 6 8