

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4278481号
(P4278481)

(45) 発行日 平成21年6月17日(2009.6.17)

(24) 登録日 平成21年3月19日(2009.3.19)

(51) Int.Cl.

F 1

H01L 21/768 (2006.01)

H01L 21/90

A

H01L 21/3205 (2006.01)

H01L 21/88

M

H01L 23/52 (2006.01)

請求項の数 11 (全 11 頁)

(21) 出願番号

特願2003-362961 (P2003-362961)

(22) 出願日

平成15年10月23日 (2003.10.23)

(65) 公開番号

特開2005-129677 (P2005-129677A)

(43) 公開日

平成17年5月19日 (2005.5.19)

審査請求日

平成18年10月16日 (2006.10.16)

(73) 特許権者 503121103

株式会社ルネサステクノロジ

東京都千代田区大手町二丁目6番2号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 將行

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

銅を含む導電体で形成される配線を形成する工程と、
前記配線上を覆うように第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜に前記第1の絶縁膜に達する第1の孔を形成する工程と、
前記第1の絶縁膜の前記第1の孔から露出する部分を除去することにより、前記配線に達する第2の孔を前記第1の絶縁膜に形成するとともに、前記第2の孔の壁面を前記第1の孔の壁面よりも外周側に削る工程と、

前記第1および第2の孔によって露出した前記配線表面をスパッタにより部分的に除去し、前記第2の孔の前記壁面全面に向けて前記配線表面から除去された除去物を飛ばし、上記除去物を付着させる工程と、

前記第1の孔の側面、前記第2の孔内の前記除去物上、及び溝の側面および底面にタンタルを含有するバリアメタルを形成する工程と、

前記溝内、前記第1および第2の孔内を導電膜で埋める工程とを備え、

前記第1の孔の上部と前記溝の底部は互いに繋がるようにされ、前記第2の絶縁膜内に前記溝の底面が形成されるようにされている、半導体装置の製造方法。

【請求項 2】

前記スパッタは、アルゴンを用いて行なわれ、0 以上 100 以下の温度で行なわれるこことを特徴とする、請求項 1 に記載の半導体装置の製造方法。

10

20

【請求項 3】

前記スパッタは、0以上50以下の温度で行なわれることを特徴とする、請求項2に記載の半導体装置の製造方法。

【請求項 4】

前記第1および第2の孔内を洗浄する工程をさらに備えることを特徴とする、請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項 5】

前記スパッタは、アルゴンおよび水素を用いて行なわれることを特徴とする、請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記導電膜は銅を材料とするものであり、前記バリアメタルはTaとTaNとで構成される拡散防止膜である、請求項1～5のいずれかに記載の半導体装置の製造方法。

10

【請求項 7】

銅を含む導電体で形成される配線を形成する工程と、

前記配線上を覆うように第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜に前記第1の絶縁膜に達する第1の孔を形成する工程と、

前記第1の絶縁膜の前記第1の孔によって露出する部分を除去することにより、前記配線に達する第2の孔を前記第1の絶縁膜に形成する工程と、

前記第2の孔が形成されることにより露出した前記配線を洗浄処理することにより、前記第1の孔の壁面よりも外周部に削られた凹部を前記配線に形成する工程と、

20

前記凹部に対してスパッタによりエッチング処理を行なうことにより、露出した前記配線表面から除去された除去物を前記第2の孔の壁面全面に向けて飛ばし、上記除去物を付着させる工程と、

前記第1の孔の側面、前記第2の孔内の前記除去物上、及び溝の側面および底面にタンタルを含有するバリアメタルを形成する工程と、

前記溝内、前記第1および第2の孔内を導電膜で埋める工程とを備え、

前記第1の孔の上部と前記溝の底部は互いに繋がるようにされ、前記第2の絶縁膜内に前記溝の底面が形成されるようにされている、半導体装置の製造方法。

【請求項 8】

30

前記スパッタは、アルゴンを用いて行なわれ、0以上100以下の温度で行なわれることを特徴とする、請求項7に記載の半導体装置の製造方法。

【請求項 9】

前記スパッタは、0以上50以下の温度で行なわれることを特徴とする、請求項8に記載の半導体装置の製造方法。

【請求項 10】

前記スパッタは、アルゴンおよび水素を用いて行なわれることを特徴とする、請求項7～9のいずれかに記載の半導体装置の製造方法。

【請求項 11】

前記導電膜は銅を材料とするものであり、前記バリアメタルはTaとTaNとで構成される拡散防止膜である、請求項7～10のいずれかに記載の半導体装置の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置およびその製造方法に関し、特に、銅を含む導電体よりなる配線を備えた半導体装置およびその製造方法に関する。

【背景技術】**【0002】**

L S I (Large Scale Integrated circuit) の微細化、高速化に伴ない、L S I の配線材料として従来用いられていたアルミニウムに代わり、電気抵抗の低い銅が用いられよ

50

うとしている。LSIの配線材料として銅を用いることにより、電気抵抗を低く抑えながら配線を微細化することができ、また、LSIの動作速度を向上することができる。しかしながら、銅は絶縁膜中に拡散しやすい性質を有している。銅が絶縁膜中に拡散すれば配線の信頼性が低くなってしまう。また、銅はプラズマイオンとの反応速度が非常に遅いという性質を有している。このため、エッチングにより配線を形成しようとすると十分な生産性が得られない。

【0003】

そこで、これらの問題を解決することのできる銅配線の形成方法として、近年、ダマシン法が採用されている。通常のダマシン法を用いた場合、銅よりなる配線は以下のように形成される。

10

【0004】

まず、銅よりなる下部配線を覆うように、第1の拡散防止膜（絶縁体）と、層間絶縁膜とが積層して形成される。次に、通常の写真製版技術およびエッチング技術により、層間絶縁膜および第1の拡散防止膜に接続孔が開口される。これにより、接続孔の底面には下部配線が露出する。そして、開口された接続孔内が洗浄される。続いて、層間絶縁膜に形成された接続孔の上部をエッチングすることにより、接続孔の上部に溝が形成される。次に、溝の側面および底面と、接続孔の側面および底面と、層間絶縁膜の上面とを覆うように、第2の拡散防止膜（導電体）が形成され、溝および接続孔を埋めるように、第2の拡散防止膜の上に銅膜が形成される。第2の拡散防止膜は、銅膜との間に隙間が生じないように、銅との密着性が良好な材料で形成される。そして、層間絶縁膜上の第2の拡散防止膜および銅膜が除去される。これにより、溝および接続孔内にのみ第2の拡散防止膜と銅膜とが残存されて、銅よりなる上部配線部分およびコンタクト部が形成される。その後、上部配線部分を覆うように層間絶縁膜上に第3の拡散防止膜（絶縁体）が形成される。

20

【0005】

なお、ダマシン法を開示する文献として、たとえば特開平10-340865号公報（特許文献1）、特開2001-118846号公報（特許文献2）、特開平5-234973号公報（特許文献3）、特開平11-330246号公報（特許文献4）、特開平9-82798号公報（特許文献5）、特開2000-164712号公報（特許文献6）などがある。

30

【特許文献1】特開平10-340865号公報

【特許文献2】特開2001-118846号公報

【特許文献3】特開平5-234973号公報

【特許文献4】特開平11-330246号公報

【特許文献5】特開平9-82798号公報

【特許文献6】特開2000-164712号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

通常、層間絶縁膜および第1の拡散防止膜に接続孔が開口される際には、はじめに層間絶縁膜をエッチングすることにより層間絶縁膜の部分に接続孔が開口され、次にエッティングガスなどのエッティング条件を変えて第1の拡散防止膜をエッティングすることにより第1の拡散防止膜の部分に接続孔が開口される。このうち、第1の拡散防止膜に接続孔を開口する際には、層間絶縁膜よりも第1の拡散防止膜の方がエッティングされやすくなる条件で、第1の拡散防止膜がエッティングされる。このため、第1の拡散防止膜に接続孔を開口する際には、層間絶縁膜の側面に比べて第1の拡散防止膜の側面がより大きくエッティングされるので、第1の拡散防止膜にサイドエッティングが生じやすい。さらに、接続孔が開口された後で接続孔内が洗浄される際にも、下部配線の表面にサイドエッティングが生じやすい。このように第1の拡散防止膜や下部配線においてサイドエッティングが生じた部分には、第2の拡散防止膜が形成されにくく（途切れやすく）、銅膜も形成されにくく（途切れやすい）。これにより、第1の拡散防止膜や下部配線においてサイドエッティングが生じた部

40

50

分にボイドが生成し、電気抵抗の増加や断線などが起こりやすくなる。その結果、半導体装置の信頼性が低下するという問題があった。

【0007】

したがって、本発明の目的は、半導体装置の信頼性を向上することのできる半導体装置およびその製造方法を提供することである。

【課題を解決するための手段】

【0008】

本発明の一の局面に従う半導体装置の製造方法は以下の工程を備えている。銅を含む導電体で形成される配線が形成される。配線上を覆うように第1の絶縁膜が形成される。第1の絶縁膜上に第2の絶縁膜が形成される。第2の絶縁膜に第1の絶縁膜に達する第1の孔が形成される。第1の孔から露出する部分を除去することにより、配線に達する第2の孔が第1の絶縁膜に形成されるとともに、第2の孔の壁面が第1の孔の壁面よりも外周側に削られる。第1および第2の孔によって露出した配線表面をスパッタにより部分的に除去し、第2の孔の壁面全面に向けて配線表面から除去された除去物を飛ばし、除去物が付着される。第1の孔の側面、第2の孔内の除去物上、及び溝の側面および底面にタンタルを含有するバリアメタルが形成される。溝内、第1および第2の孔内が導電膜で埋められる。第1の孔の上部と溝の底部は互いに繋がるようにされ、第2の絶縁膜内に溝の底面が形成されるようにされている。

本発明の他の局面に従う半導体装置の製造方法は以下の工程を備えている。銅を含む導電体で形成される配線が形成される。配線上を覆うように第1の絶縁膜が形成される。第1の絶縁膜上に第2の絶縁膜が形成される。第2の絶縁膜に前記第1の絶縁膜に達する第1の孔が形成される。第1の絶縁膜の第1の孔によって露出する部分を除去することにより、配線に達する第2の孔が第1の絶縁膜に形成される。第2の孔が形成されることにより露出した配線を洗浄処理することにより、第1の孔の壁面よりも外周部に削られた凹部が配線に形成される。凹部に対してスパッタによりエッチング処理を行なうことにより、露出した配線表面から除去された除去物が第2の孔の壁面全面に向けて飛ばされ、除去物が付着される。第1の孔の側面、第2の孔内の除去物上、及び溝の側面および底面にタンタルを含有するバリアメタルが形成される。溝内、第1および第2の孔内が導電膜で埋められる。第1の孔の上部と溝の底部は互いに繋がるようにされ、第2の絶縁膜内に溝の底面が形成されるようにされている。

【発明の効果】

【0009】

本発明の半導体装置の製造方法によれば、第1の孔の壁面よりも外周側に削られた第2の孔が除去物で埋められるので、第2の孔内に導電膜が途切れずに形成されやすくなり、第2の孔内へのボイドの生成が抑止される。また、除去物が第2の孔内を埋める分だけ、第2の絶縁膜における第1の孔の側面に付着する除去物の量は少なくなるので、除去物が第2の絶縁膜中に拡散することにより配線間リークを引き起こすという問題を抑止することができる。したがって、半導体装置の信頼性を向上することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の一実施の形態について図に基づいて説明する。

【0011】

図1は、本発明の一実施の形態における半導体装置の構成を示す断面図である。

【0012】

図1を参照して、本実施の形態の半導体装置1は、以下のよう構成を有している。

【0013】

層間絶縁膜3には溝5が形成されており、拡散防止膜7が溝5の側面および底面を覆うように形成されている。そして、溝5を埋めるように拡散防止膜7の上にCu(銅)膜9が形成されている。これにより、下部配線6(配線)が構成されている。さらに、Cu膜9を覆うように層間絶縁膜3の上に拡散防止膜11(第1の絶縁膜)が形成されており、

10

20

30

40

50

拡散防止膜 11 の上には層間絶縁膜 13 (第 2 の絶縁膜) が形成されている。

【0014】

層間絶縁膜 13 および拡散防止膜 11 には、下部配線 6 の Cu 膜 9 に達する接続孔 15 (接続孔) が開口されている。さらに、層間絶縁膜 13 の接続孔 15 の上部には溝 18 が形成されている。拡散防止膜 11 に生じるサイドエッティングに起因して、拡散防止膜 11 における接続孔 15 の側面には凹部 26 が形成されている。これにより、拡散防止膜 11 における接続孔 15 の口径 (図 1 中横方向の長さ) は層間絶縁膜 13 における接続孔 15 の口径よりも大きくなっている。また、接続孔 15 の底部の Cu 膜 9 には凹部 16 が形成されている。接続孔 15 の側面には Cu が付着しており、Cu 膜 9a が形成されている。Cu 膜 9a は層間絶縁膜 13 における接続孔 15 の側面および凹部 26 および凹部 16 の側部に連続膜となって形成されており、凹凸の少ない均一な膜の状態となっている。また、層間絶縁膜 13 における接続孔 15 の側面の Cu 膜 9a の膜厚は薄くなっている。Cu 膜 9a により、凹部 26 と、凹部 16 の側部とが埋められており、ボイドは生成していない。
10

【0015】

溝 18 の側面および底面と、接続孔 15 の側面および底面 (凹部 16 の底面) と、Cu 膜 9a とを覆うように、拡散防止膜 17 が形成されている。そして、溝 18 および接続孔 15 を埋めるように、拡散防止膜 17 上に Cu 膜 19 (導電膜) が形成されている。Cu 膜 19 を覆うように層間絶縁膜 13 の上に拡散防止膜 21 が形成されている。溝 18 内における拡散防止膜 17 と Cu 膜 19 とにより上部配線 4 が構成されており、接続孔 15 内における拡散防止膜 17 と Cu 膜 19 とによりコンタクト部 8 が構成されている。
20

【0016】

続いて、本実施の形態の半導体装置の製造方法について説明する。

【0017】

図 2 ~ 6 は、本発明の一実施の形態における半導体装置の製造方法を工程順に示す断面図である。

【0018】

図 2 を参照して、従来のダマシン法により、拡散防止膜 7 と Cu 膜 9 とにより構成される下部配線 6 が層間絶縁膜 3 の溝 5 に形成されている。この層間絶縁膜 3 の上に、拡散防止膜 11 と、層間絶縁膜 13 とが積層して形成される。層間絶縁膜 3 および層間絶縁膜 13 は、たとえば P T E O S (Phospho Tetra Ethyl Ortho Silicate) よりなっている。また、拡散防止膜 11 は、たとえばプラズマ C V D (Chemical Vapor Deposition) 法により形成されたシリコン窒化膜よりなっている。
30

【0019】

図 3 を参照して、通常の写真製版技術およびエッティング技術により、層間絶縁膜 13 に接続孔 15 (第 1 の孔) が開口される。これにより、接続孔 15 の底部に拡散防止膜 11 が露出する。次に、層間絶縁膜 13 に開口された接続孔 15 を介して接続孔 15 から露出する拡散防止膜 11 をエッティングすることにより、拡散防止膜 11 に接続孔 15 (第 2 の孔) が開口される。これにより、接続孔 15 の底部に Cu 膜 9 が露出する。ここで、拡散防止膜 11 をエッティングする際には、層間絶縁膜 13 よりも拡散防止膜 11 の方がエッティングされやすくなるような条件でエッティングが行なわれる。このため、拡散防止膜 11 をエッティングする際に、層間絶縁膜 13 はエッティングされずに拡散防止膜 11 のみがエッティングされる。その結果、拡散防止膜 11 にサイドエッティングが生じ、拡散防止膜 11 における接続孔 15 の壁面が層間絶縁膜 13 における接続孔 15 の壁面よりも外周側 (図 3 中横方向) に削られる。つまり、拡散防止膜 11 における接続孔 15 の側面に凹部 26 が形成される。続いて、接続孔 15 内が洗浄され、接続孔 15 内に残った残渣などが除去される。ここで、接続孔 15 の開口の際には、接続孔 15 の底部およびその付近の Cu 膜 9 の表面には結晶性の乱れた銅結晶、酸化銅、および不純物を含んだ Cu 膜 (以下、ダメージ層) などが局所的に形成されている。Cu 膜 9 の表面に形成されたこのようなダメージ層が、開口後に洗浄液により除去される。その結果、Cu 膜 9 の表面には凹部 16 が形成さ
40
50

れる。凹部 16 は、接続孔 15 の底部から拡散防止膜 11 との界面にまで広がっている。

【0020】

図 4 を参照して、接続孔 15 から露出した下部配線 6 の Cu 膜 9 表面がスパッタにより部分的に除去される。Cu 膜 9 表面から除去された Cu は、凹部 26 の全面と、凹部 16 の側部とに付着する。具体的には、Ar (アルゴン) を用いて 0 以上 100 以下、好みしくは 50 以下の温度で Cu 膜 9 のスパッタが行なわれる。また、好みしくは Ar および H (水素) を用いてスパッタが行なわれる。これにより、スパッタにより除去された Cu 膜 9 が、凹部 26 の全面と、凹部 16 の側部とに再付着する。その結果、凹部 26 と、凹部 16 の側部とを埋めるように、接続孔 15 の側面に Cu 膜 9a が形成される。続いて、通常の写真製版技術およびエッチング技術により、層間絶縁膜 13 が一定の深さまでエッチングされ、溝 18 が形成される。
10

【0021】

図 5 を参照して、溝 18 の側面および底面と、接続孔 15 の側面および底面 (凹部 16 の底面) と、Cu 膜 9a とを覆うように、層間絶縁膜 13 の上に拡散防止膜 17 が形成される。拡散防止膜 17 は、たとえばスパッタ法を用いて、Ta (タンタル) を 25 nm の厚さで成膜し、その上に TaN (窒化タンタル) を 10 nm の厚さで成膜することにより形成される。このとき、凹部 26 と、凹部 16 の側部とは Cu 膜 9a により埋められているので、ボイドが生成することなく、拡散防止膜 17 は均一な連続膜で形成される。次に、溝 18 および接続孔 15 を埋めるように、拡散防止膜 17 上に Cu 膜 19 が形成される。Cu 膜 19 は、たとえばメッキ法により 0.6 μm の厚さで形成される。ここで、拡散防止膜 17 が均一な連続膜で形成されているので、拡散防止膜 17 により Cu メッキ液中における Cu イオンと電子とのやり取りが促進され、その結果、拡散防止膜 17 上には均一な Cu 膜 19 が形成される。
20

【0022】

図 6 を参照して、たとえば CMP (Chemical mechanical Polish) 法により、層間絶縁膜 13 上の余分な拡散防止膜 17 および Cu 膜 19 が除去される。これにより、溝 18 に上部配線 4 が形成され、接続孔 15 にコンタクト部 8 が形成される。

【0023】

図 1 を参照して、たとえばプラズマ CVD 法により形成されたシリコン窒化膜よりなる拡散防止膜 21 が、Cu 膜 19 を覆うように層間絶縁膜 13 の上に形成される。以上の工程により、本実施の形態における半導体装置 1 が完成する。
30

【0024】

本実施の形態における半導体装置およびその製造方法によれば、接続孔 15 内の凹部 26 と、凹部 16 の側部とが Cu 膜 9a により埋められるので、接続孔 15 内に拡散防止膜 17 および Cu 膜 19 が途切れずに形成されやすくなり、接続孔 15 内へのボイドの生成が抑止される。また、Cu 膜 9a が接続孔 15 内の凹部 26 と、凹部 16 の側部とを埋める分だけ、層間絶縁膜 13 における接続孔 15 の側面に付着する Cu の量は少なくなるので、Cu が層間絶縁膜 13 中に拡散することにより配線間リーケを引き起こすという問題を抑止することができる。したがって、半導体装置 1 の信頼性を向上することができる。
40

【0025】

上記製造方法において好みしくは、スパッタは、Ar を用いて行われ、0 以上 100 以下の温度で行なわれる。

【0026】

本願発明者らは、鋭意検討し、Ar を用いて 0 以上 100 以下の温度でスパッタを行なうことにより、スパッタにより除去された Cu 膜 9 が、凹部 26 の全面と、凹部 16 の側部とに再付着することを見出した。この効果は以下の理由によるものと考えられる。

【0027】

図 7 は、Ar を用いて 160 の温度でスパッタした場合の半導体装置の構成を示す断面図である。

【0028】

10

20

30

40

50

図7を参照して、半導体装置101において、Cu膜9aは、接続孔15における凹部26の上部の側壁に厚く付着している。また、Cu膜9bは凹部26の一部を埋めるように形成されている。すなわち、凹部26および凹部16はCu膜9a、9bによって完全に埋められておらず、凹部26にはボイド27が形成されており、凹部16の側部にはボイド25が生成している。Cu膜9a、9bは表面の凹凸が大きく、不均一な膜の状態となっている。

【0029】

なお、これ以外の構成については、図1に示す本実施の形態における半導体装置1の構成とほぼ同じであるため、同一の構成要素には同一の符号を付し、その説明を省略する。

【0030】

図7に示すように、100より高い温度(たとえば160)でCu膜9をスパッタする場合には、Arのエネルギーが大きいため、接続孔15の底部に露出しているCu膜9が除去される際にCuが遠くへ飛び散る。このため、除去されたCu膜9a、9bにより凹部26や、凹部16の側部を埋めることができず、Cu膜9a、9bが接続孔15の側面に不均一に再付着してしまう。

【0031】

一方、本実施の形態における半導体装置の製造方法のように、100以下の低温でArを用いてスパッタする場合には、Arのエネルギーが小さいため、接続孔15の底部に露出しているCu膜9が除去される際に遠くへ飛び散ることが抑止される。このため、凹部26や、凹部16の側部といった接続孔15の底部から比較的近い部分に、除去されたCu膜9は再付着しやすくなる。これにより、凹部26および凹部16の側部がCu膜9aで埋められ、ボイドの生成が抑止される。一方、0以上の温度でCu膜9がスパッタされるので、異物が付着することなくCu膜9をスパッタすることができる。

【0032】

また、層間絶縁膜13における接続孔15の側面は、接続孔15の底部から比較的遠い部分に存在しているので、除去されたCu膜9は層間絶縁膜13における接続孔15の側面に再付着しにくくなる。したがって、層間絶縁膜13における接続孔15の側面のCu膜9aの膜厚は薄くなり、Cu膜9aの長さも短くなるので、層間絶縁膜13における接続孔15の側面のCu膜9aの量は少なくなる。これにより、接続孔15の側面に付着したCu膜9aが層間絶縁膜13中に拡散することにより配線間リーキを引き起こすという問題を抑止することができる。

【0033】

さらに、100以下の低温でスパッタするので、非常に小さな粒径の結晶粒のCu膜9aが形成され、また、付着したCu膜9aはマイグレートしないので、Cu膜9aの表面が平坦になる。さらに、接続孔15の側面に再付着するCu膜9aの量が少ないとから、Cu膜9aの結晶粒が成長しにくく、Cu膜9aの表面の凹凸が大きくなることが抑止される。これにより、Cu膜9aが均一な膜になる。したがって、Cu膜9aの上に形成される拡散防止膜17およびCu膜19が良質な膜質で形成される。以上の理由により、半導体装置1の信頼性を向上することができる。

【0034】

上記製造方法において好ましくは、Cu膜9のスパッタは、0以上50以下の温度で行なわれる。

【0035】

これにより、さらに低温でCu膜9がスパッタされるので、Cu膜9が除去される際に一層遠くへ飛び散らなくなり、凹部26および凹部16の側部がCu膜9aで一層埋められやすくなる。また、層間絶縁膜13における接続孔15の側面に付着するCu膜9aの量が一層少なくなるので、配線間リーキを引き起こすという問題を一層抑止することができる。さらに、Cu膜9aが一層均一な膜になるので、Cu膜9aの上に形成される拡散防止膜17が一層良質な膜質で形成される。したがって、半導体装置の信頼性を一層向上することができる。

10

20

30

40

50

【0036】

本願発明者らは、上記効果を確認するために、以下の実験を行なった。

【0037】

Ar を用いて 50 の温度で下部配線の Cu 膜のスパッタを行ない、半導体装置を製造した。また、比較のために、 Ar を用いて 160 の温度で下部配線の Cu 膜のスパッタを行ない、配線を備える半導体装置 1 を同様の方法で製造した。その結果、 Ar を用いて 50 の温度でスパッタした場合における 10% TTF (半導体装置の故障率が 10% に至るまでの時間) は 22788 時間であり、50% TTF (半導体装置の故障率が 50% に至るまでの時間) は、26900 時間であった。一方、 Ar を用いて 160 の温度でスパッタした場合における 10% TTF は 8200 時間であり、50% TTF は 1121 1 時間であった。以上の結果により、50 の温度で下部配線の Cu 膜のスパッタを行なった場合には、160 の温度で下部配線の Cu 膜のスパッタを行なった場合よりも半導体装置の寿命が約 2.4 倍に伸びており、半導体装置の信頼性が向上していることがわかる。
10

【0038】

さらに、本願発明者らは、上記効果を確認するために、ストレスマイグレーション試験を行なった。具体的には、 Ar を用いて 50 の温度で下部配線の Cu 膜のスパッタを行ない、半導体装置を製造した。また、比較のために、 Ar を用いて 160 の温度で下部配線の Cu 膜のスパッタを行ない、配線を備える半導体装置 1 を同様の方法で製造した。次に、それぞれの半導体装置を高温で一定時間保持し、その後、コンタクト部の電気抵抗の増加率を測定した。
20

【0039】

図 8 は、コンタクト部の電気抵抗の増加率と半導体装置の累積度数との関係を示す図である。

【0040】

図 8 を参照して、50 の温度でスパッタを行なった半導体装置は、コンタクト部の電気抵抗の増加率が約 6% 以下となっている。一方、160 の温度でスパッタを行なった半導体装置は、コンタクト部の電気抵抗の増加率が約 4% ~ 26% となっている。この結果から、 Ar を用いて 50 の温度で下部配線の Cu 膜のスパッタを行なった場合には、高温で保持されてもコンタクト部の膜質の劣化が起こりにくく、半導体装置の信頼性が向上していることがわかる。
30

【0041】

上記製造方法において好ましくは、接続孔 15 内が洗浄される。

【0042】

これにより、接続孔 15 内に残った残渣などが除去されるので、コンタクト部 8 内に異物が混入することが抑制される。また、接続孔 15 の洗浄により Cu 膜 9 の表面に凹部 16 が形成されても、凹部 16 の側部が Cu 膜 9a で埋められるので、ボイドの生成が抑止される。したがって、ボイドの生成およびコンタクト部 8 内に異物が混入することが抑制される。
40

【0043】

上記製造方法において好ましくは、Cu 膜 9 のスパッタは、 Ar および H を用いて行なわれる。

【0044】

これにより、H に電圧を印加することにより、Cu 膜 9 の表面の酸化銅、フッ化銅、炭化銅などのダメージ層が H により還元される。したがって、Cu 膜 9 の表面のダメージ層を改善することができる。

【0045】

以上に開示された実施の形態はすべての点で例示であって制限的なものではないと考慮されるべきである。本発明の範囲は、以上の実施の形態ではなく、特許請求の範囲によつて示され、特許請求の範囲と均等の意味および範囲内でのすべての修正や変形を含むもの
50

と意図される。

【図面の簡単な説明】

【0046】

【図1】本発明の一実施の形態における半導体装置の構成を示す断面図である。

【図2】本発明の一実施の形態における半導体装置の製造方法の第1工程を示す断面図である。

【図3】本発明の一実施の形態における半導体装置の製造方法の第2工程を示す断面図である。

【図4】本発明の一実施の形態における半導体装置の製造方法の第3工程を示す断面図である。

10

【図5】本発明の一実施の形態における半導体装置の製造方法の第4工程を示す断面図である。

【図6】本発明の一実施の形態における半導体装置の製造方法の第5工程を示す断面図である。

【図7】Arを用いて160°Cの温度でスパッタした場合の半導体装置の構成を示す断面図である。

【図8】コンタクト部の電気抵抗の増加率と半導体装置の累積度数との関係を示す図である。

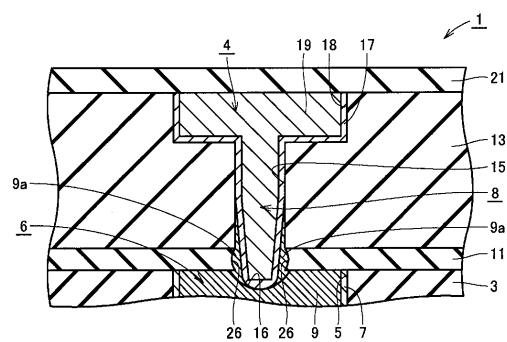
【符号の説明】

【0047】

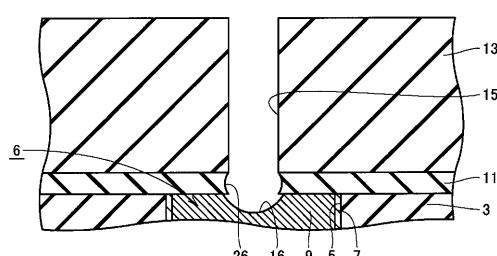
20

1, 101 半導体装置、3, 13 層間絶縁膜、4 上部配線、5, 18 溝、6 下部配線、7, 11, 17, 21 拡散防止膜、8 コンタクト部、9, 9a, 9b, 11 Cu膜、15 接続孔、16, 26 凹部、25, 27 ポイド。

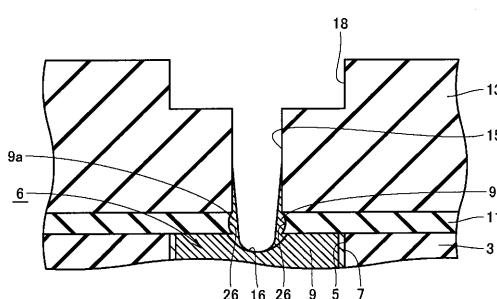
【図1】



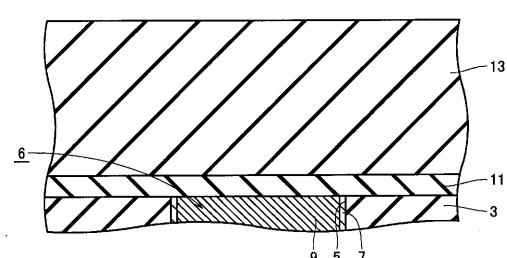
【図3】



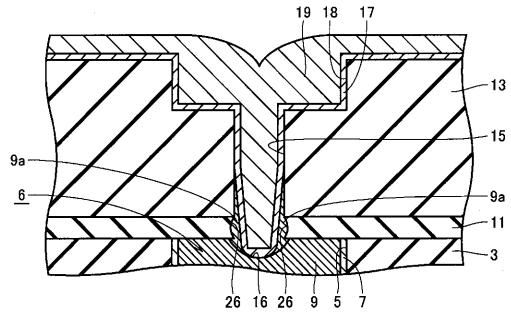
【図4】



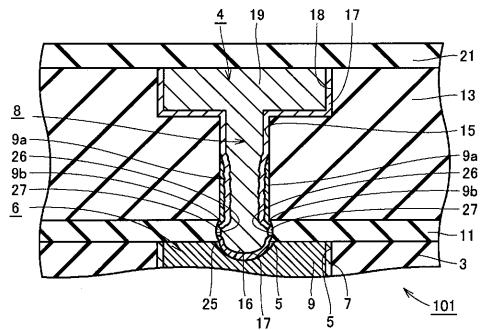
【図2】



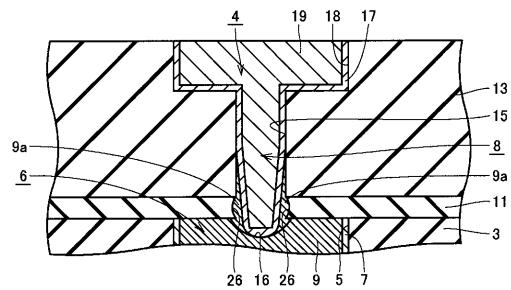
【図5】



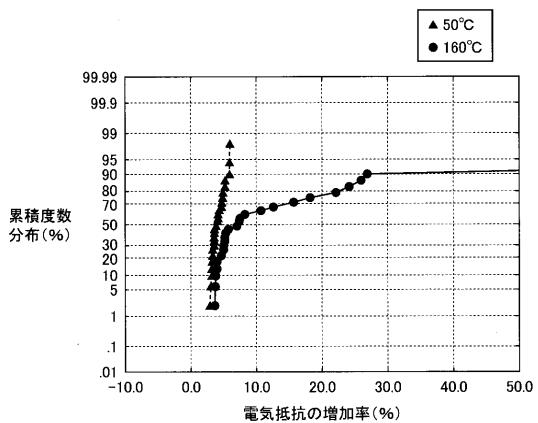
【図7】



【図6】



【図8】



フロントページの続き

(72)発明者 福井 勝一

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 鴨島 隆夫

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 泉谷 淳子

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 長谷山 健

(56)参考文献 特開2002-299436(JP,A)

特開2000-012684(JP,A)

特開2002-289594(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/768

H01L 21/3205

H01L 23/52