



등록특허 10-2067574



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월17일  
(11) 등록번호 10-2067574  
(24) 등록일자 2020년01월13일

- (51) 국제특허분류(Int. Cl.)  
*G09G 3/30* (2006.01) *G09G 3/20* (2006.01)

(21) 출원번호 10-2013-0023953  
(22) 출원일자 2013년03월06일  
    심사청구일자 2018년02월22일  
(65) 공개번호 10-2013-0105384  
(43) 공개일자 2013년09월25일  
(30) 우선권주장  
    JP-P-2012-056909 2012년03월14일 일본(JP)  
(56) 선행기술조사문헌  
    JP2000221942 A\*  
    JP2007179041 A\*  
    JP2008176287 A\*

(73) 특허권자  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자  
코야마 준  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인  
황의만

전체 청구항 수 : 총 3 항

심사관 : 하정균

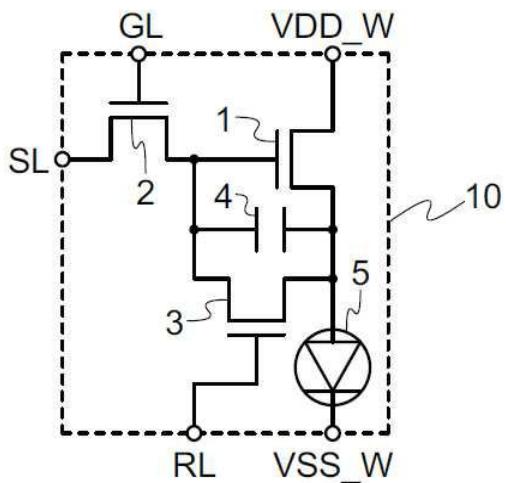
(54) 발명의 명칭 표시 장치

(57) 요약

본 발명은 발광 소자와, 상기 발광 소자에 전류를 공급하는 구동 트랜지스터가 각 화소에 제공된 표시 장치이며, 채널이 산화물 반도체층에 형성되는 트랜지스터가 각 화소에 제공된 표시 장치의 표시 불량을 억제한다.

각 화소에 제공된 구동 트랜지스터의 게이트와 소스를 전기적으로 접속시킬지 아닌지를 제어하는 트랜지스터를 제공한다. 또한, 상기 트랜지스터를 포함하여 구동 트랜지스터의 게이트와 다른 노드의 전기적인 접속을 제어하는 트랜지스터는 채널이 산화물 반도체층에 형성되는 트랜지스터다. 그러므로, 구동 트랜지스터의 게이트와 전기적으로 접속되는 노드에 축적된 전하를 임의적으로 유지하거나 방출할 수 있다. 결과적으로 상기 표시 장치의 표시 불량을 억제할 수 있다.

대표도 - 도1



## 명세서

### 청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

복수의 화소를 포함한 표시 장치에 있어서,

각 화소는:

한 쌍의 전극을 포함한 발광 소자와;

게이트, 소스, 및 드레인을 각각 포함한 구동 트랜지스터, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 및 제 5 트랜지스터와;

제 1 배선, 제 2 배선, 제 3 배선, 제 4 배선, 제 5 배선, 제 6 배선, 제 7 배선, 및 제 8 배선과;

한 쌍의 전극을 포함한 커패시터를 포함하고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 하나는 상기 구동 트랜지스터의 상기 게이트 및 상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 하나에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 4 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 하나, 상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 하나, 및 상기 커패시터의 상기 한 쌍의 전극 중 하나와 전기적으로 접속되고,

상기 구동 트랜지스터의 상기 소스 및 상기 드레인 중 하나는 상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 하나, 상기 커패시터의 상기 한 쌍의 전극 중 다른 하나, 및 상기 제 2 트랜지스터의 상기 소스 및 상기

드레인 중 다른 하나와 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 상기 하나는 상기 커패시터의 상기 한 쌍의 전극 중 상기 하나에 전기적으로 접속되고 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 상기 다른 하나는 상기 커패시터의 상기 한 쌍의 전극 중 상기 다른 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 상기 게이트는 상기 제 6 배선에 전기적으로 접속되고,

상기 구동 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 상기 게이트 및 상기 제 4 트랜지스터의 상기 게이트는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 3 트랜지스터의 상기 게이트는 상기 제 5 배선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 2 배선에 전기적으로 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 발광 소자의 상기 한 쌍의 전극 중 하나에 전기적으로 접속되고,

상기 제 5 트랜지스터의 상기 게이트는 상기 제 7 배선에 전기적으로 접속되고,

상기 발광 소자의 상기 한 쌍의 전극 중 다른 하나는 상기 제 8 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터의 각 채널은 산화물 반도체층을 포함하고,

제 1 기간에, 상기 제 2 배선에 공급되는 전위, 상기 제 5 배선에 공급되는 전위, 및 상기 제 6 배선에 공급되는 전위는 로 레벨 전위이고,

상기 제 1 기간에, 상기 제 7 배선에 공급되는 전위는 하이 레벨 전위이고,

상기 제 1 기간 후의 제 2 기간에, 상기 제 7 배선에 공급되는 상기 전위는 상기 하이 레벨 전위로부터 상기 로 레벨 전위로 전환되고,

화상 신호는 상기 제 3 배선에 공급되고,

상기 제 2 배선에 공급되는 상기 전위는, 상기 제 1 기간과 상기 제 2 기간 사이의 기간에, 상기 로 레벨 전위로부터 상기 하이 레벨 전위로 전환되고,

상기 제 2 기간 후의 제 3 기간에, 상기 제 5 배선에 공급되는 상기 전위 및 상기 제 7 배선에 공급되는 상기 전위 각각은 상기 로 레벨 전위로부터 상기 하이 레벨 전위로 전환되고,

상기 제 2 배선에 공급되는 상기 전위는, 상기 제 2 기간과 상기 제 3 기간 사이의 기간에, 상기 하이 레벨 전위로부터 상기 로 레벨 전위로 전환되고,

상기 제 3 기간 후의 리셋 기간에, 상기 제 6 배선에 공급되는 상기 전위는 상기 로 레벨 전위로부터 상기 하이 레벨 전위로 전환되어, 상기 제 2 트랜지스터를 온 상태로 하는, 표시 장치.

## 청구항 10

제 9 항에 있어서,

상기 구동 트랜지스터의 채널은 산화물 반도체층을 포함하는, 표시 장치.

## 청구항 11

제 9 항에 있어서,

상기 표시 장치는 휴대형 게임기, 텔레비전 수상기, 노트북 퍼스널 컴퓨터, 및 휴대 정보 단말로 이루어진 그룹 중에서 선택된 하나에 내장되는, 표시 장치.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 특히, 채널이 산화물 반도체층에 형성되는 트랜지스터가 각 화소에 제공된 액티브 매트릭스형 표시 장치에 관한 것이다.

## 배경 기술

[0002] 발광 소자를 사용한 표시 장치는 시인성(視認性)이 높고 박형화에 가장 적합하며, 시야각의 제한이 없으므로, CRT(cathode ray tube)나 액정 표시 장치를 대신하는 표시 장치로서 주목을 받고 있다. 발광 소자를 사용한 액티브 매트릭스형 표시 장치의 구체적으로 제안되어 있는 구성은 제조 업체에 따라 다르지만, 보통 각 화소에 적어도 발광 소자와, 화소로의 비디오 신호의 입력을 제어하는 트랜지스터와, 상기 발광 소자에 공급되는 전류를 제어하는 트랜지스터(구동 트랜지스터)가 제공되어 있다.

[0003] 화소에 제공되는 모든 트랜지스터의 극성을 같게 함으로써, 트랜지스터의 제작 공정을 저감할 수 있다. 특히 문현 1에는 화소가 n채널형 트랜지스터만으로 구성된 표시 장치가 기재되어 있다.

## 선행기술문헌

### 특허문헌

[0004] (특허문헌 0001) 일본 공개 특허 출원 제2003-195810호

## 발명의 내용

### 해결하려는 과제

[0005] 그런데, 화소를 구성하는 n채널형 트랜지스터로서 채널이 산화물 반도체층에 형성되는 트랜지스터가 기대되고 있다. 이 이유는 상기 트랜지스터는 채널이 비정질 실리콘층에 형성되는 트랜지스터보다 전계 효과 이동도가 높기 때문이고 또한 각 화소에 상기 트랜지스터가 제공된 표시 장치의 대형화를 도모할 수 있기 때문이다.

[0006] 또한, 채널이 산화물 반도체층에 형성되는 트랜지스터는 오프 전류가 매우 낮다는 특징이 있다. 이것은 상기 트랜지스터가 스위치로서 적합하다는 것을 뜻한다. 다만, 상기 트랜지스터를 포함한 표시 장치로의 전원 전압의 공급을 정지한 경우에 문제가 생길 수 있다. 구체적으로 말하면, 전원 전압의 공급을 정지하여도 화소의 특정 노드에 전자가 계속 유저될 수 있다. 그러므로, 표시 장치로의 전원 전압의 공급을 다시 시작한 경우 등에 표시 불량이 생길 경우가 있다.

[0007] 상술한 과제를 감안하여, 본 발명의 일 형태에서는 표시 장치의 표시 불량을 억제하는 것을 목적 중 하나로 한다.

### 과제의 해결 수단

[0008] 본 발명의 일 형태는 복수의 화소가 매트릭스 형태로 배치된 표시 장치로서, 화소는 발광 소자와, 게이트와 소스 사이의 전압에 따른 전류를 발광 소자에 공급하는 구동 트랜지스터와, 구동 트랜지스터의 게이트에 원하는 전위를 공급할지 아닌지를 선택하는 제 1 트랜지스터와, 구동 트랜지스터의 게이트와 소스를 전기적으로 접속시킬지 아닌지를 선택하는 제 2 트랜지스터를 포함하고, 제 1 트랜지스터 및 제 2 트랜지스터는 채널이 산화물 반도체층에 형성되는 트랜지스터인 표시 장치다.

[0009] 또한, 구동 트랜지스터의 소스로부터 출력되는 전류가 발광 소자에 공급되는 경우에는, 상기 구동 트랜지스터의 문턱 전압에 의존하지 않고 발광 소자에 공급되는 전류를 제어하는 수단을 화소에 추가적으로 제공하는 것이 바람직하다. 예를 들어 드레인이 고전원 전위를 공급하는 배선에 전기적으로 접속되는 n채널형 트랜지스터를 구동 트랜지스터로서 적용하는 경우에는, 상기 수단을 화소에 제공하는 것이 바람직하다.

## 발명의 효과

[0010] 본 발명의 일 형태인 표시 장치에서는 각 화소에 제공된 구동 트랜지스터의 게이트와 소스를 전기적으로 접속시킬지 아닌지를 선택할 수 있다. 또한, 채널이 산화물 반도체층에 형성되는 트랜지스터에 의하여 구동 트랜지스

터의 게이트와 다른 노드의 전기적인 접속이 제어된다. 그러므로, 구동 트랜지스터의 게이트와 전기적으로 접속되는 노드에 축적되어 있는 전하를 임의적으로 유지하거나 방출할 수 있다. 예를 들어 상기 표시 장치로의 전원 전압의 공급을 정지하기 전에, 또는 전원 전압의 공급을 다시 시작한 후이며 발광 소자에 전류가 공급되기 전에, 구동 트랜지스터의 게이트와 소스를 전기적으로 접속시킴으로써 구동 트랜지스터를 오프 상태로 할 수 있다. 따라서, 상기 표시 장치로의 전원 전압의 공급을 다시 시작한 경우의 표시 불량을 억제할 수 있다.

### 도면의 간단한 설명

[0011]

도 1은 화소의 구성예를 도시한 회로도.

도 2(A) 및 도 2(B)는 화소의 구성예를 도시한 회로도.

도 3은 타이밍 차트의 일례를 도시한 도면.

도 4(A) 내지 도 4(D)는 화소의 동작을 설명하기 위한 회로도.

도 5는 타이밍 차트의 일례를 도시한 도면.

도 6(A) 내지 도 6(D)는 화소의 동작을 설명하기 위한 회로도.

도 7은 화소의 구조예를 도시한 회로도.

도 8은 타이밍 차트의 일례를 도시한 도면.

도 9는 표시 장치의 구조예를 도시한 단면도.

도 10은 표시 장치의 일례를 도시한 사시도.

도 11(A) 내지 도 11(D)는 전자 기기의 구체적인 예를 도시한 도면.

### 발명을 실시하기 위한 구체적인 내용

[0012]

본 발명의 일 형태에 대하여 아래에 자세히 설명한다. 다만, 본 발명은 아래의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태를 다양하게 변경할 수 있다. 따라서, 본 발명은 아래의 기재 내용에 한정하여 해석되는 것은 아니다.

[0013]

또한, 아래에서 "전기적으로 접속"이라는 표현은 전류, 전압, 또는 전위를 공급 가능한 상태 또는 전송 가능한 상태를 가리킨다. 따라서, "전기적으로 접속되어 있는 상태"라는 표현은 반드시 직접 접속되어 있는 상태를 가리키는 것이 아니라, 전류, 전압, 또는 전위를 공급 가능하거나 또는 전송 가능하도록 배선, 도전막, 저항, 다이오드, 및 트랜지스터 등의 소자를 개재(介在)하여 간접적으로 접속되어 있는 상태도 그 범주에 포함한다.

[0014]

또한, 회로도상은 독립되어 있는 구성 요소들이 접속되어 있는 경우에도, 실제로는 배선의 일부가 전극으로서 기능하는 경우를 비롯하여 하나의 도전막이 복수의 구성 요소의 기능을 갖는 경우도 있다. 본 명세서에서 "접속"이라는 표현은 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 갖는 경우도 그 범주에 포함한다.

[0015]

(실시형태 1)

[0016]

도 1은 본 실시형태에 따른 표시 장치가 갖는 화소(10)의 구성예를 도시한 회로도다. 도 1에 도시된 화소(10)는 트랜지스터(1) 내지 트랜지스터(3)와, 커패시터(4)와, 발광 소자(5)를 갖는다. 또한, 트랜지스터(1) 내지 트랜지스터(3)는 채널이 산화물 반도체층에 형성되는 n채널형 트랜지스터다.

[0017]

트랜지스터(1)는 게이트와 소스 사이의 전압에 따른 전류를 발광 소자(5)에 공급하는 기능을 갖는다. 트랜지스터(2)는 배선 SL과 트랜지스터(1)의 게이트를 전기적으로 접속시킬지 아닌지를 선택하는 기능을 갖는다. 트랜지스터(3)는 트랜지스터(1)의 게이트와 소스를 전기적으로 접속시킬지 아닌지를 선택하는 기능을 갖는다. 커패시터(4)는 트랜지스터(1)의 게이트와 소스 사이의 전압을 유지하는 기능을 갖는다. 발광 소자(5)는 트랜지스터(1)로부터 공급되는 전류에 따른 휘도의 발광을 하는 기능을 갖는다.

[0018]

또한, 트랜지스터(1)의 드레인은 고전원 전위 VDD를 공급하는 배선 VDD\_W에 전기적으로 접속되어 있다. 또한, 트랜지스터(2)의 게이트는 선택 신호 또는 비(非)선택 신호를 공급하는 배선 GL에 전기적으로 접속되어 있다. 또한, 트랜지스터(3)의 게이트는 리셋 신호를 공급하는 배선 RL에 전기적으로 접속되어 있다. 또한, 발광 소자(5)의 음극은 저전원 전위 VSS를 공급하는 배선 VSS\_W에 전기적으로 접속되어 있다.

- [0019] 다음에, 도 1에 도시된 화소(10)의 동작에 대하여 설명한다.
- [0020] 화소(10)에서는 트랜지스터(2)를 스위칭함으로써, 배선 SL의 전위를 트랜지스터(1)의 게이트에 공급할지 아닌지가 선택된다. 구체적으로 말하면, 트랜지스터(2)의 게이트에 선택 신호가 공급되는 경우에는 배선 SL의 전위가 트랜지스터(1)의 게이트에 공급되고, 트랜지스터(2)의 게이트에 비선택 신호가 공급되는 경우에는 배선 SL의 전위가 트랜지스터(1)의 게이트에 공급되지 않는다. 그리고, 트랜지스터(1)의 게이트의 전위에 따라 트랜지스터(1)의 게이트와 소스 사이의 전압이 변동된다. 결과적으로 트랜지스터(1)의 게이트에 공급되는 전위에 따른 전류가 발광 소자(5)에 공급된다. 즉, 상기 전위에 따라 발광 소자(5)의 발광 휘도가 제어된다. 본 실시형태의 표시 장치에서는 복수의 화소에 제공된 각 발광 소자의 발광 휘도를 상기 전위에 따라 제어함으로써 원하는 표시를 한다.
- [0021] 또한, 화소(10)에서는 트랜지스터(3)를 스위칭함으로써 트랜지스터(1)의 게이트와 소스를 전기적으로 접속시킬지 아닌지가 선택된다. 예를 들어 표시 장치로의 전원 전압의 공급을 정지하기 직전의 일정 기간 동안 트랜지스터(3)를 온 상태로 하고, 상기 이외의 기간 동안 트랜지스터(3)를 오프 상태로 한다. 이로써, 표시 장치로의 전원 전압의 공급이 정지되기 직전에 트랜지스터(1)의 게이트가 전기적으로 접속되는 노드에 축적된 전하를 방출시킬 수 있다. 즉, 트랜지스터(1)를 확실히 오프 상태로 할 수 있다. 따라서, 본 실시형태의 표시 장치에서 전원 전압의 공급을 다시 시작한 경우에 발광 소자(5)에 전류가 공급되지 않아 표시 불량을 억제할 수 있다.
- [0022] 또한, 전원 전압의 공급을 다시 시작한 후이며 발광 소자(5)에 전류가 공급되기 전(배선 VDD\_W에 고전원 전위 VDD가 공급되며 배선 VSS\_W에 저전원 전위 VSS가 공급되기 전)의 일정 기간 동안 트랜지스터(3)를 온 상태로 함으로써 상기 효과와 같은 효과를 얻을 수도 있다.
- [0023] (실시형태 2)
- [0024] 도 2(A) 및 도 2(B)는 실시형태 1의 화소(10)와 다른 화소(100)의 구성예를 도시한 회로도다.
- [0025] <화소의 구성예 1>
- [0026] 도 2(A)에 도시된 화소(100)는 트랜지스터(11) 내지 트랜지스터(16)와, 커패시터(17)와, 발광 소자(18)를 갖는다. 또한, 트랜지스터(11) 내지 트랜지스터(16)는 채널이 산화물 반도체층에 형성되는 n채널형 트랜지스터다.
- [0027] 트랜지스터(12)는 배선 SL과 커패시터(17)의 전극 중 하나를 전기적으로 접속시킬지 아닌지를 선택하는 기능을 갖는다. 트랜지스터(13)는 배선 IL과 트랜지스터(11)의 게이트를 전기적으로 접속시킬지 아닌지를 선택하는 기능을 갖는다. 트랜지스터(14)는 커패시터(17)의 전극 중 하나와 트랜지스터(11)의 게이트를 전기적으로 접속시킬지 아닌지를 선택하는 기능을 갖는다. 트랜지스터(15)는 커패시터(17)의 전극 중 하나와 다른 하나를 전기적으로 접속시킬지 아닌지를 선택하는 기능을 갖는다. 트랜지스터(16)는 트랜지스터(11)의 소스와 발광 소자(18)의 양극을 전기적으로 접속시킬지 아닌지를 선택하는 기능을 갖는다.
- [0028] 또한, 트랜지스터(11)의 드레인은 배선 VDD\_W에 전기적으로 접속되어 있다. 또한, 트랜지스터(12)의 게이트 및 트랜지스터(13)의 게이트는 선택 신호 또는 비선택 신호를 공급하는 배선 G1에 전기적으로 접속되어 있다. 또한, 트랜지스터(14)의 게이트는 선택 신호 또는 비선택 신호를 공급하는 배선 G2에 전기적으로 접속되어 있다. 또한, 트랜지스터(15)의 게이트는 리셋 신호를 공급하는 배선 RL에 전기적으로 접속되어 있다. 또한, 트랜지스터(16)의 게이트는 선택 신호 또는 비선택 신호를 공급하는 배선 G3에 전기적으로 접속되어 있다. 또한, 발광 소자(18)의 음극은 배선 VSS\_W에 전기적으로 접속되어 있다.
- [0029] <화소의 구성예 2>
- [0030] 도 2(B)에 도시된 화소(100)는 트랜지스터(11) 내지 트랜지스터(15) 및 트랜지스터(19)와, 커패시터(17)와, 발광 소자(18)를 갖는다. 또한, 트랜지스터(11) 내지 트랜지스터(15) 및 트랜지스터(19)는 채널이 산화물 반도체층에 형성되는 n채널형 트랜지스터다.
- [0031] 도 2(B)에 도시된 화소(100)의 트랜지스터(12) 내지 트랜지스터(15)는 도 2(A)에 도시된 화소(100)의 트랜지스터(12) 내지 트랜지스터(15)와 같은 기능을 갖는다. 도 2(B)에 도시된 화소(100)의 트랜지스터(19)는 트랜지스터(11)의 소스와 공통 전위 Vcom을 공급하는 배선 Vcom\_W를 전기적으로 접속시킬지 아닌지를 선택하는 기능을 갖는다. 또한, 공통 전위 Vcom은 저전원 전위 VSS와 발광 소자(18)의 순방향 전압 강하를 더한 전위보다 낮은 것으로 한다. 예를 들어 공통 전위 Vcom으로서 저전원 전위 VSS를 적용할 수 있다.
- [0032] <화소의 동작예 1>

- [0033] 다음에, 도 2(A)에 도시된 화소(100)의 동작에 대하여 설명한다.
- [0034] 도 3은 도 2(A)에 도시된 화소(100)에 접속되는 배선 G1 내지 배선 G3의 전위와, 배선 RL에 공급되는 전위와, 배선 SL에 공급되는 신호 Vdata의 타이밍 차트를 도시한 도면이다. 도 3에 도시된 바와 같이, 도 2(A)에 도시된 화소(100)의 동작은 주로 1수평 주사 기간에 포함되는 기간 A의 동작 및 기간 B의 동작, 표시를 실시하는 기간 C의 동작, 및 리셋 기간의 동작으로 나눌 수 있다.
- [0035] 우선, 기간 A의 동작에 대하여 설명한다. 기간 A에는 배선 G1에 로 레벨 전위가 공급되고, 배선 G2에 로 레벨 전위가 공급되고, 배선 G3에 하이 레벨 전위가 공급되고, 배선 RL에 로 레벨 전위가 공급된다. 따라서, 트랜지스터(16)가 온 상태가 되고, 트랜지스터(12) 내지 트랜지스터(15)가 오프 상태가 된다.
- [0036] 도 4(A)에 기간 A의 화소(100)의 동작을 도시하였다. 또한, 도 4(A)에서는 트랜지스터(12) 내지 트랜지스터(16)를 스위치로서 표기하였다(아래에서 도 4(B) 내지 도 4(D)도 마찬가지임). 기간 A에는 상기 동작에 의하여 트랜지스터(11)의 소스와 전기적으로 접속되는 노드(도 4(A) 내지 도 4(D)에서 부호 "a"가 붙여진 노드)의 전위가 저전원 전위 VSS와 발광 소자(18)의 순방향 전압 강하를 더한 전위가 된다.
- [0037] 다음에, 기간 B의 동작에 대하여 설명한다. 기간 B에는 배선 G1에 하이 레벨 전위가 공급되고, 배선 G2에 로 레벨 전위가 공급되고, 배선 G3에 로 레벨 전위가 공급되고, 배선 RL에 로 레벨 전위가 공급된다. 따라서, 트랜지스터(12) 및 트랜지스터(13)가 온 상태가 되고, 트랜지스터(14) 내지 트랜지스터(16)가 오프 상태가 된다.
- [0038] 또한, 기간 A로부터 기간 B로 이행될 때, 배선 G1에 공급하는 전위를 로 레벨로부터 하이 레벨로 전환하고 나서 배선 G3에 공급하는 전위를 하이 레벨로부터 로 레벨로 전환하는 것이 바람직하다. 이로써, 노드 a의 전위의 변동을 억제할 수 있다.
- [0039] 또한, 배선 IL에는 전위 V0이 공급되고, 배선 SL에는 화상 신호의 전위 Vdata가 공급된다. 또한, 전위 V0은 저전원 전위 VSS와, 트랜지스터(11)의 문턱 전압 Vth와, 발광 소자(18)의 순방향 전압 강하를 더한 전위보다 높은 것이 바람직하다.
- [0040] 도 4(B)에 기간 B의 화소(100)의 동작을 도시하였다. 기간 B에는 상기 동작에 의하여 트랜지스터(11)의 게이트와 전기적으로 접속되는 노드(도 4(B) 내지 도 4(D)에서 부호 "b"가 붙여진 노드)에 전위 V0이 공급되기 때문에 트랜지스터(11)가 온 상태가 된다. 따라서, 노드 a의 전위가 전위 V0-Vth가 될 때까지 상승된다. 바꿔 말하면, 트랜지스터(11)의 게이트와 소스 사이의 전압 Vgs(11)가 문턱 전압 Vth가 될 때 트랜지스터(11)가 오프 상태가 된다. 또한, 커패시터(17)의 전극 중 하나의 전극과 전기적으로 접속되는 노드(도 4(B) 내지 도 4(D)에서 부호 "c"가 붙여진 노드)에는 전위 Vdata가 공급된다.
- [0041] 다음에, 기간 C의 동작에 대하여 설명한다. 기간 C에는 배선 G1에 로 레벨 전위가 공급되고, 배선 G2에 하이 레벨 전위가 공급되고, 배선 G3에 하이 레벨 전위가 공급되고, 배선 RL에 로 레벨 전위가 공급된다. 따라서, 트랜지스터(14) 및 트랜지스터(16)가 온 상태가 되고, 트랜지스터(12), 트랜지스터(13), 및 트랜지스터(15)가 오프 상태가 된다.
- [0042] 또한, 기간 B로부터 기간 C로 이행될 때, 배선 G1에 공급하는 전위를 하이 레벨로부터 로 레벨로 전환하고 나서 배선 G2 및 배선 G3에 공급하는 전위를 로 레벨로부터 하이 레벨로 전환하는 것이 바람직하다. 이로써, 노드 a의 전위의 변동을 억제할 수 있다.
- [0043] 도 4(C)에 기간 C의 화소(100)의 동작을 도시하였다. 기간 C에는 상기 동작에 의하여 노드 b에 전위 Vdata가 공급되기 때문에, 트랜지스터(11)의 게이트 전위가 전위 Vdata까지 상승된다. 따라서, 트랜지스터(11)의 게이트와 소스 사이의 전압 Vgs(11)가 전위 Vdata와 노드 a의 전위 V0-Vth의 차이(Vdata-V0+Vth)가 된다. 이와 같이, 트랜지스터(11)의 게이트와 소스 사이의 전압이 트랜지스터(11)의 문턱 전압을 포함한 값이 된 경우에는, 트랜지스터(11)의 문턱 전압 Vth의 편차에 의존하지 않고 발광 소자(18)에 공급되는 전류를 제어할 수 있다. 또한, 트랜지스터(11)가 열화되어 문턱 전압 Vth가 변화되더라도 상기 변화에 의존하지 않고 발광 소자(18)에 공급되는 전류를 제어할 수 있다. 따라서, 표시의 불균일성을 저감할 수 있고, 고화질의 표시가 가능하게 된다.
- [0044] 다음에, 리셋 기간의 동작에 대하여 설명한다. 리셋 기간에는 배선 G1에 로 레벨 전위가 공급되고, 배선 G2에 하이 레벨 전위가 공급되고, 배선 G3에 하이 레벨 전위가 공급되고, 배선 RL에 하이 레벨 전위가 공급된다. 따라서, 트랜지스터(14) 내지 트랜지스터(16)가 온 상태가 되고, 트랜지스터(12) 및 트랜지스터(13)가 오프 상태가 된다.

- [0045] 도 4(D)에 리셋 기간의 화소(100)의 동작을 도시하였다. 리셋 기간에는 상기 동작에 의하여 트랜지스터(11)의 게이트와 소스가 전기적으로 접속된다. 그러므로, 트랜지스터(11)의 게이트 및 커패시터(17)의 전극 중 하나에 축적된 전하가 트랜지스터(14) 내지 트랜지스터(16), 및 발광 소자(18)를 통하여 방출된다. 결과적으로, 트랜지스터(11)가 오프 상태가 된다. 이와 같이, 트랜지스터(11)를 확실히 오프 상태로 한 후에 전원 전압의 공급을 정지함으로써, 전원 전압의 공급을 다시 시작한 경우에 발광 소자(18)에 전류가 공급되지 않아 표시 불량을 억제할 수 있다.
- [0046] 또한, 전원 전압의 공급을 다시 시작한 후이며 발광 소자(18)에 전류가 공급되기 전에 상기 리셋 기간을 설정하는 경우에도 상기 효과와 같은 효과를 얻을 수 있다.
- [0047] <화소의 동작에 2>
- [0048] 다음에, 도 2(B)에 도시된 화소(100)의 동작에 대하여 설명한다.
- [0049] 도 5는 도 2(B)에 도시된 화소(100)에 접속되는 배선 G1 내지 배선 G3의 전위와, 배선 RL에 공급되는 전위와, 배선 SL에 공급되는 신호 Vdata의 타이밍 차트를 도시한 도면이다. 도 5에 도시된 바와 같이, 도 2(B)에 도시된 화소(100)의 동작은 주로 1수평 주사 기간에 포함되는 기간 A의 동작 및 기간 B의 동작, 표시를 실시하는 기간 C의 동작, 및 리셋 기간의 동작으로 나눌 수 있다.
- [0050] 우선, 기간 A의 동작에 대하여 설명한다. 기간 A에는 배선 G1에 로 레벨 전위가 공급되고, 배선 G2에 로 레벨 전위가 공급되고, 배선 G3에 하이 레벨 전위가 공급되고, 배선 RL에 로 레벨 전위가 공급된다. 따라서, 트랜지스터(19)가 온 상태가 되고, 트랜지스터(12) 내지 트랜지스터(15)가 오프 상태가 된다.
- [0051] 도 6(A)에 기간 A의 화소(100)의 동작을 도시하였다. 또한, 도 6(A)에서는 트랜지스터(12) 내지 트랜지스터(15) 및 트랜지스터(19)를 스위치로서 표기하였다(아래에서 도 6(B) 내지 도 6(D)도 마찬가지임). 기간 A에는 상기 동작에 의하여 트랜지스터(11)의 소스와 전기적으로 접속되는 노드(도 6(A) 내지 도 6(D)에서 부호 "a"가 붙여진 노드)의 전위가 공통 전위 Vcom이 된다.
- [0052] 다음에, 기간 B의 동작에 대하여 설명한다. 기간 B에는 배선 G1에 하이 레벨 전위가 공급되고, 배선 G2에 로 레벨 전위가 공급되고, 배선 G3에 로 레벨 전위가 공급되고, 배선 RL에 로 레벨 전위가 공급된다. 따라서, 트랜지스터(12) 및 트랜지스터(13)가 온 상태가 되고, 트랜지스터(14), 트랜지스터(15), 및 트랜지스터(19)가 오프 상태가 된다.
- [0053] 또한, 기간 A로부터 기간 B로 이행될 때, 배선 G1에 공급하는 전위를 로 레벨로부터 하이 레벨로 전환하고 나서 배선 G3에 공급하는 전위를 하이 레벨로부터 로 레벨로 전환하는 것이 바람직하다. 이로써, 노드 a의 전위의 변동을 억제할 수 있다.
- [0054] 또한, 배선 IL에는 전위 V0이 공급되고, 배선 SL에는 화상 신호의 전위 Vdata가 공급된다.
- [0055] 도 6(B)에 기간 B의 화소(100)의 동작을 도시하였다. 또한, 기간 B에는 도 2(B)에 도시된 화소(100)는 도 2(A)에 도시된 화소(100)와 마찬가지로 동작하기 때문에 여기서는 상술한 설명을 원용하는 것으로 한다.
- [0056] 다음에, 기간 C의 동작에 대하여 설명한다. 기간 C에는 배선 G1에 로 레벨 전위가 공급되고, 배선 G2에 하이 레벨 전위가 공급되고, 배선 G3에 로 레벨 전위가 공급되고, 배선 RL에 로 레벨 전위가 공급된다. 따라서, 트랜지스터(14)가 온 상태가 되고, 트랜지스터(12), 트랜지스터(13), 트랜지스터(15), 및 트랜지스터(19)가 오프 상태가 된다.
- [0057] 또한, 기간 B로부터 기간 C로 이행될 때, 배선 G1에 공급하는 전위를 하이 레벨로부터 로 레벨로 전환하고 나서 배선 G2에 공급하는 전위를 로 레벨로부터 하이 레벨로 전환하는 것이 바람직하다. 이로써, 노드 a의 전위의 변동을 억제할 수 있다.
- [0058] 도 6(C)에 기간 C의 화소(100)의 동작을 도시하였다. 또한, 기간 C에는 도 2(B)에 도시된 화소(100)는 도 2(A)에 도시된 화소(100)와 마찬가지로 동작하기 때문에 여기서는 상술한 설명을 원용하는 것으로 한다.
- [0059] 다음에, 리셋 기간의 동작에 대하여 설명한다. 리셋 기간에는 배선 G1에 로 레벨 전위가 공급되고, 배선 G2에 하이 레벨 전위가 공급되고, 배선 G3에 로 레벨 전위가 공급되고, 배선 RL에 하이 레벨 전위가 공급된다. 따라서, 트랜지스터(14) 및 트랜지스터(15)가 온 상태가 되고, 트랜지스터(12), 트랜지스터(13), 및 트랜지스터(19)가 오프 상태가 된다.

- [0060] 도 6(D)에 리셋 기간의 화소(100)의 동작을 도시하였다. 리셋 기간에는 상기 동작에 의하여 트랜지스터(11)의 게이트와 소스가 전기적으로 접속된다. 그러므로, 트랜지스터(11)의 게이트 및 커패시터(17)의 전극 중 하나에 축적된 전하가 트랜지스터(14), 트랜지스터(15), 및 발광 소자(18)를 통하여 방출된다. 결과적으로, 트랜지스터(11)가 오프 상태가 된다. 이와 같이, 트랜지스터(11)를 확실히 오프 상태로 한 후에 전원 전압의 공급을 정지함으로써, 전원 전압의 공급을 다시 시작한 경우에 발광 소자(18)에 전류가 공급되지 않아 표시 불량을 억제할 수 있다.
- [0061] 또한, 전원 전압의 공급을 다시 시작한 후이며 발광 소자(18)에 전류가 공급되기 전에 상기 리셋 기간을 설정하는 경우에도 상기 효과와 같은 효과를 얻을 수 있다.
- [0062] (실시형태 3)
- [0063] 도 7은 상기 실시형태의 화소와 다른 화소(200)의 구성예를 도시한 회로도다. 도 7에 도시된 화소(200)는 트랜지스터(20) 내지 트랜지스터(26)와, 커패시터(27) 및 커패시터(28)와, 발광 소자(29)를 갖는다. 또한, 트랜지스터(20) 내지 트랜지스터(26)는 채널이 산화물 반도체층에 형성되는 n채널형 트랜지스터다.
- [0064] 트랜지스터(20)에서는 소스 및 드레인 중 하나가 배선 SL에 전기적으로 접속되어 있고, 게이트가 배선 G3에 전기적으로 접속되어 있다.
- [0065] 트랜지스터(21)에서는 소스 및 드레인 중 하나가 전위 V1을 공급하는 배선 V1\_W에 전기적으로 접속되어 있고, 게이트가 배선 G2에 전기적으로 접속되어 있다. 또한, 여기서는, 전위 V1은 고전원 전위 VDD보다 낮고 또 저전원 전위 VSS보다 높은 것으로 한다.
- [0066] 트랜지스터(22)에서는 드레인이 고전원 전위 VDD를 공급하는 배선 VDD\_W에 전기적으로 접속되어 있고, 게이트가 트랜지스터(21)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되어 있다.
- [0067] 트랜지스터(23)에서는 소스 및 드레인 중 하나가 트랜지스터(20)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되어 있고, 소스 및 드레인 중 다른 하나가 트랜지스터(22)의 소스에 전기적으로 접속되어 있고, 게이트가 배선 G2에 전기적으로 접속되어 있다.
- [0068] 트랜지스터(24)에서는 소스 및 드레인 중 하나가 전위 V0을 공급하는 배선 V0\_W에 전기적으로 접속되어 있고, 소스 및 드레인 중 다른 하나가 트랜지스터(22)의 소스 및 트랜지스터(23)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되어 있고, 게이트가 배선 G1에 전기적으로 접속되어 있다. 또한, 여기서는, 전위 V0은 전위 V1보다 낮고 저전원 전위 VSS보다 높은 것으로 한다.
- [0069] 트랜지스터(25)에서는 소스 및 드레인 중 하나가 트랜지스터(21)에 소스 및 드레인 중 다른 하나 및 트랜지스터(22)의 게이트에 전기적으로 접속되어 있고, 소스 및 드레인 중 다른 하나가 트랜지스터(22)의 소스, 트랜지스터(23)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되어 있고, 게이트가 배선 RL에 전기적으로 접속되어 있다.
- [0070] 트랜지스터(26)에서는 소스 및 드레인 중 하나가 트랜지스터(22)의 소스, 트랜지스터(23)의 소스 및 드레인 중 다른 하나, 트랜지스터(24)의 소스 및 드레인 중 다른 하나, 및 트랜지스터(25)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되어 있고, 게이트가 배선 G4에 전기적으로 접속되어 있다.
- [0071] 커패시터(27)에서는 전극 중 하나가 트랜지스터(21)의 소스 및 드레인 중 다른 하나, 트랜지스터(22)의 게이트, 및 트랜지스터(25)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있고, 전극 중 다른 하나가 트랜지스터(20)의 소스 및 드레인 중 다른 하나 및 트랜지스터(23)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있다.
- [0072] 커패시터(28)에서는 전극 중 하나가 트랜지스터(20)의 소스 및 드레인 중 다른 하나, 트랜지스터(23)의 소스 및 드레인 중 하나, 및 커패시터(27)의 전극 중 다른 하나에 전기적으로 접속되어 있고, 전극 중 다른 하나가 트랜지스터(22)의 소스, 트랜지스터(23)의 소스 및 드레인 중 다른 하나, 트랜지스터(24)의 소스 및 드레인 중 다른 하나, 트랜지스터(25)의 소스 및 드레인 중 다른 하나, 및 트랜지스터(26)의 소스 및 드레인 중 하나에 전기적으로 접속되어 있다.
- [0073] 발광 소자(29)에서는 양극이 트랜지스터(26)의 소스 및 드레인 중 다른 하나에 전기적으로 접속되어 있고, 음극이 저전원 전위 VSS를 공급하는 배선 VSS\_W에 전기적으로 접속되어 있다.
- [0074] 또한, 아래에서 트랜지스터(21)의 소스 및 드레인 중 다른 하나, 트랜지스터(22)의 게이트, 트랜지스터(25)의

소스 및 드레인 중 하나, 및 커패시터(27)의 전극 중 하나가 전기적으로 접속되는 노드를 노드 D라고 부르고, 트랜지스터(20)의 소스 및 드레인 중 다른 하나, 트랜지스터(23)의 소스 및 드레인 중 하나, 커패시터(27)의 전극 중 다른 하나, 및 커패시터(28)의 전극 중 하나가 전기적으로 접속되는 노드를 노드 E라고 부르고, 트랜지스터(22)의 소스, 트랜지스터(23)의 소스 및 드레인 중 다른 하나, 트랜지스터(24)의 소스 및 드레인 중 다른 하나, 트랜지스터(25)의 소스 및 드레인 중 다른 하나, 트랜지스터(26)의 소스 및 드레인 중 하나, 및 커패시터(28)의 전극 중 다른 하나가 전기적으로 접속되는 노드를 노드 F라고 부르기로 한다.

[0075] <화소의 동작예>

[0076] 상술한 화소의 동작예에 대하여 도 8을 참조하여 설명한다. 구체적으로 말하면, 도 8에는 배선 G1 내지 배선 G4의 전위, 배선 RL의 전위, 및 노드 D, 노드 E, 노드 F의 전위의 변화를 도시하였다.

[0077] 기간 ta에는 배선 G1에 하이 레벨 전위가 공급되고, 배선 G2 내지 배선 G4에 로 레벨 전위가 공급되고, 배선 RL에 로 레벨 전위가 공급된다. 따라서, 트랜지스터(24)가 온 상태가 되고, 트랜지스터(20), 트랜지스터(21), 트랜지스터(23), 트랜지스터(25), 및 트랜지스터(26)가 오프 상태가 된다.

[0078] 기간 tb에는 배선 G2에 하이 레벨 전위가 공급된다. 그러므로, 트랜지스터(21) 및 트랜지스터(23)가 온 상태가 된다. 결과적으로, 노드 D의 전위가 전위 V1이 되고, 노드 E의 전위가 전위 V0이 된다. 또한, 노드 D의 전위가 전위 V1이 됨으로써 트랜지스터(22)가 온 상태가 된다.

[0079] 기간 tc에는 배선 G1에 로 레벨 전위가 공급된다. 그러므로, 트랜지스터(24)가 오프 상태가 된다. 여기서, 트랜지스터(22)는 게이트와 소스 사이의 전압이 문턱 전압 이하가 될 때까지 온 상태를 유지한다. 즉, 트랜지스터(22)는 노드 F(트랜지스터(22)의 소스)의 전위가 노드 D의 전위(전위 V1)로부터 트랜지스터(22)의 문턱 전압 Vth만큼 낮은 값이 될 때까지 온 상태를 유지한다. 결과적으로, 노드 F의 전위가 전위 V1-Vth가 된다. 또한, 기간 tc에는 노드 E의 전위도 전위 V1-Vth까지 상승된다.

[0080] 기간 td에는 배선 G2에 로 레벨 전위가 공급된다. 그러므로, 트랜지스터(21) 및 트랜지스터(23)가 오프 상태가 된다.

[0081] 기간 te에는 배선 G3에 하이 레벨 전위가 공급된다. 그러므로, 트랜지스터(20)가 온 상태가 된다. 또한, 기간 te에는 배선 SL에 화상 신호의 전위 Vdata가 공급된다. 결과적으로, 노드 E의 전위가 전위 Vdata가 된다. 또한, 노드 D와 노드 F의 전위도 노드 E의 전위에 따라 변동한다. 구체적으로 말하면, 부유 상태인 노드 D의 전위가 커패시터(27)를 통한 노드 E와의 용량 결합에 의하여 노드 E의 전위의 변동(화상 신호에 따른 전위 Vdata 와, 전위 V1보다 트랜지스터(22)의 문턱 전압 Vth만큼 낮은 값의 차이)만큼 상승 또는 하강하며(노드 D의 전위는  $V1+[Vdata-(V1-Vth)]=Vdata+Vth$ 가 됨), 부유 상태인 노드 F의 전위가 커패시터(28)를 통한 노드 E와의 용량 결합에 의하여 상기 노드 E의 전위의 변동만큼 상승 또는 하강한다(노드 F의 전위는  $V1-Vth+[Vdata-(V1-Vth)]=Vdata$ 가 됨).

[0082] 기간 tf에는 배선 G1에 하이 레벨 전위가 공급된다. 그러므로, 트랜지스터(24)가 온 상태가 된다. 결과적으로, 노드 F의 전위가 전위 V0이 된다.

[0083] 기간 tg에는 배선 G1에 로 레벨 전위가 공급된다. 그러므로, 트랜지스터(24)가 오프 상태가 된다.

[0084] 기간 th에는 배선 G4에 하이 레벨 전위가 공급된다. 그러므로, 트랜지스터(26)가 온 상태가 된다. 결과적으로, 트랜지스터(22)의 게이트와 소스 사이의 전압에 따른 전류가 발광 소자(29)에 공급된다. 여기서, 상기 전압은 노드 D의 전위 Vdata+Vth와 노드 F의 전위의 차이다. 이 경우에는, 발광 소자(29)에 공급되는 전류(트랜지스터(22)의 포화 영역에서의 드레인 전류)는 트랜지스터(22)의 문턱 전압에 의존하지 않는다.

[0085] 기간 ti에는 배선 RL에 하이 레벨 전위가 공급된다. 그러므로, 트랜지스터(25)가 온 상태가 된다. 결과적으로, 트랜지스터(22)가 오프 상태가 된다.

[0086] 그리고, 기간 ti 후에 표시 장치로의 전원 전압의 공급을 정지한다. 이와 같이, 트랜지스터(22)를 확실히 오프 상태로 한 후에 전원 전압의 공급을 정지함으로써, 전원 전압의 공급을 다시 시작한 경우에 발광 소자(29)에 전류가 공급되지 않아 표시 불량을 억제할 수 있다.

[0087] 또한, 전원 전압의 공급을 다시 시작한 후이며 발광 소자(29)에 전류가 공급되기 전에 상기 기간 ti를 설정하는 경우에도 상기 효과와 같은 효과를 얻을 수 있다.

[0088] (실시형태 4)

- [0089] 본 실시형태에서는 표시 장치의 구조예에 대하여 설명한다. 구체적으로 말하면, 본 실시형태에서는 톱 이미션 구조의 표시 장치에 대하여 예시한다. 다만, 본 명세서에 기재된 표시 장치는 톱 이미션 구조에 한정되지 않고, 보텀 이미션 구조, 듀얼 이미션 구조로 할 수 있는 것은 물론이다. 또한, 듀얼 이미션 구조란 발광 소자의 빛이 표시 장치의 2면으로부터 사출되는 구조를 뜻한다.
- [0090] <단면 구조예>
- [0091] 도 9는 본 명세서의 표시 장치의 일례를 도시한 단면도다. 구체적으로 말하면, 도 9에 도시된 표시 장치는 도 2(A)에 도시된 트랜지스터(11), 트랜지스터(16), 커패시터(17), 및 발광 소자(18)의 일례를 도시한 단면도다.
- [0092] 트랜지스터(11)는 절연 표면을 갖는 기판(800) 위에 게이트로서 기능하는 도전막(812)과, 도전막(812) 위의 게이트 절연막(802)과, 도전막(812)과 중첩된 위치에서 게이트 절연막(802) 위에 위치하는 산화물 반도체층(813)과, 소스 또는 드레인으로서 기능하고 산화물 반도체층(813) 위에 위치하는 도전막(814) 및 도전막(815)을 갖는다. 또한, 도전막(814)은 도 2(A)에 도시된 배선 VDD\_W이다.
- [0093] 트랜지스터(16)는 절연 표면을 갖는 기판(800) 위에, 게이트로서 기능하는 도전막(816)과, 도전막(816) 위의 게이트 절연막(802)과, 도전막(816)과 중첩된 위치에서 게이트 절연막(802) 위에 위치하는 산화물 반도체층(817)과, 소스 또는 드레인으로서 기능하고 산화물 반도체층(817) 위에 위치하는 도전막(815) 및 도전막(818)을 갖는다. 또한, 도전막(816)은 도 2(A)에 도시된 배선 G3이다.
- [0094] 커패시터(17)는 절연 표면을 갖는 기판(800) 위에 도전막(819)과, 도전막(819) 위의 게이트 절연막(802)과, 도전막(819)과 중첩되도록 게이트 절연막(802) 위에 위치하는 도전막(815)을 갖는다.
- [0095] 또한, 도전막(814), 도전막(815), 및 도전막(818) 위에는 절연막(820) 및 절연막(821)이 제공되어 있다. 그리고, 절연막(821) 위에는 발광 소자(18)의 양극으로서 기능하는 도전막(822)이 제공되어 있다. 또한, 도전막(822)은 절연막(820) 및 절연막(821)에 형성된 콘택트 홀(823)을 통하여 도전막(818)에 전기적으로 접속되어 있다.
- [0096] 또한, 도전막(822)의 일부를 노출시키는 개구부를 갖는 절연막(824)이 절연막(821) 위에 제공되어 있다. 도전막(822)의 일부 및 절연막(824) 위에는 EL층(825)과, 발광 소자(18)의 음극으로서 기능하는 도전막(826)이 순차적으로 적층되어 있다. 도전막(822), EL층(825), 및 도전막(826)이 중첩된 영역이 발광 소자(18)에 상당한다.
- [0097] <산화물 반도체층(813) 및 산화물 반도체층(817)의 구체적인 예>
- [0098] <1: 재료에 대하여>
- [0099] 산화물 반도체층(813) 및 산화물 반도체층(817)으로서 적어도 인듐을 함유한 막을 적용할 수 있다. 특히, 인듐과 아연을 함유한 막을 적용하는 것이 바람직하다. 또한, 트랜지스터의 전기 특성의 편차를 줄이기 위한 스테빌라이저로서 인듐과 아연에 추가적으로 갈륨을 함유한 막을 적용하는 것이 바람직하다.
- [0100] 또한, 산화물 반도체층(813) 및 산화물 반도체층(817)으로서 주석, 하프늄, 알루미늄, 또는 지르코늄, 또는 란타노이드인 란탄, 세륨, 프라세오디뮴, 네오디뮴, 사마륨, 유로퓸, 가돌리늄, 테르븀, 디스프로슘, 흔뮴, 애르븀, 틀륨, 이테르븀, 또는 루테튬 중 임의의 1종류 또는 복수 종류를 스테빌라이저로서 함유한 막을 적용할 수도 있다.
- [0101] 예를 들어 산화물 반도체층(813) 및 산화물 반도체층(817)으로서 산화 인듐막, 2원계 금속의 산화물인 In-Zn계 산화물막, In-Mg계 산화물막, In-Ga계 산화물막, 3원계 금속의 산화물인 In-Ga-Zn계 산화물막, In-Al-Zn계 산화물막, In-Sn-Zn계 산화물막, In-Hf-Zn계 산화물막, In-La-Zn계 산화물막, In-Ce-Zn계 산화물막, In-Pr-Zn계 산화물막, In-Nd-Zn계 산화물막, In-Sm-Zn계 산화물막, In-Eu-Zn계 산화물막, In-Gd-Zn계 산화물막, In-Tb-Zn계 산화물막, In-Dy-Zn계 산화물막, In-Ho-Zn계 산화물막, In-Er-Zn계 산화물막, In-Tm-Zn계 산화물막, In-Yb-Zn계 산화물막, In-Lu-Zn계 산화물막, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물막, In-Hf-Ga-Zn계 산화물막, In-Al-Ga-Zn계 산화물막, In-Sn-Al-Zn계 산화물막, In-Sn-Hf-Zn계 산화물막, 또는 In-Hf-Al-Zn계 산화물막을 적용할 수 있다.
- [0102] 여기서, 예를 들어 In-Ga-Zn계 산화물이란 In, Ga, 및 Zn을 주성분으로 포함한 산화물을 뜻하고, In, Ga, 및 Zn의 비율은 불문한다. 또한, In, Ga, 및 Zn 이외의 금속 원소가 포함되어도 좋다.
- [0103] 또한, 산화물 반도체층(813) 및 산화물 반도체층(817)을 구성하는 산소의 일부는 질소로 치환되어도 좋다.

[0104] <2: 결정 구조에 대하여>

[0105] 산화물 반도체층(813) 및 산화물 반도체층(817)으로서 단결정, 다결정(폴리크리스탈이라고도 함), 또는 비정질 등의 결정 구조를 갖는 막을 적용할 수 있다. 또한, 산화물 반도체층(813) 및 산화물 반도체층(817)으로서 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막을 적용할 수 있다. CAAC-OS막에 대하여 아래에 자세히 기재하였다.

[0106] CAAC-OS막은 완전한 단결정이 아니고 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정 영역 및 비정질 영역을 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 또한, 상기 결정 영역은 하나의 변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)을 사용한 관찰상에서는 CAAC-OS막에 포함되는 비정질 영역과 결정 영역의 경계는 명확하지 않다. 또한, TEM에 의하여 CAAC-OS막에 입계(grain boundary)는 확인되지 않는다. 따라서, CAAC-OS막은 입계에 기인한 전자 이동도의 저하가 억제된다.

[0107] CAAC-OS막에 포함되는 결정 영역은 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, ab면에 수직인 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 갖고, c축에 수직인 방향으로부터 보아 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 다른 결정 영역들 사이에서 a축 및 b축의 방향이 서로 달라도 좋다. 본 명세서에서 단순히 '수직'이라고 기재한 경우에는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 '평행'이라고 기재한 경우에는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0108] 또한, CAAC-OS막에서 결정 영역이 막 두께 방향으로 균일하게 분포되지 않아도 좋다. 예를 들어 CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면 측으로부터 결정 성장시키는 경우에는, 피형성면 근방보다 표면 근방에서 결정 영역이 차지하는 비율이 높을 수 있다.

[0109] CAAC-OS막에 포함되는 결정 영역의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향할 수 있다. 또한, 결정 영역의 c축의 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 성막에 의하여 또는 성막 후에 열처리 등의 결정화 처리에 의하여 결정 영역이 형성된다.

[0110] CAAC-OS막을 사용한 트랜ジ스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜ジ스터는 신뢰성이 높다.

[0111] <3: 층 구조에 대하여>

[0112] 산화물 반도체층(813) 및 산화물 반도체층(817)은 하나의 산화물 반도체막으로 이루어진 단층 구조에 한정되지 않고, 복수 종류의 산화물 반도체막으로 이루어진 적층 구조로 할 수 있다. 예를 들어 비정질 산화물 반도체막, 다결정 산화물 반도체막, 및 CAAC-OS막 중 적어도 2종류를 포함한 층을 산화물 반도체층(813) 및 산화물 반도체층(817)으로서 적용할 수 있다.

[0113] 또한, 조성이 다른 산화물 반도체막의 적층으로 이루어진 층을 산화물 반도체층(813) 및 산화물 반도체층(817)으로서 적용할 수도 있다. 구체적으로 말하면, 게이트 절연막(802)과 접촉된 면을 포함한 제 1 산화물 반도체막(아래에서 하층이라고도 함)과, 절연막(820)과 접촉되며 제 1 산화물 반도체막과 조성이 다른 제 2 산화물 반도체막(아래에서 상층이라고도 함)을 포함한 층을 산화물 반도체층(813) 및 산화물 반도체층(817)으로서 적용할 수도 있다. 또한, 이 경우에는, 채널이 형성되는 영역의 대부분이 하층에 포함된다. 하층은 상층보다 게이트로서 기능하는 도전막(812) 및 도전막(816)과 근접하기 때문이다.

[0114] 여기서, 하층 및 상층이 모두 인듐, 갈륨, 및 아연을 함유하여 구성되는 경우에는, 하층의 인듐 농도를 상층의 인듐 농도보다 높게 하며 상층의 갈륨 농도를 하층의 갈륨 농도보다 높게 하는 것, 또는/및 하층의 인듐 농도를 하층의 갈륨 농도보다 높게 하며 상층의 갈륨 농도를 상층의 인듐 농도보다 높게 하는 것이 바람직하다.

[0115] 상술한 바와 같이 함으로써, 산화물 반도체층(813) 및 산화물 반도체층(817)을 갖는 트랜ジ스터의 이동도의 향상 및 기생 채널의 발생의 억제를 도모할 수 있다. 구체적으로 말하면, 하층의 인듐 농도를 높게 함으로써 상기 트랜ジ스터의 이동도의 향상을 도모할 수 있다. 이것은 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하고, In의 함유율을 높게 함으로써 s궤도가 오버랩되는 확률이 높아지는 경향이 있기 때문이다. 또한, 상층의 갈륨 농도를 높게 함으로써 산소의 이탈을 억제하여 상층에서 기생 채널이 발생되는 것을 억제할

수 있다. 이것은 Ga는 In보다 산소 결손의 형성 에너지가 크므로 산소 결손이 생기기 어렵기 때문이다.

[0116] <게이트 절연막(802)의 구체적인 예>

[0117] 게이트 절연막(802)으로서 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 또는 산화 갈륨막 등의 무기 절연 재료막을 적용할 수 있다. 또한, 이들 재료의 적층을 적용할 수도 있다. 또한, 산화 알루미늄막은 수소 등의 불순물 및 산소의 양쪽 모두를 투과시키지 않는 차단(블로킹) 효과가 높다. 따라서, 게이트 절연막(802)으로서 산화 알루미늄막을 포함한 층을 적용함으로써 산화물 반도체층(813) 및 산화물 반도체층(817)으로부터의 산소의 이탈을 방지함과 함께 산화물 반도체층(813) 및 산화물 반도체층(817)으로의 수소 등의 불순물의 혼입을 방지할 수 있다.

[0118] 또한, 게이트 절연막(802)으로서 산화 하프늄막, 산화 이트륨막, 하프늄 실리케이트( $HfSi_xO_y$ ( $x>0$ ,  $y>0$ ))막, 질소가 첨가된 하프늄 실리케이트막, 하프늄 알루미네이트( $HfAl_xO_y$ ( $x>0$ ,  $y>0$ ))막, 또는 산화 란탄막 등(소위 high-k 재료로 이루어진 막)을 포함한 막을 적용할 수도 있다. 상기 막을 사용함으로써 게이트 누설 전류를 저감시킬 수 있다.

[0119] <도전막(812), 도전막(816), 및 도전막(819)의 구체적인 예>

[0120] 도전막(812), 도전막(816), 및 도전막(819)으로서 알루미늄, 구리, 티타늄, 탄탈, 텡스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐 중에서 선택된 원소 또는 이들 원소를 성분으로 포함한 합금으로 이루어진 막을 적용할 수 있다. 또한, 도전막(812), 도전막(816), 및 도전막(819)으로서 질소를 포함한 금속 산화물, 구체적으로 말하면, 질소를 함유한 In-Ga-Zn-O막, 질소를 함유한 In-Sn-O막, 질소를 함유한 In-Ga-O막, 질소를 함유한 In-Zn-O막, 질소를 함유한 Sn-O막, 질소를 함유한 In-O막, 또는 금속 질화막(InN, SnN 등)을 적용할 수도 있다. 이들 질화막은 5eV(전자 볼트) 이상, 바람직하게는 5.5eV(전자 볼트) 이상의 일 함수를 갖기 때문에 게이트로서 사용한 경우에 트랜지스터의 문턱 전압을 양으로 할 수 있어 소위 노멀리-오프의 스위칭 소자를 실현할 수 있다. 또한, 이들 막의 적층을 적용할 수도 있다.

[0121] <도전막(814), 도전막(815), 및 도전막(818)의 구체적인 예>

[0122] 도전막(814), 도전막(815), 및 도전막(818)으로서 알루미늄, 구리, 티타늄, 탄탈, 텡스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐 중에서 선택된 원소, 이들 원소를 성분으로 포함한 합금, 또는 이들 원소를 함유한 질화물로 이루어진 막을 적용할 수 있다. 또한, 이들 막의 적층을 적용할 수도 있다.

[0123] <절연막(820)의 구체적인 예>

[0124] 절연막(820)으로서 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 또는 산화 갈륨막 등의 무기 절연 재료막을 적용할 수 있다. 또한, 이들 막의 적층을 적용할 수도 있다. 또한, 산화 알루미늄막은 수소 등의 불순물 및 산소의 양쪽 모두를 투과시키지 않는 차단(블로킹) 효과가 높다. 따라서, 절연막(820)으로서 산화 알루미늄막을 포함한 층을 적용함으로써 산화물 반도체층(813) 및 산화물 반도체층(817)으로부터의 산소의 이탈을 방지함과 함께 산화물 반도체층(813) 및 산화물 반도체층(817)으로의 수소 등의 불순물의 혼입을 방지할 수 있다.

[0125] <절연막(821)의 구체적인 예>

[0126] 절연막(821)으로서 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 또는 산화 갈륨막 등의 무기 절연 재료막을 적용할 수 있다. 또한, 폴리이미드, 아크릴 등의 유기 절연 재료막을 적용할 수도 있다. 또한, 이들 막의 적층을 적용할 수도 있다.

[0127] <도전막(822)의 구체적인 예>

[0128] 도전막(822)으로서 알루미늄, 구리, 티타늄, 탄탈, 텡스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐 중에서 선택된 원소, 이들 원소를 성분으로 포함한 합금, 또는 이들 원소를 함유한 질화물로 이루어진 막을 적용할 수 있다. 또한, 이들 막의 적층을 적용할 수도 있다. 특히, 도전막(822)으로서 반사율이 높은 금속(알루미늄막, 은 등) 또는 상기 금속을 포함한 합금을 적용하는 것이 바람직하다.

[0129] <EL층(825)의 구체적인 예>

[0130] EL층(825)으로서 발광성 유기물을 포함한 발광층을 포함한 단층 또는 적층을 적용할 수 있다.

[0131] <도전막(826)의 구체적인 예>

[0132] 도전막(826)에 산화 인듐-산화 주석, 실리콘 또는 산화 실리콘을 함유한 산화 인듐-산화 주석, 산화 인듐-산화 아연, 산화 텅스텐, 및 산화 아연을 함유한 산화 인듐 등의 투광성 도전막을 적용할 수 있다.

[0133] <절연막(824)의 구체적인 예>

[0134] 절연막(824)으로서 폴리이미드, 아크릴 등의 유기 절연 재료막을 적용할 수 있다.

[0135] (실시예 1)

[0136] 도 10은 표시 장치의 일례를 도시한 사시도다.

[0137] 도 10에 도시된 표시 장치는 패널(1601)과, 회로 기판(1602)과, 접속부(1603)를 갖는다. 패널(1601)은 복수의 화소가 제공된 화소부(1604)와, 복수의 화소를 행마다 선택하는 주사선 구동 회로(1605)와, 선택된 행 내의 화소로의 화상 신호의 입력을 제어하는 신호선 구동 회로(1606)를 갖는다. 구체적으로 말하면, 주사선 구동 회로(1605)에서는 도 1에 도시된 배선 GL, 도 2(A) 및 도 2(B)에 도시된 배선 G1 내지 G3, 도 7에 도시된 배선 G1 내지 배선 G4에 입력하는 신호를 생성한다.

[0138] 회로 기판(1602)으로부터 접속부(1603)를 통하여 각종 신호와 전원 전위가 패널(1601)에 입력된다. 접속부(1603)에는 FPC(Flexible Printed Circuit) 등을 사용할 수 있다. 또한, 접속부(1603)에 COF 테이프를 사용하는 경우에는, 회로 기판(1602) 내의 회로의 일부 또는 패널(1601)이 갖는 주사선 구동 회로(1605)나 신호선 구동 회로(1606)의 일부 등을 별도 준비한 칩에 형성하고, COF(Chip On Film)법을 사용하여 상기 칩을 COF 테이프에 접속하여도 좋다.

[0139] (실시예 2)

[0140] 본 발명의 일 형태에 따른 표시 장치는 텔레비전 수상기, 전자 계산기용 디스플레이, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 이 외에 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있는 전자 기기로서 휴대 전화, 휴대형 게임기를 포함한 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생 장치(카오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이러한 전자 기기의 구체적인 예를 도 11(A) 내지 도 11(D)에 도시하였다.

[0141] 도 11(A)는 휴대형 게임기이며, 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008) 등을 갖는다. 본 발명의 일 형태에 따른 표시 장치는 표시부(5003) 또는 표시부(5004)에 사용할 수 있다. 또한, 도 11(A)에 도시된 휴대형 게임기는 2개의 표시부(표시부(5003) 및 표시부(5004))를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이것에 한정되지 않는다.

[0142] 도 11(B)는 텔레비전 수상기이며, 하우징(5201), 표시부(5202), 지지대(5203) 등을 갖는다. 본 발명의 일 형태에 따른 표시 장치는 표시부(5202)에 사용할 수 있다.

[0143] 도 11(C)는 노트북 퍼스널 컴퓨터이며, 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 갖는다. 본 발명의 일 형태에 따른 표시 장치는 표시부(5402)에 사용할 수 있다.

[0144] 도 11(D)는 휴대 정보 단말이며, 하우징(5601), 표시부(5602), 조작 키(5603) 등을 갖는다. 도 11(D)에 도시된 휴대 정보 단말에서 하우징(5601)에 모뎀이 내장되어 있어도 좋다. 본 발명의 일 형태에 따른 표시 장치는 표시부(5602)에 사용할 수 있다.

## 부호의 설명

[0145] 1: 트랜지스터

2: 트랜지스터

3: 트랜지스터

4: 커뮤니케이터

5: 발광 소자

10: 화소

11: 트랜지스터

12: 트랜지스터

13: 트랜지스터

14: 트랜지스터

15: 트랜지스터

16: 트랜지스터

17: 커패시터

18: 발광 소자

19: 트랜지스터

20: 트랜지스터

21: 트랜지스터

22: 트랜지스터

23: 트랜지스터

24: 트랜지스터

25: 트랜지스터

26: 트랜지스터

27: 커패시터

28: 커패시터

29: 발광 소자

100: 화소

200: 화소

800: 기판

802: 게이트 절연막

812: 도전막

813: 산화물 반도체층

814: 도전막

815: 도전막

816: 도전막

817: 산화물 반도체층

818: 도전막

819: 도전막

820: 절연막

821: 절연막

822: 도전막

823: 콘택트 홀

824: 절연막

825: EL층

826: 도전막

1601: 패널

1602: 회로 기판

1603: 접속부

1604: 핵소부

1605: 주사선 구동 회로

1606: 신호선 구동 회로

5001: 하우징

5002: 하우징

5003: 표시부

5004: 표시부

5005: 마이크로폰

5006: 스피커

5007: 조작 키

5008: 스타일러스

5201: 하우징

5202: 표시부

5203: 지지대

5401: 하우징

5402: 표시부

5403: 키보드

5404: 포인팅 디바이스

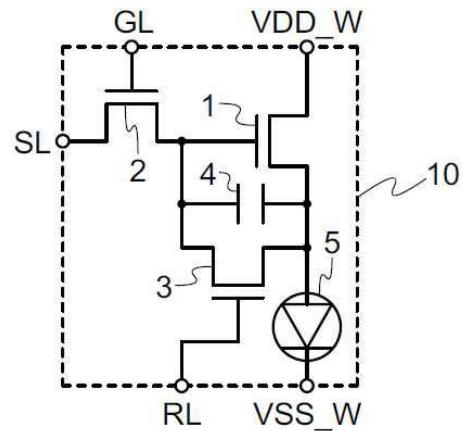
5601: 하우징

5602: 표시부

5603: 조작 키

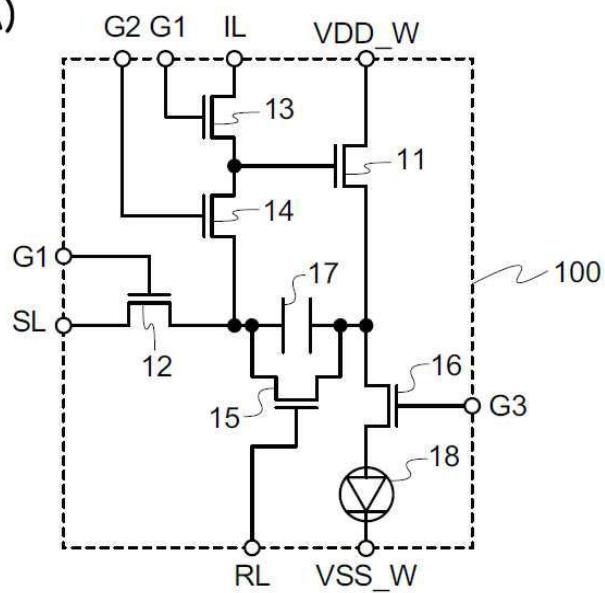
도면

도면1

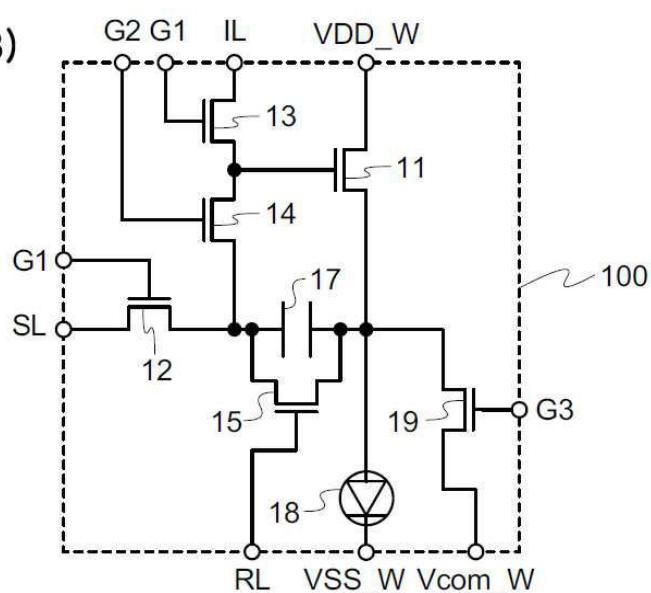


## 도면2

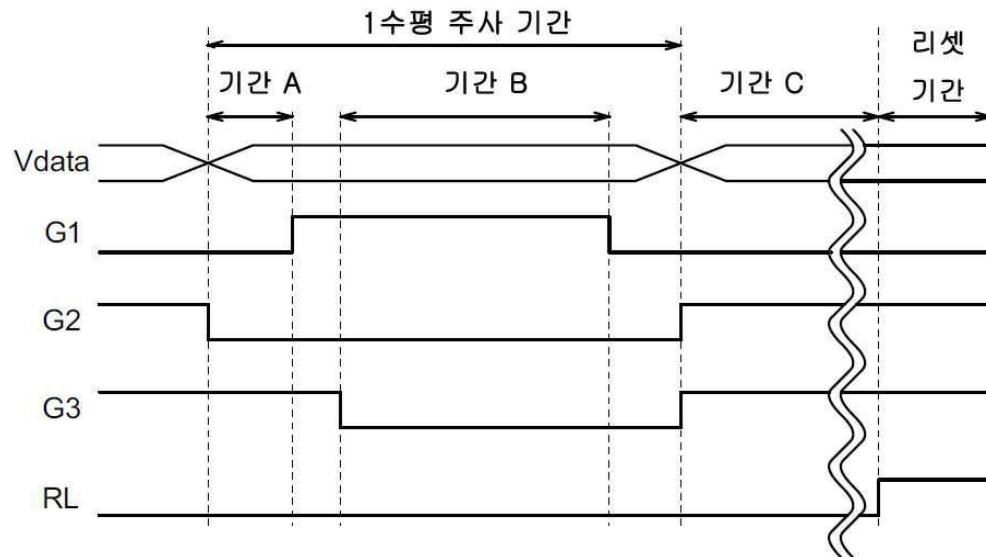
(A)



(B)



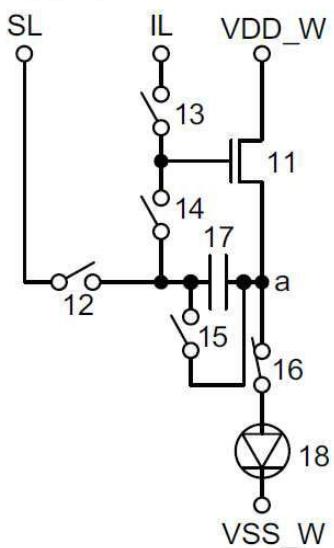
## 도면3



## 도면4

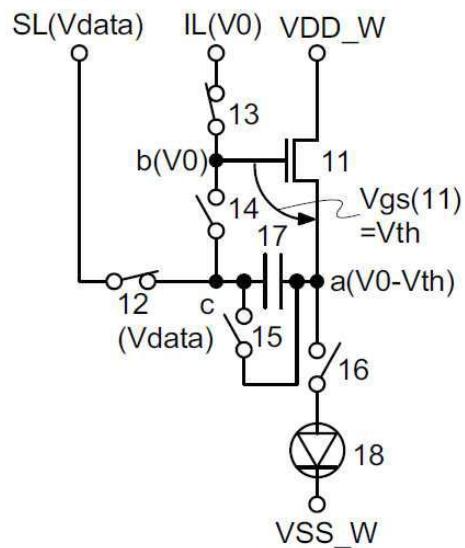
(A)

기간 A



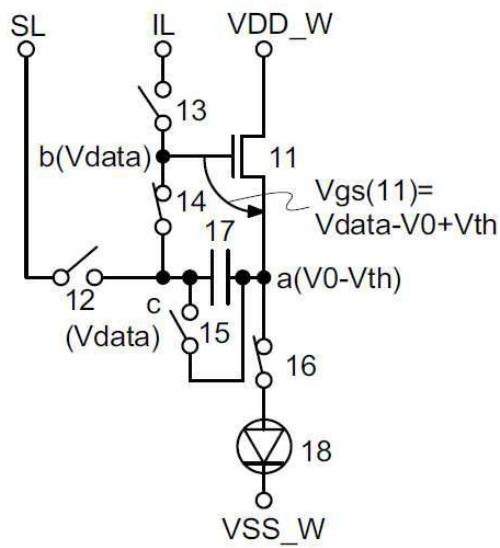
(B)

기간 B



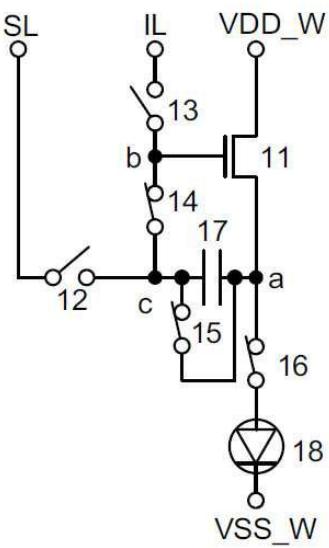
(C)

기간 C

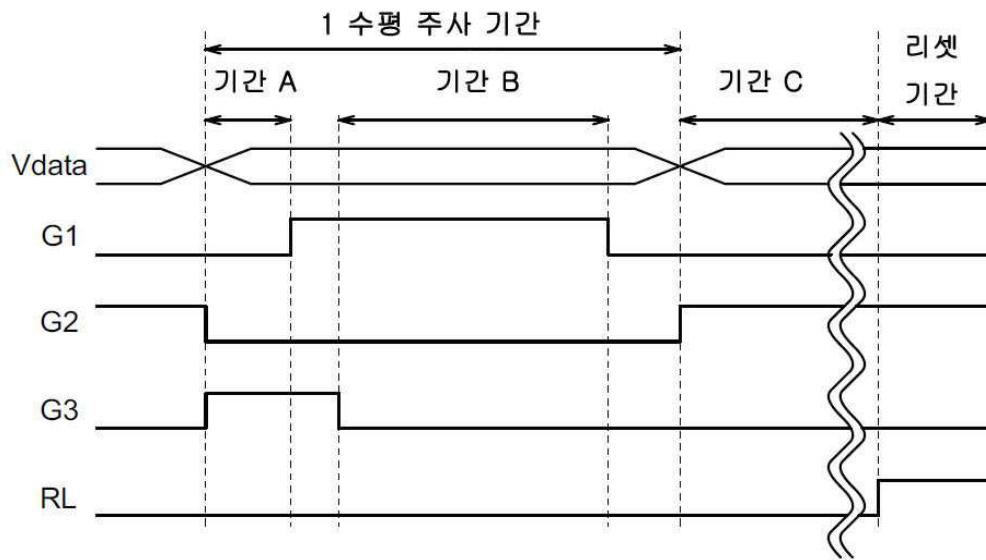


(D)

리셋 기간



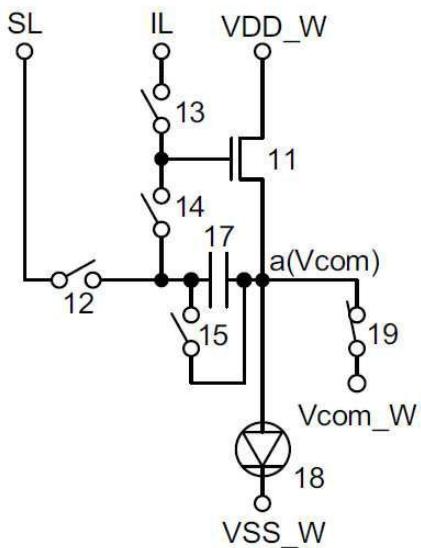
도면5



## 도면6

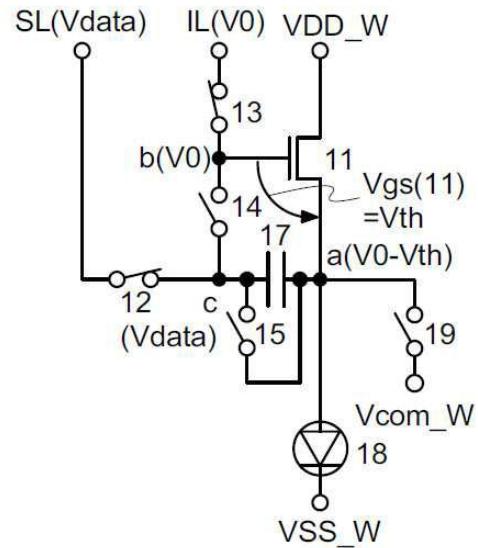
(A)

기간 A



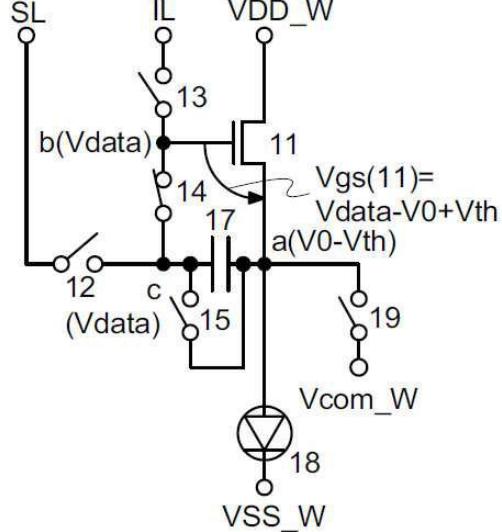
(B)

기간 B



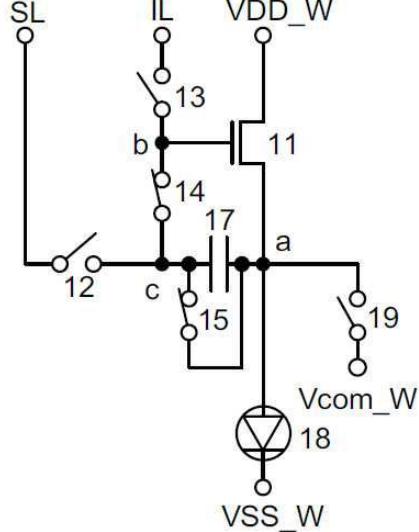
(C)

기간 C

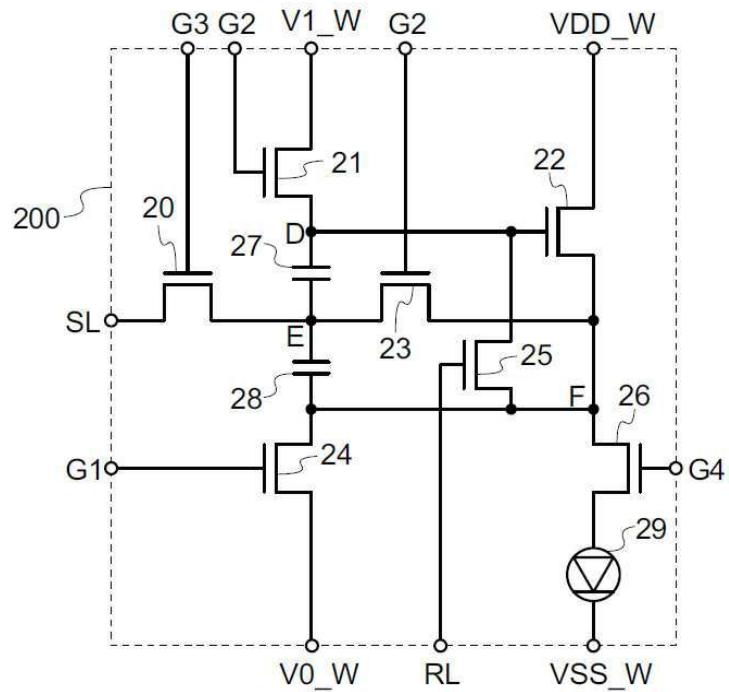


(D)

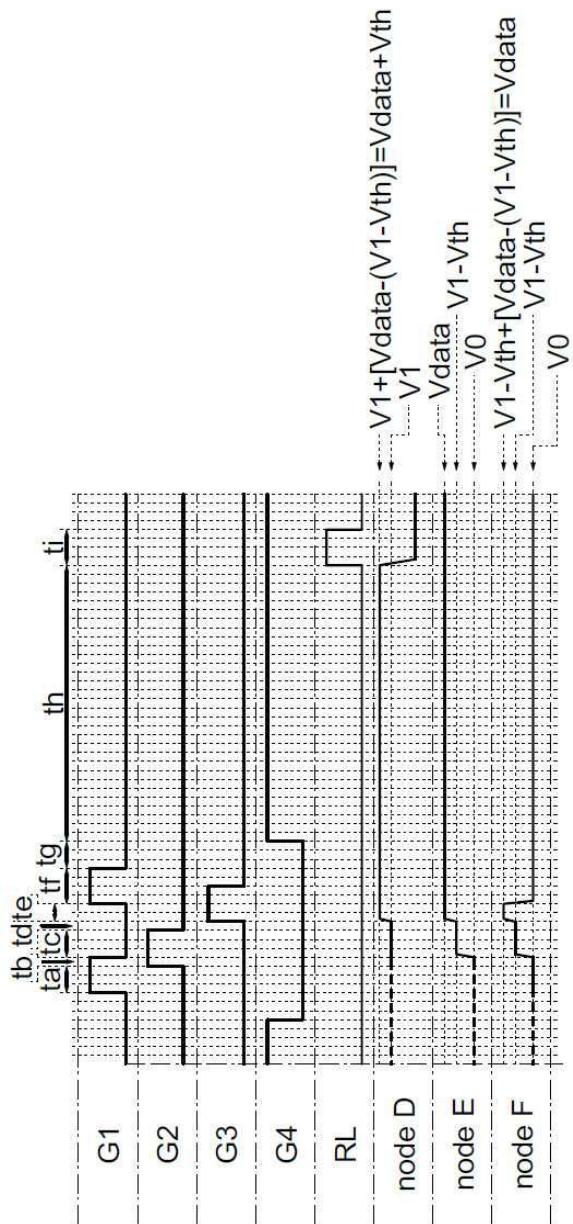
기간 D



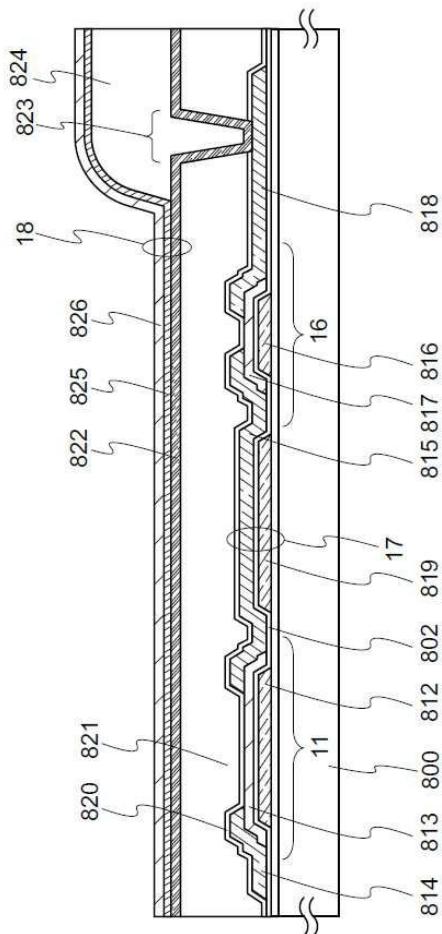
도면7



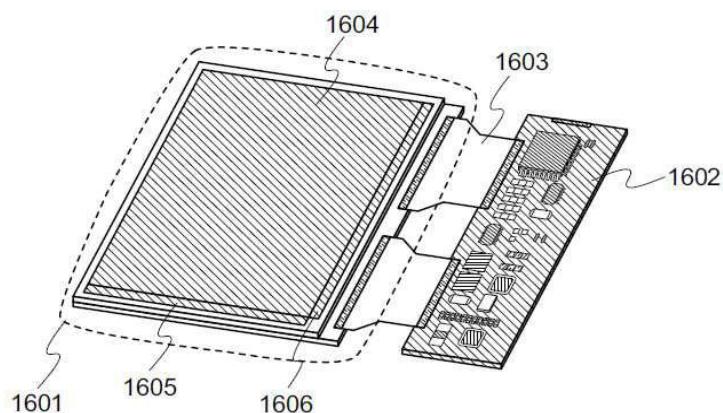
## 도면8



## 도면9



도면10



도면11

