

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
20. August 2009 (20.08.2009)

(10) Internationale Veröffentlichungsnummer
WO 2009/100802 A2

- (51) Internationale Patentklassifikation:
G01R 31/30 (2006.01) **G01R 31/3163** (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2009/000086
- (22) Internationales Anmeldedatum:
9. Januar 2009 (09.01.2009)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2008 003 819.9
10. Januar 2008 (10.01.2008) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **AUSTRIAMICROSYSTEMS AG** [AT/AT]; Schloss Premstätten, A-8141 Unterpremstätten (AT).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **WASER, Karl, Georg** [AT/AT]; Griesgasse 20/3, A-8020 Graz (AT).
- (74) Anwalt: **EPPING HERMANN FISCHER**; Patentanwalts-gesellschaft MbH, Ridlerstrasse 55, 80339 München (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

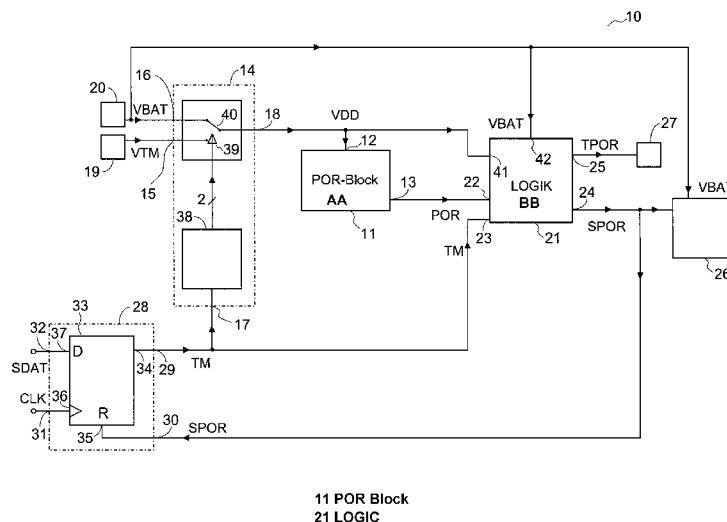
Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts (Regel 48 Absatz 2 Buchstabe g)

(54) Title: CIRCUIT ARRANGEMENT AND METHOD FOR TESTING A RESET CIRCUIT

(54) Bezeichnung: SCHALTUNGSANORDNUNG UND VERFAHREN ZUM TESTEN EINER RÜCKSETZSCHALTUNG

FIG 1A



11 POR Block
21 LOGIC

(57) Abstract: A circuit arrangement (1) for testing a reset circuit (11) comprises the reset circuit (11) and a changeover switch (14). The reset circuit has a voltage input (12) for supplying an input voltage (VDD) and an output (13) for providing a reset signal (POR) on the basis of the input voltage (VDD). The changeover switch (14) comprises a first input (15) for supplying a test voltage (VTM), a second input (16) for supplying a supply voltage (VBAT), a control input (17) for changing over between the first and the second input (15, 16) on the basis of a test adjustment signal (TM), and an output (18) which is coupled to the voltage input (12) of the reset circuit (11).

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]



Eine Schaltungsanordnung (10) zum Testen einer Rücksetzschialtung (11) umfasst die Rücksetzschialtung (11) und einen Umschalter (14). Die Rücksetzschialtung weist einen Spannungseingang (12) zum Zuführen einer Eingangsspannung (VDD) und einen Ausgang (13) zum Bereitstellen eines Rücksetzsignals (POR) in Abhängigkeit der Eingangsspannung (VDD) auf. Der Umschalter (14) umfasst einen ersten Eingang (15) zum Zuführen einer Testspannung (VTM), einen zweiten Eingang (16) zum Zuführen einer Versorgungsspannung (VBAT), einen Steuereingang (17) zum Umschalten zwischen dem ersten und dem zweiten Eingang (15, 16) in Abhängigkeit eines Testeinstellsignals (TM) und einen Ausgang (18), der mit dem Spannungseingang (12) der Rücksetzschialtung (11) gekoppelt ist.

Beschreibung

Schaltungsanordnung und Verfahren zum Testen einer Rücksetzschaltung

5

Die vorliegende Erfindung betrifft eine Schaltungsanordnung und ein Verfahren zum Testen einer Rücksetzschaltung.

Schaltungsanordnungen weisen häufig eine Rücksetzschaltung auf, der eine Versorgungsspannung der Schaltungsanordnung zugeführt wird und die ein Rücksetzsignal in Abhängigkeit der Versorgungsspannung bereitstellt. Das Rücksetzsignal wird einem Schaltungsblock der Schaltungsanordnung zugeleitet. Dabei weist das Rücksetzsignal einen den weiteren Block der Schaltungsanordnung aktivierenden Wert auf, sofern die Versorgungsspannung einen Pegel überschreitet, bei dem der Schaltungsblock zuverlässig betrieben werden kann. Dieses Prinzip wird auch als Power on Reset bezeichnet.

20 Dokument US 2006/0041811 A1 beschreibt einen Schaltkreis zum Testen einer Rücksetzfunktion eines elektronischen Bauteils. Der Schaltkreis umfasst einen ersten und einen zweiten einstellbaren Widerstand und eine Vorrichtung zum Umschalten zwischen verschiedenen Spannungen mittels einer Brücke. Eine Spannung am Ausgang des Schaltkreises wird dem zu testenden Bauteil zugeleitet.

30 In Dokument US 2007/0266280 A1 ist eine Anordnung zum Testen einer Rücksetzschaltung eines integrierten Schaltkreises angegeben. Die Anordnung umfasst eine Rücksetzschaltung für einen Betrieb des integrierten Schaltkreises und eine duplizierte Rücksetzschaltung für Testzwecke.

Aufgabe der vorliegenden Erfindung ist es, eine Schaltungsanordnung zum Testen einer Rücksetzschaltung und ein Verfahren zum Testen einer Rücksetzschaltung bereitzustellen, die einen Test der Rücksetzschaltung mit einer Testspannung ermöglichen.

Diese Aufgabe wird mit dem Gegenstand des Patentanspruchs 1 sowie dem Verfahren gemäß Patentanspruch 9 gelöst. Weiterbildungen und Ausgestaltungen sind jeweils Gegenstand der abhängigen Ansprüche.

In einer Ausführungsform umfasst eine Schaltungsanordnung zum Testen einer Rücksetzschaltung die Rücksetzschaltung und einen Umschalter. Die Rücksetzschaltung weist einen Spannungseingang und einen Ausgang auf. Der Umschalter umfasst einen ersten und einen zweiten Eingang, einen Steuereingang und einen Ausgang. Der Ausgang des Umschalters ist mit dem Spannungseingang der Rücksetzschaltung verbunden.

Dem Spannungseingang der Rücksetzschaltung wird eine Eingangsspannung zugeführt. An dem Ausgang der Rücksetzschaltung wird ein Rücksetzsignal in Abhängigkeit der Eingangsspannung bereitgestellt. Dem ersten Eingang des Umschalters wird eine Testspannung zugeführt. Der zweite Eingang des Umschalters wird mit einer Versorgungsspannung beaufschlagt. Ein Testeinstellsignal wird dem Steuereingang des Umschalters zugeleitet. In Abhängigkeit des Testeinstellsignals wird der Umschalter zwischen dem ersten und dem zweiten Eingang umgeschaltet.

Mit Vorteil wird mittels des Umschalters eingestellt, ob die Versorgungsspannung oder die Testspannung dem Spannungseingang der Rücksetzschaltung bereitgestellt werden. Somit ist

wahlweise ein Zuleiten der Testspannung oder ein Zuleiten der Versorgungsspannung an die Rücksetzschaltung möglich. Mit Vorteil kann die Funktionsfähigkeit der Rücksetzschaltung in einem Testbetrieb mittels einer Testspannung getestet werden, die unabhängig von der Versorgungsspannung der Schaltungsanordnung ist. Die Rücksetzschaltung kann somit ein digitales Rücksetzsignal in Abhängigkeit einer analogen Testspannung generieren.

- 10 In einer Ausführungsform umfasst die Schaltungsanordnung eine Eingangslogikschaltung. Die Eingangslogikschaltung ist an einem Ausgang mit dem Steuereingang des Umschalters verbunden und stellt das Testeinstellsignal bereit. Die Eingangslogikschaltung kann eine Speicherschaltung aufweisen. Die Speicherschaltung kann ein Flip-Flop oder eine asynchrone Logik oder eine kombinatorische Logik umfassen.

Weist das Testeinstellsignal einen logischen Wert 1 auf, so ist der Testbetrieb aktiviert. Im Testbetrieb der Schaltungsanordnung wird der erste Eingang des Umschalters mit dem Ausgang des Umschalters verbunden. Weist hingegen das Testeinstellsignal einen logischen Wert 0 auf, so ist der Testbetrieb der Schaltungsanordnung deaktiviert und die Schaltungsanordnung befindet sich in einem Normalbetrieb. Dabei ist der zweite Eingang des Umschalters mit dem Ausgang des Umschalters verbunden.

In einer Weiterbildung weist die Schaltungsanordnung eine Ausgangslogikschaltung auf. Ein erster Eingang der Ausgangslogikschaltung ist an den Ausgang der Rücksetzschaltung angeschlossen. Ein zweiter Eingang der Ausgangslogikschaltung ist an den Ausgang der Eingangslogikschaltung angeschlossen. Ein erster Ausgang der Ausgangslogikschaltung ist mit einem

Schaltungsblock der Schaltungsanordnung verbunden. Ein zweiter Ausgang der Ausgangslogikschaltung ist mit einer Ausgangsanschlussfläche der Schaltungsanordnung gekoppelt. Dem ersten Eingang der Ausgangslogikschaltung wird somit das Rücksetzsignal zugeführt. Der zweite Eingang der Ausgangslogikschaltung dient zum Zuleiten des Testeinstellsignals an die Ausgangslogikschaltung. Am ersten Ausgang der Ausgangslogikschaltung wird ein Systemrücksetzsignal abgegeben. Das Systemrücksetzsignal wird in Abhängigkeit von dem Rücksetzsignal und dem Testeinstellsignal bereitgestellt. Dabei wird das Systemrücksignal aus dem Rücksetzsignal generiert, sofern der Testbetrieb der Schaltungsanordnung deaktiviert ist. Ist allerdings mittels des Testeinstellsignals der Testbetrieb der Schaltungsanordnung aktiviert, so weist das Systemrücksetzsignal einen logischen Wert auf, der den Schaltungsblock deaktiviert. Am zweiten Ausgang der Ausgangslogikschaltung wird ein Resultatsignal bereitgestellt. Das Resultatsignal wird in Abhängigkeit des Rücksetzsignals und des Testeinstellsignals generiert. Weist das Testeinstellsignal einen den Testbetrieb aktivierenden Wert auf, so entspricht das Resultatsignal dem Rücksetzsignal. Ist mittels des Testeinstellsignals der Testbetrieb deaktiviert, so weist das Resultatsignal einen konstanten Wert auf. Mit Vorteil kann mittels der Ausgangslogikschaltung die Rücksetzschaltung im Testbetrieb von dem Schaltungsblock isoliert werden. Die Isolierung kann durchgeführt werden, ohne dass ein Systemrücksetzsignal erzeugt wird, das die Schaltungsanordnung zurücksetzt.

In einer Ausführungsform umfasst ein Halbleiterkörper die Schaltungsanordnung. Bevorzugt umfasst genau ein Halbleiterkörper die Schaltungsanordnung.

Bevorzugt kann der Halbleiterkörper die Rücksetzschaltung, die Eingangslogikschaltung und die Ausgangslogikschaltung umfassen. Weiter kann der Halbleiterkörper den Umschalter aufweisen.

5

Mit Vorteil ist in einem Betriebszustand, in dem kein Testbetrieb erfolgt, ein Stromverbrauch der Schaltungsanordnung nicht durch den Umschalter, die Eingangslogikschaltung und die Ausgangslogikschaltung erhöht.

10

In einer Ausführungsform umfasst ein Verfahren zum Testen einer Rücksetzschaltung ein Zuführen einer Versorgungsspannung als eine Eingangsspannung an die Rücksetzschaltung in einem Normalbetrieb. Weiter wird in Abhängigkeit eines Testeinstellsignals von dem Normalbetrieb in einen Testbetrieb umgeschaltet. Eine Testspannung wird als die Eingangsspannung an die Rücksetzschaltung im Testbetrieb zugeleitet und ein Rücksetzsignal mittels der Rücksetzschaltung in Abhängigkeit der Eingangsspannung generiert.

20

Mit Vorteil kann somit eine Testspannung einer Rücksetzschaltung zugeführt und das Rücksetzsignal mittels der Testspannung erzeugt werden. Damit ist ein Testbetrieb der Rücksetzschaltung ermöglicht. Das Rücksetzsignal kann von einem Schaltungsblock der Schaltungsanordnung isoliert sein, so dass ein isolierter Testbetrieb der Rücksetzschaltung ermöglicht ist. Im Testbetrieb wird das Rücksetzsignal nicht dem Schaltungsblock zugeleitet.

25

In einer Weiterbildung umfasst das Verfahren folgende Schritte im Testbetrieb: Die Versorgungsspannung wird an eine Schaltungsanordnung, welche die Rücksetzschaltung und einen Schaltungsblock umfasst, angelegt. Die Schaltungsanordnung

30

wird somit angeschaltet. Mittels des Testeinstellsignals wird die Rücksetzschtaltung von dem Schaltungsblock elektrisch getrennt. Die Rücksetzschtaltung ist somit elektrisch isoliert. Im Normalbetrieb wird dem Schaltungsblock das Rücksetzsignal zugeleitet. Zur Durchführung der Isolation der Rücksetzschtaltung wird im Testbetrieb das Rücksetzsignal nicht dem Schaltungsblock zugeführt. Im Testbetrieb kann dem Schaltungsblock ein Signal zugeleitet werden, das den Schaltungsblock deaktiviert. Die einstellbare Testspannung wird über einen separaten Pfad der zuvor isolierten Rücksetzschtaltung zugeführt, welche das Rücksetzsignal generiert. Die Testspannung ist eine analoge Spannung. Die Testspannung kann wertkontinuierliche Spannungswerte aufweisen. Das Rücksetzsignal wird als ein Resultatsignal bereitgestellt. Das Resultatsignal ist ein digitales Signal. Das Resultatsignal weist daher wertdiskrete Werte auf. Eine Abhängigkeit des Resultatsignals vom Testsignal wird ausgewertet. Dabei wird mindestens ein Schwellwert der Rücksetzschtaltung ermittelt. In Abhängigkeit des Schwellwertes wird das Rücksetzsignal im Test- und im Normalbetrieb erzeugt. Mit Vorteil ist die Rücksetzschtaltung getrennt vom Schaltungsblock testbar.

In einer Weiterbildung durchläuft im Testbetrieb die Testspannung eine Spannungsrampe mit steigenden Spannungswerten zur Detektion eines ersten Schwellwertes der Rücksetzschtaltung. Dabei entspricht der erste Schwellwert dem Wert der Testspannung, bei dem das Resultatsignal seinen logischen Wert ändert. Alternativ durchläuft die Testspannung eine Spannungsrampe mit fallenden Spannungswerten zur Detektion eines zweiten Schwellwertes der Rücksetzschtaltung. Hierbei entspricht der zweite Schwellwert dem Wert der Testspannung, bei dem das Resultatsignal seinen logischen Wert bei fallenden Spannungswerten der Testspannung ändert. Bevorzugt durch-

läuft die Testspannung eine Spannungsrampe mit fallenden Spannungswerten und eine Spannungsrampe mit steigenden Spannungswerten. Der zweite Schwellwert ist vorteilhafterweise niedriger als der erste Schwellwert. Es ist ein Vorteil einer
5 derartigen Hysterese, dass bei einer Eingangsspannung mit einem Wert, der ungefähr dem ersten Schwellwert entspricht, kleine Spannungsschwankungen der Eingangsspannung nicht bereits zu Änderungen des Rücksetzsignals führen.

10 In einer Ausführungsform sind bei einem Test der Rücksetzschaltung weitere Teile der Schaltungsanordnung, insbesondere ein Schaltungsblock der Schaltungsanordnung, vom Test unbeeinflusst.

15 In einer Ausführungsform ist die Schaltungsanordnung auf einer Hauptfläche eines Halbleiterkörpers angeordnet.

In einer bevorzugten Ausführungsform ist die Schaltungsanordnung auf einer Hauptfläche genau eines Halbleiterkörpers angeordnet.
20

Die Erfindung wird nachfolgend an mehreren Ausführungsbeispielen anhand der Figuren näher erläutert. Funktions- beziehungsweise wirkungsgleiche Bauelemente und Schaltungs-
25 elemente tragen gleiche Bezugszeichen. Insoweit sich Schaltungsteile oder Bauelemente in ihrer Funktion entsprechen, wird deren Beschreibung nicht in jeder der folgenden Figuren wiederholt.

30 Es zeigen:

Figuren 1A und 1B beispielhafte Ausführungsformen einer Schaltungsanordnung mit einer Rücksetz-

schaltung nach dem vorgeschlagenen Prinzip,

Figur 2 eine beispielhafte Ausführungsform einer
5 Rücksetzschaltung nach dem vorgeschlagenen Prinzip,

Figur 3A bis 3G beispielhafte Signalverläufe einer Schal-
tungsanordnung mit einer Rücksetzschaltung
10 nach dem vorgeschlagenen Prinzip und

Figur 4 eine beispielhafte Ausführungsform eines
Halbleiterkörpers mit der Schaltungsanord-
nung nach dem vorgeschlagenen Prinzip.

15
Figur 1A zeigt eine beispielhafte Ausführungsform einer
Schaltungsanordnung mit einer Rücksetzschaltung nach dem vor-
geschlagenen Prinzip. Die Rücksetzschaltung 11 umfasst einen
Spannungseingang 12 und einen Ausgang 13. Die Rücksetzschal-
20 tung 11 kann auch als Power on Reset Block, abgekürzt POR-
Block, bezeichnet sein. Weiter umfasst die Schaltungsanord-
nung einen Umschalter 14 mit einem ersten und einem zweiten
Eingang 15, 16, einem Steuereingang 17 und einem Ausgang 18.
Der Ausgang 18 des Umschalters 14 ist mit dem Spannungsein-
25 gang 12 der Rücksetzschaltung 11 verbunden. Eine erste An-
schlussfläche 19 der Schaltungsanordnung 10 ist mit dem ers-
ten Eingang 15 des Umschalters 14 verbunden. Entsprechend ist
eine zweite Anschlussfläche 20 der Schaltungsanordnung 10 mit
dem zweiten Eingang 16 des Umschalters 14 verbunden. Weiter
30 umfasst die Schaltungsanordnung 10 eine Ausgangslogikschal-
tung 21 mit einem ersten und einem zweiten Eingang 22, 23 so-
wie einem ersten und einem zweiten Ausgang 24, 25. Der erste
Eingang 22 der Ausgangslogikschaltung 21 ist mit dem Ausgang

13 der Rücksetzschaltung 11 verbunden. Darüber hinaus umfasst die Schaltungsanordnung 10 einen Schaltungsblock 26, der an den ersten Ausgang 24 der Ausgangslogikschaltung 21 angeschlossen ist. Der Schaltungsblock 26 ist zusätzlich mit der
5 zweiten Anschlussfläche 20 verbunden. Ferner weist die Schaltungsanordnung 10 eine Ausgangsanschlussfläche 27 auf, die mit dem zweiten Ausgang 25 der Ausgangslogikschaltung 21 gekoppelt ist.

10 Weiter umfasst die Schaltungsanordnung 10 eine Eingangslogikschaltung 28 mit einem Ausgang 29. Der Ausgang 29 ist mit dem Steuereingang 17 des Umschalters 14 verbunden. Darüber hinaus ist der Ausgang 29 der Eingangslogikschaltung 28 an den zweiten Eingang 23 der Ausgangslogikschaltung 21 angeschlossen. Zusätzlich weist die Eingangslogikschaltung 28 einen
15 ersten Eingang 30 auf, der mit dem ersten Ausgang 24 der Ausgangslogikschaltung 21 gekoppelt ist. Ferner weist die Eingangslogikschaltung 28 einen zweiten Eingang 32 und einen dritten Eingang 31 auf. Die Eingangslogikschaltung 28 ist als
20 Testbetrieb-Register implementiert. Die Eingangslogikschaltung 28 umfasst eine Speicherschaltung 33. Die Speicherschaltung 33 ist als Flip-Flop realisiert. Ein Datenausgang 34 der Speicherschaltung 33 ist mit dem Ausgang 29 der Eingangslogikschaltung 28 verbunden. Ein Rücksetzeingang 35 der Speicherschaltung 33 ist mit dem ersten Eingang 30 der Eingangslogikschaltung 28 verbunden. Ein Takteingang 36 der Speicherschaltung 33 ist mit dem dritten Eingang 31 der Eingangslogikschaltung 28 gekoppelt. Ein Dateneingang 37 der Speicherschaltung 33 ist an den zweiten Eingang 32 der Eingangslogikschaltung 28 angeschlossen.
30

Darüber hinaus umfasst der Umschalter 14 einen Puffer 38 sowie einen ersten und einen zweiten Schalter 39, 40. Der Puf-

fer 38 ist zwischen den Steuereingang 17 des Umschalters 14 und den Steuereingängen des ersten und des zweiten Schalters 39, 40 geschaltet. Der erste Schalter 39 verbindet den ersten Eingang 15 des Umschalters 14 mit dem Ausgang 18 des Umschalters 14. Entsprechend verbindet der zweite Schalter 40 den zweiten Eingang 16 des Umschalters 14 mit dem Ausgang 18 des Umschalters 14. Weiter weist die Ausgangslogikschaltung 21 einen dritten Eingang 41 auf, der an den Ausgang 18 des Umschalters 14 angeschlossen ist. Zusätzlich weist die Ausgangslogikschaltung 21 einen vierten Eingang 42 auf, der mit dem zweiten Eingang 16 des Umschalters 14 und damit mit der zweiten Anschlussfläche 20 verbunden ist.

Eine Testspannung VTM wird dem ersten Eingang 15 des Umschalters 14 über die erste Anschlussfläche 19 zugeleitet. Eine Versorgungsspannung VBAT wird dem zweiten Eingang 16 des Umschalters 14 über die zweite Anschlussfläche 20 zugeführt. Die Versorgungsspannung VBAT dient zur Versorgung der Schaltungsanordnung 10. Der Schaltungsblock 26 wird von der Versorgungsspannung VBAT versorgt. Dem Steuereingang 17 des Umschalters 14 wird ein Testeinstellsignal TM zugeleitet. In Abhängigkeit des Testeinstellsignals TM ist wahlweise der erste oder der zweite Schalter 39, 40 geschlossen, so dass alternativ der erste oder der zweite Eingang 15, 16 des Umschalters 14 mit dem Ausgang 18 des Umschalters 14 verbunden ist. Die am Ausgang 18 des Umschalters 14 anliegende Spannung wird als Eingangsspannung VDD dem Spannungseingang 12 der Rücksetzschaltung 11 zugeleitet. Die Eingangsspannung VDD entspricht somit der Versorgungsspannung VBAT oder alternativ der Testspannung VTM.

Die Rücksetzschaltung 11 generiert ein Rücksetzsignal POR in Abhängigkeit der Eingangsspannung VDD. Dabei wird das Rück-

setzsignal POR mit einem aktivierenden Wert generiert, sofern die Eingangsspannung VDD einen ersten Schwellwert VPH überschreitet. Der erste Schwellwert VPH ist so eingestellt, dass eine Versorgungsspannung VBAT mit einem Wert größer als dem ersten Schwellwert VPH ausreichend zum sicheren Betrieb des Schaltungsblockes 26 ist.

Das Rücksetzsignal POR wird über den Ausgang 13 der Rücksetzschaltung 11 dem ersten Eingang 22 der Ausgangslogikschaltung 21 zugeführt. Der zweite Eingang 23 der Ausgangslogikschaltung 21 wird mit dem Testeinstellsignal TM beaufschlagt. Dem dritten Eingang 41 der Ausgangslogikschaltung 21 wird die Eingangsspannung VDD zugeleitet. Am vierten Eingang 42 liegt die Versorgungsspannung VBAT an, die zur Versorgung der Gatter der Ausgangslogikschaltung 21 eingesetzt wird. Die Ausgangslogikschaltung 21 generiert ein Systemrücksetzsignal SPOR in Abhängigkeit des Rücksetzsignals POR und des Testeinstellsignals TM und stellt das Systemrücksetzsignal SPOR am ersten Ausgang 24 bereit. Das Systemrücksetzsignal SPOR wird dem Schaltungsblock 26 zugeleitet und dient zum Aktivieren des Schaltungsblockes 26, sofern die Versorgungsspannung VBAT den ersten Schwellwert VPH überschritten hat. In Abhängigkeit des Testeinstellsignals TM und des Rücksetzsignals POR stellt zusätzlich die Ausgangslogikschaltung 21 ein Resultatsignal TPOR am zweiten Ausgang 25 der Ausgangslogikschaltung 21 bereit. Das Resultatsignal TPOR ist als digitales Signal realisiert. Das Resultatsignal TPOR wird der Ausgangsanschlussfläche 27 zugeführt. Eine nicht gezeigte Schnittstelle der Schaltungsanordnung 10, englisch: interface, umfasst die Ausgangsanschlussfläche 27.

Das Systemrücksetzsignal SPOR wird zusätzlich über den ersten Eingang 30 der Eingangsschaltungsanordnung 28 dem Rücksetz-

eingang 35 der Speicherschaltung 33 zugeleitet. Die Speicherschaltung 33 generiert das Testeinstellsignal TM an dem Datenausgang 34, das über den Ausgang 29 der Eingangslogikschaltung 28 dem Umschalter 18 und der Ausgangslogikschaltung 21 zugeleitet wird. Ein Taktsignal CLK wird über den dritten Eingang 31 der Eingangslogikschaltung 28 dem Takteingang 36 der Speicherschaltung 33 zugeführt. Ein Datensignal SDAT wird über den zweiten Eingang 32 der Eingangslogikschaltung 28 dem Dateneingang 37 der Speicherschaltung 33 zugeleitet. Die Speicherschaltung 33 generiert das Testeinstellsignal TM in Abhängigkeit des Taktsignals CLK, des Systemrücksetzsignals SPOR und des Datensignals SDAT. Das Testeinstellsignal TM und das Datensignal SDAT sind als elektrische Signale ausgebildet. Der Umschalter 14 ist als elektronischer Umschalter realisiert. Der erste und der zweiten Schalter 39, 40 sind als elektronische Schalter implementiert.

Mit Vorteil kann mittels des Testeinstellsignals TM ausgewählt werden, ob die Testspannung VTM oder die Versorgungsspannung VBAT der Rücksetzschaltung 11 zugeleitet wird. Mit Vorteil wird das Testeinstellsignal TM auch der Ausgangslogikschaltung 21 zugeführt, sodass während der Durchführung eines Tests das Systemrücksetzsignal SPOR einen den Schaltungsblock 26 deaktivierenden Wert aufweist. Das Systemrücksetzsignal SPOR weist ausschließlich dann einen den Schaltungsblock 26 aktivierenden Wert auf, sofern das Rücksetzsignal POR den aktivierenden Wert zeigt und die Rücksetzschaltung 11 sich nicht im Testbetrieb befindet. Im Testbetrieb ist somit die Rücksetzschaltung 11 mittels des Testeinstellsignals TM von dem Schaltungsblock 26 isoliert. Im Testbetrieb entspricht das Resultatsignal TPOR dem Rücksetzsignal POR. Vorteilhafterweise weist das Resultatsignal TPOR einen

konstanten Wert auf, sofern sich die Rücksetzschaltung 11 nicht im Testbetrieb befindet.

Mittels des Puffers 38 kann vorteilhafterweise eingestellt werden, dass bei Fehlen eines definierten Testeinstellsignals TM der zweite Schalter 40 geschlossen und somit die Versorgungsspannung VBAT der Rücksetzschaltung 11 zugeleitet ist.

Mit Vorteil wird die Rücksetzschaltung 11 für den Testbetrieb über einen getrennten Versorgungspfad, der den ersten Schalter 39 des Umschalters 14 und die erste Anschlussfläche 19 umfasst, versorgt. Eine Messung eines Schwellwertes der Rücksetzschaltung 11 wird derart ausgeführt, dass ein Ergebnis über einen Ausgangspfad, der die Ausgangslogikschaltung 21 und den Ausgangsanschluss 27 umfasst, abgegeben wird. Mit Vorteil wird im Test genau diejenige Rücksetzschaltung 11 getestet, die im darauf folgenden Betrieb die Rücksetzfunktion für die Schaltungsanordnung 10, insbesondere den Schaltungsblock 26, gewährleistet.

In einer alternativen, nicht gezeigten Ausführungsform umfasst die Schaltungsanordnung 10 einen Multiplexer, der eingangsseitig mit dem zweiten Ausgang 25 der Ausgangslogikschaltung 21 und ausgangsseitig mit einer Anschlussfläche verbunden ist. Die Anschlussfläche ist somit als Testanschlussfläche, englisch: test-mode pin, implementiert. Mit Vorteil kann somit die Anzahl der Anschlussflächen gering und eine Fläche eines Halbleiterkörpers 130, welcher die Schaltungsanordnung umfasst, klein gehalten werden.

Figur 1B zeigt eine beispielhafte Ausführungsform einer Schaltungsanordnung mit einer Rücksetzschaltung nach dem vorgeschlagenen Prinzip. Die Schaltungsanordnung 10' gemäß Figur

1B ist eine Weiterbildung der in Figur 1A gezeigten Ausführungsform und wird insoweit hier nicht noch einmal beschrieben. Der erste Schalter 39 umfasst einen ersten Schalttransistor 50, der zwischen den ersten Eingang 15 und den Ausgang 18 des Umschalters 14 geschaltet ist. Ein Steueranschluss des ersten Schalttransistors 50 ist an einen ersten Ausgang 51 des Puffers 38 angeschlossen. Weiter umfasst der erste Schalter 39 einen zweiten Schalttransistor 52, der seriell zum ersten Schalttransistor 50 geschaltet ist. Der zweite Schalttransistor 52 ist zwischen dem ersten Schalttransistor 50 und dem Ausgang 18 des Umschalters 14 angeordnet. Ein Steueranschluss des zweiten Schalttransistors 52 ist ebenfalls an den ersten Ausgang 51 des Puffers 38 angeschlossen. Ein Knoten 53 zwischen dem ersten und dem zweiten Schalttransistor 50, 52 ist über einen ersten Widerstand 54 mit den beiden Steueranschlüssen des ersten und des zweiten Schalttransistors 50, 52 verbunden. Der Knoten 53 ist ebenfalls mit den beiden Substratanschlüssen des ersten und des zweiten Schalttransistors 50, 52 verbunden. Der zweite Schalter 40 umfasst einen dritten Schalttransistor 55, der zwischen den zweiten Eingang 16 und den Ausgang 18 des Umschalters 14 geschaltet ist. Ein Steueranschluss des dritten Schalttransistors 55 ist an einen zweiten Ausgang 56 des Puffers 38 angeschlossen.

Der Puffer 38 umfasst einen ersten und einen zweiten Inverter 57, 58, die hintereinander geschaltet sind. Ein Eingang des ersten Inverters 57 ist mit dem Steuereingang 17 des Umschalters 14 verbunden. Der Puffer 38 weist einen vierten Schalttransistor 59 auf, der den ersten Ausgang 51 des Puffers 38 und damit die Steuereingänge des ersten und des zweiten Schalttransistors 50, 52 mit einem Bezugspotentialanschluss 60 verbindet. Ein Ausgang des ersten Inverters 57 ist über den zweiten Inverter 58 mit einem Steueranschluss des vierten

Schalttransistors 59 verbunden. Der Puffer 38 weist einen fünften Schalttransistor 61 auf, der den zweiten Eingang 16 des Umschalters 14 mit dem zweiten Ausgang 56 des Puffers 38 verbindet. Der zweite Ausgang 56 des Puffers 38 ist über einen zweiten Widerstand 62 mit dem Bezugspotentialanschluss 60 verbunden. Der Ausgang des ersten Inverters 57 ist an einen Steueranschluss des fünften Schalttransistors 61 angeschlossen. Der erste, zweite, dritte und fünfte Schalttransistor 50, 52, 55, 61 ist jeweils als ein p-Kanal Feldeffekttransistor realisiert. Der vierte Schalttransistor 59 ist als n-Kanal Feldeffekttransistor implementiert. Der erste, zweite und dritte Schalttransistor 50, 52, 55 weist jeweils ein hohes Weiten-zu-Längen Verhältnis auf, sodass ihr Einschaltwiderstand gering ist.

Darüber hinaus umfasst die Schaltungsanordnung 10' einen Pufferkondensator 64, der den Ausgang 18 des Umschalters 14 mit dem Bezugspotentialanschluss 60 verbindet. Die Rücksetzschaltung 11 weist einen Kondensator 65 und einen Schalter 66 auf. Dabei ist eine erste Elektrode des Kondensators 65 über den Schalter 66 mit dem Spannungseingang 12 der Rücksetzschaltung 11 verbunden. Ein Ausgangstreiber 67 der Rücksetzschaltung 11 ist zwischen eine zweite Elektrode des Kondensators 65 und den Ausgang 13 der Rücksetzschaltung 11 geschaltet. Ein Steueranschluss des Schalters 66 ist über den Ausgang 29 der Eingangslogikschaltung 28 mit dem Datenausgang 33 der Speicherschaltung 32 verbunden. Weiter umfasst die Rücksetzschaltung 11 einen ersten, einen zweiten und einen dritten Anschluss 68, 69, 70. Der erste und der zweite Anschluss 68, 69 sind mit dem Bezugspotentialanschluss 60 verbunden. Der dritte Anschluss 70 ist an einem Substratvorspannungsanschluss 71 angeschlossen.

Die Ausgangslogikschaltung 21 umfasst ein erstes logisches Gatter 72, einen ersten Inverter 73 und zweites logisches Gatter 74. Ein erster Eingang des ersten logischen Gatters 72 und ein erster Eingang des zweiten logischen Gatters 74 sind miteinander verbunden und mit dem Ausgang 13 der Rücksetzschaltung 11 über den ersten Eingang 22 der Ausgangslogikschaltung 21 gekoppelt. Ein zweiter Eingang des zweiten logischen Gatters 74 ist mit dem zweiten Eingang 23 der Ausgangslogikschaltung 21 verbunden. Ebenso ist ein zweiter Eingang des ersten logischen Gatters 72 über den ersten Inverter 73 mit dem zweiten Eingang 23 der Ausgangslogikschaltung 21 verbunden. Die Ausgangslogikschaltung 21 weist darüber hinaus einen ersten Pegelumsetzer 75, englisch: level shifter, auf, der den ersten Eingang 22 der Ausgangslogikschaltung 21 mit den beiden ersten Eingängen des ersten und des zweiten logischen Gatters 72, 74 verbindet. Das erste und das zweite logische Gatter 72, 74 sind als NAND-Gatter implementiert. Ein Ausgang des ersten logischen Gatters 72 ist mit dem ersten Ausgang 24 der Ausgangslogikschaltung 21 gekoppelt. Die Ausgangslogikschaltung 21 weist ein drittes logisches Gatter 77 auf, das an einem ersten Eingang mit dem Ausgang des ersten logischen Gatters 72 und an einem Ausgang mit dem ersten Ausgang 24 der Ausgangslogikschaltung 21 verbunden ist. Das dritte logische Gatter 77 umfasst eine invertierende Funktion. Die Ausgangslogikschaltung 21 umfasst darüber hinaus einen zweiten Pegelumsetzer 78, der den dritten Eingang 41 der Ausgangslogikschaltung 21 mit einem zweiten Eingang des dritten logischen Gatters 77 verbindet. Das dritte logische Gatter 77 ist ebenfalls als NAND-Gatter realisiert. Ein Ausgang des zweiten logischen Gatters 74 ist mit dem zweiten Ausgang 25 der Ausgangslogikschaltung 21 gekoppelt. Die Ausgangslogikschaltung 21 umfasst einen zweiten Inverter 76, der zwischen den Ausgang des zweiten logischen Gatters 74 und den

zweiten Ausgang 25 der Ausgangslogikschaltung 21 geschaltet ist.

Der vierte Schalttransistor 59 stellt ein Steuersignal für
5 den ersten und den zweiten Schalttransistor 50, 52 bereit.
Dem vierten Schalttransistor 59 wird über den ersten und den
zweiten Inverter 57, 58 das Testeinstellsignal TM ohne Inver-
tierung bereitgestellt. Weist das Testeinstellsignal TM den
logischen Wert 1 und damit einen hohen Spannungswert auf, so
10 ist der vierte Schalttransistor 59 leitend geschaltet. Somit
sind die Steueranschlüsse des ersten und des zweiten Schalt-
transistors 50, 52 an den Bezugspotentialanschluss 60 ange-
schlossen. Die Steuersignale des ersten und des zweiten
Schalttransistors 50, 52 entsprechen folglich einem Bezugs-
15 potential VSS, das am Bezugspotentialanschluss 60 abgreifbar
ist. Der erste und der zweite Schalttransistor 50, 52 sind
somit eingeschaltet, sodass die am ersten Eingang 15 des Um-
schalters 14 anliegende Testspannung VTM am Ausgang 18 des
Umschalters 14 bereitgestellt wird.

20

Über die Verbindung des Knotens 53 mit den beiden Substratan-
schlüssen des ersten und des zweiten Schalttransistors 50, 52
wird eine Substratspannung den beiden Schalttransistoren 50,
52 zugeführt. Weist das Testeinstellsignal TM den logischen
25 Wert 0 und damit einen niedrigen Spannungswert auf, so ist
der vierte Schalttransistor 59 sperrend geschaltet. In diesem
Fall werden die Steueranschlüsse des ersten und des zweiten
Schalttransistors 50, 52 derart positiv aufgeladen, dass die
beiden Schalttransistoren 50, 52 sperren. Ein Stromfluss zu
30 dem Knoten 53 kann beispielsweise durch den ersten Schalt-
transistor 50 erfolgen, wenn die Testspannung VTM höher als
die Spannung am Knoten 53 ist, sodass eine Diode zwischen ei-
nem ersten Anschluss des ersten Schalttransistors 50 und dem

Substratanschluss des ersten Schalttransistors 50 leitet. Ebenfalls kann ein Aufladen der Steueranschlüsse des ersten und des zweiten Schalttransistors 50, 52 über den zweiten Schalttransistor 52 erfolgen, sofern eine Spannung am Ausgang 5 18 des Umschalters 14 höher als die Spannung am Knoten 53 ist. Dabei kann der Strom beispielsweise durch eine Diode zwischen einem Anschluss des zweiten Schalttransistors 52 und dem Substratanschluss des zweiten Schalttransistors 52 fließen. Ebenfalls kann ein Aufladen durch Subthresholdströme der 10 beiden Schalttransistoren 50, 52 erfolgen. Der erste und der zweite Schalttransistor 50, 52 benötigen somit keine von einer Substratspannungsquelle bereitgestellte externe Substratspannung.

15 Weist das Testeinstellsignal TM den logischen Wert 1 auf, so ist am Ausgang des ersten Inverters 57 der logische Wert 0 abgreifbar, sodass der fünfte Schalttransistor 61 leitend geschaltet ist. Somit wird der Steueranschluss des dritten Schalttransistors 55 mit dem zweiten Eingang 16 des Umschal- 20 ters 14 verbunden. Liegt am zweiten Eingang 16 die Versorgungsspannung VBAT mit einem hohen Wert an, so wird dadurch der dritte Schalttransistor 55 sperrend geschaltet. Weist hingegen das Testeinstellsignal TM den logischen Wert 0 auf, so ist am Ausgang des ersten Inverters 57 der logische Wert 1 25 abgreifbar, welcher den fünften Schalttransistor 61 sperrend schaltet. Über den Widerstand 62 wird somit der Steueranschluss des dritten Schalttransistors 55 auf das Bezugspotential VSS gelegt, sodass der dritte Schalttransistor 55 leitend geschaltet ist. In diesem Fall wird mittels des dritten 30 Schalttransistors 55 die am zweiten Eingang 16 des Umschalters 14 bereitgestellte Versorgungsspannung VBAT am Ausgang 18 des Umschalters 14 abgegeben.

Der Pufferkondensator 64 dient zum Puffern der Eingangsspannung VDD, die am Spannungseingang 12 der Rücksetzschaltung 11 anliegt. Damit werden bei Schaltvorgängen im Umschalter 14 gegebenenfalls erzeugte Störspannungen verringert und ein
5 Auslösen des Rücksetzsignals POR allein aufgrund von Störspannungen bei Umschaltvorgängen vermieden. Der Kondensator 66 der Rücksetzschaltung 11 dient zum Einstellen einer Zeitkonstante, mit der das Rücksetzsignal POR bereitgestellt wird. Um im Testbetrieb schneller die Funktion der Rücksetz-
10 schaltung 11 testen zu können, wird dem Steuereingang des Schalters 66 das Testeinstellsignal TM zugeleitet und mittels des Schalters 66 der Kondensator 65 deaktiviert.

Die Rücksetzschaltung 11 stellt bei niedrigen Werten der Eingangsspannung VDD das Rücksetzsignal mit dem Spannungswert
15 der Eingangsspannung VDD bereit. Überschreitet die Eingangsspannung VDD einen ersten Schwellwert VPH, so nimmt das Rücksetzsignal POR den Spannungswert 0 V und damit einen ersten logischen Wert an. Weist das Rücksetzsignal POR den Spannungswert der Eingangsspannung VDD auf, so hat das Rücksetz-
20 signal POR einen zweiten logischen Wert. Der erste logische Wert ist 0 und der zweite logische Wert 1.

Das Resultatsignal TPOR hat nur dann den logischen Wert 1, sofern das Testeinstellsignal TM und das Rücksetzsignal POR den logischen Wert 1 aufweisen. In allen anderen Fällen hat das Resultatsignal den logischen Wert 0. Das Systemrücksetz-
25 signal SPOR hat den logischen Wert 1, wenn das Testeinstellsignal TM den logischen Wert 0 und das Rücksetzsignal POR den logischen Wert 1 aufweist. Der erste Pegelumsetzer 75 vergrößert das Rücksetzsignal POR, sodass am Ausgang des ersten Pegelumsetzers ein abgeleitetes Rücksetzsignal POR1 abgreifbar
30 ist. Der logische Wert 1 des abgeleiteten Rücksetzsignals

POR1 entspricht somit einem Spannungswert der Versorgungsspannung VBAT. Ohne den ersten Pegelumsetzer 75 würde im Testbetrieb dem ersten und dem zweiten logischen Gatter 72, 74 als logischer Wert 1 der Spannungswert der Eingangsspannung VDD und damit der Spannungswert der Testspannung VTM zugeleitet. Die Ausgangslogikschaltung 21 wird im Testbetrieb wie auch in einem Betriebszustand ohne Testbetrieb von der Versorgungsspannung VBAT versorgt. Mittels des ersten Pegelumsetzers 75 wird erreicht, dass ein logischer Wert 1 des Rücksetzsignals POR auch bei einem kleinen Spannungswert des Rücksetzsignals POR von dem ersten und dem zweiten logischen Gatter 72, 74 mit verbesserter Genauigkeit erkannt wird. Die beiden Pegelumsetzer 75, 78 sind somit für den Testbetrieb vorteilhaft.

Die Rückführung des Systemrücksetzsignals SPOR zur Eingangslogikschaltung 28 bewirkt, dass das Testeinstellsignal TM den logischen Wert 0 aufweist, sofern das Systemrücksetzsignal SPOR den logischen Wert 1 zeigt. Erst wenn die Versorgungsspannung VBAT den ersten Schwellwert VPH überschritten hat und daher das Systemrücksetzsignal SPOR den logischen Wert 0 aufweist, kann mittels des Datensignals SDAT und des Taktsignals CLK ein Testbetrieb gestartet und das Testeinstellsignal TM auf den logischen Wert 1 gesetzt werden.

Mit Vorteil lassen sich Fehler im Umschalter 14 detektieren: Weist der dritte Schalttransistor 55 einen Defekt in Form eines Kurzschlusses auf, so zeigt das Resultatsignal TPOR auch bei niedrigen Werten der Testspannung VTM nicht den logischen Wert 1. Weist der dritte Schalttransistor 55 einen Defekt derart auf, dass er nicht in einen leitenden Betriebszustand geschaltet werden kann, so weist das Systemrücksetzsignal SPOR in keinem Betriebszustand den logischen Wert 1 auf. Weist

der fünfte Schalttransistor 61 einen Defekt in Form eines Kurzschlusses auf, so kann der dritte Schalttransistor 61 nicht leitend geschaltet werden und das Systemrücksetzsignal SPOR weist immer den logischen Wert 1 auf. Zeigt hingegen der
5 fünfte Schalttransistor 61 als Defekt, dass er nicht in einen leitenden Betriebszustand geschaltet werden kann, sondern immer nicht-leitend ist, so ist der dritte Schalttransistor 55 ständig leitend geschaltet, sodass die Eingangsspannung VDD von der Versorgungsspannung VBAT und der Testspannung VTM abhängt. Eine erste Spannungsquelle stellt die Versorgungsspannung VBAT bereit. Hingegen stellt eine zweite Spannungsquelle die Testspannung VTM bereit. Diejenige der beiden Spannungsquellen, welche den kleineren Innenwiderstand aufweist, stellt die Eingangsspannung VDD über die Innenwiderstände der
10 Spannungsquellen und die Schalterwiderstände ein. Hat etwa die erste Spannungsquelle einen geringeren Innenwiderstand als die zweite Spannungsquelle, so ist das Resultatsignal TPOR unabhängig von dem Wert der Testspannung VTM und hat den logischen Wert 0.

20 Fehlfunktionen des Umschalters 14, der Eingangslogikschaltung 28 und der Ausgangslogikschaltung 21 können vorteilhafterweise im Testbetrieb detektiert werden.

25 Mit Vorteil kann mittels des Kondensators 65 eine Verzögerungszeit eingestellt werden, mit der das Rücksetzsignal POR bereitgestellt wird. Mittels des Schalters 66 kann der Kondensator 65 von einem Signalpfad, mittels dem das Rücksetzsignal POR erzeugt wird, getrennt werden. Im Testbetrieb wird
30 daher das Rücksetzsignal POR ohne Verzögerung durch den Kondensator 65 generiert.

In einer alternativen Ausführungsform ist der erste logische Wert 1 und der zweite logische Wert 0.

In einer alternativen, nicht gezeigten Ausführungsform kann
5 die Ausgangslogikschaltung 21 andere logische Gatter und/oder eine andere Verknüpfung aufweisen, die die gleiche logische Funktion wie die gezeigte Ausgangslogikschaltung 21 realisieren. Beispielsweise können eines oder mehrere der NAND-Gatter durch ein NOR-Gatter mit vor- und nachgeschalteten Invertern
10 ersetzt sein.

In einer alternativen, nicht gezeigten Ausführungsform kann der erste Schalter 39 als Transmission-Gate realisiert sein.

15 Figur 2 zeigt eine beispielhafte Ausführungsform einer Rücksetzschaltung, wie sie in den Schaltungsanordnungen gemäß Figuren 1A und 1B eingesetzt werden kann. Die Rücksetzschaltung 11 weist eine Deaktivierschaltung 91, eine Auswerteschaltung 92, eine Verzögerungsschaltung 93 und den Ausgangstreiber 67
20 auf. Die Rücksetzschaltung 11 und damit die vier Schaltungen 91, 92, 93, 67 sind zwischen den Spannungseingang 12 und den Bezugspotentialanschluss 60 geschaltet. Die Deaktivierschaltung 91 weist zwei hintereinander geschaltete Inverter 95, 96 auf, die jeweils den Spannungseingang 12 mit dem Bezugspotentialanschluss 60 verbinden. Ein Eingang eines ersten Inverters 95 ist mit dem zweiten Anschluss 69 der Rücksetzschaltung 11 verbunden. Ein Ausgang des ersten Inverters 95 ist an
25 einen Eingang des zweiten Inverters 96 angeschlossen. Ein Ausgang des zweiten Inverters 96 ist mit einem Eingang 97 der Auswerteschaltung 92 verbunden.
30

Die Auswerteschaltung 92 umfasst einen ersten Stromspiegel 98 mit einem ersten und einem zweiten Stromspiegeltransistor 99,

101. Die zwei Stromspiegeltransistoren 99, 101 sind an einem ersten Anschluss mit dem Spannungseingang 12 verbunden. Ein Steueranschluss des ersten Stromspiegeltransistors 99 ist mit einem zweiten Anschluss des ersten Stromspiegeltransistors 99
5 sowie mit einem Steueranschluss des zweiten Stromspiegeltransistors 101 verbunden. Weiter umfasst die Auswerteschaltung 92 einen Abschalttransistor 100, englisch power down transistor. Ein erster Anschluss des Abschalttransistors 100 ist mit dem Spannungseingang 12 verbunden. Der Steueranschluss des
10 ersten Stromspiegeltransistors 99 ist mit einem zweiten Anschluss des Abschalttransistors 100 verbunden. Ein Steueranschluss des Abschalttransistors 100 ist über einen weiteren Eingang 120 der Auswerteschaltung 92 an den Ausgang des ersten Inverters 95 angeschlossen. Der erste Stromspiegeltran-
15 sistor 99 ist über einen ersten Transistor 102 mit dem Bezugspotentialanschluss 60 verbunden. Der erste Stromspiegeltransistor 99 und der erste Transistor 102 bilden zusammen einen Spannungsteiler für die Eingangsspannung VDD. Ein Steueranschluss des ersten Transistors 102 ist an den Eingang 97
20 der Auswerteschaltung 92 angeschlossen. Ein zweiter Anschluss des zweiten Stromspiegeltransistors 101 ist über eine Serienschaltung umfassend einen zweiten und einen dritten Transistor 103, 104 mit dem Bezugspotentialanschluss 60 verbunden. Ebenso ist der zweite Anschluss des zweiten Stromspiegeltran-
25 sitors 101 über einen vierten Transistor 105 mit dem Bezugspotentialanschluss 60 gekoppelt. Ferner ist der zweite Anschluss des zweiten Stromspiegeltransistors 101 mit einem ersten Eingang 106 der Verzögerungsschaltung 93 verbunden. Ein zweiter Stromspiegel 107 umfasst den dritten und den
30 vierten Transistor 104, 105 sowie einen fünften Transistor 108. Ein erster Anschluss des dritten, des vierten und des fünften Transistors 104, 105, 108 ist mit dem Bezugspotentialanschluss 60 verbunden. Ein Steueranschluss des fünften

Transistors 108 ist mit einem Steueranschluss des vierten Transistors 105 und einem Steueranschluss des dritten Transistors 104 sowie mit einem zweiten Anschluss des fünften Transistors 108 verbunden. Der fünfte Transistor 108 ist über
5 einen sechsten Transistor 109 mit dem Spannungseingang 12 gekoppelt. Ein Steueranschluss des sechsten Transistors 109 ist an den Eingang 97 der Auswerteschaltung 92 angeschlossen. Der zweite Anschluss des fünften Transistors 108 ist an einen zweiten Eingang 110 der Verzögerungsschaltung 93 angeschlossen.
10 sen.

Die Verzögerungsschaltung 93 weist einen siebten, einen achten und einen neunten Transistor 111, 112, 113 auf. Ein Steueranschluss des siebten und des achten Transistors 111, 112
15 ist an den ersten Eingang 106 der Verzögerungsschaltung 93 angeschlossen. Ein Steueranschluss des neunten Transistors 113 ist an den zweiten Eingang 110 der Verzögerungsschaltung 93 angeschlossen. Der siebte, der achte und der neunte Transistor 111, 112, 113 sind seriell zueinander geschaltet. Ein
20 Knoten 119 zwischen dem siebten und dem achten Transistor 111, 112 ist über einen weiteren Eingang 114 der Auswerteschaltung 92 mit einem Steueranschluss des zweiten Transistors 103 verbunden. Der zweite Stromspiegel 107 umfasst ebenfalls den neunten Transistor 113. Der Knoten 119 zwischen dem
25 siebten und dem achten Transistor 111, 112 ist über den Kondensator 65 mit dem Spannungseingang 12 verbunden. Der Kondensator 65 ist mittels eines Feldeffekttransistors realisiert. Der erste und der zweite Stromspiegeltransistor 99, 101, der Abschalttransistor 100 sowie der erste, sechste und
30 siebte Transistor 102, 109, 111 sind jeweils als ein p-Kanal Feldeffekttransistor realisiert. Der zweite, dritte, vierte, fünfte, achte und neunte Transistor 103, 104, 105, 108, 112,

113 sind jeweils als ein n-Kanal Feldeffekttransistor implementiert.

Der Knoten 119 zwischen dem siebten und dem achten Transistor 111, 112 ist mit einem Eingang 115 des Ausgangstreibers 67 verbunden. Der Ausgangstreiber 67 umfasst einen dritten und einen vierten Inverter 116, 117. Ein Eingang des dritten Inverters 116 ist an den Eingang 115 des Ausgangstreibers 67 angeschlossen. Ein Ausgang des dritten Inverters 116 ist mit einem Eingang des vierten Inverters 117 und einem zusätzlichen Ausgang 118 der Rücksetzschaltung 11 verbunden. Ein Ausgang des vierten Inverters 117 ist an den Ausgang 13 der Rücksetzschaltung 11 angeschlossen.

Ein Abschaltsignal PD wird über den Eingang 69 der Rücksetzschaltung 11 der Deaktivierschaltung 91 zugeführt und mittels des ersten und des zweiten Inverters 95, 96 verzögert als ein abgeleitetes Abschaltsignal PDB an den Eingang 97 der Auswerteschaltung 92 abgegeben. Am Ausgang des ersten Inverters 95 und damit am weiteren Eingang 120 der Auswerteschaltung 92 ist ein invertiertes Abschaltsignal PDN abgreifbar. Der erste Transistor 102 und der erste Stromspiegeltransistor 99 weisen denselben Leitfähigkeitstyp auf. Dem Steueranschluss des Abschalttransistors 100 wird das invertierte Abschaltsignal PDN zugeleitet. Hat das abgeleitete Abschaltsignal PDB den logischen Wert 1, ist somit der erste Transistor 102 sperrend geschaltet, sodass durch den ersten und den zweiten Stromspiegeltransistor 99, 101 kein Strom fließt. Dabei hat das invertierte Abschaltsignal PDN den logischen Wert 0, so dass der Abschalttransistor 100 leitend geschaltet ist. Am Steueranschluss des zweiten Stromspiegeltransistors 101 liegt somit näherungsweise der Wert der Eingangsspannung VDD an. Bei einem logischen Wert 1 des verzögerten Abschaltsignals PDB ist

auch der sechste Transistor 109 sperrend geschaltet, sodass am zweiten Eingang 110 der Verzögerungsschaltung 93 der logische Wert 0 anliegt. Weist jedoch das invertierte Abschalt-signal PDN den logischen Wert 1 auf, so leitet der Abschalt-transistor 100 nicht. Dabei hat das abgeleitete Abschalt-signal PDB den logischen Wert 0, so dass der erste Transistor 102 leitet. Folglich gibt der zweite Stromspiegeltransistor 101 einen Strom ab, bei dem ein erster Teil durch die Serienschaltung aus dem zweiten und dem dritten Transistor 103, 104 und ein zweiter Teil durch den vierten Transistor 105 fließt. Weist das verzögerte Abschalt-signal PDB den logischen Wert 0 auf, so fließt ein Strom durch den sechsten Transistor 109 und damit durch den fünften Transistor 108. Da der fünfte Transistor 108 zusammen mit dem dritten und dem vierten Transistor 104, 105 den zweiten Stromspiegel 107 bilden, fließt in diesem Falle ebenfalls ein Strom durch den dritten und den vierten Transistor 104, 105. Entsprechend den Stromflüssen durch den ersten und den zweiten Stromspiegel 98, 107 stellt sich am ersten Eingang 106 der Verzögerungsschaltung 93 eine Spannung VAR ein, die dem siebten und dem achten Transistor 111, 112 zugeleitet werden. Im Fall eines Stromflusses durch den sechsten und den fünften Transistor 109, 108 ist eine Spannung VDI am zweiten Eingang 110 der Verzögerungsschaltung 93 so hoch, dass der neunte Transistor 113 leitend geschaltet ist. Ist die Spannung VAR niedrig, so ist der siebte Transistor 111 eingeschaltet und eine Spannung VCAP, die am Kondensator 65 und damit am Eingang 115 des Ausgangstreibers 67 anliegt, näherungsweise auf dem Wert der Eingangsspannung VDD.

Die Spannung VCAP wird dem dritten Inverter 116 zugeleitet, sodass am zusätzlichen Ausgang 118 der Rücksetzschaltung 11 ein invertiertes Rücksetzsignal POR_N mit einem niedrigen Spannungswert und damit dem logischen Wert 0 abgegeben wird.

Mittels des vierten Inverters 117 wird das Rücksetzsignal POR mit dem Wert der Eingangsspannung VDD und damit dem logischen Wert 1 bereitgestellt. Mit der Spannung VCAP wird wiederum der zweite Transistor 103 zum Einstellen einer Hysterese der Auswerteschaltung 92 angesteuert. Weist die Spannung VAR einen derart hohen Wert auf, dass der siebte Transistor 111 sperrend geschaltet und der achte Transistor 112 leitend geschaltet ist, so fließt eine Ladung von dem Kondensator 65 über den achten und den neunten Transistor 112, 113 ab. Somit sinkt die Spannung VCAP, sodass das invertierte Rücksetzsignal POR_N einen hohen Spannungswert und damit den logischen Wert 1 sowie das Rücksetzsignal POR einen niedrigen Spannungswert und damit den logischen Wert 0 annimmt. Somit geht das Rücksetzsignal POR von dem logischen Wert 1 auf den logischen Wert 0 in Abhängigkeit des von der Auswerteschaltung 92 eingestellten Schwellwertes VPH über. Damit bei einem geringfügigen Absinken der Eingangsspannung VDD das Rücksetzsignal POR und das invertierte Rücksetzsignal POR_N konstant bleiben, wird die Spannung VCAP dem Steueranschluss des zweiten Transistors 103 zugeleitet. Ist das Rücksetzsignal POR auf dem logischen Wert 1 und die Spannung VCAP auf einem hohen Wert, so ist der zweite Transistor 103 leitend geschaltet, sodass die Spannung VAR einen niedrigeren Wert annimmt als im Falle eines niedrigen Wertes der Spannung VCAP und eines logischen Wertes 0 der Rücksetzspannung POR.

Mit Vorteil erzeugt die Rücksetzschaltung 11 das Rücksetzsignal POR selbsttätig und ohne Zufuhr von einem Referenzstrom oder einer Referenzspannung, die von einer von der Rücksetzschaltung nicht umfassten Quelle bereitzustellen sind. Mittel eines logischen Wertes 1 des Abschaltsignals PD kann vorteilhafterweise das Rücksetzsignal POR auf den logischen Wert 1

unabhängig von einer Höhe der Eingangsspannung VDD gesetzt werden.

In einer alternativen, nicht gezeigten Ausführungsform ist
5 der Kondensator 65 über den Schalter 66 mit dem Spannungseingang 12 verbunden. Der Schalter 66 ist als Transistor ausgeführt.

In einer alternativen, nicht gezeigten Ausführungsform ist
10 der Kondensator 65 als integrierter Kondensator realisiert. Der Kondensator umfasst zwei Elektroden und ein dazwischen liegendes Dielektrikum. Der Kondensator kann frei von einem einkristallinem Substratmaterial des Halbleiterkörpers 130 sein.

15 Figuren 3A bis 3G zeigen beispielhafte Signalverläufe in einer Schaltungsanordnung mit einer Rücksetzschaltung nach dem vorgeschlagenen Prinzip in Abhängigkeit einer Zeit t . Im Einzelnen zeigt Figur 3A das abgeleitete Rücksetzsignal POR1,
20 Figur 3B das Testeinstellsignal TM und Figur 3C das Rücksetzsignal POR. In Figuren 3D und 3G sind die Eingangsspannung VDD, die Versorgungsspannung VBAT und die Testspannung VTM gezeigt. Figur 3E zeigt das Systemrücksetzsignal SPOR sowie Figur 3F das Resultatsignal TPOR. In einer ersten Phase A
25 zwischen einem Zeitpunkt 0 und einem ersten Zeitpunkt t_1 steigt die Versorgungsspannung VBAT von einem Wert 0 Volt auf einen Wert von ungefähr 2,5 Volt. Das Rücksetzsignal POR und das abgeleitete Rücksetzsignal POR1 steigen in der ersten Phase A von 0 Volt auf etwa 2,2 Volt. Da das Testeinstellsignal TM den logischen Wert 0 aufweist, befindet sich die
30 Schaltungsanordnung 10 nicht im Testbetrieb sondern in einem Betriebszustand ohne Test. Somit steigt in der ersten Phase A das Systemrücksetzsignal SPOR ebenfalls von 0 Volt auf etwa

2,2 Volt an, während das Resultatsignal TPOR den Wert 0 aufweist. In einer zweiten Phase B zwischen dem ersten Zeitpunkt t_1 und einem zweiten Zeitpunkt t_2 steigt die Versorgungsspannung VBAT weiter an bis auf einen Wert 4 Volt und bleibt dann
5 konstant. Da somit der erste Schwellwert VPH der Rücksetzschaltung 11 überschritten ist, nimmt das Rücksetzsignal POR und das abgeleitete Rücksetzsignal POR1 den Wert 0 Volt an. Das Systemrücksetzsignal SPOR hat ebenfalls den Wert 0 Volt, während das Resultatsignal TPOR weiter 0 Volt anzeigt. Die
10 Versorgungsspannung VBAT ist in den weiteren Phasen konstant und bleibt auf dem Wert 4 Volt. In der ersten und der zweiten Phase A, B zwischen dem Zeitpunkt 0 und dem zweiten Zeitpunkt t_2 weist die Testspannung VTM den Wert 0 Volt auf. Am Ende der zweiten Phase B wird die Testspannung VTM eingeschaltet
15 und steigt ausgehend von einem Wert 3 Volt an, bis sie in einer dritten Phase C zwischen dem zweiten Zeitpunkt t_2 und einem dritten Zeitpunkt t_3 den Wert 4 Volt erreicht. Zu Beginn der dritten Phase C wird das Testeinstellsignal TM auf den logischen Wert 1 eingestellt.

20 In einer vierten Phase D zwischen dem dritten Zeitpunkt t_3 und einem vierten Zeitpunkt t_4 nimmt die Testspannung VTM linear ab, so dass zu einem Zeitpunkt t_u ein zweiter Schwellwert VPL der Rücksetzschaltung 11 erreicht wird. Zu dem Zeitpunkt t_u springt die Rücksetzspannung POR von dem Wert 0 Volt
25 auf einen Wert von cirka 2 Volt, welcher dem Wert der Testspannung VTM und damit dem Wert der Eingangsspannung VDD zum Zeitpunkt t_u entspricht. Die abgeleitete Rücksetzspannung POR1 nimmt einen Wert von cirka 4 Volt und das Resultatsignal
30 TPOR ebenfalls den Wert 4 Volt an. In einer fünften Phase E zwischen dem vierten Zeitpunkt t_4 und einem fünften Zeitpunkt t_5 steigt die Testspannung VTM und damit die Eingangsspannung VDD linear von einem Wert von cirka 1,6 Volt auf 3 Volt an.

Zu einem Zeitpunkt t_0 überschreitet die Eingangsspannung VDD den ersten Schwellwert VPH, so dass die Rücksetzspannung POR, die abgeleitete Rücksetzspannung POR1 und das Resultatsignal TPOR wieder auf 0 Volt abgesenkt werden. Zwischen dem Zeitpunkt t_u und dem Zeitpunkt t_0 folgt die Rücksetzspannung POR dem Verlauf der Eingangsspannung VDD. Die abgeleitete Rücksetzspannung POR1 und das Resultatsignal TPOR hingegen weisen im Zeitraum zwischen dem Zeitpunkt t_u und dem Zeitpunkt t_0 annäherungsweise den Wert 4 Volt auf. Ab dem Beginn einer sechsten Phase F zwischen dem fünften Zeitpunkt t_5 und einem sechsten Zeitpunkt t_6 weist das Testeinstellsignal TM anstelle des logischen Werts 1 den logischen Wert 0 auf. Im sechsten Zeitraum F befindet sich die Versorgungsspannung VBAT weiter auf dem Wert 4 Volt. Somit sind das Rücksetzsignal POR, das abgeleitete Rücksetzsignal POR 1, das Systemrücksetzsignal SPOR sowie das Resultatsignal TPOR auf dem Wert 0 Volt und weisen den logischen Wert 0 auf. In den Figuren 3E bis 3G ist der Zeitpunkt t_u und der Zeitpunkt t_0 genauer eingezeichnet. In Figur 3G ist eine Hysterese H gezeigt, die zwischen dem zweiten Schwellwert VPL und dem ersten Schwellwert VPH liegt. Der Wert der Hysterese H beträgt etwa 0,2 Volt. Der bei der Abnahme der Eingangsspannung VDD wirksame zweite Schwellwert VPL hat einen um den Wert der Hysterese H kleineren Wert als der erste Schwellwert VOPRH, der bei ansteigender Eingangsspannung VDD wirksam ist.

Somit können mit Vorteil die beiden Schwellwerte VPH, VPL der Rücksetzschaltung 11 getestet werden. Da mittels des Testeinstellsignals TM die Wirkung des Kondensators 65 in der Rücksetzschaltung 11 aufgehoben ist, kann das Bestimmen der beiden Schwellwerte VPH, VPL sehr schnell erfolgen, da nicht bei einer Änderung der Testspannung VTM eine Zeitkonstante für das Aufladen des Kondensators 65 zu berücksichtigen ist.

Figur 4 zeigt eine beispielhafte Ausführungsform eines Halbleiterkörpers mit der Schaltungsanordnung nach dem vorgeschlagenen Prinzip. Der Halbleiterkörper 130 umfasst die Schaltungsanordnung 10''. Die Schaltungsanordnung 10'' kann
5 beispielsweise gemäß den in Figur 1A oder Figur 1B gezeigten Ausführungsformen realisiert sein. In Figur 4 ist beispielhaft eine Weiterbildung der in Figur 1A dargestellten Ausführungsform gezeigt. Die Schaltungsanordnung 10'' ist auf einer ersten Hauptfläche 134 des Halbleiterkörpers 130 angeordnet.
10 Zusätzlich umfasst die Schaltungsanordnung 10'' eine Steueranschlussfläche 131. Die Steueranschlussfläche 131 ist mit dem zweiten Eingang 32 der Eingangslogikschaltung 28 verbunden. Weiter umfasst die Schaltungsanordnung 10'' eine Taktanschlussfläche 132. Die Taktanschlussfläche 132 ist mit dem
15 dritten Eingang 31 der Eingangslogikschaltung 28 verbunden. Weiter umfasst die Schaltungsanordnung 10'' eine zusätzliche Anschlussfläche 133. Die zusätzliche Anschlussfläche 133 ist mit dem Schaltungsblock 26 gekoppelt.

20 An der Steueranschlussfläche 131 ist das Datensignal SDAT abgreifbar. Das Taktsignal CLK ist an der Taktanschlussfläche 132 abgreifbar. Über die zusätzliche Anschlussfläche 133 können Signale, die im Schaltungsblock 26 erzeugt werden, abgegeben werden oder Signale dem Schaltungsblock 26 zugeleitet
25 werden. Die erste und die zweite Anschlussfläche 19, 20, die Steueranschlussfläche 131, die Taktanschlussfläche 132, die Ausgangsanschlussfläche 27 und die zusätzliche Anschlussfläche 133 können von außerhalb des Halbleiterkörpers 130 kontaktiert werden. Die genannten Anschlussflächen 19, 20, 27,
30 131, 132, 133 können in einem Testbetrieb mittels Testnadeln für die Dauer des Tests kontaktiert werden. Dabei kann ein Waferprober mit einer Testkarte, welche die Testnadeln umfasst, und eine elektrische Messvorrichtung zur Abgabe der

Signale und Spannungen und zur Aufnahme der Signale und Spannungen eingesetzt werden.

Die genannten Anschlussflächen können in einem Gehäusungsprozess beispielsweise mittels Bonddrähten oder mittels von Lotkugeln, englisch bumps, kontaktiert werden. Im Gehäusungsprozess können die genannten Anschlussflächen beispielsweise an ein Gehäuse oder eine Leiterplatte angeschlossen werden.

- 10 In einer nicht gezeigten Ausführungsform ist eine erste Schaltung zwischen der Steueranschlussfläche 131 und dem zweiten Eingang 32 der Eingangslogikschaltung 28 geschaltet.

- 15 In einer weiteren nicht gezeigten Ausführungsform kann zwischen der Taktanschlussfläche 132 und dem dritten Eingang 31 der Eingangslogikschaltung 28 eine zweite Schaltung angeordnet sein.

- Die Schaltungsanordnung 10'' ist auf dem Halbleiterkörper 130 mittels einer komplementären Metall-Oxid-Halbleiter Integrationstechnik, englisch complementary metal-oxide-semiconductor integration technique, abgekürzt CMOS-Technik, hergestellt. Alternativ kann die Schaltungsanordnung 10'' mittels einer Bipolar-Integrationstechnik realisiert sein.
- 25 Alternativ kann die Schaltungsanordnung 10'' mittels einer kombinierten Bipolar-CMOS-Integrationstechnik, abgekürzt BiCMOS-Technik, hergestellt sein. Der Halbleiterkörper 130 kann Silizium oder Silizium-Germanium als Substratmaterial aufweisen.

Bezugszeichenliste

	10, 10', 10''	Schaltungsanordnung
	11	Rücksetzschaltung
5	12	Spannungseingang
	13	Ausgang
	14	Umschalter
	15	erster Eingang
	16	zweiter Eingang
10	17	Steuereingang
	18	Ausgang
	19	erste Anschlussfläche
	20	zweite Anschlussfläche
	21	Ausgangslogikschaltung
15	22	erster Eingang
	23	zweiter Eingang
	24	erster Ausgang
	25	zweiter Ausgang
	26	Schaltungsblock
20	27	Ausgangsanschlussfläche
	28	Eingangslogikschaltung
	29	Ausgang
	30	erster Eingang
	31	dritter Eingang
25	32	zweiter Eingang
	33	Speicherschaltung
	34	Datenausgang
	35	Rücksetzeingang
	36	Takteingang
30	37	Dateneingang
	38	Puffer
	39	erster Schalter
	40	zweiter Schalter

	41	dritter Eingang
	42	vierter Eingang
	50	erster Schalttransistor
	51	erster Ausgang
5	52	zweiter Schalttransistor
	53	Knoten
	54	erster Widerstand
	55	dritter Schalttransistor
	56	zweiter Ausgang
10	57	erster Inverter
	58	zweiter Inverter
	59	vierter Schalttransistor
	60	Bezugspotentialanschluss
	61	fünfter Schalttransistor
15	62	zweiter Widerstand
	64	Pufferkondensator
	65	Kondensator
	66	Schalter
	67	Ausgangstreiber
20	68	erster Anschluss
	69	zweiter Anschluss
	70	dritter Anschluss
	71	Substratspannungsanschluss
	72	erstes logisches Gatter
25	73	erster Inverter
	74	zweites logisches Gatter
	75	erster Pegelumsetzer
	76	zweiter Inverter
	77	drittes logisches Gatter
30	78	zweiter Pegelumsetzer
	91	Deaktivierschaltung
	92	Auswerteschaltung
	93	Verzögerungsschaltung

	95	erster Inverter
	96	zweiter Inverter
	97	Eingang
	98	erster Stromspiegel
5	99	erster Stromspiegeltransistor
	100	Abschalttransistor
	101	zweiter Stromspiegeltransistor
	102	erster Transistor
	103	zweiter Transistor
10	104	dritter Transistor
	105	vierter Transistor
	106	erster Eingang
	107	zweiter Stromspiegel
	108	fünfter Transistor
15	109	sechster Transistor
	110	zweiter Eingang
	111	siebter Transistor
	112	achter Transistor
	113	neunter Transistor
20	114	weiterer Eingang
	115	Eingang
	116	dritter Inverter
	117	vierter Inverter
	118	zusätzlicher Ausgang
25	119	Knoten
	120	weiterer Eingang
	130	Halbleiterkörper
	131	Steueranschlussfläche
	132	Taktanschlussfläche
30	133	zusätzliche Anschlussfläche
	134	erste Hauptfläche
	CLK	Taktsignal
	PD	Abschaltsignal

	PDB	abgeleitetes Abschaltsignal
	PDN	invertiertes Abschaltsignal
	POR	Rücksetzsignal
	POR1	abgeleitetes Rücksetzsignal
5	POR_N	invertiertes Rücksetzsignal
	SDAT	Datensignal
	SPOR	Systemrücksetzsignal
	TM	Testeinstellsignal
	TPOR	Resultatsignal
10	VAR	Signal
	VBAT	Versorgungsspannung
	VCAP	Signal
	VDD	Eingangsspannung
	VDI	Signal
15	VPH	erster Schwellwert
	VPL	zweiter Schwellwert
	VSS	Bezugspotential
	VSUB	Substratspannung
	VTM	Testspannung

Patentansprüche

1. Schaltungsanordnung zum Testen einer Rücksetzschaltung, aufweisend:

- 5 - die Rücksetzschaltung (11), umfassend
 - einen Spannungseingang (12) zum Zuführen einer Eingangsspannung (VDD) und
 - einen Ausgang (13) zum Bereitstellen eines Rücksetzs-
 - 10 signals (POR) in Abhängigkeit der Eingangsspannung (VDD), sowie
 - einen Umschalter (14), umfassend
 - einen ersten Eingang (15) zum Zuführen einer Test-
 - spannung (VTM),
 - einen zweiten Eingang (16) zum Zuführen einer Versor-
 - 15 gungsspannung (VBAT),
 - einen Steuereingang (17) zum Umschalten zwischen dem ersten und dem zweiten Eingang (15, 16) in Abhängig-
 - keit eines Testeinstellsignals (TM) und
 - einen Ausgang (18), der mit dem Spannungseingang (12)
 - 20 der Rücksetzschaltung (11) gekoppelt ist.

2. Schaltungsanordnung nach Anspruch 1, umfassend eine Ausgangslogikschaltung (21) mit

- 25 - einem ersten Eingang (22), der mit dem Ausgang (13) der Rücksetzschaltung (11) gekoppelt ist,
- einem zweiten Eingang (23) zum Zuführen des Testeinstellsignals (TM),
- einem ersten Ausgang (24) zum Bereitstellen eines Systemrücksetzsignals (SPOR) in Abhängigkeit des Rücksetzs-
- 30 ignals (POR) und des Testeinstellsignals (TM) und
- einen zweiten Ausgang (25) zum Bereitstellen eines Resultatsignals (TPOR) in Abhängigkeit des Rücksetzsignals (POR) und des Testeinstellsignals (TM).

3. Schaltungsanordnung nach Anspruch 2,
die Ausgangslogikschaltung (21) umfassend

- einen dritten Eingang (41), der mit dem Ausgang (18) des Umschalters (14) gekoppelt ist, und
- 5 - einen vierten Eingang (42), der mit dem zweiten Eingang (16) des Umschalters (14) gekoppelt ist.

4. Schaltungsanordnung nach Anspruch 2 oder 3,
umfassend eine Eingangslogikschaltung (28) mit

- 10 - einem ersten Eingang (30), der mit dem ersten Ausgang (24) der Ausgangslogikschaltung (21) gekoppelt ist,
- einem zweiten Eingang (32) zum Zuführen eines Datensignals (SDAT) und
- einem Ausgang (29) zum Bereitstellen des Testeinstellsignals (TM), der mit dem Steuereingang (17) des Umschalters (14) und dem zweiten Eingang (23) der Ausgangslogikschaltung (21) gekoppelt ist.
- 15

5. Schaltungsanordnung nach Anspruch 4,

20 die Eingangslogikschaltung (28) umfassend eine Speicherschaltung (33), mit

- einem Rücksetzeingang (35), der mit dem ersten Eingang (30) der Eingangslogikschaltung (28) verbunden ist,
- einem Dateneingang (37), der mit dem zweiten Eingang (32) der Eingangslogikschaltung (28) verbunden ist, und
- 25 - einem Datenausgang (34), der mit dem Ausgang (29) der Eingangslogikschaltung (28) verbunden ist.

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5,
30 die Rücksetzschaltung (11) umfassend:

- einen Ausgangstreiber (67), der ausgangsseitig mit dem Ausgang (13) der Rücksetzschaltung (11) verbunden ist, und

- eine Serienschaltung, welche
 - einen Kondensator (65) zum Einstellen einer Zeitkonstante des Rücksetzsignals (POR) und
 - einen Schalter (66), dem an einem Steuereingang das Testeinstellsignal (TM) zuleitbar ist,
5 aufweist und zwischen einen Eingang (115) des Ausgangstreibers (67) und den Spannungseingang (12) geschaltet ist.
- 10 7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6, umfassend einen Pufferkondensator (64), der den Ausgang (18) des Umschalters (14) mit einem Bezugspotentialanschluss (60) koppelt.
- 15 8. Schaltungsanordnung nach einem der Ansprüche 1 bis 7, wobei ein Halbleiterkörper (130) die Schaltungsanordnung (10) umfasst.
- 9. Verfahren zum Testen einer Rücksetzschaltung, umfassend:
 - 20 - Zuführen einer Versorgungsspannung (VBAT) als eine Eingangsspannung (VDD) an die Rücksetzschaltung (11) in einem Normalbetrieb,
 - Umschalten von dem Normalbetrieb in einen Testbetrieb in Abhängigkeit eines Testeinstellsignals (TM),
 - 25 - Zuführen einer Testspannung (VTM) als die Eingangsspannung (VDD) an die Rücksetzschaltung (11) in dem Testbetrieb und
 - Erzeugen eines Rücksetzsignals (POR) mittels der Rücksetzschaltung (11) in Abhängigkeit der Eingangsspannung
30 (VDD).
- 10. Verfahren nach Anspruch 8,

umfassend Abgeben eines Resultatsignals (TPOR) mit einem logischen Wert, der dem logischen Wert des Rücksetzsignals (POR) entspricht, im Testbetrieb und mit einem konstanten logischen Wert im Normalbetrieb.

5

11. Verfahren nach Anspruch 8 oder 9, umfassend Abgeben eines Systemrücksetzsignal (SPOR) mit einem logischen Wert, der dem logischen Wert des Rücksetzsignals (POR) entspricht, im Normalbetrieb und mit einem einen Schaltungsblock (26) deaktivierenden Wert im Testbetrieb.

10

12. Verfahren nach Anspruch 11, umfassend Bereitstellen des Testeinstellsignals (TM) in Abhängigkeit von einem Datensignal (SDAT) und dem Systemrücksetzsignal (SPOR).

15

13. Verfahren nach einem der Ansprüche 9 bis 12, umfassend

- Zuführen der Testspannung (VTM) einem ersten Eingang (15) eines Umschalters (14),
- Zuführen der Versorgungsspannung (VBAT) einem zweiten Eingang (16) des Umschalters (14),
- Zuleiten des Testeinstellsignals (TM) einem Steuereingang (17) des Umschalters (14) und
- Umschalten eines Ausgangs (17) des Umschalters (14) zwischen dem ersten und dem zweiten Eingang (15, 16) des Umschalters (14) in Abhängigkeit von dem Testeinstellsignal (TM).

20

25

14. Verfahren nach Anspruch 13, wobei ein Halbleiterkörper (130) eine Schaltungsanordnung (10) umfasst, welche die Rücksetzschaltung (11) und den Umschalter (14) umfasst.

30

FIG 1A

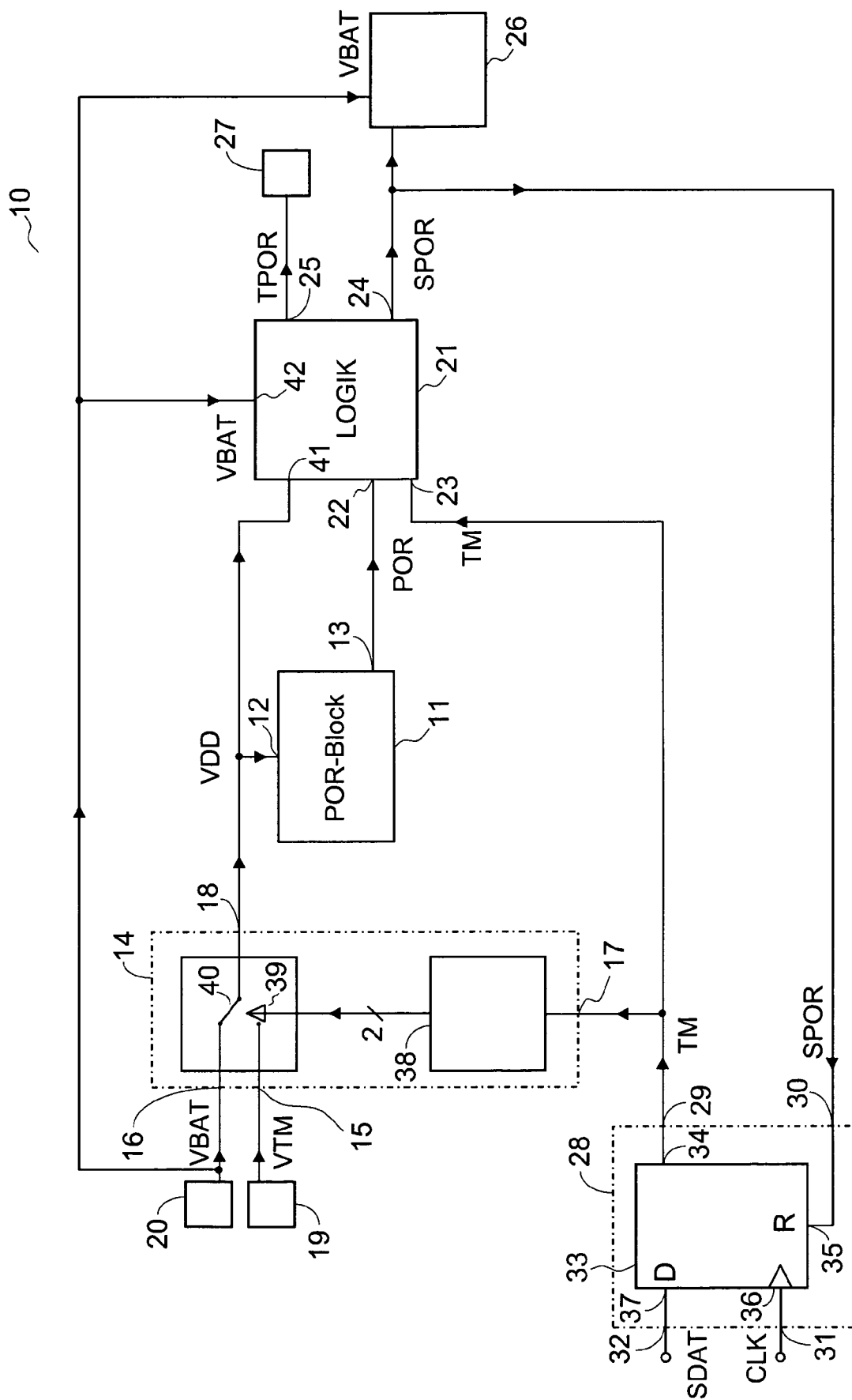


FIG 1B

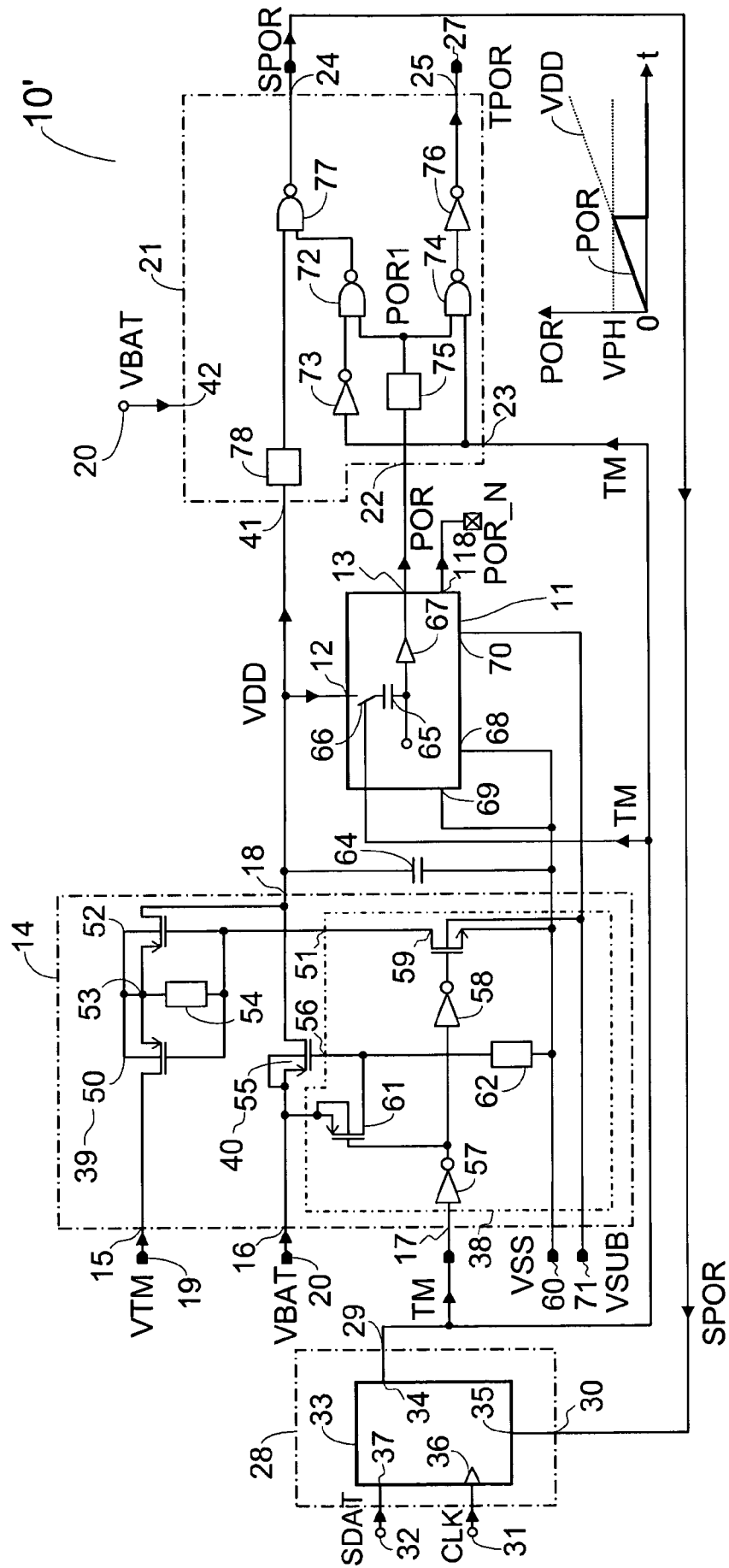
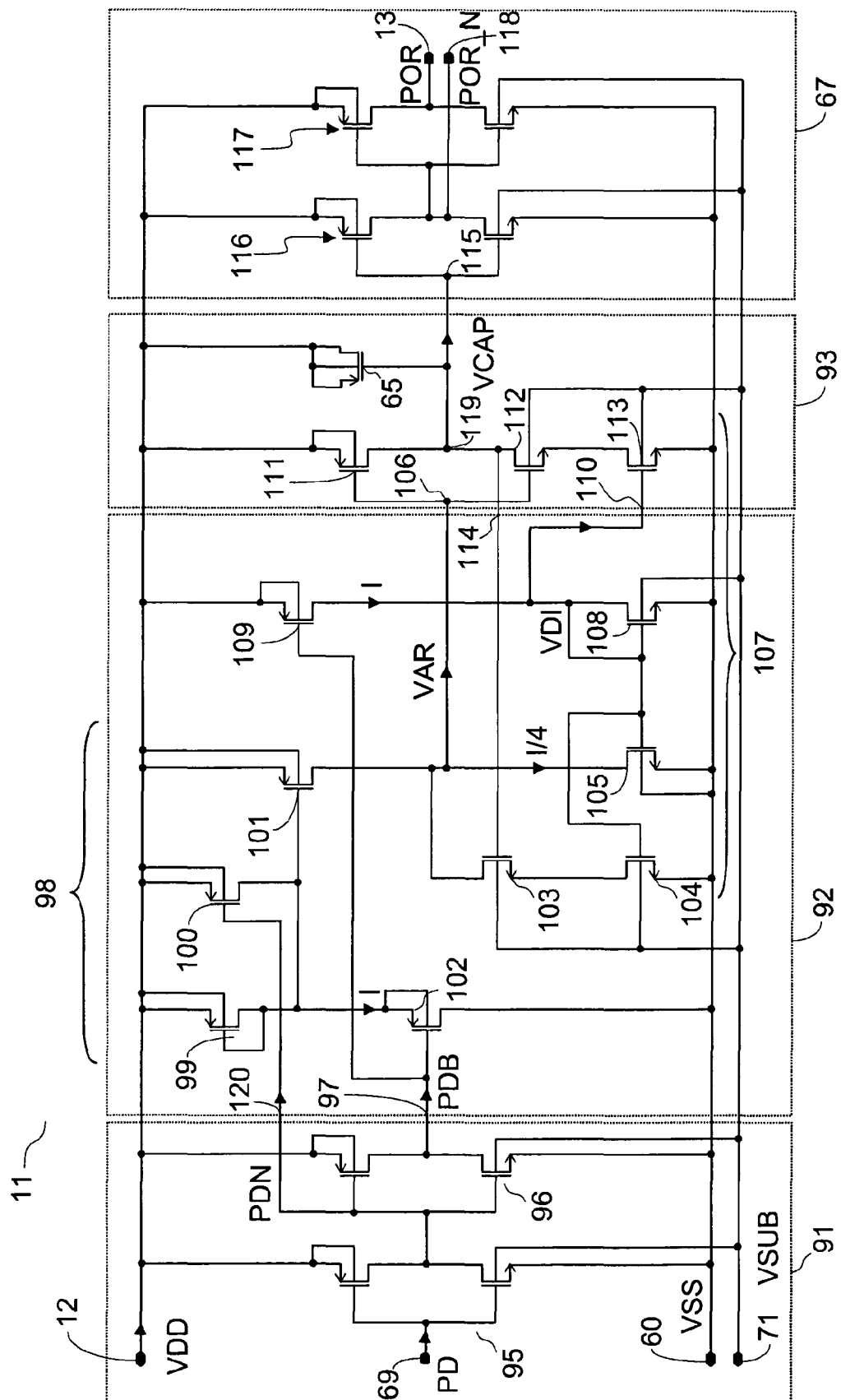


FIG 2



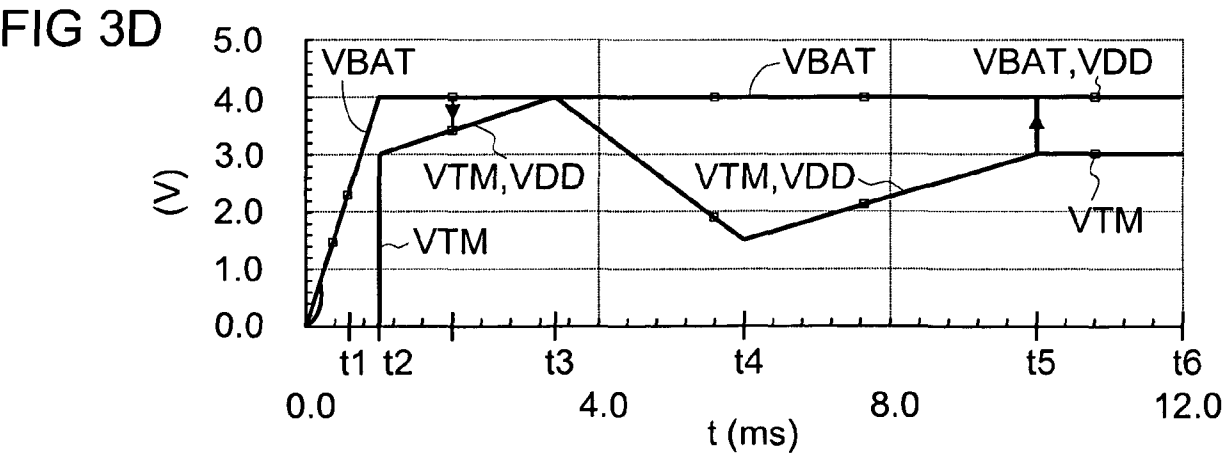
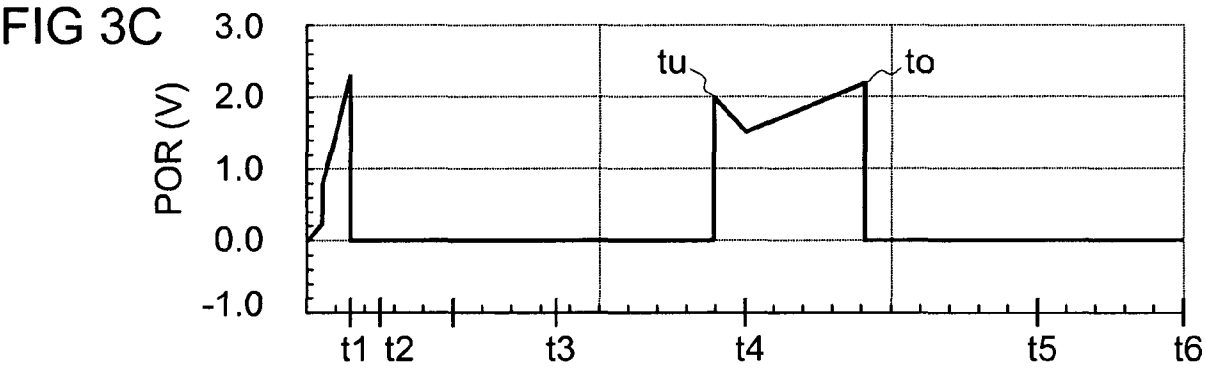
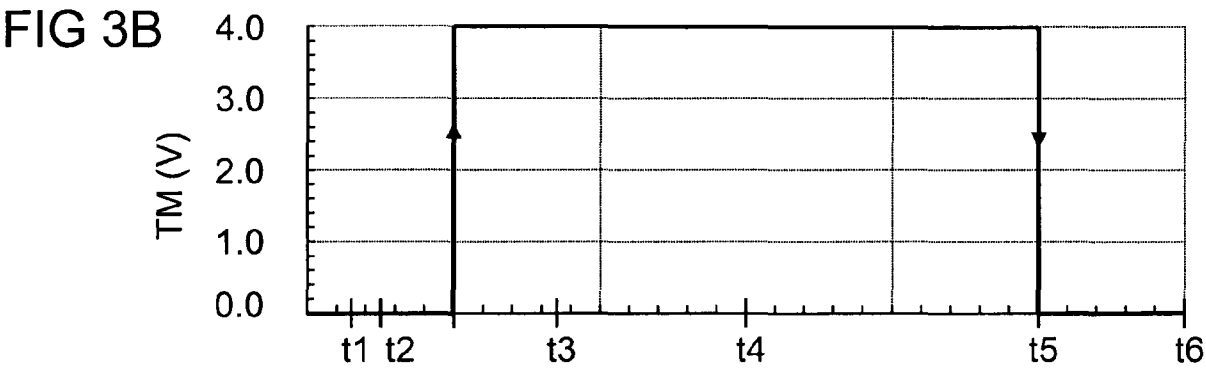
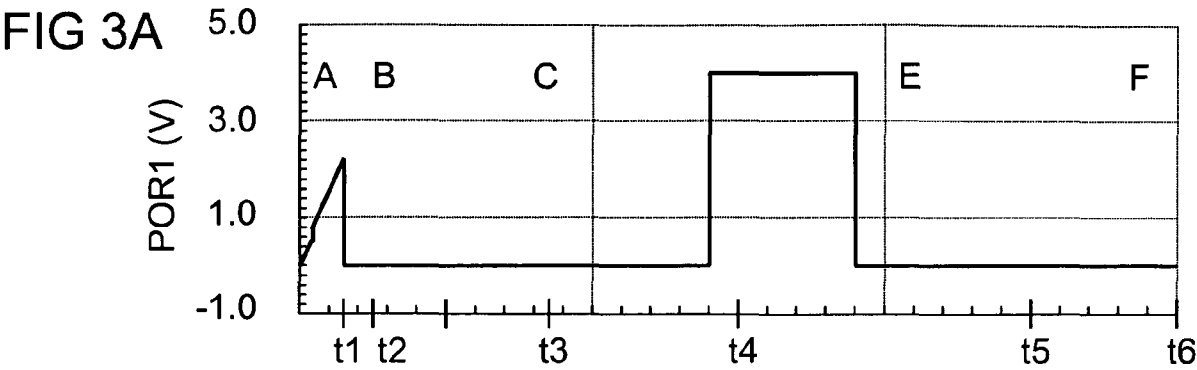


FIG 3E

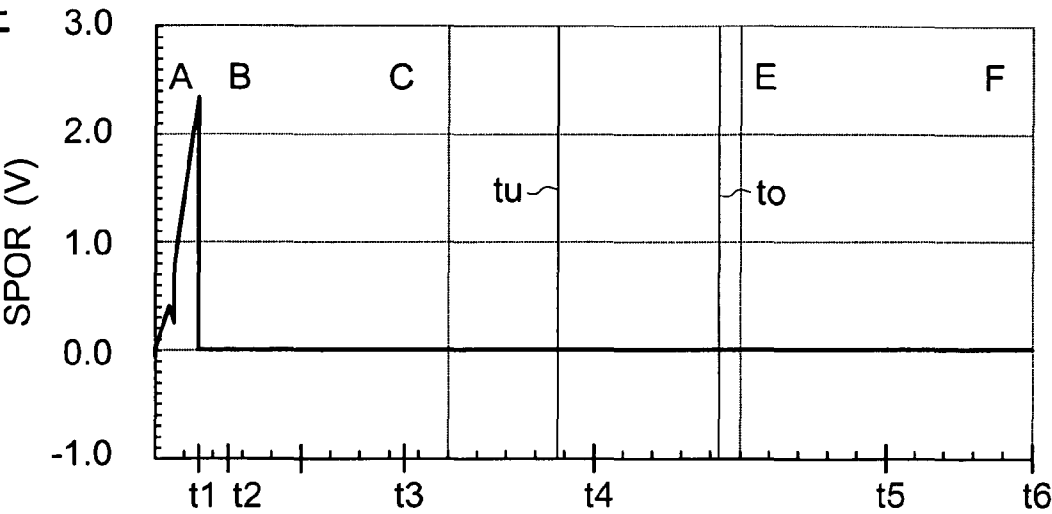


FIG 3F

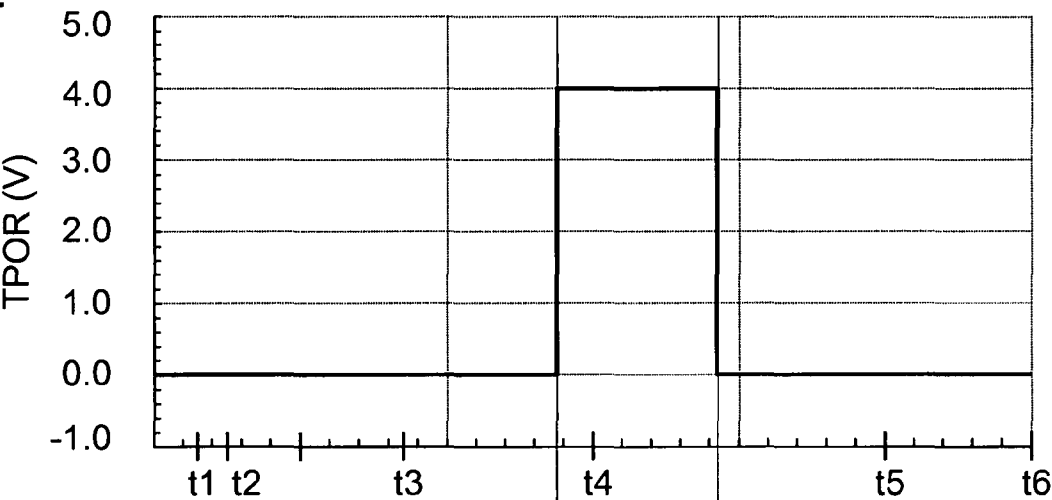


FIG 3G

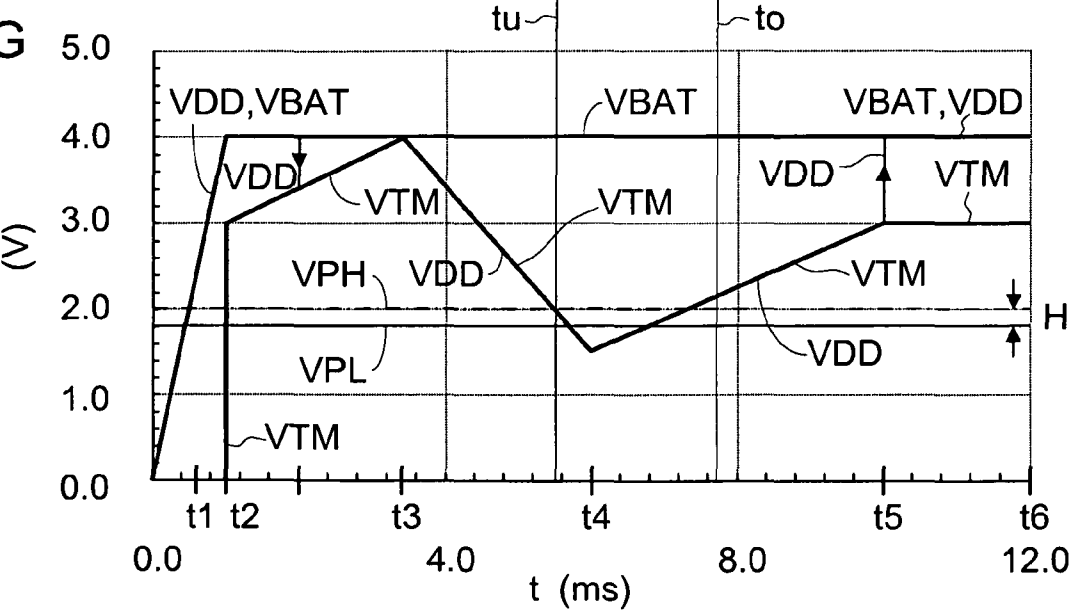


FIG 4

