(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 8 月 31 日 (31.08.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/143646 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2016/078726

(22) 国际申请日: 2016 年 4 月 7 日 (07.04.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610109446.7 2016 年 2 月 26 日 (26.02.2016) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号丁珂, Guangdong 518132 (CN)。

(72) 发明人: **石龙强 (SHI, Longqiang)**; 中国广东省深圳市光明新区塘明大道 9-2 号丁珂, Guangdong 518132 (CN)。

(74) 代理人: **深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY)**; 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) **Title**: GATE DRIVING CIRCUIT

(54) **发明名称** : 栅极驱动电路

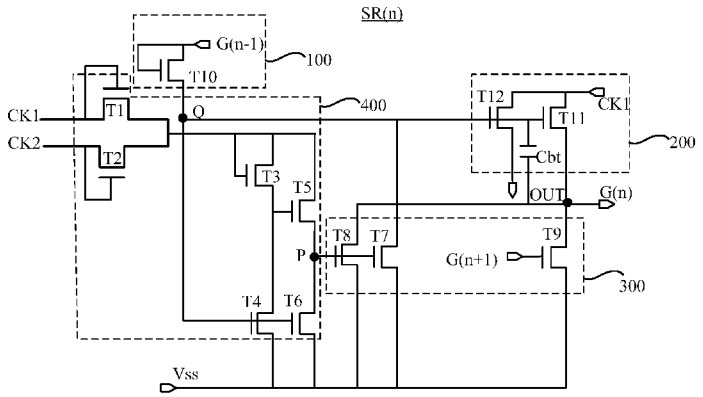


图 2

(57) **Abstract**: A gate driving circuit. The gate driving circuit comprises a plurality of GOA circuit units. The GOA circuit unit at each stage comprises a pull-down maintenance module (400) used for maintaining the level of a second control node P during a non-scanning period to maintain the low level of a scanning signal. According to the pull-down maintenance module (400) of the GOA circuit unit, a first transistor T1 and a second transistor T2 are used to cooperate with a first clock signal CK1 and a second clock signal CK2, so that during a period in which the scanning signal does not need to output pulses, the pull-down maintenance module (400) can still continuously output a signal to start the pull-down module (300). Accordingly, during the period in which the scanning signal does not need to output pulses, the scanning signal can still be pulled down to the low level under effect of the started pull-down module (300). The technical problem in the prior art of the pull-down maintenance module failing to continuously operate can be resolved, and the stability of the scanning signal outputted by the GOA circuit unit is improved.

(57) **摘要**:

[见续页]

WO 2017/143646 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种栅极驱动电路，其包含数个 GOA 电路单元。每一级 GOA 电路单元包含下拉维持模块（400），用来维持第二控制节点 P 在非扫描期间的电平，以维持扫描信号的低电平。所述 G OA 电路单元的下拉维持模块（400）利用第一晶体管 T1 和第二晶体管 T2 配合第一时钟信号 CK1 和第二时钟信号 CK2，使得所述下拉维持模块（400）在该扫描信号不需输出脉冲期间，仍能持续输出信号以开启下拉模块（300）。因此该扫描信号在不需输出脉冲期间，仍会因所述开启的下拉模块（300）作用而下拉至低电平。解决了现有技术中下拉维持模块无法持续运作的技术问题，提升了 GOA 电路单元输出扫描信号的稳定性。

栅极驱动电路

技术领域

[1] 本发明是有关于一种液晶显示器领域，尤指一种使用栅极驱动(Gate driver on array，GOA)电路的液晶显示器。

背景技术

[2] GOA电路是利用薄膜晶体管液晶显示器Array制程将栅极驱动器制作在具有薄膜晶体管(Thin film transistor，TFT)阵列的基板上，以实现逐行扫描的驱动方式。

[3] GOA电路包含数个GOA电路单元。传统的GOA电路单元通过控制输出晶体管的栅极电压(亦即Q点电压)来输出扫描信号。传统GOA 电路单元是使用时钟信号作为下拉维持模块的输入源，因此下拉维持模块只有在时钟信号产生脉冲期间才会运作。在时钟信号没有产生脉冲期间，下拉维持模块将没有发挥作用，使得输出端的扫描信号不能维持低电位。

[4] 因此有必要对现有技术采用进行改良，使得在时钟信号没有产生脉冲期间，下拉维持模块仍能下拉扫描信号使其维持在低电平。

对发明的公开

技术问题

[5] 本发明的目的是提供一种栅极驱动电路，以解决现有技术的问题。

问题的解决方案

技术解决方案

[6] 本发明的技术方案提供一种栅极驱动电路，其包含数个GOA电路单元。数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前一级GOA电路单元输出的扫描信号、下一级GOA电路单元输出的扫描信号、第一时钟信号以及第二时钟信号，在输出端输出扫描信号。每一级GOA电路单元包含：输入控制模块，用来于接收所述前一级GOA电路单元输出的扫描信号时导通，以控制第一控制节点的电平；输出控制模块，电性连接所述第一控制节点，用来

依据施加于所述第一控制节点的电压，控制输出的所述扫描信号；下拉模块，电性连接所述输出控制模块，用来依据第二控制节点的电平下拉所述扫描信号的电平；及下拉维持模块，电性连接所述下拉模块，用来维持所述第二控制节点在非扫描期间的电平，以维持所述扫描信号的低电平。所述下拉维持模块包含：第一晶体管，其第一控制端和第一输入端皆电性连接所述第一时钟信号；第二晶体管，其第二控制端和第二输入端皆电性连接所述第二时钟信号；第三晶体管，其第三控制端和第三输入端皆电性连接所述第一晶体管的第一输出端；第四晶体管，其第四控制端电性连接所述第一控制节点，其第四输入端电性连接所述第三晶体管的第三输出端，其第四输出端电性连接一固定电压；第五晶体管，其第五控制端电性连接所述第三晶体管的第三输出端，其第五输入端电性连接所述第一晶体管的第一输出端，其第五输出端电性连接所述第二控制节点；及第六晶体管，其第六控制端电性连接所述第一控制节点，其第六输入端电性连接所述第二控制节点，其第六输出端电性连接所述固定电压。

[7] 依据本发明的实施例，所述下拉模块包含：第七晶体管，其第七控制极电性连接所述第二控制节点，其第七输入极电性连接所述第一控制节点，其第七输出极电性连接所述固定电压；第八晶体管，其第八控制极电性连接所述第二控制节点，其第八输入极电性连接所述输出端，其第八输出极电性连接所述固定电压；第九晶体管，其第九控制极电性连接所述下一级GOA电路单元输出的扫描信号，其第九输入极电性连接所述输出端，其第九输出极电性连接所述固定电压。

[8] 依据本发明的实施例，所述输入控制模块包含第十晶体管，其第十控制极和第十输入极皆电性连接所述前一级GOA电路单元输出的扫描信号，其第十输出极电性连接所述第一控制节点。

[9] 依据本发明的实施例，所述输出控制模块包含：第十一晶体管，其第十一控制极电性连接所述第一控制节点，其第十一输入极电性连接所述第一时钟信号，其第十一输出极电性连接所述输出端；第十二晶体管，其第十二控制极电性连接所述第一控制节点，其第十二输入极电性连接所述第一时钟信号；及电容，其两端电性连接所述第一控制节点和所述输出端。

[10] 依据本发明的实施例，所述第一时钟信号和所述第二时钟信号互为反相。

[11] 本发明的技术方案另提供一种栅极驱动电路，其包含数个GOA电路单元。数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前一级GOA电路单元输出的扫描信号、下一级GOA电路单元输出的扫描信号、第一时钟信号以及第二时钟信号，在输出端输出扫描信号。每一级GOA电路单元包含：输入控制模块，用来于接收所述前一级GOA电路单元输出的扫描信号时导通，以控制第一控制节点的电平；输出控制模块，电性连接所述第一控制节点，用来依据施加于所述第一控制节点的电压，控制输出的所述扫描信号；下拉模块，电性连接所述输出控制模块，用来依据第二控制节点的电平下拉所述扫描信号的电平；及下拉维持模块，电性连接所述下拉模块，用来维持所述第二控制节点在非扫描期间的电平，以维持所述扫描信号的低电平。所述下拉维持模块包含：第一晶体管，其第一控制端和第一输入端皆电性连接所述第一时钟信号；第二晶体管，其第二控制端和第二输入端皆电性连接所述第一时钟信号，其第二输出端电性连接所述第二控制节点；第三晶体管，其第三控制端和第三输入端皆电性连接所述第二时钟信号；第四晶体管，其第四控制端电性连接所述第一控制节点，其第四输入端电性连接所述第三晶体管的第三输出端，其第四输出端电性连接一固定电压；第五晶体管，其第五控制端和第五输入端皆电性连接所述第二时钟信号，其第五输出端电性连接所述第二控制节点；及第六晶体管，其第六控制端电性连接所述第一控制节点，其第六输入端电性连接所述第二控制节点，其第六输出端电性连接所述固定电压。

[12] 依据本发明的实施例，所述下拉模块包含：第七晶体管，其第七控制极电性连接所述第二控制节点，其第七输入极电性连接所述第一控制节点，其第七输出极电性连接所述固定电压；第八晶体管，其第八控制极电性连接所述第二控制节点，其第八输入极电性连接所述输出端，其第八输出极电性连接所述固定电压；第九晶体管，其第九控制极电性连接所述下一级GOA电路单元输出的扫描信号，其第九输入极电性连接所述输出端，其第九输出极电性连接所述固定电压。

[13] 依据本发明的实施例，所述输入控制模块包含第十晶体管，其第十控制极和第

十输入极皆电性连接所述前一级GOA电路单元输出的扫描信号，其第十输出极电性连接所述第一控制节点。

[14] 依据本发明的实施例，所述输出控制模块包含：第十一晶体管，其第十一控制极电性连接所述第一控制节点，其第十一输入极电性连接所述第一时钟信号，其第十一输出极电性连接所述输出端；第十二晶体管，其第十二控制极电性连接所述第一控制节点，其第十二输入极电性连接所述第一时钟信号；及电容，其两端电性连接所述第一控制节点和所述输出端。

[15] 依据本发明的实施例，所述第一时钟信号和所述第二时钟信号互为反相。

发明的有益效果

有益效果

[16] 相较于现有技术，本发明的GOA电路单元利用第一晶体管和第二晶体管配合第一时钟信号和第二时钟信号的设计，使得所述下拉维持模块在该扫描信号不需输出脉冲期间，仍能持续输出信号以开启该下拉模块。因此该扫描信号在不需输出脉冲期间，仍会因开启的该下拉模块作用而下拉至低电平。所以本发明解决现有技术下拉维持模块无法持续运作的技术问题，具有提升GOA电路单元输出扫描信号稳定性的有益效果。

对附图的简要说明

附图说明

[17] 图1是本发明的液晶显示器的功能方块图。

[18] 图2是本发明第一实施例的GOA电路单元的电路图。

[19] 图3是图2所示各种输入信号、输出信号和节点电压的时序图。

[20] 图4是本发明第二实施例的GOA电路单元的电路图。

[21] 图5是图4所示各种输入信号、输出信号和节点电压的时序图。

实施该发明的最佳实施例

本发明的最佳实施方式

[22] 请参阅图1，图1是本发明的液晶显示器10的功能方块图。液晶显示器10包含玻璃基板14、时序控制器30以及源极驱动器(source driver)16。玻璃基板14上设置数

个呈矩阵排列的像素(pixel)和栅极驱动(GOA)电路12，而每一个像素包含三个分别代表红绿蓝(RGB)三原色的像素单元20构成。时序控制器30用来产生时钟信号CK1-CK2以及起始信号STV。GOA电路12每隔一固定间隔输出扫描信号使得每一行的晶体管22依序开启，同时源极驱动器16则输出对应的数据信号至一整列的像素单元20使其充电到各自所需的电压，以显示不同的灰阶。当同一行充电完毕后，GOA电路12便将该行的扫描信号关闭，然后GOA电路12再输出扫描信号将下一行的晶体管22打开，再由源极驱动器16对下一行的像素单元20进行充放电。如此依序下去，直到所有像素单元20都充电完成，再从第一行开始充电。以一个1024 × 768分辨率的液晶显示器10以及60Hz的更新频率为例，共需要1024 × 768 × 3个像素单元20组合而成，每一个画面的显示时间约为1/60=16.67ms。图1所示的GOA电路12 控制包含N个GOA电路单元SR(1)、…、SR(N)，N等于768。

[23] 请参阅图1和图2，图2是本发明第一实施例的GOA电路单元SR(n)的电路图。为了让液晶显示器10的非显示区(也就是玻璃基板14放置GOA电路12的区域)变窄，GOA电路12直接设置在玻璃基板14上。GOA电路12包含数个串接(cascade-connected)的GOA电路单元SR(n)， n=0~N。当GOA电路单元SR(1)接收到启始信号STV时，就会依据时钟信号CK1和CK2产生扫描信号G(1)。接下来，每一级GOA电路单元SR(n)用来依据前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)、下一级GOA电路单元SR(n+1)输出的扫描信号G(n+1)、第一时钟信号CK1、第二时钟信号CK2，在输出端OUT输出扫描信号G(n)。第一时钟信号CK1和第二时钟信号CK2互为反相。

[24] 每一级GOA电路单元SR(n)包含输入控制模块100、输出控制模块200、下拉模块300和下拉维持模块400。输入控制模块100用来于接收前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)时导通，以控制第一控制节点Q的电平。输出控制模块200电性连接所一控制节点Q，用来依据施加于第一控制节点Q的电压，控制输出的扫描信号G(n)。下拉模块300电性连接输出控制模块200，用来依据第二控制节点P的电平下拉扫描信号G(n)的电平。

[25] 下拉维持模块400电性连接下拉模块300，用来维持第二控制节点P在非扫描期

间的电平，以维持扫描信号G(n)的低电平。下拉维持模块400包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5和第六晶体管T6。第一晶体管T1的第一控制端和第一输入端皆电性连接第一时钟信号CK1。第二晶体管T2的第二控制端和第二输出端皆电性连接第二时钟信号CK2。第三晶体管T3的第三控制端和第三输入端皆电性连接第一晶体管T1的第一输出端。第四晶体管T4的第四控制端电性连接第一控制节点Q，其第四输入端电性连接第三晶体管T3的第三输出端，其第四输出端电性连接固定低电压Vss。第五晶体管T5的第五控制端电性连接第三晶体管T3的第三输出端，其第五输入端电性连接第一晶体管T1的第一输出端，其第五输出端电性连接第二控制节点P。第六晶体管T6的第六控制端电性连接第一控制节点Q，其第六输入端电性连接第二控制节点P，其第六输出端电性连接固定低电压Vss。

[26] 下拉模块300包含第七晶体管T7、第八晶体管T8和第九晶体管T9。第七晶体管T7的第七控制极电性连接第二控制节点P，其第七输入极电性连接第一控制节点Q，其第七输出极电性连接固定低电压Vss。第八晶体管T8的第八控制极电性连接第二控制节点P，其第八输入极电性连接输出端OUT，其第八输出极电性连接固定低电压Vss。第九晶体管T9的第九控制极电性连接下一级GOA电路单元SR(n+1)输出的扫描信号G(n+1)，其第九输入极电性连接输出端OUT，其第九输出极电性连接固定低电压Vss。

[27] 输入控制模块100包含第十晶体管T10。第十晶体管T10的第十控制极和第十输入极皆电性连接前一级GOA电路单元SR(n-1)输出的扫描信号G(n-1)，其第十输出极电性连接第一控制节点Q。

[28] 输出控制模块200包含第十一晶体管T11、第十二晶体管T12和电容Cbt。第十一晶体管T11的第十一控制极电性连接第一控制节点Q，其第十一输入极电性连接第一时钟信号CK1，其第十一输出极电性连接输出端OUT。第十二晶体管T12的第十二控制极电性连接第一控制节点Q，其第十二输入极电性连接第一时钟信号CK1。电容Cbt的两端电性连接第一控制节点Q和输出端OUT。

[29] 图2的GOA电路单元SR(n)的所有晶体管皆为N型金氧半导体(N-type metal oxide semiconductor，NMOS)晶体管。较佳地，所有晶体管T1-T12的控制极、输入极

和输出极分别是晶体管T1-T12的栅极、漏极和源极。晶体管T1-T12的输入极和输出极也分别可以是晶体管的源极和漏极。

[30] 请一并参阅图3，图3是图2所示各种输入信号、输出信号和节点电压的时序图。每一GOA电路单元SR(n)自接收到扫描信号G(n-1)起到输出扫描信号G(n)的期间，亦即图3所示的t2-t3，称之为扫描期间，其余时间称为非扫描期间。扫描期间又分为预充电期间(t2)及输出脉冲期间(t3)。

[31] 在时段t1时，晶体管T1的第一控制极接收高电平的第一时钟信号CK1时，晶体管T1开启使得高电平的第一时钟信号CK1传送至晶体管T3的第三控制极。晶体管T3开启使得高电平的第一时钟信号CK1传送至晶体管T5的第五控制极。晶体管T5开启使得高电平的第一时钟信号CK1传送至第二控制节点P。晶体管T8开启导通固定低电压Vss至输出端OUT，使得扫描信号G(n)处于低电平。

[32] 在时段t2时，晶体管T10的第十控制极接收高电平的扫描信号G(n-1)时，晶体管T10开启使得第一控制节点Q处于高电平，使得晶体管T4、T6、T11、T12开启。此时，晶体管T11导通低电平的第一时钟信号CK1至输出端OUT，因此扫描信号G(n)亦处于低电平。同时，晶体管T6导通固定低电压Vss至第二控制节点P。

[33] 在时段t3时，虽然晶体管T10因接收低电平的扫描信号G(n-1)而关闭，但是电容Cbt存储电荷之故，使得第一控制节点Q仍维持高电平。此时，晶体管T11导通高电平的第一时钟信号CK1至输出端OUT，因此扫描信号G(n)处于高电平。

[34] 在时段t4时，晶体管T2的第二控制极接收高电平的第二时钟信号CK2时，晶体管T2开启使得高电平的第二时钟信号CK2传送至晶体管T3的第三控制极。晶体管T3开启使得高电平的第二时钟信号CK2传送至晶体管T5的第五控制极。晶体管T5开启使得高电平的第二时钟信号CK2传送至第二控制节点P。晶体管T8开启导通固定低电压Vss至输出端OUT，使得扫描信号G(n)处于低电平。

[35] 相较于现有技术，本发明的GOA电路单元利用第一晶体管T1和第二晶体管T2配合第一时钟信号CK1和第二时钟信号CK2的设计，使得下拉维持模块400在扫描信号G(n)不需输出脉冲期间，仍能持续输出信号以开启下拉模块300。因此扫描信号G(n)在不需输出脉冲期间，仍会因开启的下拉模块300作用而下拉至低电平。所以本发明解决现有技术下拉维持模块无法持续运作的技术问题，具有提

升GOA电路单元输出扫描信号稳定性的有益效果。

[36] 请参阅图4，图4是本发明第二实施例的GOA电路单元SR(n)的电路图。图4的实施例与图2的实施例差异在于下拉维持模块400的电路结构不同。下拉维持模块400包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5和第六晶体管T6。第一晶体管T1的第一控制端和第一输入端皆电性连接第一时钟信号CK1。第二晶体管T2的第二控制端和第二输入端皆电性连接第一时钟信号CK1，其第二输出端电性连接第二控制节点P。第三晶体管T3的第三控制端和第三输入端皆电性连接第二时钟信号CK2。第四晶体管T4的第四控制端电性连接第一控制节点Q，其第四输入端电性连接第三晶体管T3的第三输出端，其第四输出端电性连接固定低电压Vss。第五晶体管T5的第五控制端和第五输入端皆电性连接第二时钟信号CK2，其第五输出端电性连接第二控制节点P。第六晶体管T6的第六控制端电性连接第一控制节点Q，其第六输入端电性连接第二控制节点P，其第六输出端电性连接固定低电压Vss。

[37] 请一并参阅图5，图5是图4所示各种输入信号、输出信号和节点电压的时序图。在时段t1时，晶体管T1的第一控制极接收高电平的第一时钟信号CK1时，晶体管T1开启使得高电平的第一时钟信号CK1传送至晶体管T2的第二控制极。晶体管T2开启使得高电平的第一时钟信号CK1传送至第二控制节点P。晶体管T8开启导通固定低电压Vss至输出端OUT，使得扫描信号G(n)处于低电平。

[38] 在时段t2时，晶体管T10的第十控制极接收高电平的扫描信号G(n-1)时，晶体管T10开启使得第一控制节点Q处于高电平，使得晶体管T4、T6、T11、T12开启。此时，晶体管T11导通低电平的第一时钟信号CK1至输出端OUT，因此扫描信号G(n)亦处于低电平。同时，晶体管T6导通固定低电压Vss至第二控制节点P。

[39] 在时段t3时，虽然晶体管T10因接收低电平的扫描信号G(n-1)而关闭，但是电容Cbt存储电荷之故，使得第一控制节点Q仍维持高电平。此时，晶体管T11导通高电平的第一时钟信号CK1至输出端OUT，因此扫描信号G(n)处于高电平。

[40] 在时段t4时，晶体管T3的第三控制极接收高电平的第二时钟信号CK2时，晶体管T3开启使得高电平的第二时钟信号CK2传送至晶体管T5的第五控制极。晶体管T5开启使得高电平的第二时钟信号CK2传送至第二控制节点P。晶体管T8开启

导通固定低电压Vss至输出端OUT，使得扫描信号G(n)处于低电平。

[41] 相较于现有技术，本发明的GOA电路单元利用第一晶体管T1和第二晶体管T2配合第一时钟信号CK1和第二时钟信号CK2的设计，使得下拉维持模块400在扫描信号G(n)不需输出脉冲期间，仍能持续输出信号以开启下拉模块300。因此扫描信号G(n)在不需输出脉冲期间，仍会因开启的下拉模块300作用而下拉至低电平。所以本发明解决现有技术下拉维持模块无法持续运作的技术问题，具有提升GOA电路单元输出扫描信号稳定性的有益效果。

[42] 本领域技术人员可以根据本发明的电路将其中全部或是部分NMOS晶体管以PMOS晶体管取代，以实现同样功能的GOA电路单元。

[43] 综上所述，虽然本发明已以较佳实施例揭露如上，但该较佳实施例并非用以限制本发明，该领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

权利要求书

[权利要求 1] 一种栅极驱动电路，其包含：

数个GOA电路单元，数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前一级GOA电路单元输出的扫描信号、下一级GOA电路单元输出的扫描信号、第一时钟信号以及第二时钟信号，在输出端输出扫描信号，其中每一级GOA电路单元包含：

输入控制模块，用来于接收所述前一级GOA电路单元输出的扫描信号时导通，以控制第一控制节点的电平；

输出控制模块，电性连接所述第一控制节点，用来依据施加于所述第一控制节点的电压，控制输出的所述扫描信号；

下拉模块，电性连接所述输出控制模块，用来依据第二控制节点的电平下拉所述扫描信号的电平；及

下拉维持模块，电性连接所述下拉模块，用来维持所述第二控制节点在非扫描期间的电平，以维持所述扫描信号的低电平，其包含：

第一晶体管，其第一控制端和第一输入端皆电性连接所述第一时钟信号；

第二晶体管，其第二控制端和第二输入端皆电性连接所述第二时钟信号；

第三晶体管，其第三控制端和第三输入端皆电性连接所述第一晶体管的第一输出端；

第四晶体管，其第四控制端电性连接所述第一控制节点，其第四输入端电性连接所述第三晶体管的第三输出端，其第四输出端电性连接一固定电压；

第五晶体管，其第五控制端电性连接所述第三晶体管的第三输出端，其第五输入端电性连接所述第一晶体管的第一输出端，其第五输出端电性连接所述第二控制节点；及

第六晶体管，其第六控制端电性连接所述第一控制节点，其第六输入端电性连接所述第二控制节点，其第六输出端电性连接所述固定电压，

其中所述第一时钟信号和所述第二时钟信号互为反相，且所述下拉模块包含：

第七晶体管，其第七控制极电性连接所述第二控制节点，其第七输入极电性连接所述第一控制节点，其第七输出极电性连接所述固定电压；

第八晶体管，其第八控制极电性连接所述第二控制节点，其第八输入极电性连接所述输出端，其第八输出极电性连接所述固定电压；

第九晶体管，其第九控制极电性连接所述下一级GOA电路单元输出的扫描信号，其第九输入极电性连接所述输出端，其第九输出极电性连接所述固定电压。

[权利要求 2] 如权利要求1所述的栅极驱动电路，其中所述输入控制模块包含第十晶体管，其第十控制极和第十输入极皆电性连接所述前一级GOA电路单元输出的扫描信号，其第十输出极电性连接所述第一控制节点。

[权利要求 3] 如权利要求2所述的栅极驱动电路，其中所述输出控制模块包含：

第十一晶体管，其第十一控制极电性连接所述第一控制节点，其第十一输入极电性连接所述第一时钟信号，其第十一输出极电性连接所述输出端；

第十二晶体管，其第十二控制极电性连接所述第一控制节点，其第十二输入极电性连接所述第一时钟信号；及

电容，其两端电性连接所述第一控制节点和所述输出端。

[权利要求 4] 一种栅极驱动电路，其包含：

数个GOA电路单元，数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前一级GOA电路单元输出的扫描信

号、下一级GOA电路单元输出的扫描信号、第一时钟信号以及第二时钟信号，在输出端输出扫描信号，其中每一级GOA电路单元包含：

输入控制模块，用来于接收所述前一级GOA电路单元输出的扫描信号时导通，以控制第一控制节点的电平；

输出控制模块，电性连接所述第一控制节点，用来依据施加于所述第一控制节点的电压，控制输出的所述扫描信号；

下拉模块，电性连接所述输出控制模块，用来依据第二控制节点的电平下拉所述扫描信号的电平；及

下拉维持模块，电性连接所述下拉模块，用来维持所述第二控制节点在非扫描期间的电平，以维持所述扫描信号的低电平，其包含：

第一晶体管，其第一控制端和第一输入端皆电性连接所述第一时钟信号；

第二晶体管，其第二控制端和第二输入端皆电性连接所述第二时钟信号；

第三晶体管，其第三控制端和第三输入端皆电性连接所述第一晶体管的第一输出端；

第四晶体管，其第四控制端电性连接所述第一控制节点，其第四输入端电性连接所述第三晶体管的第三输出端，其第四输出端电性连接一固定电压；

第五晶体管，其第五控制端电性连接所述第三晶体管的第三输出端，其第五输入端电性连接所述第一晶体管的第一输出端，其第五输出端电性连接所述第二控制节点；及

第六晶体管，其第六控制端电性连接所述第一控制节点，其第六输入端电性连接所述第二控制节点，其第六输出端电性连接所述固定电压。

[权利要求 5] 如权利要求4所述的栅极驱动电路，其中所述下拉模块包含：

第七晶体管，其第七控制极电性连接所述第二控制节点，其第七输入极电性连接所述第一控制节点，其第七输出极电性连接所述固定电压；

第八晶体管，其第八控制极电性连接所述第二控制节点，其第八输入极电性连接所述输出端，其第八输出极电性连接所述固定电压；

第九晶体管，其第九控制极电性连接所述下一级GOA电路单元输出的扫描信号，其第九输入极电性连接所述输出端，其第九输出极电性连接所述固定电压。

[权利要求 6] 如权利要求5所述的栅极驱动电路，其中所述输入控制模块包含第十晶体管，其第十控制极和第十输入极皆电性连接所述前一级GOA电路单元输出的扫描信号，其第十输出极电性连接所述第一控制节点。

[权利要求 7] 如权利要求6所述的栅极驱动电路，其中所述输出控制模块包含：

第十一晶体管，其第十一控制极电性连接所述第一控制节点，其第十一输入极电性连接所述第一时钟信号，其第十一输出极电性连接所述输出端；

第十二晶体管，其第十二控制极电性连接所述第一控制节点，其第十二输入极电性连接所述第一时钟信号；及

电容，其两端电性连接所述第一控制节点和所述输出端。

[权利要求 8] 如权利要求4所述的栅极驱动电路，其中所述第一时钟信号和所述第二时钟信号互为反相。

[权利要求 9] 一种栅极驱动电路，其包含：

数个GOA电路单元，数个所述GOA电路单元以串联的方式耦接，每一级GOA电路单元用来依据前一级GOA电路单元输出的扫描信号、下一级GOA电路单元输出的扫描信号、第一时钟信号以及第二时钟信号，在输出端输出扫描信号，其中每一级GOA电路单元包含：

输入控制模块，用来于接收所述前一级GOA电路单元输出的扫描信号时导通，以控制第一控制节点的电平；

输出控制模块，电性连接所述第一控制节点，用来依据施加于所述第一控制节点的电压，控制输出的所述扫描信号；

下拉模块，电性连接所述输出控制模块，用来依据第二控制节点的电平下拉所述扫描信号的电平；及

下拉维持模块，电性连接所述下拉模块，用来维持所述第二控制节点在非扫描期间的电平，以维持所述扫描信号的低电平，其包含：

第一晶体管，其第一控制端和第一输入端皆电性连接所述第一时钟信号；

第二晶体管，其第二控制端和第二输入端皆电性连接所述第一时钟信号，其第二输出端电性连接所述第二控制节点；

第三晶体管，其第三控制端和第三输入端皆电性连接所述第二时钟信号；

第四晶体管，其第四控制端电性连接所述第一控制节点，其第四输入端电性连接所述第三晶体管的第三输出端，其第四输出端电性连接一固定电压；

第五晶体管，其第五控制端和第五输入端皆电性连接所述第二时钟信号，其第五输出端电性连接所述第二控制节点；及

第六晶体管，其第六控制端电性连接所述第一控制节点，其第六输入端电性连接所述第二控制节点，其第六输出端电性连接所述固定电压。

[权利要求 10] 如权利要求9所述的栅极驱动电路，其中所述下拉模块包含：

第七晶体管，其第七控制极电性连接所述第二控制节点，其第七输入极电性连接所述第一控制节点，其第七输出极电性连接所述固定电压；

第八晶体管，其第八控制极电性连接所述第二控制节点，其第八

输入极电性连接所述输出端，其第八输出极电性连接所述固定电压；

第九晶体管，其第九控制极电性连接所述下一级GOA电路单元输出的扫描信号，其第九输入极电性连接所述输出端，其第九输出极电性连接所述固定电压。

[权利要求 11] 如权利要求10所述的栅极驱动电路，其中所述输入控制模块包含第十晶体管，其第十控制极和第十输入极皆电性连接所述前一级GOA电路单元输出的扫描信号，其第十输出极电性连接所述第一控制节点。

[权利要求 12] 如权利要求11所述的栅极驱动电路，其中所述输出控制模块包含：

第十一晶体管，其第十一控制极电性连接所述第一控制节点，其第十一输入极电性连接所述第一时钟信号，其第十一输出极电性连接所述输出端；

第十二晶体管，其第十二控制极电性连接所述第一控制节点，其第十二输入极电性连接所述第一时钟信号；及

电容，其两端电性连接所述第一控制节点和所述输出端。

[权利要求 13] 如权利要求9所述的栅极驱动电路，其中所述第一时钟信号和所述第二时钟信号互为反相。

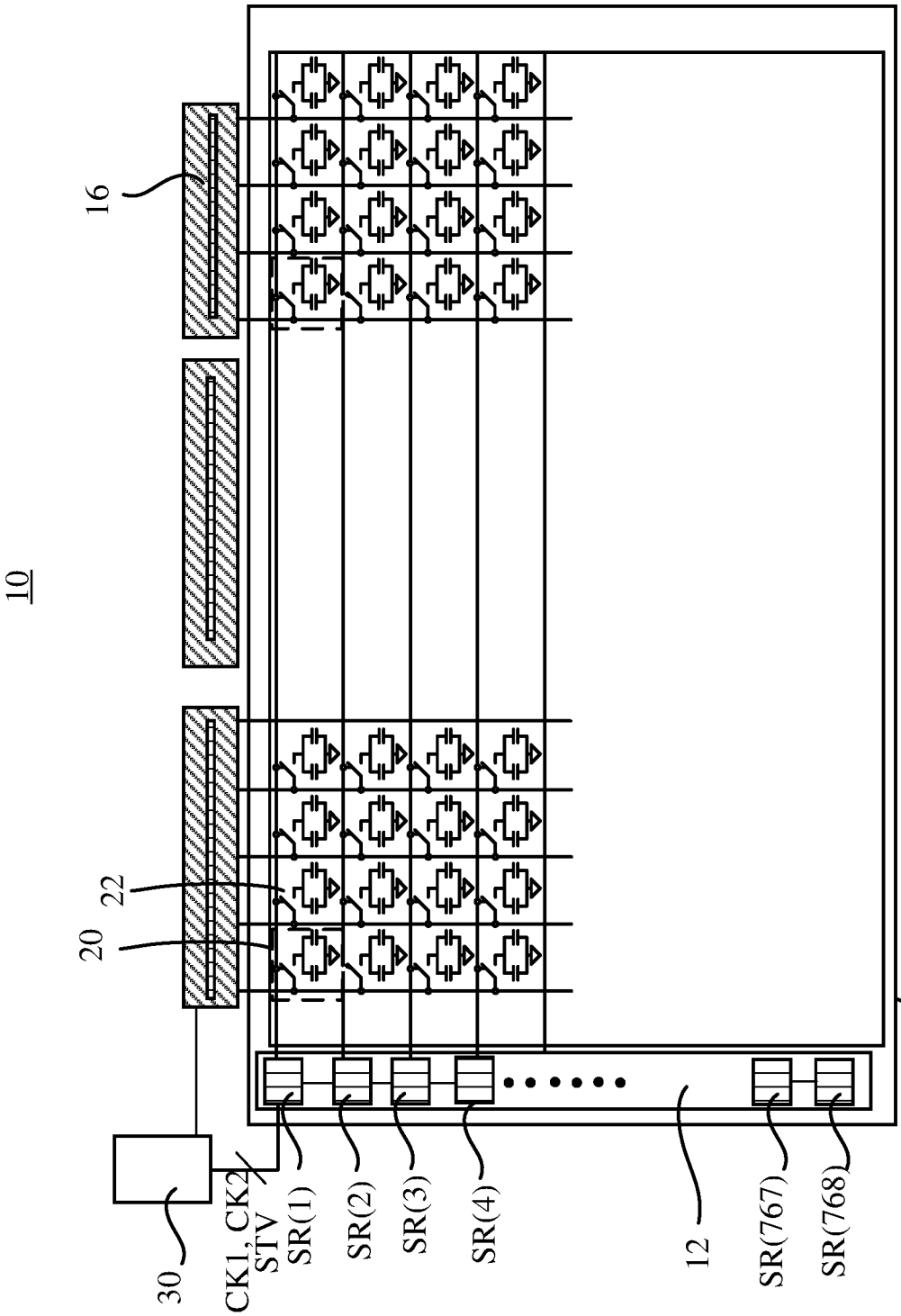


图 1

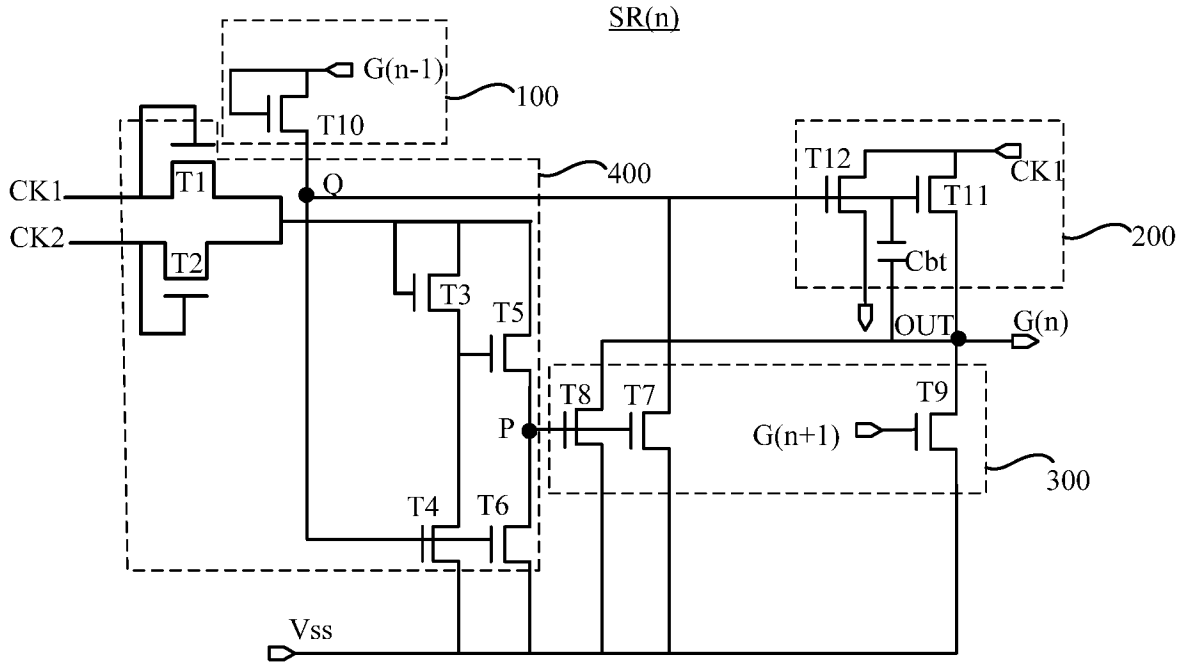

SR(n)
G(n-1)
100
T10
CK1
T1
Q
400
T12
CK1
T11
200
CK2
T2
Cbt
T3
T5
OUT
G(n)
T8
T7
T9
P
G(n+1)
300
T4
T6
Vss

图 2

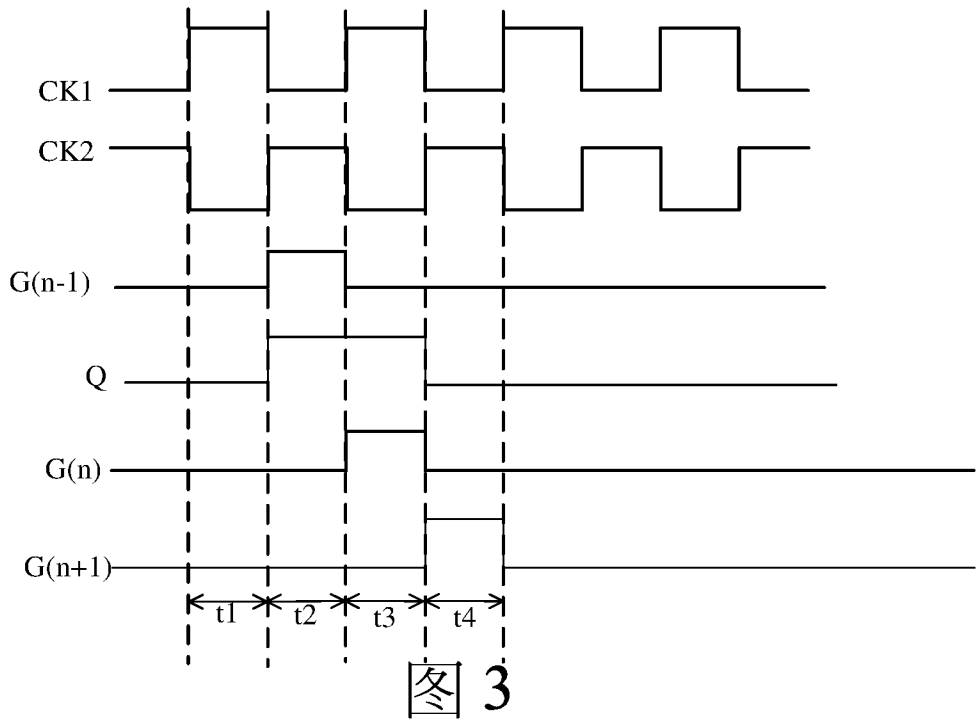

CK1
CK2
G(n-1)
Q
G(n)
G(n+1)
t1
t2
t3
t4

图 3

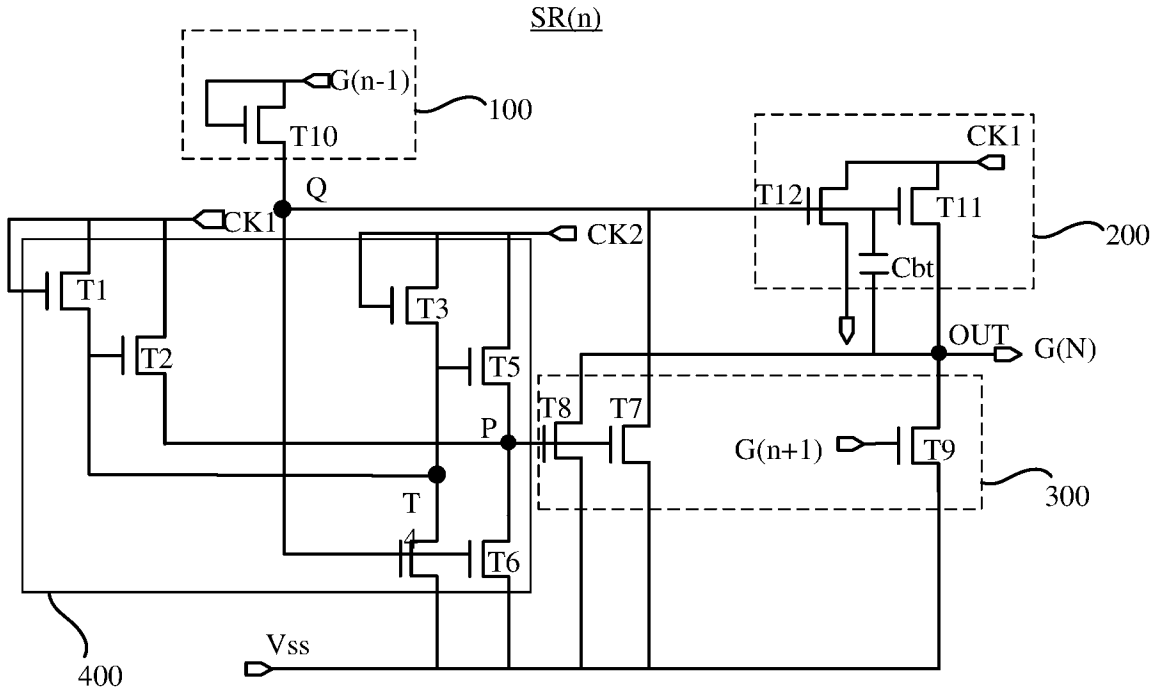

SR(n)
G(n-1)
100
T10
Q
CK1
CK2
T1
T2
T3
T5
T4
T6
T8
T7
P
G(n+1)
T9
300
CK1
T12
T11
200
Cbt
OUT
G(N)
400
Vss

图 4

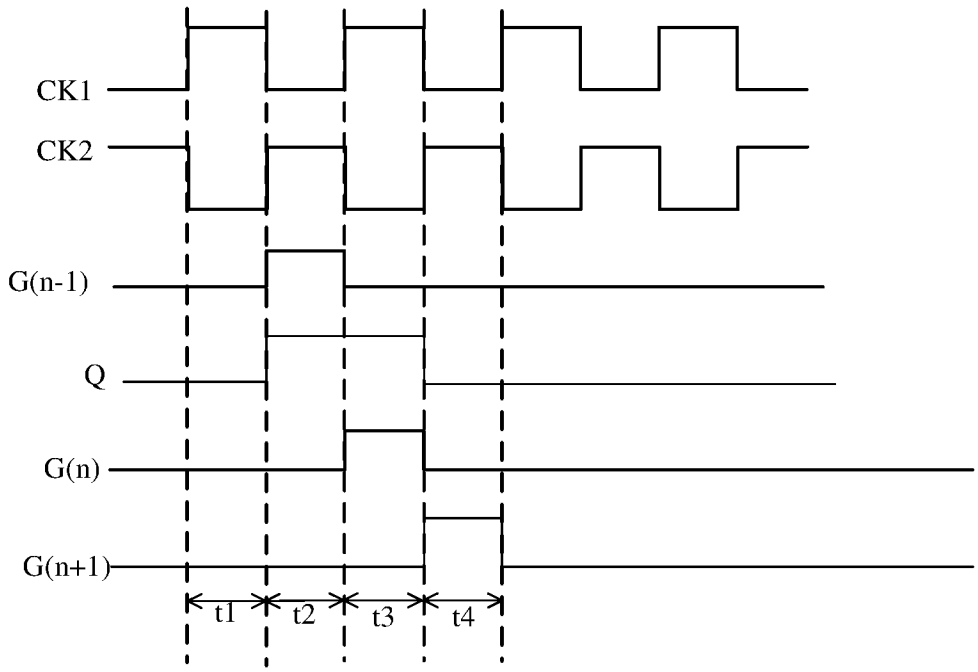

CK1
CK2
G(n-1)
Q
G(n)
G(n+1)
t1
t2
t3
t4

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/078726

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: GOA, shift register, clock, pull-down holding, gate, driver, shift, register, pull, down, scan, hold, transistor, capacitor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105304041 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 03 February 2016 (03.02.2016), description, paragraphs [0068]-[0093], and figures 2-3B	1-13
A	US 2008100560 A1 (SAMSUNG ELECTRONICS CO., LTD.), 01 May 2008 (01.05.2008), the whole document	1-13
A	US 2008074379 A1 (KIM, S. et al.), 27 March 2008 (27.03.2008), the whole document	1-13
A	US 2008036725 A1 (SAMSUNG ELECTRONICS CO., LTD.), 14 February 2008 (14.02.2008), the whole document	1-13

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 November 2016 (23.11.2016)	**30 November 2016 (30.11.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **ZHANG, Zhen** Telephone No.: (86-10) **62413329**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/078726

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105304041 A	03 February 2016	None	
US 2008100560 A1	01 May 2008	EP 1918938 A2	07 May 2008
		US 8228282 B2	24 July 2012
		KR 20080039026 A	07 May 2008
		CN 101174070 A	07 May 2008
		CN 101174070 B	15 June 2011
		KR 101281498 B1	02 July 2013
US 2008036725 A1	14 February 2008	EP 1887554 B1	13 October 2010
		US 8194026 B2	05 June 2012
		CN 101122720 A	13 February 2008
		CN 101122720 B	08 December 2010
		KR 101300038 B1	29 August 2013
		EP 1887554 A1	13 February 2008
		KR 20080013280 A	13 February 2008
		DE 602007009759 D1	25 November 2010

国际检索报告

国际申请号
PCT/CN2016/078726

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI，CNPAT，WPI，EPODOC：栅极，驱动，GOA，移位寄存，扫描，时钟，下拉维持，晶体管，电容，gate，driver，shift，register，pull，down，scan，hold，transistor，capacitor

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 105304041 A (深圳市华星光电技术有限公司) 2016年 2月 3日 (2016-02-03) 说明书第[0068]-[0093]，附图2-3B	1-13
A	US 2008100560 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2008年 5月 1日 (2008-05-01) 全文	1-13
A	US 2008074379 A1 (KIM, SUNG-MAN 等) 2008年 3月 27日 (2008-03-27) 全文	1-13
A	US 2008036725 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2008年 2月 14日 (2008-02-14) 全文	1-13

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 11月 23日	2016年 11月 30日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 张震 电话号码 (86-10)62413329

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/078726

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105304041	A	2016年 2月 3日	无			
US	2008100560	A1	2008年 5月 1日	EP	1918938	A2	2008年 5月 7日
				US	8228282	B2	2012年 7月 24日
				KR	20080039026	A	2008年 5月 7日
				CN	101174070	A	2008年 5月 7日
				CN	101174070	B	2011年 6月 15日
				KR	101281498	B1	2013年 7月 2日
US	2008036725	A1	2008年 2月 14日	EP	1887554	B1	2010年 10月 13日
				US	8194026	B2	2012年 6月 5日
				CN	101122720	A	2008年 2月 13日
				CN	101122720	B	2010年 12月 8日
				KR	101300038	B1	2013年 8月 29日
				EP	1887554	A1	2008年 2月 13日
				KR	20080013280	A	2008年 2月 13日
				DE	602007009759	D1	2010年 11月 25日