



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0073660
(43) 공개일자 2019년06월27일

(51) 국제특허분류(Int. Cl.)
G06F 12/0802 (2016.01)

(52) CPC특허분류
G06F 12/0802 (2013.01)

(21) 출원번호 10-2017-0174713

(22) 출원일자 2017년12월19일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

소현

서울특별시 마포구 광성로6길 72(대흥동) 305

박현우

경기도 용인시 기흥구 서그내로53번길 3-33(서천동) 202

이혁준

서울특별시 용산구 독서당로 111(한남동, 한남대힐) 119-205

(74) 대리인

김선중

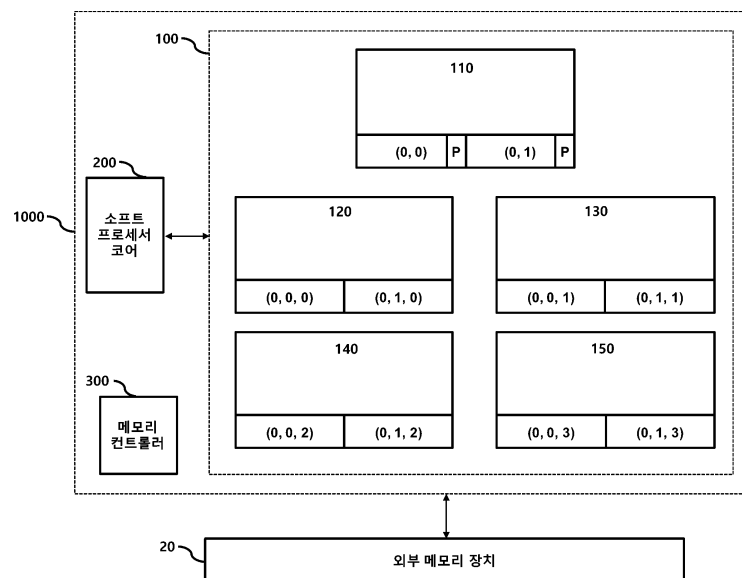
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 캐시 메모리 장치 및 이를 포함하는 FPGA

(57) 요약

본 기술에 의한 캐시 메모리 장치는 셋 주소에 대응하는 다수의 웨이에 대한 태그 데이터를 포함하는 태그 메모리; 및 각각 셋 주소에 대응하는 다수의 웨이에 대한 데이터를 저장하는 다수의 데이터 메모리를 포함하되, 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이터를 분산하여 저장한다.

대표도 - 도2



명세서

청구범위

청구항 1

셋 주소에 대응하는 다수의 웨이에 대한 태그 데이터를 포함하는 태그 메모리; 및
 각각 셋 주소에 대응하는 다수의 웨이에 대한 데이터를 저장하는 다수의 데이터 메모리
 를 포함하되,
 상기 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이터를 분산하여 저장하
 는 캐시 메모리 장치.

청구항 2

청구항 1에 있어서, 상기 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이
 터 중 하나 이상의 워드 데이터를 저장하는 캐시 메모리 장치.

청구항 3

청구항 2에 있어서, 상기 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이
 터 중 하나의 워드 데이터만을 저장하는 캐시 메모리 장치.

청구항 4

청구항 1에 있어서, 상기 다수의 데이터 메모리는 각각 동일한 셋 및 동일한 워드에 대응하고 서로 다른 다수의
 웨이에 대응하는 다수의 데이터를 저장하는 캐시 메모리 장치.

청구항 5

청구항 1에 있어서, 상기 태그 데이터는 대응하는 웨이의 더티 여부를 표시하는 더티 플래그를 더 저장하는 캐
 시 메모리 장치.

청구항 6

청구항 1에 있어서, 상기 태그 메모리 및 상기 다수의 데이터 메모리는 비휘발성 메모리인 캐시 메모리 장치.

청구항 7

다수의 블록램을 포함하는 FPGA로서,
 상기 FPGA는 상기 다수의 블록램을 이용하여 구현된 캐시 메모리 장치 및
 상기 캐시 메모리 장치를 제어하도록 구현된 소프트웨어 코어
 를 포함하되, 상기 캐시 메모리 장치는
 셋 주소에 대응하는 다수의 웨이에 대한 태그 데이터를 포함하는 태그 메모리; 및
 각각 셋 주소에 대응하는 다수의 웨이에 대한 데이터를 저장하는 다수의 데이터 메모리
 를 포함하고,
 상기 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이터를 분산하여 저장하
 는 FPGA.

청구항 8

청구항 7에 있어서, 상기 태그 메모리 및 상기 다수의 데이터 메모리 각각은 상기 다수의 블록램 중 어느 하나
 에 구현되는 FPGA.

청구항 9

청구항 7에 있어서, 상기 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이터 중 하나 이상의 워드 데이터를 저장하는 FPGA.

청구항 10

청구항 9에 있어서, 상기 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이터 중 하나의 워드 데이터만을 저장하는 FPGA.

청구항 11

청구항 7에 있어서, 상기 다수의 데이터 메모리는 각각 동일한 셋 및 동일한 워드에 대응하고 서로 다른 다수의 웨이에 대응하는 다수의 데이터를 저장하는 FPGA.

청구항 12

청구항 7에 있어서, 상기 태그 데이터는 대응하는 웨이의 더티 여부를 표시하는 더티 플래그를 더 저장하는 FPGA.

청구항 13

청구항 12에 있어서, 상기 소프트웨어 프로세서 코어는 상기 캐시 메모리 장치에 외부 메모리 장치에 대한 메모리 주소를 제공하고,

상기 캐시 메모리 장치는 상기 메모리 주소로부터 도출되는 셋 주소에 따라 상기 태그 메모리에서 출력되는 다수의 웨이에 대한 다수의 태그 데이터를 출력하고,

상기 소프트웨어 프로세서 코어는 상기 메모리 주소로부터 도출되는 태그 주소와 상기 다수의 태그 데이터를 비교하여 히트 여부를 판정하는 FPGA.

청구항 14

청구항 13에 있어서, 상기 소프트웨어 프로세서 코어는 읽기 요청을 수행하는 경우 상기 다수의 데이터 메모리 중 상기 메모리 주소로부터 도출되는 워드 주소에 대응하는 데이터를 포함하는 데이터 메모리에 대해서 읽기 요청을 제공하는 FPGA.

청구항 15

청구항 13에 있어서, 상기 소프트웨어 프로세서 코어는 쓰기 요청을 수행하는 경우 상기 다수의 데이터 메모리 중 상기 메모리 주소로부터 도출되는 워드 주소에 대응하는 데이터를 포함하는 데이터 메모리에 대해서 쓰기 요청을 제공하고, 상기 태그 메모리 중 상기 쓰기 요청에 대응하는 셋 및 웨이의 태그 메모리에 포함된 더티 플래그를 갱신하는 FPGA.

청구항 16

청구항 13에 있어서, 상기 소프트웨어 프로세서 코어는 상기 외부 메모리 장치로부터 읽은 데이터를 상기 캐시 메모리 장치에 저장하기 위하여, 상기 다수의 데이터 메모리를 동시에 활성화하고 상기 읽은 데이터를 워드별로 분할하여 상기 다수의 데이터 메모리에 제공하는 FPGA.

청구항 17

청구항 7에 있어서, 상기 태그 메모리 및 상기 다수의 데이터 메모리 각각은 서로 구별되는 블록램에 구현되는 FPGA.

발명의 설명

기술 분야

[0001] 본 발명은 캐시 메모리 장치와 이를 포함하는 FPGA(Field Programmable Gate Array)에 관한 것이다.

배경 기술

[0002] 도 1은 종래의 FPGA(Field Programmable Gate Array)의 내부 구조를 간략하게 나타낸 블록도이다.

[0003] FPGA는 프로그램을 통해 특정 동작을 수행하는 디지털 회로를 설계하는데 널리 사용되는 PLD(Programmable Logic Device)의 일종이다.

[0004] FPGA는 CLB(Configurable Logic Block, 1)와 IOB(Input Output Block, 4), 블록램(Block RAM, 3), DLL(Digital Locked Loop, 2) 및 이들 사이를 연결하는 구성 가능한 연결 회로 등을 더 포함한다.

[0005] FPGA를 이용하여 프로세서를 구현할 수 있는데 이를 소프트 프로세서라 지칭한다.

[0006] 이때 FPGA는 내부의 블록램(3)을 이용하여 캐시 메모리 장치를 구현할 수 있다.

[0007] 종래의 FPGA는 에스램 기반으로 제조된 블록램(3)을 포함하는데 이는 FPGA 내부의 다른 소자에 비하여 2배 이상의 전력을 소모하는 것으로 알려져 있다.

[0008] 이에 따라 에스램 대신 단위 면적당 저장 용량이 크고 비휘발성을 특징으로 하는 STT-MRAM과 같은 메모리를 사용하여 전력 소모를 줄이는 기술이 제안되고 있다.

[0009] 그러나 STT-MRAM과 같은 비휘발성 메모리는 에스램에 비하여 읽기/쓰기 레이턴시가 긴 편이어서 이를 포함하는 FPGA를 이용하여 소프트 프로세서를 구현하는 경우 성능 저하를 극복해야 하는 문제가 있다.

[0010] 특히 소프트 프로세서에 포함되는 캐시 메모리의 경우 캐시 미스에 따라 성능 저하가 가중되므로 레이턴시가 긴 블록램(3)을 이용하여 캐시 메모리를 구현하는 경우에는 성능 저하 문제가 더욱 문제될 수 있다.

[0011] 이에 따라 전력 소모를 줄이면서도 성능 저하를 방지할 수 있는 캐시 메모리 장치와 이를 포함하는 FPGA 기술이 요구되고 있다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) KR 10-1474842 B1

(특허문헌 0002) KR 10-2014-0067819 A

발명의 내용

해결하려는 과제

[0013] 본 기술은 FPGA에서 읽기/쓰기 성능이 향상된 캐시 메모리 장치를 제공한다.

과제의 해결 수단

[0014] 본 발명의 일 실시예에 의한 캐시 메모리 장치는 셋 주소에 대응하는 다수의 웨이에 대한 태그 데이터를 포함하는 태그 메모리; 및 각각 셋 주소에 대응하는 다수의 웨이에 대한 데이터를 저장하는 다수의 데이터 메모리를 포함하되, 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이터를 분산하여 저장한다.

[0015] 본 발명의 일 실시예에 의한 FPGA는 다수의 블록램을 포함하는 FPGA로서, FPGA는 다수의 블록램을 이용하여 구현된 캐시 메모리 장치 및 캐시 메모리 장치를 제어하도록 구현된 소프트 프로세서 코어를 포함하되, 캐시 메모리 장치는 셋 주소에 대응하는 다수의 웨이에 대한 태그 데이터를 포함하는 태그 메모리; 및 각각 셋 주소에 대응하는 다수의 웨이에 대한 데이터를 저장하는 다수의 데이터 메모리를 포함하고, 다수의 데이터 메모리는 각각 동일한 셋과 동일한 웨이에 대응하는 다수의 워드 데이터를 분산하여 저장한다.

발명의 효과

[0016] 본 기술에서 STT-MRAM과 같은 비휘발성 메모리를 이용하여 블록램을 구현함으로써 에스램에 비하여 소비 전력을 낮추고 면적 대비 집적도를 높여 캐시 미스 확률을 낮출 수 있다.

[0017] 본 기술에 의한 캐시 메모리 장치는 동일한 셋 및 동일한 웨이에 대응하는 워드 데이터를 다수의 데이터 메모리에 분산시킴으로써 읽기 및 쓰기를 동시에 수행함으로써 캐시 메모리에 대한 읽기/쓰기 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0018] 도 1은 종래의 FPGA의 구조를 나타낸 블록도.

도 2는 본 발명의 일 실시예에 의한 FPGA에 포함되는 캐시 메모리 장치의 블록도.

도 3은 본 발명의 일 실시예에 의한 FPGA의 캐시 메모리 제어 동작을 나타낸 순서도.

발명을 실시하기 위한 구체적인 내용

[0019] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.

[0020] 도 2는 본 발명의 일 실시예에 의한 FPGA와 이에 포함된 캐시 메모리 장치의 블록도이다.

[0021] 본 발명의 일 실시예에 의한 FPGA(1000)는 소프트웨어 프로세서를 구현한다.

[0022] 이에 따라 이하에서는 FPGA 대신 소프트웨어 프로세서를 사용할 수 있다.

[0023] FPGA(1000)는 소프트웨어 프로세서 코어(200)와 캐시 메모리 장치(100)를 포함한다.

[0024] 소프트웨어 프로세서 코어(200)는 도 1에 도시된 바와 같이 다수의 CLB 등과 같이 FPGA 내부에 포함된 구성들을 이용하여 구현될 수 있다.

[0025] 소프트웨어 프로세서 코어(200)는 캐시 메모리 장치(100)를 제어한다.

[0026] FPGA(1000)는 외부 메모리 장치(20)에 대한 읽기/쓰기 동작을 제어하는 메모리 컨트롤러(300)를 더 포함한다.

[0027] 메모리 컨트롤러(300)는 소프트웨어 프로세서 코어(200)의 일부로 포함될 수도 있다.

[0028] 소프트웨어 프로세서 코어(200), 메모리 컨트롤러(300)를 구현하는 기술 자체는 종래의 기술로서 이하에서는 구체적으로 개시하지 않는다.

[0029] 소프트웨어 프로세서 코어(200)에서 캐시 메모리 장치(100)를 제어하는 구체적인 방법에 대해서는 도 3을 참조하여 아래에서 구체적으로 개시한다.

[0030] 본 발명의 일 실시예에 의한 캐시 메모리 장치(100)는 셋-연관(set-associative) 맵핑 기술을 사용한다.

[0031] 외부 메모리 장치에 대한 읽기 또는 쓰기 주소로부터 셋 번호, 태그 번호 및 워드 번호가 도출된다.

[0032] 셋 번호, 태그 번호, 워드 번호는 각각 셋 주소, 태그 주소 및 워드 주소로 지칭될 수 있다.

[0033] 본 발명의 일 실시예에 의한 캐시 메모리 장치(100)는 태그 메모리(110)와 다수의 데이터 메모리(120 - 150)를 포함한다.

[0034] 본 실시예에서 태그 메모리(110)와 다수의 데이터 메모리(120 - 150) 각각은 FPGA 내부의 서로 구별되는 블록램으로 구현될 수 있다.

[0035] 태그 메모리(110)는 셋 주소와 다수의 웨이 주소에 대응하는 다수의 태그 데이터를 저장한다.

[0036] 다수의 데이터 메모리(120-150) 각각은 동일한 셋 주소와 동일한 웨이 주소에 대응하는 다수의 워드 데이터를 저장한다.

[0037] 도 2는 하나의 셋에 대해서 2개의 웨이가 할당되고 하나의 웨이에 4개의 워드 데이터가 포함되는 경우를 예시한다.

[0038] 하나의 셋에 할당되는 웨이의 개수 및 하나의 웨이에 포함되는 워드 데이터의 개수는 실시예에 따라 달라질 수 있다.

- [0039] 본 실시예에서 워드는 소프트웨어(1000)의 데이터 처리 단위에 대응한다.
- [0040] 도 2에서 태그 메모리(110)의 (x,y)는 x번 셋의 y번 웨이를 나타내고 데이터 메모리(120)에서 (i,j,k)는 i번 셋의 j번 웨이의 k번 워드를 나타낸다. (x, i는 0이상 정수이고 y, j는 0 또는 1이고, k는 0, 1, 2 또는 3)
- [0041] 먼저 읽기 요청을 예로 들어 소프트웨어 코어(200)와 캐시 메모리 장치(100)의 동작을 설명한다.
- [0042] 소프트웨어 코어(200)에서 캐시 메모리 장치(100)에 읽기 명령 및 읽기 주소를 제공하면 읽기 주소로부터 셋 주소, 태그 주소가 자동으로 추출된다.
- [0043] 이후 셋 주소에 대응하는 데이터들이 각각 태그 메모리(110) 및 데이터 메모리(120-150)로부터 출력된다.
- [0044] 소프트웨어 코어(200)로부터 제공된 읽기 주소로부터 태그 주소 또한 자동으로 추출되는데 이를 태그 메모리(110)에서 출력된 태그 데이터와 비교하여 히트와 미스 여부를 판단할 수 있다.
- [0045] 태그 데이터는 더티 여부를 나타내는 더티 플래그, 유효 여부를 나타내는 유효 플래그를 더 포함할 수 있다.
- [0046] 도 2의 태그 메모리(110)에서 P는 잔여 공간을 채우기 위한 패딩 영역을 나타낸다.
- [0047] 본 실시예에서는 캐시 메모리 장치(100)가 2개의 웨이를 사용하는 것으로 가정한다.
- [0048] 캐시 메모리 장치(100)로 0번 셋, 0번 워드에 대한 읽기 요청이 있는 경우에 대해서 설명한다.
- [0049] 태그 메모리(110)에서는 0번 셋에 대응하는 0번 웨이의 태그 데이터와 1번 웨이의 태그 데이터가 출력된다.
- [0050] 또한 0번 워드를 저장하는 데이터 메모리(120)에서는 0번 셋, 0번 웨이의 0번 워드와 0번 셋, 1번 웨이의 0번 워드가 출력된다.
- [0051] 요청된 주소에서 태그 주소를 추출하고 이를 0번 웨이의 태그 데이터 및 1번 웨이의 태그 데이터와 각각 비교하여 히트가 발생한 웨이가 존재하는지 판단한다.
- [0052] 히트가 발생한 웨이의 0번 데이터를 읽기 요청에 대한 응답으로 제공할 수 있다.
- [0053] 본 발명에서 셋 번호와 워드 번호를 공유하는 다수의 워드 데이터들은 다수의 데이터 메모리(120 -150)의 너비가 허용되는 한에서 가능한 많은 웨이의 워드가 저장되도록 하는 것이 히트율을 높이는데 유리하다.
- [0054] 다수의 웨이를 이용하는 캐시 메모리 장치의 경우 다수의 워드 데이터가 적어도 둘 이상의 데이터 메모리에 분산될 수 있다.
- [0055] 보다 구체적으로 본 발명에서는 하나의 데이터 메모리에 셋 번호와 태그 번호를 공유하는 하나 이상의 워드 데이터가 할당될 수 있다.
- [0056] 도 2의 실시예에서 하나의 데이터 메모리는 셋 번호와 워드 번호를 공유하는 다수의 웨이 데이터가 할당된다.
- [0057] 즉 0번 또는 1번 웨이의 0번 워드는 데이터 메모리(120)에 할당되고, 1번 워드는 데이터 메모리(130)에 할당되고, 2번 워드는 데이터 메모리(140)에 할당되고, 3번 워드는 데이터 메모리(150)에 할당된다.
- [0058] 바람직하게는 동일한 셋과 동일한 웨이에 해당하는 하나의 워드는 하나의 데이터 메모리에 할당될 수 있으나 실시예에 따라서는 하나의 데이터 메모리에 2개 이상의 워드가 할당될 수도 있다.
- [0059] 이에 따라 일부 워드에 대한 읽기 요청 시에는 모든 데이터 메모리에서 데이터를 읽는 대신 읽기 대상이 되는 워드를 포함하는 데이터 메모리만 활성화시켜 데이터를 읽을 수도 있다.
- [0060] 즉 앞서 언급한 실시예의 경우 0번 셋, 0번 웨이의 0번 워드에 접근할 경우에는 데이터 메모리(120)만을 활성화시킬 수 있다.
- [0061] 다음으로 쓰기 요청을 예로 들어 소프트웨어 코어(200)와 캐시 메모리 장치(100)의 동작을 설명한다.
- [0062] 소프트웨어 코어(200)에서 캐시 메모리 장치(100)에 쓰기 명령 및 쓰기 주소를 제공하면 쓰기 주소로부터 셋 주소가 자동으로 추출된다.
- [0063] 이후 셋 주소에 대응하는 다수의 웨이에 대한 태그 데이터가 태그 메모리(110)에서 출력된다.
- [0064] 소프트웨어 코어(200)로부터 제공된 쓰기 주소로부터 태그 주소 또한 자동으로 추출되는데 이를 태그 메모리(110)에서 출력된 태그 데이터와 비교하여 히트와 미스 여부를 판단할 수 있다.

- [0065] 어느 하나의 웨이에서 히트가 발생한 경우 기록하고자 하는 워드를 대응하는 데이터 메모리의 대응하는 웨이에 저장한다.
- [0066] 이때 태그 데이터의 더티 플래그가 더티 상태가 아니면 더티 상태로 갱신되도록 태그 메모리(110)에 대한 쓰기 동작을 수행할 수 있다.
- [0067] 읽기 또는 쓰기 요청 시 캐시 메모리 장치(100)에서 캐시 미스가 발생하는 경우 빈 웨이에 외부 메모리 장치의 데이터를 저장하는 동작이 필요하다.
- [0068] 캐시 미스가 발생했는데 셋 주소에 대응하는 빈 웨이가 없는 경우 희생 웨이를 선택하고 더티 플래그를 참조하여 이를 추방한 후 새로운 데이터를 쓰거나 해당 웨이에 덮어 쓰기를 수행할 수 있다.
- [0069] 본 실시예에서는 태그 메모리(110)의 빈 웨이에 태그 번호를 저장하고, 이와 함께 외부 메모리 장치(20)에서 읽은 데이터를 워드 별로 분할하여 다수의 데이터 메모리(120 - 150)에 분산하여 저장한다.
- [0070] 다수의 워드에 대해서 데이터를 기록하는 경우 셋과 웨이 번호를 공유하는 다수의 워드가 여러 데이터 메모리에 분산되어 저장되어야 하므로 병렬적으로 쓰기 동작이 수행된다.
- [0071] 이를 통해 블록램이 STT-MRAM과 같이 쓰기 레이턴시가 긴 메모리 장치로 구현된 경우 쓰기 성능 저하를 방지할 수 있다.
- [0072] 도 3은 도 2의 FPGA의 동작을 나타낸 순서도이다.
- [0073] 먼저 캐시 메모리 장치에 요청된 주소를 분석하여 대응하는 셋 내의 모든 웨이에서 태그 메모리의 태그 데이터를 읽고 데이터 메모리에서 워드 데이터를 읽는다(S100).
- [0074] 이후 태그 데이터와 요청된 주소에서 추출된 태그를 비교하여 캐시 히트 여부를 판단한다(S110).
- [0075] 캐시 히트이면 쓰기 요청인지 판단한다(S120).
- [0076] 쓰기 요청이면 데이터 메모리에 데이터를 쓰고 태그 메모리의 대응하는 위치에서 더티 플래그를 갱신하고(S130) 종료한다.
- [0077] 읽기 요청이면 읽은 데이터를 소프트웨어 코어에 출력하고(S140) 종료한다.
- [0078] 단계(S110)에서 히트가 아니면 웨이를 선택한다(S150).
- [0079] 이때 웨이는 비어 있는 웨이이거나 비어 있지 않은 웨이 중 추방할 웨이로 선택된 웨이를 의미한다(S150).
- [0080] 이후 태그 데이터에서 더티 플래그를 확인하여 더티 여부를 판단한다(S160).
- [0081] 더티 플래그가 비활성화된 경우 외부 메모리 장치에 접근하고(S170) 읽은 데이터를 이용하여 데이터 메모리의 대응하는 셋, 웨이에 데이터를 저장하고 태그 메모리에 태그 데이터를 저장하고(S190) 종료한다.
- [0082] 단계(S160)에서 더티 상태인 경우 데이터 메모리에서 셋, 웨이에 대응하는 전체 워드를 읽어 외부 메모리에 저장한다(S180).
- [0083] 이후 단계(S170)로 진행하여 전술한 동작을 반복한다.
- [0084] 본 발명에서 블록램을 STT-MRAM과 같은 비휘발성 메모리 장치로 구현된다.
- [0085] 이는 종래의 에스램에 비하여 집적도가 높은 장점이 있다. 이에 따라 동일한 면적의 블록램을 구현하는 경우 캐시 메모리 장치의 용량이 증가한다.
- [0086] 캐시 메모리 장치의 용량이 증가하는 경우 캐시 히트율이 높아지므로 성능을 향상시킬 수 있음은 자명하다.
- [0087] 또한 비휘발성 메모리 장치를 이용하여 블록램을 구현하는 경우 종래의 에스램에 비하여 정전류 소모를 줄여 전력 소모를 줄일 수 있다.
- [0088] 본 발명에서는 동일한 셋, 동일한 웨이에 대응하는 다수의 워드 데이터를 다수의 데이터 메모리에 분산하여 배치함으로써 병렬적으로 읽기 쓰기 동작을 수행한다.
- [0089] 이에 따라 읽기/쓰기 속도가 종래에 비하여 향상되므로 STT-MRAM과 같이 소자의 속성상 쓰기 레이턴시가 나쁜 메모리 장치를 사용하는 경우에도 성능 저하를 줄일 수 있다.

[0090] 이상의 개시는 본 발명의 설명을 위한 것으로서 이상의 개시를 통해 본 발명의 권리범위를 제한하여 해석해서는 안된다.

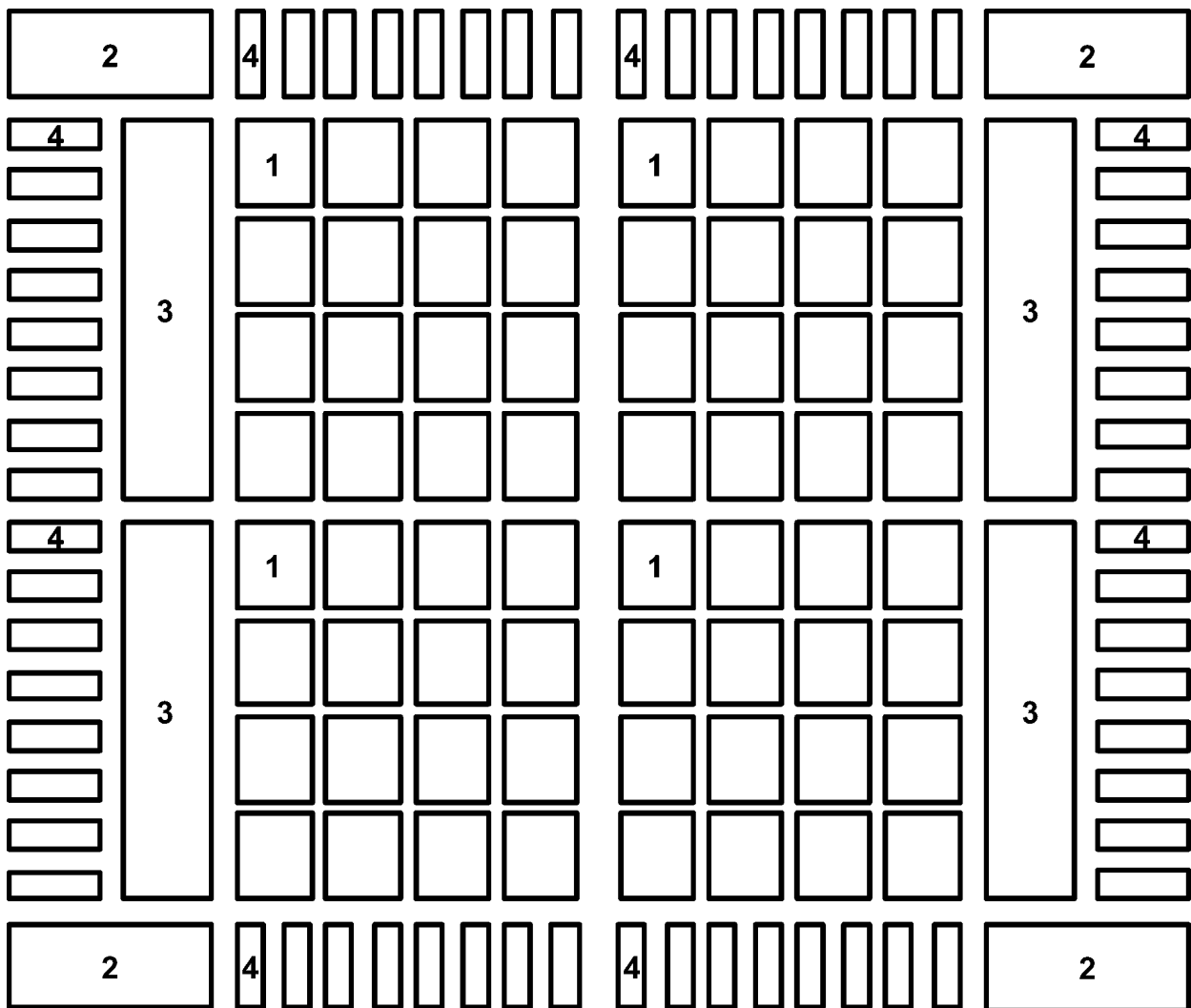
[0091] 본 발명의 권리범위는 특허청구범위에 문언적으로 기재된 범위와 그 균등범위로 정해질 수 있다.

부호의 설명

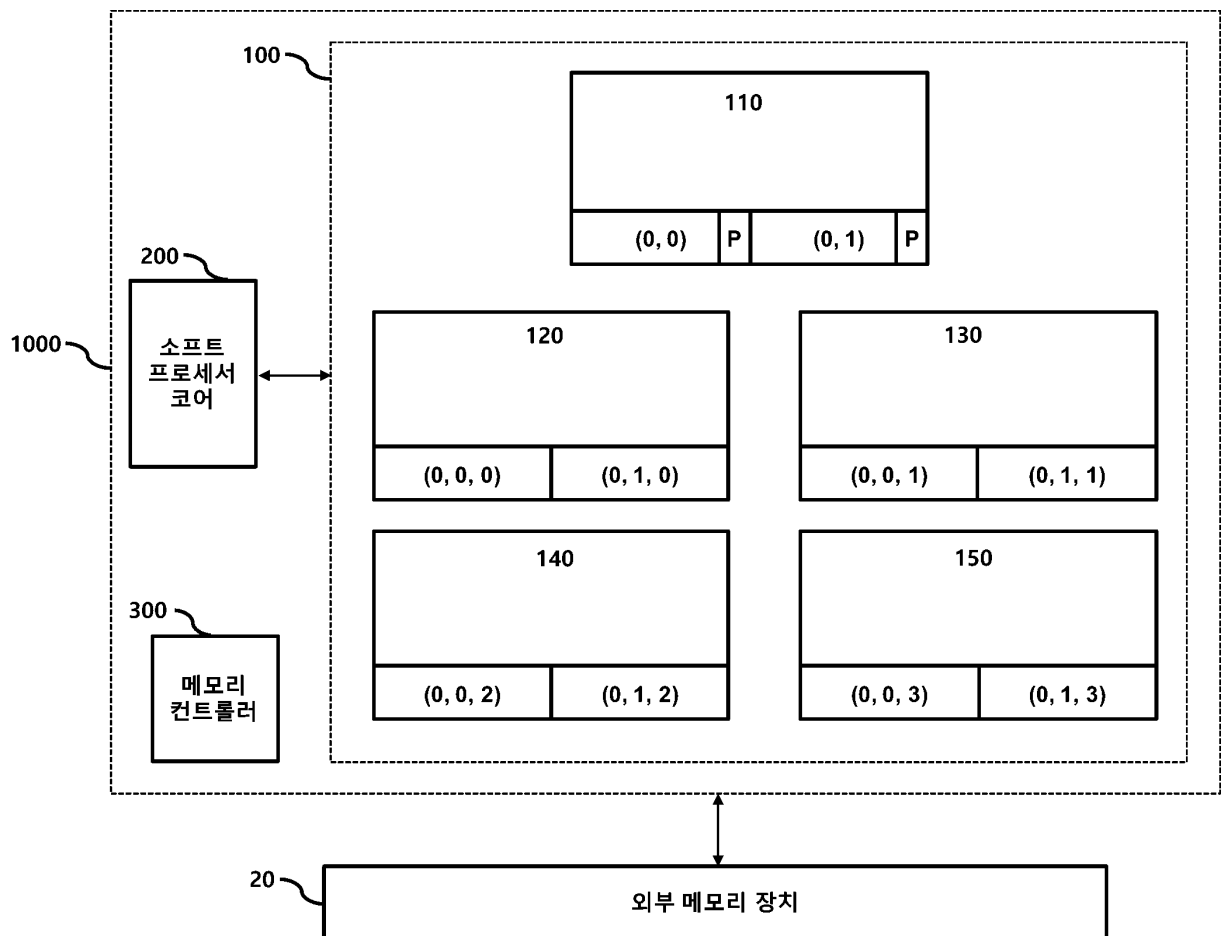
[0092] 20: 외부 메모리 장치
100: 캐시 메모리 장치
110: 태그 메모리
120 - 150: 데이터 메모리
200: 소프트웨어 프로세서 코어
300: 메모리 컨트롤러
1000: FPGA 또는 소프트웨어 프로세서

도면

도면1



도면2



도면3

