

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5714340号  
(P5714340)

(45) 発行日 平成27年5月7日(2015.5.7)

(24) 登録日 平成27年3月20日(2015.3.20)

(51) Int.Cl.

H01L 29/786 (2006.01)

F 1

H01L	29/78	6 1 8 B
H01L	29/78	6 1 6 S
H01L	29/78	6 1 6 T
H01L	29/78	6 1 6 U
H01L	29/78	6 1 6 V

請求項の数 5 (全 38 頁)

(21) 出願番号

特願2011-8133 (P2011-8133)

(22) 出願日

平成23年1月18日(2011.1.18)

(65) 公開番号

特開2011-171721 (P2011-171721A)

(43) 公開日

平成23年9月1日(2011.9.1)

審査請求日

平成25年12月23日(2013.12.23)

(31) 優先権主張番号

特願2010-12540 (P2010-12540)

(32) 優先日

平成22年1月22日(2010.1.22)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者

000153878 株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 郷戸 宏充

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 須沢 英臣

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 笹川 慎也

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

酸化物半導体層と、

前記酸化物半導体層と接する領域を有する第1の電極と、

前記酸化物半導体層と、前記第1の電極との間に位置する第1の絶縁層と、

前記酸化物半導体層と重なる領域を有する第2の電極と、

前記酸化物半導体層と、前記第2の電極との間に位置するゲート絶縁層とを有し、

前記第1の電極は、ソース電極又はドレイン電極の一方として機能する領域を有し、

前記第2の電極は、ゲート電極として機能する領域を有し、

前記第1の電極は、第1の導電層と、第2の導電層との積層構造を有し、

前記第2の導電層は、前記第1の導電層の端部よりチャネル長方向に伸長し、且つ前記第1の絶縁層を介して前記酸化物半導体層と重なる領域を有することを特徴とする半導体装置。

## 【請求項 2】

酸化物半導体層と、

前記酸化物半導体層と接する領域を有する第1の電極と、

前記酸化物半導体層と、前記第1の電極との間に位置する第1の絶縁層と、

前記酸化物半導体層と重なる領域を有する第2の電極と、

前記酸化物半導体層と、前記第2の電極との間に位置するゲート絶縁層とを有し、

前記第1の電極は、ソース電極又はドレイン電極の一方として機能する領域を有し、

前記第2の電極は、ゲート電極として機能する領域を有し、

10

20

前記第2の電極は、ゲート電極として機能する領域を有し、  
前記第1の電極は、第1の導電層と、第2の導電層との積層構造を有し、  
前記第2の導電層は、前記第1の導電層の端部よりチャネル長方向に伸長し、且つ前記第1の絶縁層を介して前記酸化物半導体層と重なる領域を有し、  
前記第2の導電層は、前記第1の導電層よりも高抵抗であることを特徴とする半導体装置。

**【請求項3】**

請求項1又は2において、

前記第1の導電層は、前記酸化物半導体層と接する領域を有さず、

前記第2の導電層は、前記酸化物半導体層と接する領域を有することを特徴とする半導体装置。 10

**【請求項4】**

請求項1乃至3のいずれか一において、

前記第2の導電層は、金属の窒化物を含むことを特徴とする半導体装置。

**【請求項5】**

請求項1乃至4のいずれか一において、

前記第1の絶縁層は、前記第1の電極の上面を覆って形成され、

前記第1の電極の側面は、前記酸化物半導体層と接する領域を有することを特徴とする半導体装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

発明の技術分野は、半導体装置に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子及び装置全般を指すものである。

**【背景技術】****【0002】**

金属酸化物は多様に存在し、さまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶表示装置などに必要とされる透明電極の材料として用いられている。

**【0003】**

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンクステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような金属酸化物をチャネル形成領域に用いた薄膜トランジスタが既に知られている（例えば、特許文献1乃至特許文献4、非特許文献1等参照）。

**【0004】**

ところで、金属酸化物には、一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモガス相を有する $InGaO_3(ZnO)_m$ （m：自然数）は、In、Ga及びZnを有する多元系酸化物半導体として知られている（例えば、非特許文献2乃至非特許文献4等参照）。

**【0005】**

そして、上記のようなIn-Ga-Zn系酸化物で構成される酸化物半導体も、薄膜トランジスタのチャネル形成領域に適用可能であることが確認されている（例えば、特許文献5、非特許文献5及び非特許文献6等参照）。

**【先行技術文献】****【特許文献】****【0006】**

**【特許文献1】**特開昭60-198861号公報

**【特許文献2】**特開平8-264794号公報

**【特許文献3】**特表平11-505377号公報

**【特許文献4】**特開2000-150900号公報

20

30

40

50

【特許文献 5】特開 2004 - 103957 号公報

【非特許文献】

【0007】

【非特許文献 1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cilleissen, J. B. Giesbers, R. P. Weening, and R. M. Wolf、「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652

【非特許文献 2】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the In<sub>2</sub>O<sub>3</sub>-Ga<sub>2</sub>ZnO<sub>4</sub>-ZnO System at 1350」、J. Solid State Chem., 1991, Vol. 93, p. 298-315 10

【非特許文献 3】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds, In<sub>2</sub>O<sub>3</sub>(ZnO)<sub>m</sub>(m = 3, 4, and 5), InGaO<sub>3</sub>(ZnO)<sub>3</sub>, and Ga<sub>2</sub>O<sub>3</sub>(ZnO)<sub>m</sub>(m = 7, 8, 9, and 16) in the In<sub>2</sub>O<sub>3</sub>-ZnGa<sub>2</sub>O<sub>4</sub>-ZnO System」、J. Solid State Chem., 1995, Vol. 116, p. 170-178 20

【非特許文献 4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO<sub>3</sub>(ZnO)<sub>m</sub>(m:自然数)とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

【非特許文献 5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE, 2003, Vol. 300, p. 1269-1272

【非特許文献 6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE, 2004, Vol. 432 p. 488-492 30

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、低価格化、などを達成するためには、トランジスタの微細化は必須である。

【0009】

トランジスタを微細化する場合には、製造工程において発生する不良が大きな問題となる。例えば、ソース電極及びドレイン電極と、チャネル形成領域とは電気的に接続されるが、微細化に伴う被覆性の低下などに起因して、断線や接続不良などが生じうる。

【0010】

また、トランジスタを微細化する場合には、短チャネル効果の問題も生じる。短チャネル効果とは、トランジスタの微細化(チャネル長(L)の縮小)に伴って顕在化する電気特性の劣化である。短チャネル効果は、ドレイン電極の電界の効果がソース電極にまでおよぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、S値の増大、漏れ電流の増大などがある。特に、酸化物半導体を用いたトランジスタは、室温においてシリコンを用いたトランジスタと比較してオフ電流が小さいことが知られて 40 50

おり、これは熱励起により生じるキャリアが少ない、つまりキャリア密度が小さいためと考えられる。このようなキャリア密度が小さい材料を用いたトランジスタでは、しきい値電圧の低下などの短チャネル効果が現れやすい傾向にある。

【0011】

そこで、開示する発明の一態様は、不良を抑制しつつ微細化を達成した半導体装置の提供を目的の一とする。または、良好な特性を維持しつつ微細化を達成した半導体装置の提供を目的の一とする。

【課題を解決するための手段】

【0012】

開示する発明の一態様は、酸化物半導体層と、酸化物半導体層と接するソース電極及びドレイン電極と、酸化物半導体層と重なるゲート電極と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層と、を有し、ソース電極またはドレイン電極は、第1の導電層と、第1の導電層の端部よりチャネル長方向に伸長した領域を有する第2の導電層と、を含む半導体装置である。10

【0013】

上記の半導体装置において、第1の導電層及び第2の導電層はテーパー形状であるのが好ましい。

【0014】

また、上記の半導体装置において、第2の導電層の領域の上にサイドウォール絶縁層を有するのが好ましい。20

【0015】

また、開示する発明の別の一態様は、酸化物半導体層と、酸化物半導体層と接するソース電極及びドレイン電極と、酸化物半導体層と重なるゲート電極と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層と、を有し、ソース電極及びドレイン電極は、第1の導電層と、第1の導電層よりも高抵抗である第2の導電層と、を含み、第2の導電層において、酸化物半導体層と接する半導体装置である。

【0016】

また、開示する発明の別の一態様は、酸化物半導体層と、酸化物半導体層と接するソース電極及びドレイン電極と、酸化物半導体層と重なるゲート電極と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層と、を有し、ソース電極及びドレイン電極は、第1の導電層と、第1の導電層よりも高抵抗である第2の導電層と、を含み、第2の導電層及び第1の導電層において、酸化物半導体層と接する半導体装置である。30

【0017】

また、上記の半導体装置において、第2の導電層は、金属の窒化物であるのが好ましい。

【0018】

また、上記の半導体装置において、第2の導電層の膜厚は5nm乃至15nmであるのが好ましい。

【0019】

また、開示する発明の別の一態様は、チャネル形成領域を含む酸化物半導体層と、チャネル形成領域と接するソース電極及びドレイン電極と、チャネル形成領域と重なるゲート電極と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層と、を有し、ソース電極及びドレイン電極において、酸化物半導体層のチャネル形成領域と接する領域は、その他の領域よりも高抵抗である半導体装置である。40

【0020】

また、上記の半導体装置において、ソース電極またはドレイン電極は、その端部において酸化物半導体層と接し、かつ、ソース電極またはドレイン電極と、酸化物半導体層との間に絶縁層を有するのが好ましい。

【0021】

ここで半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。例えば、表示装置や記憶装置、集積回路などは半導体装置に含まれうる。50

**【0022】**

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

**【0023】**

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合をなどをも含む。10

**【0024】**

また、「ソース電極」や「ドレイン電極」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース電極」や「ドレイン電極」の用語は、入れ替えて用いることができるものとする。

**【0025】**

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。20 例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

**【発明の効果】****【0026】**

開示する発明の一態様によって、以下のいずれか、または双方の効果を得ることが可能である。

**【0027】**

第一に、ソース電極及びドレイン電極を第1の導電層と第2の導電層の積層構造として、第2の導電層に、第1の導電層の端部よりチャネル長方向に伸長した領域を設けることで、ソース電極及びドレイン電極上に半導体層を形成する際の被覆性が向上する。このため、接続不良などの発生が抑制される。30

**【0028】**

第二に、ソース電極またはドレイン電極において、チャネル形成領域と接する領域の近傍を高抵抗領域とすることで、ソース電極とドレイン電極の間の電界を緩和することができる。このため、しきい値電圧低下などの短チャネル効果を抑制することができる。

**【0029】**

このような効果により、微細化に伴う問題点が解消されることになるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、トランジスタを用いた半導体装置の占める面積が小さくなり、基板あたりの半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、半導体装置が小型化されるため、同程度の大きさでさらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。40

**【0030】**

このように、開示する発明の一態様によって、不良を抑制しつつ、または、良好な特性を維持しつつ、微細化を達成した半導体装置を提供することができる。

**【図面の簡単な説明】**

## 【0031】

- 【図1】半導体装置の断面図。  
 【図2】半導体装置の作製工程に係る断面図。  
 【図3】半導体装置の作製工程に係る断面図。  
 【図4】半導体装置の断面図。  
 【図5】半導体装置の作製工程に係る断面図。  
 【図6】半導体装置の回路図の例。  
 【図7】半導体装置の回路図の例。  
 【図8】半導体装置の回路図の例。  
 【図9】電子機器の例。

10

【図10】計算に用いたトランジスタのモデルを示す断面図。

【図11】チャネル長 $L$ (nm)としきい値電圧のシフト量 $V_{th}$ (V)との関係を示す図。

【図12】チャネル長 $L$ (nm)としきい値電圧のシフト量 $V_{th}$ (V)との関係を示す図。

【図13】チャネル長 $L$ (nm)としきい値電圧のシフト量 $V_{th}$ (V)との関係を示す図。

## 【発明を実施するための形態】

## 【0032】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

20

## 【0033】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

## 【0034】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

30

## 【0035】

## (実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成及びその作製工程の例について、図1乃至図3を参照して説明する。

## 【0036】

## 半導体装置の構成例

図1(A)乃至図1(D)に、半導体装置の例として、トランジスタの断面構造を示す。図1(A)乃至図1(D)では、開示する発明の一態様に係るトランジスタとして、トップゲート型のトランジスタを示している。

## 【0037】

図1(A)に示すトランジスタ160は、基板100上に、第1の導電層142a及び第2の導電層145aが順に積層されたソース電極と、第1の導電層142b及び第2の導電層145bが順に積層されたドレイン電極と、ソース電極上に設けられた絶縁層143aと、ドレイン電極上に設けられた絶縁層143bと、絶縁層143a及び絶縁層143b上に設けられた酸化物半導体層144と、酸化物半導体層144上に設けられたゲート絶縁層146と、ゲート絶縁層146上に設けられたゲート電極148と、を有している。

40

## 【0038】

図1(A)に示すトランジスタ160において、第2の導電層145aは、第1の導電層142aの端部よりチャネル長方向(キャリアの流れる方向)に伸長した領域を有してお

50

り、第2の導電層145aと酸化物半導体層144の少なくともチャネル形成領域とは接している。また、第2の導電層145bは、第1の導電層142bの端部よりチャネル長方向に伸長した領域を有しており、第2の導電層145bと酸化物半導体層144の少なくともチャネル形成領域とは接している。

#### 【0039】

より具体的には、第2の導電層145aは、第1の導電層142aの端部よりチャネル長方向(キャリアの流れる方向)にドレイン電極に向かって伸長した領域を有している。また、第2の導電層145bは、第1の導電層142bの端部よりチャネル長方向にソース電極に向かって伸長した領域を有している。

#### 【0040】

図1(B)に示すトランジスタ170と、図1(A)に示すトランジスタ160との相違の一は、絶縁層143a、143bの有無である。図1(B)に示すトランジスタ170は、第2の導電層145a及び第2の導電層145bの上面及び端部に接するように、酸化物半導体層144が設けられている。

#### 【0041】

図1(B)に示すトランジスタ170においても、トランジスタ160と同様に、第2の導電層145aは、第1の導電層142aの端部よりチャネル長方向に伸長した領域を有しており、第2の導電層145bは、第1の導電層142bの端部よりチャネル長方向に伸長した領域を有している。

#### 【0042】

図1(C)に示すトランジスタ180と、図1(A)に示すトランジスタ160との相違の一は、第1の導電層142a及び第2の導電層145aの積層順、及び第1の導電層142b及び第2の導電層145bの積層順である。図1(C)に示すトランジスタ180は、第2の導電層145a及び第1の導電層142aが順に積層されたソース電極と、第2の導電層145b及び第1の導電層142bが順に積層されたドレイン電極と、を有している。

#### 【0043】

また、図1(C)に示すトランジスタ180において、第2の導電層145aは、第1の導電層142aの端部よりチャネル長方向に伸長した領域を有しており、第2の導電層145bは、第1の導電層142bの端部よりチャネル長方向に伸長した領域を有している。したがって、絶縁層143aは、第2の導電層145aにおいて第1の導電層142aの端部よりチャネル長方向に伸長した領域と、第1の導電層142aと、に接して設けられている。また、絶縁層143bは、第2の導電層145bにおいて第1の導電層142bの端部よりチャネル長方向に伸長した領域と、第1の導電層142bと、に接して設けられている。

#### 【0044】

図1(D)に示すトランジスタ190と、図1(C)に示すトランジスタ180との相違の一は、絶縁層143a、143bの有無である。図1(D)に示すトランジスタ190では、第1の導電層142aと、第1の導電層142bと、第2の導電層145aにおいて第1の導電層142aの端部よりチャネル長方向に伸長した領域と、第2の導電層145bにおいて第1の導電層142bの端部よりチャネル長方向に伸長した領域と、に接して酸化物半導体層144が設けられている。

#### 【0045】

図1(D)に示すトランジスタ190において、第2の導電層145aは、第1の導電層142aの端部よりチャネル長方向に伸長した領域を有しており、第2の導電層145aと酸化物半導体層144の少なくともチャネル形成領域とは接している。また、第2の導電層145bは、第1の導電層142bの端部よりチャネル長方向に伸長した領域を有しており、第2の導電層145bと酸化物半導体層144の少なくともチャネル形成領域とは接している。

#### 【0046】

10

20

30

40

50

### トランジスタの作製工程の例

以下、図2及び図3を用いて、図1に示すトランジスタの作製工程の例について説明する。

#### 【0047】

##### トランジスタ160またはトランジスタ170の作製工程

まず、図2(A)乃至図2(F)を用いて、図1(A)に示すトランジスタ160の作製工程の一例について説明する。なお、図1(B)に示すトランジスタ170は、絶縁層143a、143bを設けないこと以外は、トランジスタ160の作製工程を参照することができるため、詳細な記載を省略する。

#### 【0048】

絶縁表面を有する基板100上に第1の導電膜を形成し、該導電膜を選択的にエッチングして、第1の導電層142a、142bを形成する(図2(A)参照)。第1の導電膜の膜厚は、例えば、50nm乃至500nmとする。

#### 【0049】

なお、基板100に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板など基板を用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することも可能であり、これらの基板上に半導体素子が設けられていてもよい。また、基板100上に下地膜が設けられていても良い。

#### 【0050】

第1の導電膜は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、第1の導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素やこれらの窒化物、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニア、ベリリウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、またはこれらを複数組み合わせた材料を用いてもよい。

#### 【0051】

第1の導電膜は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、第1の導電膜を単層構造とする場合には、テーパー形状を有するソース電極及びドレイン電極への加工が容易であるというメリットがある。

#### 【0052】

また、第1の導電膜は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )、酸化亜鉛( $ZnO$ )、酸化インジウム酸化スズ合金( $In_2O_3 - SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金( $In_2O_3 - ZnO$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

#### 【0053】

第1の導電膜のエッチングは、形成される第1の導電層142a及び第1の導電層142bの端部が、テーパー形状となるように行なうことが好ましい。ここで、テーパー角 $\theta$ 及び $\alpha$ は、それぞれ基板面に対して第1の導電層142a及び第1の導電層142bの端部の側面のなす角であり、例えば $30^\circ$ 以上 $60^\circ$ 以下であることが好ましい(図2(A)参照)。

#### 【0054】

次に、第1の導電層142a、142b、及び基板100を覆うように、第2の導電膜1

10

20

30

40

50

45を形成する。第2の導電膜145の膜厚は、3nm乃至30nm、好ましくは5nm乃至15nmとする。

#### 【0055】

第2の導電膜145は、第1の導電膜と同様の材料、同様の成膜方法で形成することができる。つまり、第2の導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素やこれらの窒化物、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、またはこれらを複数組み合わせた材料を用いてもよい。また、酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )、酸化亜鉛( $ZnO$ )、酸化インジウム酸化スズ合金( $In_2O_3-SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金( $In_2O_3-ZnO$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させた導電性の金属酸化物を用いても良い。10

#### 【0056】

なお、第2の導電膜145の材料として、第1の導電層142a、142bよりも高抵抗な材料を用いることが好ましい。作製されるトランジスタ160のソース電極及びドレイン電極において、酸化物半導体層のチャネル形成領域と接する領域が、他の領域よりも高抵抗となることで、ソース電極とドレイン電極の間の電界を緩和して短チャネル効果を抑制することができるためである。第2の導電膜145に用いる導電材料としては、例えば、窒化チタン、窒化タングステン、窒化タンタル、または窒化モリブデン等の金属窒化物を好ましく用いることができる。また、第2の導電膜145はソース電極またはドレイン電極の一部となり酸化物半導体層と接するから、第2の導電膜145には、酸化物半導体層との接触により化学反応しない材料を用いるのが望ましい。上述の金属窒化物は、この点においても好適である。20

#### 【0057】

次いで、第2の導電膜145上に、絶縁膜143を膜厚50nm乃至300nm、好ましくは、100nm乃至200nmで形成する(図2(A)参照)。本実施の形態においては、絶縁膜143として、酸化シリコン膜を形成するものとする。なお、図1(B)においてトランジスタ170で示したように、絶縁膜143は必ずしも形成しなくてもよい。しかし、絶縁膜143を設ける場合には、後に形成されるソース電極またはドレイン電極と、酸化物半導体層との接觸領域(接觸面積など)の制御が容易になる。つまり、ソース電極またはドレイン電極の抵抗の制御が容易になり、短チャネル効果の抑制を効果的に行うことができる。また、絶縁膜143を設けることにより、後に形成されるゲート電極と、ソース電極及びドレイン電極との間の寄生容量を低減することが可能である。30

#### 【0058】

次いで、絶縁膜143上にマスクを形成し、該マスクを用いて絶縁膜143をエッティングすることにより、絶縁層143a、143bを形成する(図2(B)参照)。絶縁膜143のエッティングには、ウェットエッティングまたはドライエッティングを用いることができ、ウェットエッティングとドライエッティングを組み合わせて用いてもよい。絶縁膜を所望の形状にエッティングできるよう、材料に合わせてエッティング条件(エッティングガスやエッティング液、エッティング時間、温度等)を適宜設定するものとする。ただし、トランジスタのチャネル長(L)を微細に加工するためには、ドライエッティングを用いるのが好ましい。ドライエッティングに用いるエッティングガスとしては、例えば、六フッ化硫黄( $SF_6$ )、三フッ化窒素( $NF_3$ )、トリフルオロメタン( $CHF_3$ )などのフッ素を含むガス、又は、四フッ化炭素( $CF_4$ )と水素の混合ガス等を用いることができ、希ガス(ヘリウム( $He$ )、アルゴン( $Ar$ )、キセノン( $Xe$ ))、一酸化炭素、又は二酸化炭素等を添加しても良い。40

#### 【0059】

次いで、絶縁膜143のエッティングに用いたマスクを用いて、第2の導電膜145をエッ50

チングすることにより、第2の導電層145a、145bを形成する(図2(C)参照)。なお、第2の導電膜145をエッティングする前にマスクを除去し、絶縁層143a及び絶縁層143bをマスクとして用いて第2の導電膜145をエッティングしても良い。また、図1(B)のトランジスタ170で示したように、絶縁層を設けない場合は、第2の導電膜145上に直接マスクを形成して第2の導電膜をエッティングすればよい。また、第2の導電膜145のエッティングは、第2の導電層145a及び第2の導電層145bの端部がテーパー形状となるように行なうことが好ましい。絶縁膜143を設ける場合は、絶縁層143a及び絶縁層143bの端部も同様にテーパー形状となるように行なうことが好ましい。ここで、テーパー角 $\theta_2$ 及び $\theta_2$ は、それぞれ基板面に対して第2の導電層145a、第2の導電層145b、絶縁層143a、及び絶縁層143bの端部の側面のなす角であり、例えば $30^\circ$ 以上 $60^\circ$ 以下であることが好ましい。10

#### 【0060】

第2の導電膜145のエッティングには、ウェットエッティングまたはドライエッティングを用いることができ、ウェットエッティングとドライエッティングを組み合わせて用いてもよい。所望の形状にエッティングできるよう、材料に合わせてエッティング条件(エッティングガスやエッティング液、エッティング時間、温度等)を適宜設定するものとする。ただし、トランジスタのチャネル長(L)を微細に加工するためには、ドライエッティングを用いるのが好ましい。第2の導電膜145のエッティングに用いるエッティングガスとしては、例えば、塩素(Cl<sub>2</sub>)、三塩化ホウ素(BCl<sub>3</sub>)、四塩化ケイ素(SiCl<sub>4</sub>)、四フッ化炭素(CF<sub>4</sub>)六フッ化硫黄(SF<sub>6</sub>)、三フッ化窒素(NF<sub>3</sub>)等を用いることができ、これらのうちから複数を選択した混合ガスを用いてもよい。また、希ガス(ヘリウム(He)、アルゴン(Arg))、又は酸素等を添加しても良い。また、第2の導電膜145のエッティングは絶縁膜143のエッティングと同じガスを用いて連続的に行なうことも可能である。20

#### 【0061】

このエッティング工程によって、第1の導電層142a及び第2の導電層145aが積層したソース電極と、第1の導電層142b及び第2の導電層145bが積層したドレイン電極とが形成される。エッティングに用いるマスクを適宜調整することで、第1の導電層142aの端部よりチャネル長方向に伸長した領域を有する第2の導電層145a、または、第1の導電層142bの端部よりチャネル長方向に伸長した領域を有する第2の導電層145bを形成することができる。30

#### 【0062】

なお、トランジスタ160のチャネル長(L)は、第2の導電層145aの下端部と第2の導電層145bの下端部との間隔によって決定される。チャネル長(L)は、トランジスタ160の用途によって異なるが、例えば10nm乃至1000nm、好ましくは20nm乃至400nmとすることができる。

#### 【0063】

なお、チャネル長(L)が25nm未満のトランジスタを形成する場合、絶縁膜143及び第2の導電膜145のエッティングに用いるマスク形成の露光を行なう際には、数nm~數10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、十分に小さくすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。40

#### 【0064】

また、第2の導電層において、第1の導電層の端部よりチャネル長方向に伸長した領域は、後の酸化物半導体層及びゲート絶縁層形成工程において、被覆性を向上させる効果を奏する。第2の導電層145aにおいて、第1の導電層142aの端部よりチャネル長方向に伸長した領域のチャネル長方向の長さ(L<sub>s</sub>)と、第2の導電層145bにおいて、第1の導電層142bの端部よりチャネル長方向に伸長した領域のチャネル長方向の長さ(L<sub>d</sub>)と、は必ずしも同一ではない。しかし、例えばトランジスタ160を同一基板上に50

複数設ける場合、各トランジスタにおける $L_s$ と $L_d$ との合計の値は略一定となる。

#### 【0065】

次に、絶縁層143a、143b、及び基板100上に、酸化物半導体層144をスパッタ法によって形成する(図2(D)参照)。酸化物半導体層144の膜厚は、例えば、3nm乃至30nm、好ましくは5nm乃至15nmとする。形成された酸化物半導体層144は、第2の導電層145a及び第2の導電層145bと少なくともチャネル形成領域において接している。

#### 【0066】

ここで、第2の導電層145a、145bが、第1の導電層142a、142bの端部よりもチャネル長方向に伸長した領域を有することで、ソース電極及びドレイン電極の端部における段差を緩やかなものとすることができる。このため、酸化物半導体層144の被覆性を向上させ、段切れを防止することが可能である。10

#### 【0067】

なお、作製されるトランジスタ160のソース電極及びドレイン電極は、第2の導電層145a及び第2の導電層145bの端部においてのみ、酸化物半導体層144と接している。これにより、ソース電極及びドレイン電極の上面においても酸化物半導体層と接する場合と比較して、その接触面積を大幅に低減することができる。このように、ソース電極及びドレイン電極と、酸化物半導体層144との接触面積を低減することで、接触界面におけるコンタクト抵抗を増大させることができ、ソース電極とドレイン電極の間の電界を緩和することができる。なお、開示する発明の技術思想は、ソース電極及びドレイン電極に高抵抗な領域を形成することにあるので、ソース電極及びドレイン電極は、厳密に第2の導電層145a及び第2の導電層145bの端部においてのみ酸化物半導体層144と接する必要はない。例えば、第2の導電層145a及び第2の導電層145bは、上面の一部において、酸化物半導体層144と接していても良い。20

#### 【0068】

酸化物半導体層144は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、一元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などを用いて形成することができる。30

#### 【0069】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

#### 【0070】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、 $In_{m}GaO_3$ (ZnO)<sub>m</sub>( $m > 0$ 、 $m$ :非自然数)で表記されるものがある。また、Gaに代えてMを用い、 $In_{m}MO_3$ (ZnO)<sub>m</sub>( $m > 0$ 、 $m$ :非自然数)のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、Ga及びAl、Ga及びFe、Ga及びNi、Ga及びMn、Ga及びCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。40

#### 【0071】

酸化物半導体層144をスパッタ法で作製するためのターゲットとしては、 $In_xGa_x:Zn = 1:x:y$ (xは0以上、yは0.5以上5以下)の組成式で表されるものを用いるのが好適である。例えば、 $In_2O_3:Ga_2O_3:ZnO = 1:1:2$ [mol数比]の組成比を有する金属酸化物ターゲットなどを用いることができる。また、 $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ [mol数比]の組成比を有する金属酸化物ターゲッ50

トや、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$  [mol数比]の組成比を有する金属酸化物ターゲットや、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 0 : 2$  [mol数比]の組成比を有する金属酸化物ターゲットを用いることもできる。

#### 【0072】

本実施の形態では、非晶質構造の酸化物半導体層144を、In-Ga-Zn-O系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

#### 【0073】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層144を形成することが可能である。

10

#### 【0074】

酸化物半導体層144の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下（好ましくは濃度10ppb以下）にまで除去された高純度ガス雰囲気を用いるのが好適である。

#### 【0075】

酸化物半導体層144の形成の際には、例えば、減圧状態に保持された処理室内に被処理物（ここでは、基板100を含む構造体）を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層144の形成の際の被処理物の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層144を形成する。被処理物を熱しながら酸化物半導体層144を形成することにより、酸化物半導体層144に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層144中の不純物濃度を低減できる。

20

#### 【0076】

酸化物半導体層144の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素（酸素100%）雰囲気、またはアルゴン（アルゴン100%）雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層144の膜厚は、例えば、3nm乃至30nm、好ましくは5nm乃至15nmとする。このような厚さの酸化物半導体層144を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

30

#### 【0077】

なお、酸化物半導体層144をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば絶縁層143a、143bの表面）の付着物を除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させることを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

40

50

## 【0078】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層144中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、または400以上500以下とする。

## 【0079】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

10

## 【0080】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、LRTA ( Lamp Rapid Thermal Anneal ) 装置、GRTA ( Gas Rapid Thermal Anneal ) 装置等のRTA ( Rapid Thermal Anneal ) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

20

## 【0081】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えてても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

30

## 【0082】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N ( 99.9999% ) 以上、好ましくは7N ( 99.99999% ) 以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

## 【0083】

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体層144を形成することで、極めて優れた特性のトランジスタを実現することができる。

40

## 【0084】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

## 【0085】

次に、酸化物半導体層144に接するゲート絶縁層146を形成する（図2(E)参照）。ここで、第2の導電層145a、145bが、第1の導電層142a、142bの端部よりもチャネル長方向に伸長した領域を有することで、ソース電極及びドレイン電極の端部における段差を緩やかなものとすることができます。このため、ゲート絶縁層146の被

50

覆性を向上させ、段切れを防止することが可能である。

#### 【0086】

ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0))、窒素が添加されたハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0))、窒素が添加されたハフニウムアルミネート(HfAl<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0))、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。  
10

#### 【0087】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0))、窒素が添加されたハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0))、窒素が添加されたハフニウムアルミネート(HfAl<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0))、などの高誘電率(high-k)材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。  
20

#### 【0088】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、好ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。  
30

#### 【0089】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせてても良いし、第2の熱処理に第1の熱処理を兼ねさせてても良い。

#### 【0090】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その主成分以外の不純物が極力含まれないように高純度化することができる。これにより、酸化物半導体層144中の水素濃度を、 $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下、好ましくは $5 \times 10^{18}$  atoms/cm<sup>3</sup>以下、より好ましくは $5 \times 10^{17}$  atoms/cm<sup>3</sup>以下とすることができる。また、酸化物半導体層144のキャリア密度を、一般的なシリコンウェハにおけるキャリア密度( $1 \times 10^{14} / \text{cm}^3$ 程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満)とすることができます。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ160の室温でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は、 $100 \text{ zA} / \mu\text{m}$ (1zA(ゼプトアンペア)は $1 \times 10^{-21} \text{ A}$ )以下、好ましくは、 $10 \text{ zA} / \mu\text{m}$ 以下となる。  
40

#### 【0091】

次に、ゲート絶縁層 146 上において酸化物半導体層 144 のチャネル形成領域と重畳する領域にゲート電極 148 を形成する(図 2(F) 参照)。ゲート電極 148 は、ゲート絶縁層 146 上に導電膜を形成した後に、当該導電膜を選択的にエッチングすることによって形成することができる。ゲート電極 148 となる導電膜は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極またはドレイン電極などの場合と同様であり、これらの記載を参酌できる。ただし、ゲート電極 148 の材料の仕事関数が酸化物半導体層 144 の電子親和力と同程度またはそれより小さいと、トランジスタを微細化した場合に、そのしきい値電圧がマイナスにシフトすることがある。よって、ゲート電極 148 には、酸化物半導体層 144 の電子親和力より大きい仕事関数を有する材料を用いるのが好ましい。このような材料としては、例えば、タンゲステン、白金、金、p 型の導電性を付与したシリコンなどがある。

## 【0092】

以上により、酸化物半導体層 144 を用いたトランジスタ 160 が完成する。

## 【0093】

トランジスタ 180 またはトランジスタ 190 の作製工程

次いで、図 3(A) 乃至 (F) を用いて、図 1(C) に示すトランジスタ 180 の作製工程の一例について説明する。なお、図 1(D) に示すトランジスタ 190 は、絶縁層 143a、143b を有しない以外は、トランジスタ 180 の作製工程を参照することができるため、詳細な記載を省略する。

## 【0094】

基板 100 上に、第 2 の導電膜 145 を成膜する。第 2 の導電膜 145 の膜厚は、3 nm 乃至 30 nm、好ましくは 5 nm 乃至 15 nm とする。次いで、第 2 の導電膜 145 上に第 1 の導電膜を形成し、該第 1 の導電膜を選択的にエッチングして、第 1 の導電層 142a、142b を形成する。その後、第 1 の導電層 142a、142b、及び第 2 の導電膜 145 上に、絶縁膜 143 を形成する(図 3(A) 参照)。

## 【0095】

なお、第 2 の導電膜上に第 1 の導電膜を成膜する場合には、第 2 の導電膜と第 1 の導電膜は、エッチングの選択比がとれる材料をそれぞれ選択するものとする。また、第 2 の導電膜は、第 1 の導電膜よりも高抵抗な材料を用いることが好ましい。本実施の形態においては、第 2 の導電膜 145 として窒化チタン膜を形成し、第 1 の導電膜としてタンゲステン膜またはモリブデン膜を形成し、四フッ化炭素 (CF<sub>4</sub>) と塩素 (Cl<sub>2</sub>) と酸素 (O<sub>2</sub>) との混合ガス、四フッ化炭素 (CF<sub>4</sub>) と酸素 (O<sub>2</sub>) の混合ガス、六フッ化硫黄 (SF<sub>6</sub>) と塩素 (Cl<sub>2</sub>) と酸素 (O<sub>2</sub>) の混合ガス、または、六フッ化硫黄 (SF<sub>6</sub>) と酸素 (O<sub>2</sub>) との混合ガスを用いて第 1 の導電膜をエッチングすることで、第 1 の導電層 142a、142b を形成するものとする。

## 【0096】

また、図 1(D) においてトランジスタ 190 で示したように、絶縁膜 143 は必ずしも形成しなくてもよいが、絶縁膜 143 を設けることにより、後に形成されるゲート電極と、ソース電極及びドレイン電極と、の間の寄生容量を低減することが可能である。

## 【0097】

次いで、図 2(B) で示した工程と同様に、絶縁膜 143 上にマスクを形成し、該マスクを用いて絶縁膜 143 をエッチングすることにより、絶縁層 143a、143b を形成する(図 3(B) 参照)。

## 【0098】

次いで、図 2(C) で示した工程と同様に、絶縁層 143a 及び絶縁層 143b のエッチングに用いたマスクを用いて第 2 の導電膜 145 をエッチングすることにより、第 2 の導電層 145a、145b を形成する(図 3(C) 参照)。なお、第 2 の導電膜 145 をエッチングする前にマスクを除去し、絶縁層 143a 及び絶縁層 143b をマスクとして用いて第 2 の導電膜 145 をエッチングしても良い。第 2 の導電膜 145 のエッチングに用いるエッチングガスとしては、例えば、塩素 (Cl<sub>2</sub>)、三塩化ホウ素 (BCl<sub>3</sub>)、四

10

20

30

40

50

塩化ケイ素 (SiCl<sub>4</sub>)、四フッ化炭素 (CF<sub>4</sub>) 六フッ化硫黄 (SF<sub>6</sub>)、三フッ化窒素 (NF<sub>3</sub>) 等を用いることができ、これらのうちから複数を選択した混合ガスを用いてもよい。また、希ガス (ヘリウム (He)、アルゴン (Ar)) を添加しても良い。また、図1 (D) のトランジスタ190で示したように、絶縁層を設けない場合は、第2の導電膜145上に直接マスクを形成して第2の導電膜をエッチングすればよい。

#### 【0099】

次いで、図2 (D) で示した工程と同様に、絶縁層143a、143b、及び基板100上に、酸化物半導体層144をスパッタ法によって形成する (図3 (D) 参照)。形成された酸化物半導体層144は、第2の導電層145a及び第2の導電層145bと少なくともチャネル形成領域において接している。また、酸化物半導体層144に対しては、熱処理 (第1の熱処理) を行うことが望ましい。  
10

#### 【0100】

次いで、図2 (E) で示した工程と同様に、酸化物半導体層144に接するゲート絶縁層146を形成する (図3 (E) 参照)。ゲート絶縁層146の形成後には、熱処理 (第2の熱処理) を行うのが望ましい。

#### 【0101】

次いで、図2 (F) で示した工程と同様に、ゲート絶縁層146上において酸化物半導体層144のチャネル形成領域と重畠する領域にゲート電極148を形成する (図3 (F) 参照)。  
20

#### 【0102】

以上により、酸化物半導体層144を用いたトランジスタ180が完成する。

#### 【0103】

本実施の形態において示すトランジスタ160、170、180、190では、第1の導電層及び第2の導電層が積層されたソース電極及びドレイン電極を含み、第2の導電層145a、145bは、第1の導電層142a、142bの端部よりもチャネル長方向に伸長した領域を有する。これによって、ソース電極及びドレイン電極の端部における段差を緩やかなものとすることができるため、酸化物半導体層144及びゲート絶縁層146の被覆性を向上し、接続不良の発生を抑制することができる。

#### 【0104】

また、本実施の形態において示すトランジスタ160、170、180、190では、ソース電極またはドレイン電極において、チャネル形成領域と接する領域の近傍を高抵抗領域としてすることで、ソース電極とドレイン電極の間の電界を緩和することができ、トランジスタサイズの縮小に伴う短チャネル効果を抑制することができる。  
30

#### 【0105】

このように、開示する発明の一態様では、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、トランジスタを用いた半導体装置の占める面積が小さくなるため、基板あたりの半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、半導体装置が小型化されるため、同程度の大きさでさらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。  
40

#### 【0106】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0107】

##### (実施の形態2)

本実施の形態では、実施の形態1とは異なる、開示する発明の一態様に係る半導体装置の構成及びその作製工程について、図4及び図5を参照して説明する。  
50

## 【0108】

## 半導体装置の構成例

図4に示すトランジスタ280は、半導体装置の構成の例である。トランジスタ280は、図1(C)に示すトランジスタ180と積層順が対応している。トランジスタ280とトランジスタ180の相違点は、第2の導電層245aの第1の導電層242aの端部からチャネル長方向に伸長した領域の上にサイドウォール絶縁層252aが設けられ、第2の導電層245bの、第1の導電層242bの端部からチャネル長方向に伸長した領域の上にサイドウォール絶縁層252bが設けられている点である。

## 【0109】

図4に示すトランジスタ280は、基板200上に、第2の導電層245a及び第1の導電層242aが順に積層されたソース電極と、第2の導電層245b及び第1の導電層242bが順に積層されたドレイン電極と、ソース電極上に設けられた絶縁層243aと、ドレイン電極上に設けられた絶縁層243bと、絶縁層243a及び絶縁層243b上に設けられた酸化物半導体層244と、酸化物半導体層244上に設けられたゲート絶縁層246と、ゲート絶縁層246上に設けられたゲート電極248と、を有している。10

## 【0110】

図4に示すトランジスタ280において、第2の導電層245aは、第1の導電層242aの端部からチャネル長方向に伸長した領域を有しており、第2の導電層245aと酸化物半導体層244の少なくともチャネル形成領域とは接している。また、第2の導電層245bは、第1の導電層242bの端部からチャネル長方向に伸長した領域を有しており、第2の導電層245bと酸化物半導体層244の少なくともチャネル形成領域とは接している。20

## 【0111】

より具体的には、第2の導電層245aは、第1の導電層242aの端部よりチャネル長方向(キャリアの流れる方向)にドレイン電極に向かって伸長した領域を有している。また、第2の導電層245bは、第1の導電層242bの端部よりチャネル長方向にソース電極に向かって伸長した領域を有している。

## 【0112】

さらに、図4に示すトランジスタ280は、第2の導電層245aにおいて、第1の導電層242aの端部からチャネル長方向に伸長した領域上に、サイドウォール絶縁層252aを有し、第2の導電層245bにおいて、第1の導電層242bの端部からチャネル長方向に伸長した領域の上に、サイドウォール絶縁層252bを有している。サイドウォール絶縁層252aは、酸化物半導体層244の少なくともチャネル形成領域、第2の導電層245a、第1の導電層242a、及び絶縁層243aに接して設けられている。また、サイドウォール絶縁層252aにおいて、酸化物半導体層244と接する領域の少なくとも一部は湾曲形状を有している。サイドウォール絶縁層252bは、酸化物半導体層244の少なくともチャネル形成領域、第2の導電層245b、第1の導電層242b、及び絶縁層243bに接して設けられている。また、サイドウォール絶縁層252bにおいて、酸化物半導体層244と接する領域の少なくとも一部は湾曲形状を有している。30

## 【0113】

## トランジスタ280の作製工程の例

次に、上記トランジスタ280の作製工程の例について、図5(A)乃至(F)を参照して説明する。

## 【0114】

まず、基板200上に第2の導電膜245を形成する。次いで、第2の導電膜245上に、第1の導電膜242を形成し、該第1の導電膜242上に絶縁膜243を形成する(図5(A)参照)。

## 【0115】

ここで、基板200は、実施の形態1で示した基板100と同様の材料を用いることができる。また、第2の導電膜245は、実施の形態1で示した第2の導電膜145と同様の50

材料、成膜方法を用いて形成することができる。また、第1の導電膜242は、実施の形態1で示した第1の導電膜と同様の材料、成膜方法を用いて形成することができる。以上の詳細については、実施の形態1の記載を参照することができる。

#### 【0116】

ただし、第1の導電膜242と、第2の導電膜245とは、エッチング選択比が確保される材料を用いる。本実施の形態においては、第2の導電膜245として窒化チタン膜を形成し、第1の導電膜242としてタンゲステン膜またはモリブデン膜を形成するものとする。

#### 【0117】

次いで、絶縁膜243上にマスクを形成し、該マスクを用いて絶縁膜243をエッチングすることにより、絶縁層243a、243bを形成する。絶縁膜243のエッチングには、ウェットエッチングまたはドライエッチングを用いることができ、ウェットエッチングとドライエッチングを組み合わせて用いてもよい。絶縁膜を所望の形状にエッチングできるよう、材料に合わせてエッティング条件(エッティングガスやエッティング液、エッティング時間、温度等)を適宜設定するものとする。ただし、トランジスタのチャネル長(L)を微細に加工するためには、ドライエッティングを用いるのが好ましい。ドライエッティングに用いるエッティングガスとしては、例えば、六フッ化硫黄(SF<sub>6</sub>)、三フッ化窒素(NF<sub>3</sub>)、トリフルオロメタン(CHF<sub>3</sub>)などのフッ素を含むガス、又は、四フッ化炭素(CF<sub>4</sub>)と水素の混合ガス等を用いることができ、希ガス(ヘリウム(He)、アルゴン(Ar)、キセノン(Xe))、一酸化炭素、又は二酸化炭素等を添加しても良い。

#### 【0118】

次いで、絶縁膜243のエッティングに用いたマスクを用いて、第1の導電膜242をエッティングすることにより、第1の導電層242a、242bを形成する(図5(B)参照)。なお、第1の導電膜242をエッティングする際には、第2の導電膜245とのエッティングの選択比が確保されるエッティング材料を用いる。また、第1の導電膜242をエッティングする前にマスクを除去し、絶縁層243a及び絶縁層243bをマスクとして用いて第1の導電膜242をエッティングしても良い。

#### 【0119】

本実施の形態においては、第1の導電膜242をエッティングするためのエッティングガスとして四フッ化炭素(CF<sub>4</sub>)と塩素(Cl<sub>2</sub>)と酸素(O<sub>2</sub>)との混合ガス、四フッ化炭素(CF<sub>4</sub>)と酸素(O<sub>2</sub>)の混合ガス、六フッ化硫黄(SF<sub>6</sub>)と塩素(Cl<sub>2</sub>)と酸素(O<sub>2</sub>)との混合ガス、または、六フッ化硫黄(SF<sub>6</sub>)と酸素(O<sub>2</sub>)との混合ガスを用いるものとする。

#### 【0120】

絶縁層243a、絶縁層243bを設けることで、後に形成されるソース電極及びドレイン電極と、酸化物半導体層との接触領域(接触面積など)の制御が容易になる。つまり、ソース電極及びドレイン電極の抵抗の制御が容易になり、短チャネル効果の抑制を効果的に行うことができる。また、絶縁層243a、絶縁層243bを設けることにより、後に形成されるゲート電極と、ソース電極及びドレイン電極との間の寄生容量を低減することが可能である。

#### 【0121】

次に、絶縁層243a、243b、及び、露出した第2の導電膜245を覆うように絶縁膜252を形成する(図5(C)参照)。絶縁膜252は、CVD法やスパッタリング法を用いて形成することができる。また、絶縁膜252は、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウムなどを含むように形成するのが好適である。また、絶縁膜252は、単層構造としても良いし、積層構造としても良い。

#### 【0122】

次に、第2の導電膜245の露出した領域(第1の導電層242aと第1の導電層242bの間の領域)上に、サイドウォール絶縁層252a、252bを形成する(図5(D)参照)。サイドウォール絶縁層252a、252bは、絶縁膜252に異方性の高いエッ

10

20

30

40

50

チング処理を行うことで、自己整合的に形成することができる。ここで、異方性の高いエッティングとしては、ドライエッティングが好ましく、例えば、エッティングガスとして、トリフルオロメタン(  $\text{CHF}_3$  )などのフッ素を含むガスを用いることができ、ヘリウム( He )やアルゴン( Ar )などの希ガスを添加しても良い。さらに、ドライエッティングとして、基板に高周波電圧を印加する、反応性イオンエッティング法( RIE 法)を用いるのが好ましい。

#### 【 0 1 2 3 】

次に、サイドウォール絶縁層 252a、252b をマスクとして第 2 の導電膜 245 を選択的にエッティングし、第 2 の導電層 245a、245b を形成する( 図 5 ( E ) 参照 )。このエッティング工程によって、第 2 の導電層 245a 及び第 1 の導電層 242a が積層したソース電極と、第 2 の導電層 245b 及び第 1 の導電層 242b が積層したドレイン電極とが形成される。なお、第 2 の導電膜 245 のエッティングは、サイドウォール絶縁層 252a、252b をマスクとして用いること以外は、実施の形態 1 で図 2 ( C ) を用いて示した方法と同様の方法で行うことができる。

#### 【 0 1 2 4 】

トランジスタ 280 のチャネル長( L )は、第 2 の導電層 245a の下端部と第 2 の導電層 245b の下端部との間隔によって決定される。チャネル長( L )は、トランジスタ 280 の用途によって異なるが、例えば 10 nm 乃至 1000 nm 、好ましくは 20 nm 乃至 400 nm とすることができる。

#### 【 0 1 2 5 】

なお、本実施の形態で示すトランジスタの作製工程では、サイドウォール絶縁層 252a または 252b を用いて第 2 の導電膜 245 をエッティングしている。このため、第 2 の導電層 245a において、第 1 の導電層 242a の端部からチャネル長方向に伸長した領域のチャネル長方向の長さ(  $L_s$  )と、サイドウォール絶縁層 252a の底面におけるチャネル長方向の長さは略一致している。同様に、第 2 の導電層 245b において、第 1 の導電層 242b の端部からチャネル長方向に伸長した領域のチャネル長方向の長さ(  $L_d$  )と、サイドウォール絶縁層 252b の底面におけるチャネル長方向の長さは略一致している。サイドウォール絶縁層 252a、252b は、絶縁膜 252 のエッティング処理によって自己整合的に形成されるため、上記(  $L_s$  )または(  $L_d$  )は、絶縁膜 252 の膜厚によって決定される。つまり、絶縁膜 252 の膜厚を制御することで、トランジスタ 280 のチャネル長( L )を微細に調整することができる。例えば、トランジスタ 280 のチャネル長( L )を、マスク形成のための露光装置の最小加工寸法より微細に調整することもできる。このため、トランジスタ 280 の所望のチャネル長( L )及び、第 1 の導電層 242a、242b の加工に用いる露光装置の解像度等に応じて、絶縁膜 252 の膜厚を決定すればよい。

#### 【 0 1 2 6 】

次に、絶縁層 243a、243b、サイドウォール絶縁層 252a、252b を覆い、且つ、第 2 の導電層 245a 及び第 2 の導電層 245b に接するように酸化物半導体層 244 を形成し、酸化物半導体層 244 上にゲート絶縁層 246 を形成する。その後、ゲート絶縁層 246 上において、トランジスタ 280 のチャネル形成領域となる領域と重畠する領域にゲート電極 248 を形成する( 図 5 ( F ) 参照 )。

#### 【 0 1 2 7 】

酸化物半導体層 244 は、実施の形態 1 で示した酸化物半導体層 144 と同様の材料、方法により形成することができる。また、酸化物半導体層 244 に対しては、熱処理( 第 1 の熱処理 )を行うことが望ましい。詳細については、実施の形態 1 の記載を参酌することができる。

#### 【 0 1 2 8 】

ゲート絶縁層 246 は、実施の形態 1 で示したゲート絶縁層 146 と同様の材料、方法により形成することができる。また、ゲート絶縁層 246 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で熱処理( 第 2 の熱処理 )を行うのが望ましい。詳細については

10

20

30

40

50

、実施の形態 1 の記載を参照することができる。

【 0 1 2 9 】

ゲート電極 248 は、ゲート絶縁層 246 上に導電膜を形成した後に、当該導電膜を選択的にエッティングすることによって形成することができる。ゲート電極 248 は、実施の形態 1 で示したゲート電極 148 と同様の材料、方法により形成することができる。

【 0 1 3 0 】

なお、トランジスタ 280 のソース電極は、第 2 の導電層 245a において、第 1 の導電層 242a の端部よりもチャネル長方向に伸長した領域の端部で、酸化物半導体層 244 と接している。また、ドレイン電極は、第 2 の導電層 245b において、第 1 の導電層 242b の端部よりもチャネル長方向に伸長した領域の端部で、酸化物半導体層 244 と接している。このように、第 1 の導電層 242a、242b よりも膜厚の小さい第 2 の導電層 245a、245b の端部において酸化物半導体層 244 と接することで、ソース電極及びドレイン電極と酸化物半導体層 244との接触面積を低減することができるため、接触界面におけるコンタクト抵抗を増大させることができる。したがって、トランジスタ 280 のチャネル長 (L) を短くしても、ソース電極とドレイン電極の間の電界を緩和して短チャネル効果を抑制することができる。加えて、第 2 の導電層を第 1 の導電層よりも高抵抗な材料を用いて作製すると、より効果的にコンタクト抵抗を高めることができるために、好ましい。なお、開示する発明の技術思想は、ソース電極及びドレイン電極に高抵抗な領域を形成することにあるので、ソース電極及びドレイン電極は、厳密に第 2 の導電層 245a 及び第 2 の導電層 245b の端部においてのみ酸化物半導体層 244 と接する必要はない。

10

【 0 1 3 1 】

以上により、酸化物半導体層 244 を用いたトランジスタ 280 を作製することができる。

【 0 1 3 2 】

本実施の形態に示すトランジスタ 280 のチャネル長 (L) は、サイドウォール絶縁層 252a、252b を形成するための絶縁膜 252 の膜厚によって微細に制御することができる。よって、該絶縁膜 252 の膜厚を適宜設定することにより、トランジスタ 280 のチャネル長 (L) を縮小し、容易に半導体装置の微細化を図ることができる。

20

【 0 1 3 3 】

本実施の形態に示すトランジスタ 280 は、第 2 の導電層 245a において、第 1 の導電層 242a の端部からチャネル長方向に伸長した領域、及び、第 2 の導電層 245b において、第 1 の導電層 242b の端部からチャネル長方向に伸長した領域に、サイドウォール絶縁層 252a 及びサイドウォール絶縁層 252b がそれぞれ設けられる。これにより、酸化物半導体層 244、ゲート絶縁層 246 の被覆性を向上し、接続不良などの発生を抑制することができる。

30

【 0 1 3 4 】

さらに、本実施の形態に示すトランジスタ 280 は、第 2 の導電層 245a に第 1 の導電層 242a の端部からチャネル長方向に伸長した領域を設け、且つ、第 2 の導電層 245b に第 1 の導電層 242b の端部からチャネル長方向に伸長した領域を設けて、酸化物半導体層 244 のチャネル形成領域と接する領域の近傍を高抵抗領域とする。これにより、ソース電極とドレイン電極の間の電界を緩和して、しきい値電圧低下などの短チャネル効果を抑制することができる。

40

【 0 1 3 5 】

このように、開示する発明の一態様では、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、トランジスタを用いた半導体装置の占める面積が小さくなるため、基板あたりの半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、半導体装置が小型化されるため、同程度の大きさでさらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小

50

による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。

#### 【0136】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0137】

##### (実施の形態3)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図6を参考して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

10

#### 【0138】

図6(A-1)に示す半導体装置において、第1の配線(1st Line)とトランジスタ300のソース電極とは、電気的に接続され、第2の配線(2nd Line)とトランジスタ300のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ310のソース電極またはドレイン電極の一方とは、電気的に接続され、第4の配線(4th Line)と、トランジスタ310のゲート電極とは、電気的に接続されている。そして、トランジスタ300のゲート電極と、トランジスタ310のソース電極またはドレイン電極の他方は、容量素子320の電極の一方と電気的に接続され、第5の配線(5th Line)と、容量素子320の電極の他方は電気的に接続されている。

20

#### 【0139】

ここで、トランジスタ310には、実施の形態1及び実施の形態2の酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ310をオフ状態とすることでき、トランジスタ300のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子320を有することにより、トランジスタ300のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

30

#### 【0140】

なお、トランジスタ300については特に限定されない。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

#### 【0141】

また、図6(B)に示すように、容量素子320を設けない構成とすることも可能である。

#### 【0142】

図6(A-1)に示す半導体装置では、トランジスタ300のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

40

#### 【0143】

はじめに、情報の書き込み及び保持について説明する。まず、第4の配線の電位を、トランジスタ310がオン状態となる電位にして、トランジスタ310をオン状態とする。これにより、第3の配線の電位が、トランジスタ300のゲート電極、及び容量素子320に与えられる。すなわち、トランジスタ300のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電位を与える電荷を電荷Q\_L、高電位を与える電荷を電荷Q\_Hという)のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ310がオフ状態となる電位にして、トランジスタ310をオフ状態とすることにより、トランジスタ300のゲート電極

50

に与えられた電荷が保持される（保持）。

【0144】

トランジスタ310のオフ電流は極めて小さいから、トランジスタ300のゲート電極の電荷は長時間にわたって保持される。

【0145】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ300のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ300をnチャネル型とすると、トランジスタ300のゲート電極に $Q_H$ が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、トランジスタ300のゲート電極に $Q_L$ が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。<sup>10</sup>ここで、見かけのしきい値電圧とは、トランジスタ300を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、トランジスタ300のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 $Q_H$ が与えられていた場合には、第5の配線の電位が $V_0$  ( $> V_{th\_H}$ ) となれば、トランジスタ300は「オン状態」となる。 $Q_L$ が与えられていた場合には、第5の配線の電位が $V_0$  ( $< V_{th\_L}$ ) となつても、トランジスタ300は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0146】

20

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さないようにするには、各メモリセル間でトランジスタ300がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ300が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を与えればよい。また、各メモリセル間でトランジスタ300がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ300が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。<sup>30</sup>

【0147】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込み及び保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ310がオン状態となる電位にして、トランジスタ310をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ300のゲート電極及び容量素子320に与えられる。その後、第4の配線の電位を、トランジスタ310がオフ状態となる電位にして、トランジスタ310をオフ状態とすることにより、トランジスタ300のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0148】

30

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0149】

40

なお、トランジスタ310のソース電極またはドレイン電極は、トランジスタ300のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ310のソース電極またはドレイン電極とトランジスタ300のゲート電極が電気的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。ト

50

ランジスタ310がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ310のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ310のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ310により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

#### 【0150】

例えば、トランジスタ310の室温でのオフ電流が $10 \text{ zA}$ ( $1 \text{ zA}$ (ゼプトアンペア))は $1 \times 10^{-21} \text{ A}$ 以下であり、容量素子320の容量値が $10 \text{ fF}$ 程度である場合には、少なくとも $10^4$ 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

10

#### 【0151】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

#### 【0152】

図6(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗及び容量を含むものとして、図6(A-2)のように考えることが可能である。つまり、図6(A-2)では、トランジスタ300及び容量素子320が、それぞれ、抵抗及び容量を含んで構成されると考えていることになる。R1及びC1は、それぞれ、容量素子320の抵抗値及び容量値であり、抵抗値R1は、容量素子320を構成する絶縁層による抵抗値に相当する。また、R2及びC2は、それぞれ、トランジスタ300の抵抗値及び容量値であり、抵抗値R2はトランジスタ300がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。

20

#### 【0153】

トランジスタ310がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、トランジスタ310のゲートリークが十分に小さい条件において、R1及びR2が、 $R_1 > ROS$ (R1はROS以上)、 $R_2 > ROS$ (R2はROS以上)を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ310のオフ電流によって決定されることになる。

30

#### 【0154】

逆に、当該条件を満たさない場合には、トランジスタ310のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ310のオフ電流以外のリーク電流(例えば、ソース電極とゲート電極の間に生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

40

#### 【0155】

一方で、C1とC2は、 $C_1 < C_2$ (C1はC2以上)の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際(例えば、読み出しの際)に、第5の配線の電位の変動を低く抑えることができるためである。

#### 【0156】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1及びR2は、トランジスタ300のゲート絶縁層や容量素子320の絶縁層によつて

50

制御される。C1及びC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

#### 【0157】

本実施の形態で示す半導体装置においては、フローティングゲート部FGが、フラッシュメモリ等のフローティングゲート型のトランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部FGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。10

#### 【0158】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界( $10^4 \sim 10^5$ 回程度)という別の問題も生じる。

#### 【0159】

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。20

#### 【0160】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性及び信頼性を有することになる。

#### 【0161】

また、高電界が不要であり、大型の周辺回路(昇圧回路など)が不要である点も、フラッシュメモリに対するアドバンテージである。

#### 【0162】

なお、容量素子320を構成する絶縁層の比誘電率 $r_1$ と、トランジスタ300においてゲート容量を構成する絶縁層の比誘電率 $r_2$ とを異ならせる場合には、容量素子320を構成する絶縁層の面積 $S_1$ と、トランジスタ300においてゲート容量を構成する絶縁層の面積 $S_2$ とが、 $2 \cdot S_2 = S_1$ ( $2 \cdot S_2$ は $S_1$ 以上)(望ましくは $S_2 = S_1$ ( $S_2$ は $S_1$ 以上))を満たしつつ、 $C_1 = C_2$ ( $C_1$ は $C_2$ 以上)を実現することが容易である。すなわち、 $S_1$ を小さくしつつ、 $C_1$ を $C_2$ 以上とすることが容易である。具体的には、例えば、容量素子320を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して $r_1$ を10以上、好ましくは15以上とし、トランジスタ300においてゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$ とすることができます。30

#### 【0163】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

#### 【0164】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるるのはいうまでもない。

#### 【0165】

以上示したように、開示する発明の一態様の半導体装置は、オフ状態でのソース電極とドレイン電極間のリーク電流(オフ電流)が少ない書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不50

揮発性のメモリセルを有している。

**【 0 1 6 6 】**

書き込み用トランジスタのオフ電流は、使用時の温度（例えば、25℃）で  $100\text{ zA}$  ( $1 \times 10^{-19}\text{ A}$ ) 以下、好ましくは  $10\text{ zA}$  ( $1 \times 10^{-20}\text{ A}$ ) 以下、さらに好ましくは、 $1\text{ zA}$  ( $1 \times 10^{-21}\text{ A}$ ) 以下である。通常のシリコン半導体では、上述のように低いオフ電流を得ることは困難であるが、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用トランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

**【 0 1 6 7 】**

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイング値（S値）が小さいため、比較的移動度が低くてもスイッチング速度を十分大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、フローティングゲート部FGに与えられる書き込みパルスの立ち上がりを極めて急峻にできる。また、オフ電流が小さいため、フローティングゲート部FGに保持させる電荷量を少なくすることが可能である。つまり、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用いることで、情報の書き換えを高速に行うことができる。

**【 0 1 6 8 】**

読み出し用トランジスタとしては、オフ電流についての制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

**【 0 1 6 9 】**

メモリセルへの情報の書き込みは、書き込み用トランジスタをオン状態とすることにより、書き込み用トランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方と、読み出し用トランジスタのゲート電極とが電気的に接続されたフローティングゲート部FGに電位を供給し、その後、書き込み用トランジスタをオフ状態とすることにより、フローティングゲート部FGに所定量の電荷を保持させることで行う。ここで、書き込み用トランジスタのオフ電流は極めて小さいため、フローティングゲート部FGに供給された電荷は長時間にわたって保持される。オフ電流が例えば実質的に0であれば、従来のDRAMで必要とされたリフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低く（例えば、一ヶ月乃至一年に一度程度）することが可能となり、半導体装置の消費電力を十分に低減することができる。

**【 0 1 7 0 】**

また、メモリセルへの再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。また、従来のフローティングゲート型トランジスタで書き込みや消去の際に必要とされた高い電圧を必要としないため、半導体装置の消費電力をさらに低減することができる。本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものと最小のものの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下である。

**【 0 1 7 1 】**

開示する発明に係る半導体装置に配置されるメモリセルは、書き込み用トランジスタと、読み出し用トランジスタと、容量素子とを少なくとも含んでいればよく、また、容量素子の面積は小さくても動作可能である。したがって、メモリセルあたりの面積を、例えば、1メモリセルあたり6つのトランジスタを必要とするSRAMと比較して、十分に小さくすることが可能であり、半導体装置においてメモリセルを高密度で配置することができる。

**【 0 1 7 2 】**

10

20

30

40

50

また、従来のフローティングゲート型トランジスタでは、書き込み時にゲート絶縁膜（トンネル絶縁膜）中を電荷が移動するために、該ゲート絶縁膜（トンネル絶縁膜）の劣化が不可避であった。しかしながら、本発明の一態様に係るメモリセルにおいては、書き込み用トランジスタのスイッチング動作により情報の書き込みがなされるため、ゲート絶縁膜の劣化の問題がない。これは、原理的な書き込み回数の制限が存在せず、書き換え耐性が極めて高いことを意味するものである。例えば、本発明の一態様に係るメモリセルは、 $1 \times 10^9$  回（10億回）以上の書き込み後であっても、電流 - 電圧特性に劣化が見られない。

#### 【0173】

さらに、メモリセルの書き込み用トランジスタとして酸化物半導体を用いたトランジスタを用いる場合、酸化物半導体は一般にエネルギーギャップが大きく（例えば、In-Ga-Zn-O系の場合  $3.0 \sim 3.5$  eV）熱励起キャリアが極めて少ないこともあり、例えば、150 °C の高温環境下でもメモリセルの電流 - 電圧特性に劣化が見られない。

#### 【0174】

本発明者らは、鋭意研究の結果、酸化物半導体を用いたトランジスタは、150 °C の高温であっても特性の劣化を起こさず、且つ 150 °C でのオフ電流が  $100 \mu A$  以下と極めて小さいという優れた特性を有することを見出した。本実施の形態では、このような優れた特性を有するトランジスタをメモリセルの書き込み用トランジスタとして適用し、従来にない特徴を有する半導体装置を提供するものである。

#### 【0175】

開示する発明の一態様により、酸化物半導体を用いたトランジスタにおいて、不良を抑制しつつ、または良好な特性を維持しつつ、微細化を達成することができる。そして、このようなトランジスタを用いることにより、上述のような優れた記憶装置を、高度に集積化することができるのである。

#### 【0176】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0177】

##### （実施の形態4）

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図7及び図8を用いて説明する。

#### 【0178】

図7(A)及び図7(B)は、図6(A-1)に示す半導体装置（以下、メモリセル400とも記載する）を複数用いて形成される半導体装置の回路図である。図7(A)は、メモリセル400が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図7(B)は、メモリセル400が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

#### 【0179】

図7(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、m本の第2信号線S2、m本のワード線WLと、複数のメモリセル400(1,1)～400(m,1)が、縦m個(行)×横1個(列)に配置されている。なお、図7(A)では、ソース線SL及びビット線BLを1本ずつ有する構成となっているが、これに限られない。ソース線SL及びビット線BLをn本有することで、縦m個(行)×横n個(列)のメモリセルアレイを有する構成としてもよい。

#### 【0180】

各メモリセル400において、トランジスタ300のゲート電極と、トランジスタ310のソース電極またはドレイン電極の一方と、容量素子320の電極の一方とは、電気的に接続されている。また、第1信号線S1とトランジスタ310のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ310のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子320の電極の

10

20

30

40

50

他方は電気的に接続されている。

**【0181】**

また、メモリセル400が有するトランジスタ300のソース電極は、隣接するメモリセル400のトランジスタ300のドレイン電極と電気的に接続され、メモリセル400が有するトランジスタ300のドレイン電極は、隣接するメモリセル400のトランジスタ300のソース電極と電気的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル400が有するトランジスタ300のドレイン電極は、ビット線と電気的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル400が有するトランジスタ300のソース電極は、ソース線と電気的に接続される。

10

**【0182】**

図7(A)に示す半導体装置では、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ310がオン状態となる電位を与え、書き込みを行う行のトランジスタ310をオン状態にする。これにより、指定した行のトランジスタ300のゲート電極に第1の信号線S1の電位が与えられ、該トランジスタ300のゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

**【0183】**

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ300のゲート電極に与えられた電荷によらず、トランジスタ300がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ300をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ300のゲート電極が有する電荷によって、トランジスタ300のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL - ビット線BL間の複数のトランジスタ300は、読み出しを行う行を除いてオン状態となっているため、ソース線SL - ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ300の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ300のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

20

**【0184】**

図7(B)に示す半導体装置は、n本のソース線SL、ビット線BL及び第1信号線S1と、m本の第2信号線S2及びワード線WLと、複数のメモリセル400(1、1)~400(m、n)が、縦m個(行)×横n個(列)のマトリクス状に配置されたメモリセルアレイ410を有する。各トランジスタ300のゲート電極と、トランジスタ310のソース電極またはドレイン電極の一方と、容量素子320の電極の一方とは、電気的に接続されている。また、ソース線SLとトランジスタ300のソース電極とは、電気的に接続され、ビット線BLとトランジスタ300のドレイン電極とは、電気的に接続されている。また、第1信号線S1とトランジスタ310のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ310のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子320の電極の他方は電気的に接続されている。

30

**【0185】**

図7(B)に示す半導体装置では、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は、上述の図7(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ300のゲート電極に与えられた電荷によらず、トランジスタ300がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ300をオフ状態とする。それから、

40

50

、読み出しを行う行のワード線 W L に、トランジスタ 300 のゲート電極が有する電荷によって、トランジスタ 300 のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線 S L に定電位を与え、ビット線 B L に接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線 S L - ビット線 B L 間のコンダクタンスは、読み出しを行う行のトランジスタ 300 の状態（オン状態またはオフ状態）によって決定される。つまり、読み出しを行う行のトランジスタ 300 のゲート電極が有する電荷によって、ビット線 B L の電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

## 【0186】

10

なお、上記においては、各メモリセル 400 に保持させる情報量を 1 ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。トランジスタ 300 のゲート電極に与える電位を 3 以上用意して、各メモリセル 400 が保持する情報量を増加させても良い。例えば、トランジスタ 300 のゲート電極にあたえる電位を 4 種類とする場合には、各メモリセルに 2 ビットの情報を保持させることができる。

## 【0187】

次に、図 7 に示す半導体装置などに用いることができる読み出し回路の一例について図 8 を用いて説明する。

## 【0188】

20

図 8 ( A ) には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

## 【0189】

読み出し時には、端子 A は読み出しを行うメモリセルが接続されたビット線に接続される。また、トランジスタのゲート電極にはバイアス電位 V bias が印加され、端子 A の電位が制御される。

## 【0190】

メモリセル 400 は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル 400 のトランジスタ 300 がオン状態の場合には低抵抗状態となり、選択したメモリセル 400 のトランジスタ 300 がオフ状態の場合には高抵抗状態となる。

30

## 【0191】

メモリセルが高抵抗状態の場合、端子 A の電位が参照電位 V ref より高くなり、センスアンプは端子 A の電位に対応する電位を出力する。一方、メモリセルが低抵抗状態の場合、端子 A の電位が参照電位 V ref より低くなり、センスアンプ回路は端子 A の電位に対応する電位を出力する。

## 【0192】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位 V ref の代わりに参照用のビット線が接続される構成としても良い。

40

## 【0193】

図 8 ( B ) に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子 Vin (+) と Vin (-) と出力端子 Vout を有し、Vin (+) と Vin (-) の差を増幅する。Vin (+) > Vin (-) であれば Vout は、概ね High 出力、Vin (+) < Vin (-) であれば Vout は、概ね Low 出力となる。当該差動型センスアンプを読み出し回路に用いる場合、Vin (+) と Vin (-) の一方は入力端子 A と接続し、Vin (+) と Vin (-) の他方には参照電位 Vref を与える。

## 【0194】

図 8 ( C ) に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型セ

50

ンスアンプは、入出力端子 V 1 及び V 2 と、制御用信号 S p 、 S n の入力端子を有する。まず、信号 S p を H i g h 、信号 S n を L o w として、電源電位 ( V d d ) を遮断する。そして、比較を行う電位を V 1 と V 2 に与える。その後、信号 S p を L o w 、信号 S n を H i g h として、電源電位 ( V d d ) を供給すると、比較を行う電位 V 1 i n と V 2 i n が V 1 i n > V 2 i n の関係にあれば、V 1 の出力は H i g h 、V 2 の出力は L o w となり、V 1 i n < V 2 i n の関係にあれば、V 1 の出力は L o w 、V 2 の出力は H i g h となる。このような関係を利用して、V 1 i n と V 2 i n の差を增幅することができる。当該ラッチ型センスアンプを読み出し回路に用いる場合、V 1 と V 2 の一方は、スイッチを介して端子 A 及び出力端子と接続し、V 1 と V 2 の他方には参照電位 V r e f を与える。

## 【 0 1 9 5 】

10

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

## 【 0 1 9 6 】

## ( 実施の形態 5 )

本実施の形態では、実施の形態 1 乃至実施の形態 4 で説明した半導体装置を電子機器に適用する場合について、図 9 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、実施の形態 1 乃至実施の形態 4 で説明した半導体装置を適用する場合について説明する。

20

## 【 0 1 9 7 】

図 9 ( A ) は、ノート型のパーソナルコンピュータであり、筐体 6 0 1 、筐体 6 0 2 、表示部 6 0 3 、キーボード 6 0 4 などによって構成されている。筐体 6 0 1 と筐体 6 0 2 内には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えたノート型のパーソナルコンピュータが実現される。

## 【 0 1 9 8 】

図 9 ( B ) は、携帯情報端末 ( P D A ) であり、本体 6 1 1 には、表示部 6 1 3 と、外部インターフェイス 6 1 5 と、操作ボタン 6 1 4 等が設けられている。また、携帯情報端末を操作するスタイラス 6 1 2 などを備えている。本体 6 1 1 内には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた携帯情報端末が実現される。

30

## 【 0 1 9 9 】

図 9 ( C ) は、電子ペーパーを実装した電子書籍 6 2 0 であり、筐体 6 2 1 と筐体 6 2 3 の 2 つの筐体で構成されている。筐体 6 2 1 及び筐体 6 2 3 には、それぞれ表示部 6 2 5 及び表示部 6 2 7 が設けられている。筐体 6 2 1 と筐体 6 2 3 は、軸部 6 3 7 により接続されており、該軸部 6 3 7 を軸として開閉動作を行うことができる。また、筐体 6 2 1 は、電源 6 3 1 、操作キー 6 3 3 、スピーカー 6 3 5 などを備えている。筐体 6 2 1 、筐体 6 2 3 の少なくとも一には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた電子書籍が実現される。

40

## 【 0 2 0 0 】

図 9 ( D ) は、携帯電話機であり、筐体 6 4 0 と筐体 6 4 1 の 2 つの筐体で構成されている。さらに、筐体 6 4 0 と筐体 6 4 1 は、スライドし、図 9 ( D ) のように展開している状態から重なり合った状態とすることができます、携帯に適した小型化が可能である。また、筐体 6 4 1 は、表示パネル 6 4 2 、スピーカー 6 4 3 、マイクロフォン 6 4 4 、操作キー 6 4 5 、ポインティングデバイス 6 4 6 、カメラ用レンズ 6 4 7 、外部接続端子 6 4 8 などを備えている。また、筐体 6 4 0 は、携帯電話機の充電を行う太陽電池セル 6 4 9 、外部メモリスロット 6 5 0 などを備えている。また、アンテナは、筐体 6 4 1 に内蔵されている。筐体 6 4 0 と筐体 6 4 1 の少なくとも一には、先の実施の形態に示す微細化された

50

半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた携帯電話機が実現される。

#### 【0201】

図9(E)は、デジタルカメラであり、本体661、表示部667、接眼部663、操作スイッチ664、表示部665、バッテリー666などによって構成されている。本体661内には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えたデジタルカメラが実現される。

#### 【0202】

図9(F)は、テレビジョン装置670であり、筐体671、表示部673、スタンド675などで構成されている。テレビジョン装置670の操作は、筐体671が備えるスイッチや、リモコン操作機680により行うことができる。筐体671及びリモコン操作機680には、先の実施の形態に示す微細化された半導体装置が搭載されている。そのため、高速動作、低消費電力、といった特徴を備えたテレビジョン装置が実現される。

#### 【0203】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、小型、高速動作、低消費電力、といった特徴を備えた電子機器が実現される。

#### 【実施例1】

#### 【0204】

本実施例では、発明の一態様に係る半導体装置の特性について、計算機を用いて検証した結果について図10乃至図13を用いて説明する。具体的には、異なるチャネル長Lを有するトランジスタの特性について比較した。なお、計算には、デバイスシミュレーションソフトAtlas(Silvaco Data Systems社製)を用いた。

#### 【0205】

計算に用いたトランジスタの構造を、図10に示す。図10(A)は本発明の一態様に係る構造(ソース電極またはドレイン電極の一部を伸長させた構造)であり、図10(B)は、比較のための構造(ソース電極またはドレイン電極の一部を伸長させていない構造)である。

#### 【0206】

計算に用いたトランジスタの詳細について説明する。図10(A)に示すトランジスタは、第1の導電層742a(材質:チタン、厚さ:100nm)及び第2の導電層745a(材質:窒化チタン、厚さ:任意)が順に積層されたソース電極と、第1の導電層742b(材質:チタン、厚さ:100nm)及び第2の導電層745b(材質:窒化チタン、厚さ:任意)が順に積層されたドレイン電極と、ソース電極上に設けられた絶縁層743a(材質:酸化シリコン、厚さ:100nm)と、ドレイン電極上に設けられた絶縁層743b(材質:酸化シリコン、厚さ:100nm)と、絶縁層743a及び絶縁層743b上に設けられた酸化物半導体層744(材質:In-Ga-Zn-O系の酸化物半導体、厚さ:10nm)と、酸化物半導体層744上に設けられたゲート絶縁層746(材質:酸化ハフニウム、厚さ:10nm)と、ゲート絶縁層746上に設けられたゲート電極748(材質:タンゲステン)を有する。

#### 【0207】

図10(A)に示すトランジスタにおいて、第2の導電層745aは、第1の導電層742aの端部よりチャネル長方向に伸長した領域を有しており(つまり、第2の導電層745aの端部は、第1の導電層742aの端部よりチャネル形成領域に近い)、第2の導電層745aの端部は、酸化物半導体層744のチャネル形成領域と接している。同様に、第2の導電層745bは、第1の導電層742bの端部よりチャネル長方向に伸長した領域を有しており(つまり、第2の導電層745bの端部は、第1の導電層742bの端部よりチャネル形成領域に近い)、第2の導電層745bの端部は、酸化物半導体層744のチャネル形成領域と接している。

#### 【0208】

10

20

30

40

50

図10(B)に示すトランジスタは、導電層752aであるソース電極(材質：窒化チタン、厚さ：100nm)及び導電層752bであるドレイン電極(材質：窒化チタン、厚さ：100nm)と、ソース電極及びドレイン電極上に設けられた酸化物半導体層744(材質：In-Ga-Zn-O系の酸化物半導体、厚さ：10nm)と、酸化物半導体層744上に設けられたゲート絶縁層746(材質：酸化ハフニウム、厚さ：10nm)と、ゲート絶縁層746上に設けられたゲート電極748(材質：タンゲステン)を有する。

#### 【0209】

図10(A)と図10(B)の相違は、上述の第2の導電層745aにおける、第1の導電層742aの端部よりチャネル長方向に伸長した領域、及び、第2の導電層745bにおける、第1の導電層742bの端部よりチャネル長方向に伸長した領域の有無、ソース電極上の絶縁層及びドレイン電極上の絶縁層の有無である。

10

#### 【0210】

図10(A)において、第2の導電層745aにおける、第1の導電層742aの端部よりチャネル長方向に伸長した領域(第2の導電層である領域)は、他の領域(第1の導電層と第2の導電層の積層である領域)と比較して電極の厚さが小さい。つまり、電荷の流れに垂直な断面の面積が小さくなっている。抵抗は断面積に反比例するから、第2の導電層745aにおける、第1の導電層742aの端部よりチャネル長方向に伸長した領域は、他の領域と比較して抵抗が高いことができる。第2の導電層745bについても同様のことがいえる。以下、本実施例において、第2の導電層745aにおける、第1の導電層742aの端部よりチャネル長方向に伸長した領域、及び、第2の導電層745bにおける、第1の導電層742bの端部よりチャネル長方向に伸長した領域を高抵抗領域(HRR: High-Resistance Region)と記載する。

20

#### 【0211】

また、図10(A)において、ソース電極の上部は絶縁層743aに覆われており、ドレイン電極の上部は絶縁層743bに覆われているため、ソース電極やドレイン電極と、酸化物半導体層744の接触面積は非常に小さくなっている(ここでは、第2の導電層の端部のみが接する)。つまり、ソース電極やドレイン電極は、チャネル形成領域と接する領域の近傍において、他の領域よりも高抵抗になっていることになる。

#### 【0212】

30

上述の構成(図10(A)、及び図10(B))において、チャネル長Lを変更して、トランジスタのしきい値電圧Vthがどのような挙動を示すかを調査した。チャネル長Lとしては、20nm、30nm、50nm、100nm、200nm、400nmの6条件を採用した。

#### 【0213】

また、第2の導電層の厚さを変更してしきい値電圧Vthの挙動を調査した。第2の導電層の厚さとしては、3nm、10nm、50nm、100nmの4条件を採用した。

#### 【0214】

ソース電極とドレイン電極の間の電圧Vdsは、1Vとした。また、高抵抗領域のチャネル長方向の長さは0.3μmとした。

40

#### 【0215】

計算に用いたパラメータは以下の通りである。

1. In-Ga-Zn-O系の酸化物半導体(酸化物半導体層の材料)

バンドギャップEg: 3.15eV、電子親和力: 4.3eV、比誘電率: 15、電子移動度:  $10 \text{ cm}^2 / \text{Vs}$ 、伝導帯の実効状態密度:  $5 \times 10^{18} \text{ cm}^{-3}$

2. 窒化チタン(ソース電極及びドレイン電極の材料)

仕事関数 $\phi_m$ : 3.9eV、抵抗率:  $2.2 \times 10^{-4} \Omega \cdot \text{cm}$

3. 酸化ハフニウム(ゲート絶縁層の材料)

比誘電率: 15

4. タングステン(ゲート電極の材料)

50

仕事関数  $M$  : 4 . 9 eV

【0216】

計算結果を図11乃至図13に示す。図11乃至図13において、横軸はチャネル長L (nm)を、縦軸はしきい値電圧のシフト量  $V_{th}$  (V)を、それぞれ示している。なお、 $V_{th}$ は、チャネル長  $L = 400$  nmのしきい値電圧を基準に算出したものである。

【0217】

図11(A)、図11(B)、図12(A)及び図12(B)は図10(A)に示す構造の計算結果であり、図11(A)は、第2の導電層の厚さが100 nm、図11(B)は、第2の導電層の厚さが50 nm、図12(A)は、第2の導電層の厚さが10 nm、図12(B)は、第2の導電層の厚さが3 nm、の場合をそれぞれ示している。また、図13は図10(B)に示す構造の計算結果である。  
10

【0218】

図11(A)、図11(B)、図12(A)及び図12(B)の比較により、第2の導電層が薄くなるほど、しきい値電圧のマイナスシフトが抑制されるのが分かる。また、図11(A)と図13の比較により、ソース電極やドレイン電極を覆う絶縁層を設ける場合には、 $V_{th}$ のマイナスシフトが抑制されるのが分かる。これらはいずれも、ソース電極やドレイン電極と酸化物半導体層の接触面積を縮小し、抵抗を増大させることにより、短チャネル効果を抑制できることを示唆するものである。

【0219】

さらに上述の結果より、半導体層と接する領域の近傍において、ソース電極やドレイン電極の抵抗が高くなつていれば、短チャネル効果抑制の効果を得ることができるということもできる。  
20

【0220】

以上より、ソース電極及びドレイン電極のチャネル形成領域と接する領域近傍を高抵抗にする（具体的には、例えば、ソース電極及びドレイン電極の一部の断面積を小さくする、ソース電極及びドレイン電極の上部を覆う絶縁層を形成して酸化物半導体層との接触面積を小さくする）ことで、しきい値電圧のマイナスシフトが抑制されることが理解される。これは、ソース電極とドレイン電極の間の電界強度が緩和されることに起因するものである。このように、開示する発明の一態様によって、しきい値電圧低下などの短チャネル効果を抑制できることが示された。  
30

【符号の説明】

【0221】

100 基板

142a 第1の導電層

142b 第1の導電層

143 絶縁膜

143a 絶縁層

143b 絶縁層

144 酸化物半導体層

145 導電膜

145a 第2の導電層

145b 第2の導電層

146 ゲート絶縁層

148 ゲート電極

160 トランジスタ

170 トランジスタ

180 トランジスタ

190 トランジスタ

200 基板

242 導電膜

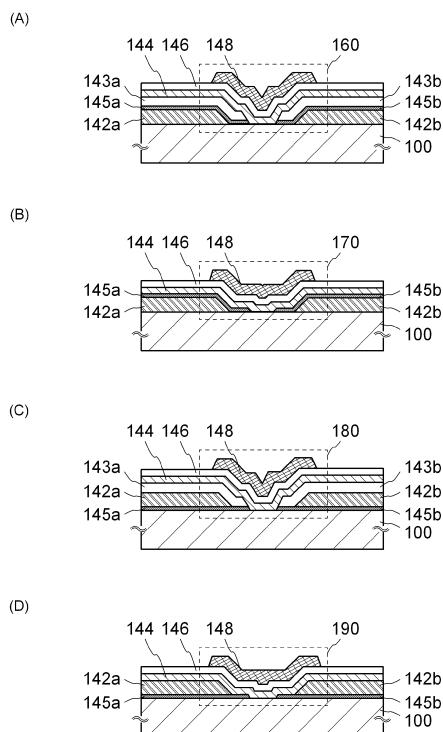
40

50

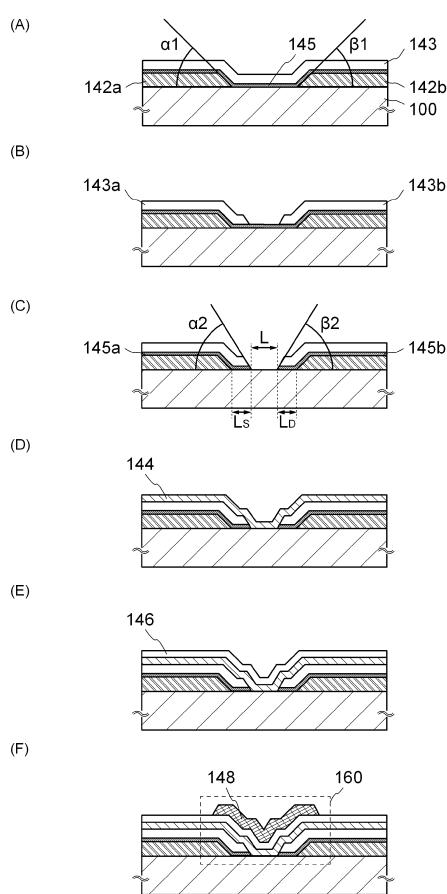
2 4 2 a	第 1 の導電層	
2 4 2 b	第 1 の導電層	
2 4 3	絶縁膜	
2 4 3 a	絶縁層	
2 4 3 b	絶縁層	
2 4 4	酸化物半導体層	
2 4 5	導電膜	
2 4 5 a	第 2 の導電層	10
2 4 5 b	第 2 の導電層	
2 4 6	ゲート絶縁層	
2 4 8	ゲート電極	
2 5 2	絶縁膜	
2 5 2 a	サイドウォール絶縁層	
2 5 2 b	サイドウォール絶縁層	
2 8 0	トランジスタ	
3 0 0	トランジスタ	
3 1 0	トランジスタ	
3 2 0	容量素子	
4 0 0	メモリセル	
4 1 0	メモリセルアレイ	20
6 0 1	筐体	
6 0 2	筐体	
6 0 3	表示部	
6 0 4	キー ボード	
6 1 1	本体	
6 1 2	スタイラス	
6 1 3	表示部	
6 1 4	操作ボタン	
6 1 5	外部インターフェイス	
6 2 0	電子書籍	30
6 2 1	筐体	
6 2 3	筐体	
6 2 5	表示部	
6 2 7	表示部	
6 3 1	電源	
6 3 3	操作キー	
6 3 5	スピーカー	
6 3 7	軸部	
6 4 0	筐体	
6 4 1	筐体	40
6 4 2	表示パネル	
6 4 3	スピーカー	
6 4 4	マイクロフォン	
6 4 5	操作キー	
6 4 6	ポインティングデバイス	
6 4 7	カメラ用レンズ	
6 4 8	外部接続端子	
6 4 9	太陽電池セル	
6 5 0	外部メモリスロット	
6 6 1	本体	50

6 6 3	接眼部	
6 6 4	操作スイッチ	
6 6 5	表示部	
6 6 6	パッテリー	
6 6 7	表示部	
6 7 0	テレビジョン装置	
6 7 1	筐体	
6 7 3	表示部	
6 7 5	スタンド	
6 8 0	リモコン操作機	10
7 4 2 a	第1の導電層	
7 4 2 b	第1の導電層	
7 4 3 a	絶縁層	
7 4 3 b	絶縁層	
7 4 4	酸化物半導体層	
7 4 5 a	第2の導電層	
7 4 5 b	第2の導電層	
7 4 6	ゲート絶縁層	
7 4 8	ゲート電極	
7 5 2 a	導電層	20
7 5 2 b	導電層	

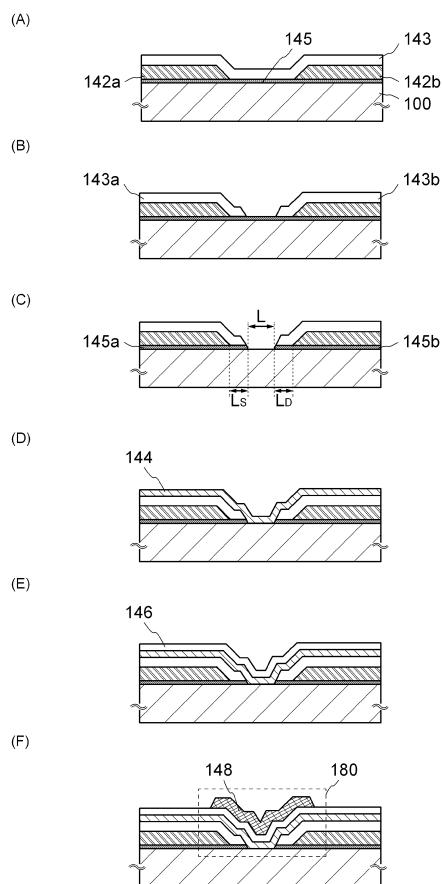
【図1】



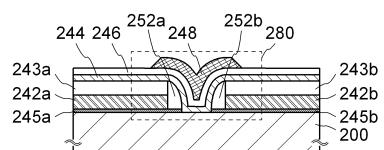
【図2】



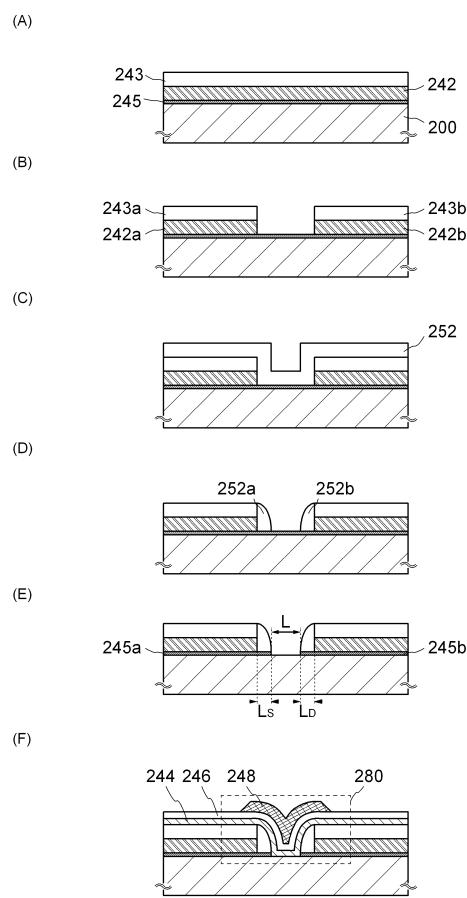
【図3】



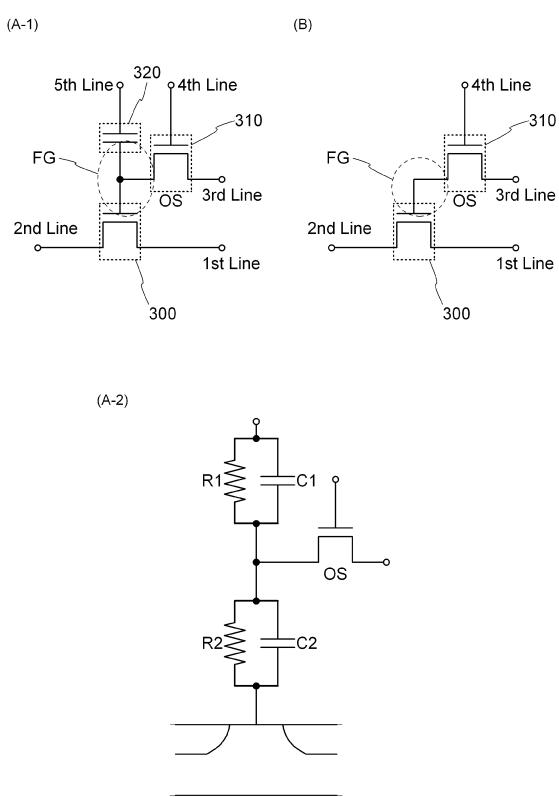
【図4】



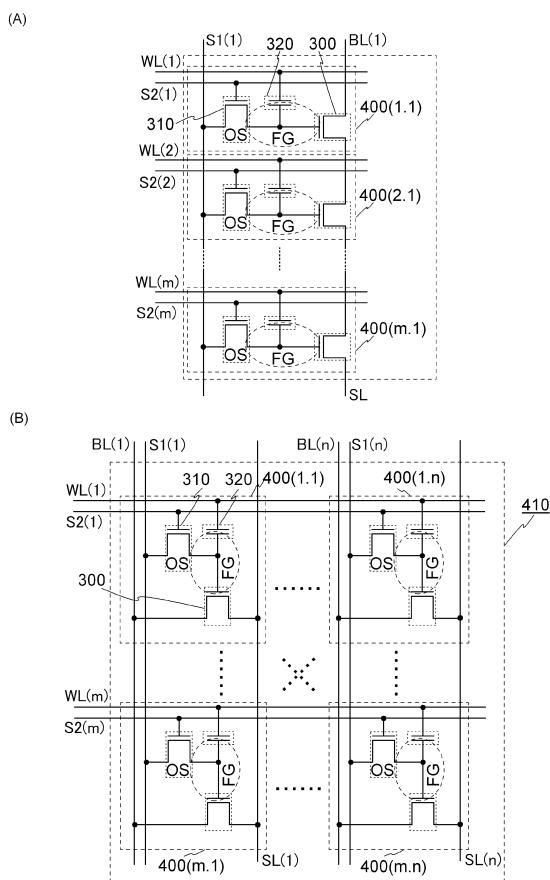
【図5】



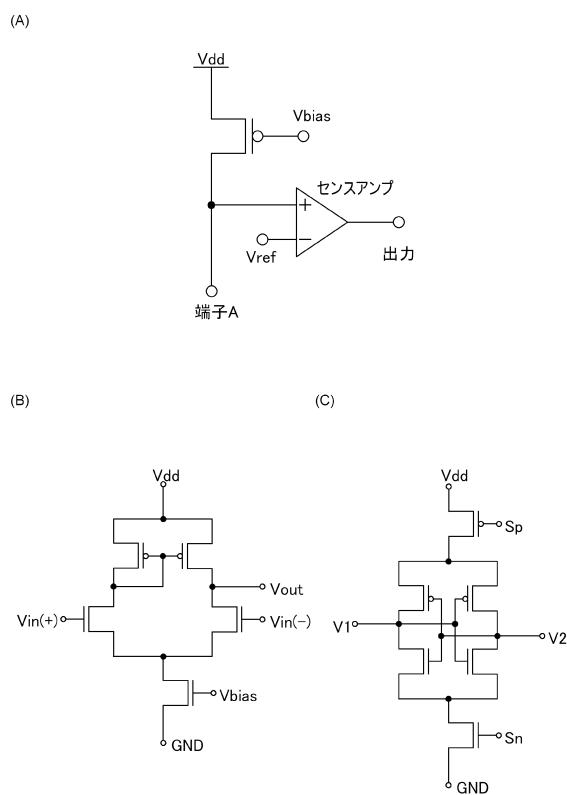
【図6】



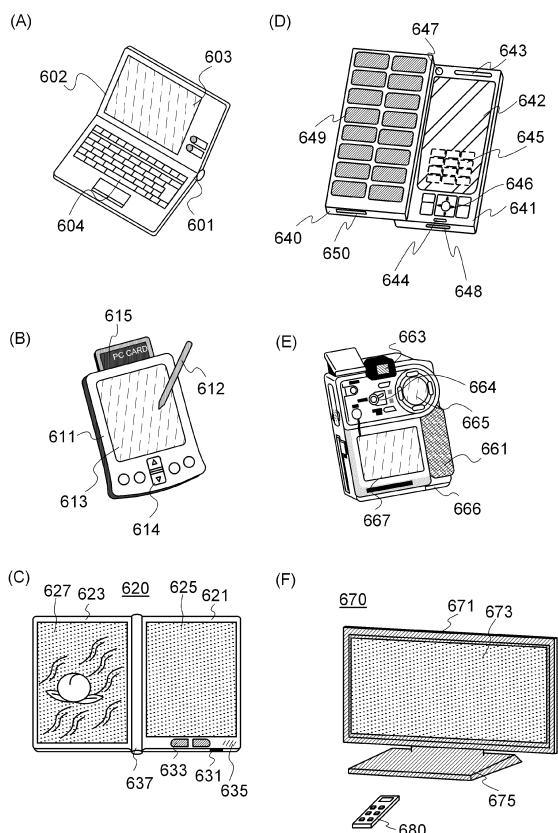
【図7】



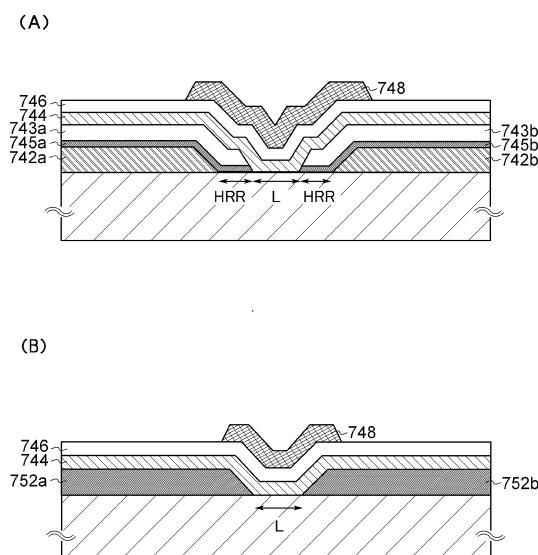
【図8】



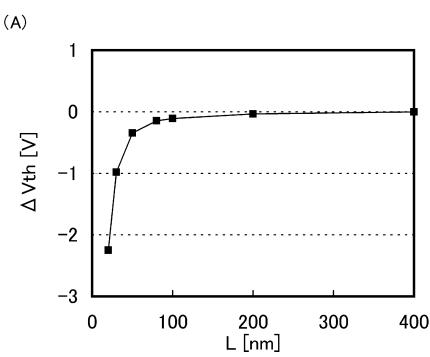
【図9】



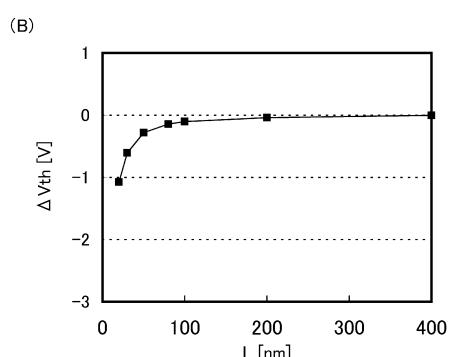
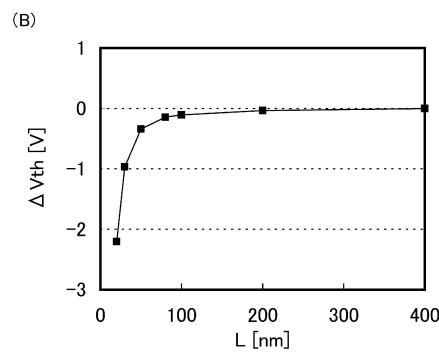
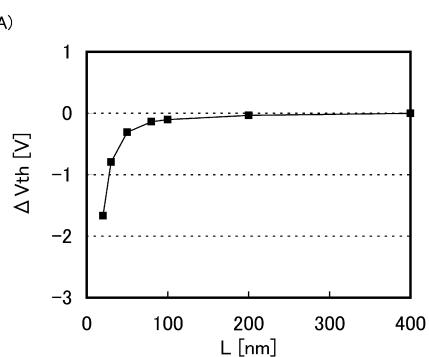
【図10】



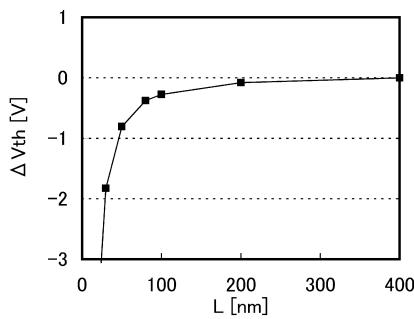
【図 1 1】



【図 1 2】



【図 1 3】



---

フロントページの続き

(72)発明者 倉田 求

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 三上 真弓

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 鈴木 聰一郎

(56)参考文献 特表2008-535205(JP,A)

特開2007-123861(JP,A)

特開2009-212476(JP,A)

特開2009-158940(JP,A)

特開2004-055735(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786