

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7551383号
(P7551383)

(45)発行日 令和6年9月17日(2024.9.17)

(24)登録日 令和6年9月6日(2024.9.6)

(51)国際特許分類		F I	
H O 4 N	25/773 (2023.01)	H O 4 N	25/773
H O 4 N	25/78 (2023.01)	H O 4 N	25/78
H O 4 N	25/779 (2023.01)	H O 4 N	25/779
H O 4 N	25/77 (2023.01)	H O 4 N	25/77
H O 4 N	25/68 (2023.01)	H O 4 N	25/68
請求項の数 17 (全34頁) 最終頁に続く			
(21)出願番号	特願2020-129815(P2020-129815)	(73)特許権者	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和2年7月31日(2020.7.31)	(74)代理人	100126240 弁理士 阿部 琢磨
(65)公開番号	特開2021-57886(P2021-57886A)	(74)代理人	100223941 弁理士 高橋 佳子
(43)公開日	令和3年4月8日(2021.4.8)	(74)代理人	100159695 弁理士 中辻 七朗
審査請求日	令和5年7月27日(2023.7.27)	(74)代理人	100172476 弁理士 富田 一史
(31)優先権主張番号	特願2019-180966(P2019-180966)	(74)代理人	100126974 弁理士 大朋 靖尚
(32)優先日	令和1年9月30日(2019.9.30)	(72)発明者	佐々木 誠仁 東京都大田区下丸子3丁目30番2号キ 最終頁に続く
(33)優先権主張国・地域又は機関	日本国(JP)		

(54)【発明の名称】 光電変換装置、撮像システム、光電変換装置の駆動方法

(57)【特許請求の範囲】

【請求項1】

それぞれが光電変換部と保持部とを備えるとともに、前記光電変換部が生成する電荷に対応するデジタル信号を出力する複数の画素と、

第一信号入出力部と、を備え、

前記複数の画素から前記第一信号入出力部に前記デジタル信号を伝送する電気的経路を有するとともに、前記第一信号入出力部から前記複数の画素に所定のデジタル信号を、前記電気的経路を用いて伝送する伝送線をさらに備えることを特徴とする光電変換装置。

【請求項2】

前記複数の画素は行方向及び列方向の少なくとも一方に配されており、
走査部をさらに含み、

前記走査部により、前記デジタル信号を前記第一信号入出力部へ読み出す走査と、前記第一信号入出力部から出力される前記所定のデジタル信号を前記保持部に保持させる走査と、が制御されることを特徴とする請求項1に記載の光電変換装置。

【請求項3】

それぞれが光電変換部を備えるとともに、前記光電変換部が生成する電荷に対応するデジタル信号を出力する複数の画素と、

走査部と、を備える光電変換装置であって、

前記走査部は、前記複数の画素から前記デジタル信号を読み出す走査と、前記画素から出力された前記デジタル信号に基づく信号を前記複数の画素に入力する動作とを行い、

第一信号入出力部と、

前記複数の画素から前記第一信号入出力部に前記デジタル信号を伝送する電氣的経路を有するとともに、前記第一信号入出力部から前記複数の画素に前記画素から出力された前記デジタル信号に基づく信号を、前記電氣的経路を用いて伝送する伝送線と、をさらに備えることを特徴とする光電変換装置。

【請求項 4】

前記複数の画素のそれぞれは、保持部を備え、

前記動作は、前記画素から出力されたデジタル信号又は前記画素から出力されたデジタル信号に基づく信号を前記保持部に保持させる走査であることを特徴とする請求項 3 に記載の光電変換装置。

【請求項 5】

前記複数の画素が行列状に配されており、

前記走査部は、垂直走査回路及び水平走査回路を含み、

前記第一信号入出力部と接続された前記水平走査回路を備えることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

複数の前記第一信号入出力部を備え、

前記複数の第一信号入出力部の各々と接続され、かつ前記水平走査回路と接続された複数の列選択制御線を備えることを特徴とする請求項 5 に記載の光電変換装置。

【請求項 7】

前記デジタル信号に基づく信号に対応した複数のデータを格納し、前記第一信号入出力部に前記データの伝送を行うメモリ部を備えることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記複数の画素は欠陥画素と非欠陥画素を含み、

前記複数のデータは、前記欠陥画素を非活性化させるデータと前記非欠陥画素を活性化させるデータとを含むことを特徴とする請求項 7 に記載の光電変換装置。

【請求項 9】

前記画素からの前記デジタル信号のビット数は、前記画素から出力された前記デジタル信号に基づく信号のデジタル信号のビット数以上であることを特徴とする請求項 8 に記載の光電変換装置。

【請求項 10】

前記画素は、

前記第一信号入出力部と接続され、前記光電変換部による光電変換に基づく画素信号を生成する第一画素回路部と、前記画素から出力された前記デジタル信号に基づく信号に基づき前記画素の動作を制御する第二画素回路部と、

を備えることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の光電変換装置。

【請求項 11】

前記光電変換部は、アバランシェダイオードを含み、

前記第一画素回路部は、前記アバランシェダイオードからの出力をカウントする計数回路を含む

ことを特徴とする請求項 10 に記載の光電変換装置。

【請求項 12】

前記第二画素回路部は、前記デジタル信号に基づき、前記アバランシェダイオードまたは前記第一画素回路部の動作を制御する制御回路を含むことを特徴とする請求項 11 に記載の光電変換装置。

【請求項 13】

前記画素はカウンタ回路を含み、

前記画素のカウンタ回路に前記画素から出力された前記デジタル信号に基づく信号が入力されることを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の光電変換装置。

10

20

30

40

50

【請求項 1 4】

前記画素から出力された前記デジタル信号に基づく信号は、前記画素から出力される前記デジタル信号と、前記カウンタ回路のカウント上限値とを比較して得た信号であることを特徴とする請求項 1 3 に記載の光電変換装置。

【請求項 1 5】

前記画素から出力される前記デジタル信号が、前記カウント上限値以上の場合は、前記画素のカウンタ回路を停止する信号を前記画素に入力することを特徴とする請求項 1 4 に記載の光電変換装置。

【請求項 1 6】

請求項 1 乃至 1 5 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置から出力される信号を処理する信号処理部と
を有することを特徴とする撮像システム。

10

【請求項 1 7】

移動体であって、
請求項 1 乃至 1 5 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、
前記距離情報に基づいて前記移動体を制御する制御手段と
を有することを特徴とする移動体。

20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、光電変換装置、撮像システム、光電変換装置の駆動方法に関する。

【背景技術】

【0 0 0 2】

光電変換に伴う画素信号を、デジタル信号として画素から出力する光電変換装置が知られている。ノイズや信号演算処理の点で、画素から出力する画素信号をデジタル化する利点は大きい。特許文献 1 には、フォトダイオードに到来する光子の数をデジタル的に計数する光電変換装置が記載されている。また、特許文献 1 には、画素にデジタルメモリを設け、行及び列制御線を用いて、デジタルメモリに欠陥画素を非活性化させるデータを書き込むことが記載されている。

30

【先行技術文献】

【特許文献】

【0 0 0 3】

【文献】米国特許出願公開第 2 0 1 7 / 0 1 7 6 2 5 0 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、特許文献 1 に記載の光電変換装置は、画素のデジタルメモリにデータを書き込むための行及び列制御線と画素から出力される画素信号を書き込むための行及び列制御線とが必要となる。特許文献 1 は、光電変換装置の配線数の低減について検討していない。また、特許文献 1 では、アレイ上に配された複数の画素からの画素信号をまとめて読み出している。つまり、特許文献 1 では、アレイ上に配置された画素からのデジタル信号の読み出しを個別に制御する場合については考慮されていない。

40

【0 0 0 5】

本発明の目的は、画素へのデジタル信号の書き込みと画素からのデジタル信号の読み出しのそれぞれの制御と、回路及び配線の少なくとも一方の面積低減の両立が可能な光電変換装置を提供することにある。

【課題を解決するための手段】

【0 0 0 6】

50

本発明の一観点によれば、それぞれが光電変換部を備えるとともに、前記光電変換部が生成する電荷に対応するデジタル信号を出力する複数の画素と、走査部と、を備える光電変換装置であって、前記走査部は、前記複数の画素から前記デジタル信号を読み出す走査と、前記画素から出力された前記デジタル信号に基づく信号を前記複数の画素に入力する動作とを行い、第一信号入出力部と、前記複数の画素から前記第一信号入出力部に前記デジタル信号を伝送する電氣的経路を有するとともに、前記第一信号入出力部から前記複数の画素に前記画素から出力された前記デジタル信号に基づく信号を、前記電氣的経路を用いて伝送する伝送線と、をさらに備えることを特徴とする光電変換装置である。

【0007】

また、本発明の別の一観点によれば、それぞれが光電変換部と保持部とを備えるとともに、前記光電変換部が生成する電荷に対応するデジタル信号を出力する複数の画素と、第一信号入出力部と、を備え、前記複数の画素から前記第一信号入出力部に前記デジタル信号を伝送する電氣的経路を有するとともに、前記第一信号入出力部から前記複数の画素に所定のデジタル信号を、前記電氣的経路を用いて伝送する伝送線をさらに備えることを特徴とする光電変換装置である。

【発明の効果】

【0009】

本発明によれば、画素へのデジタル信号の書き込みと画素からのデジタル信号の読み出しのそれぞれの制御と、回路及び配線の少なくとも一方の面積低減の両立が可能な光電変換装置を提供することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の第1実施形態による光電変換装置の概略構成図である。

【図2】本発明の第1実施形態による光電変換装置の動作タイミング図である。

【図3】本発明の第2実施形態による光電変換装置の概略構成図である。

【図4】本発明の第2実施形態による光電変換装置の動作タイミング図である。

【図5】本発明の第3実施形態による光電変換装置の概略構成図である。

【図6】本発明の第3実施形態による光電変換装置の動作タイミング図である。

【図7】本発明の第4実施形態による光電変換装置の概略構成図である。

【図8】本発明の第4実施形態による光電変換装置の動作タイミング図である。

【図9】本発明の第5実施形態による撮像システムの構成図である。

【図10】本発明の第6実施形態による移動体の構成図である。

【図11】本発明の第7実施形態による光電変換装置の概略構成図である。

【図12】本発明の第7実施形態による画素の概略構成図である。

【図13】本発明の第7実施形態による光電変換装置のカウンタ制御のフローチャートである。

【図14】本発明の第7実施形態による光電変換装置のカウンタ制御のタイミングチャートの一例である。

【図15】本発明の第7実施形態による光電変換装置のカウンタ制御のタイミングチャートの一例である。

【図16】本発明の第7実施形態による光電変換装置のカウンタ制御のタイミングチャートの一例である。

【図17】本発明の第8実施形態による光電変換装置の概略構成図である。

【図18】本発明の第8実施形態による画素の概略構成図である。

【図19】本発明の第9実施形態による光電変換装置の概略構成図である。

【図20】本発明の第9実施形態による画素の概略構成図である。

【図21】本発明の第9実施形態による光電変換装置の制御対象画素アドレス取得のフローチャートである。

【図22】本発明の第10実施形態による光電変換装置の概略構成図である。

【図23】本発明の第10実施形態による画素の概略構成図である。

10

20

30

40

50

【発明を実施するための形態】

【0011】

(第1実施形態)

本発明の第1実施形態による光電変換装置について、図1及び図2を用いて説明する。図1は、本実施形態による光電変換装置の概略構成図である。図2は、本実施形態による光電変換装置の駆動を示すタイミング図である。

【0012】

本実施形態による光電変換装置1は、図1に示すように、画素アレイ部2、垂直走査部3、信号送受信部4、水平走査部5、メモリ部6、信号出力部7を含む。画素アレイ部2は二次元状に配された複数の画素2a～2dを含む。図1では、画素アレイ部2が、2行2列に配された画素から成る場合を示している。なお、画素アレイ部2を構成する画素の行数及び列数は、特に限定されるものではない。

10

【0013】

伝送線PMW1、PMW2は、画素アレイ部2の同列の複数の画素と共通に接続されている。同様に、伝送線PDAT1及びPDAT2は、画素アレイ部2の同列の複数の画素と共通に接続されている。伝送線PMW1及びPMW2は、図1では、n本のバス配線として表記している。同様に、伝送線PDAT1及びPDAT2は、図1では、n本のバス配線として表記している。

【0014】

入出力部41a、41bは、信号送受信部4に含まれる。入出力部41aは、伝送線PMW1及びPDAT1と接続されている。入出力部41aは、所定の信号を、伝送線PMW1を介して画素に送信し、画素から出力される画素信号を、伝送線PDAT1を介して受信するように構成されている。本明細書において、所定の信号とは所定のデジタル信号を指す。所定のデジタル信号とは、例えば、複数の画素が非欠陥画素と欠陥画素を含む場合に、欠陥画素を非活性化させ、非欠陥画素を活性化させる信号である。また、本明細書において、画素信号とは、画素に含まれる光電変換部への入射光に基づくデジタル信号を指す。つまり、画素信号とは、画素に含まれる光電変換部が生成する電荷に対応するデジタル信号である。光電変換部とは、例えば、半導体基板内に形成されたフォトダイオードである。同様に、入出力部41bは、伝送線PMW2及びPDAT2と接続されている。入出力部41bは、所定の信号を、伝送線PMW2を介して画素に送信し、画素から出力される画素信号を、伝送線PDAT2を介して受信するように構成されている。

20

30

【0015】

信号入出力部41a及び41bは、更に伝送線IPMW、伝送線IDATと接続されている。メモリ部6は、所定の信号を、伝送線IPMWを介して入出力部41a、41bに順次送信する。信号出力部7は、入出力部41a、41bから順次出力された画素信号を受信し、光電変換装置1の出力信号SDATとして、画素信号を出力する。伝送線IDAT、出力信号SDATは、図1ではそれぞれ、n本のバス配線、nビットのデジタル信号として表記している。

【0016】

列選択制御線HSEL1、HSEL2は、入出力部41a、41bの受信及び送信を制御する制御線である。水平走査部5は、列選択制御線HSEL1、HSEL2に制御信号を供給する。これにより、入出力部41a、41bは、メモリ部6から出力される所定の信号を順次受信し、各画素に送信することと、画素からの画素信号を受信し、信号出力部7に順次送信することができる。

40

【0017】

本実施形態では、所定の信号の書き込みと画素信号の読み出しとが入出力部41に対して行われている。つまり、入出力部41により、所定の信号の書き込みと読み出された画素信号の書き込みとが兼用されている。例えば、入出力部41に含まれるデジタルメモリが所定の信号の保持と画素信号の保持とを行っている。所定の信号の読み出しと読み出された画素信号の書き込みとは別の入出力部で行われることが考えられる。例えば、画素信

50

号の保持のための第1のデジタルメモリと所定の信号の保持のための第2のデジタルメモリとが必要になることが想定される。しかしながら、各入出力部41に対して2つずつデジタルメモリを配置すると一定の回路面積が必要になる。これに対して、本実施形態では、入出力部41は、読み出した画素信号を保持するデジタルメモリが、所定の信号が書き込まれるデジタルメモリを兼用している。従って、信号送受信部4の回路面積を低減することができる。

【0018】

画素2a～2dの各々は、入出力部23、画素回路部21、画素回路部22を含む。画素2a、2cの入出力部23は、それぞれ、伝送線PMW1、PDAT1と接続されている。画素2a、2cの入出力部23は、入出力部41aから出力される所定の信号を、伝送線PMW1を介して受信し、画素信号を、伝送線PDAT1を介して送信する。同様に、画素2b及び2dの入出力部23は、それぞれ、伝送線PMW2及びPDAT2と接続され、入出力部41bに対して、所定の信号を、伝送線PMW2を介して受信し、画素信号を、伝送線PDAT2を介して送信するように構成されている。更に、画素2a及び2bの入出力部23は、それぞれ、制御線LSEL1及び制御線VSEL1と接続され、画素2c及び2dの入出力部23は、それぞれ、制御線LSEL2及び制御線VSEL2と接続されている。各々の出力手段23は、制御線LSEL1、LSEL2及び制御線VSEL1、VSEL2を介して、垂直走査部3より供給される制御信号により、信号の送受信制御を行う。画素回路部21は、入出力部23に画素信号を出力する。画素回路部21は、例えば、光電変換部により光電変換された信号をデジタル信号に変換するアナログ→デジタル変換回路が挙げられる。また、光電変換部により検出される光子入射数をカウントし、その結果を出力するカウンタ回路（計数回路）等でも良い。後者の場合は、光電変換部として、例えばアバランシェダイオードを用いる。画素回路部22は、入出力部23からの所定の信号に基づき、画素の動作を制御するように構成されている。画素回路部22は、例えば、所定の信号を保持する保持部及び、画素回路部21の動作を活性化又は非活性化する制御回路等が挙げられる。例えば、光電変換部としてアバランシェダイオードを用いた場合には、典型的には、画素回路部21として、アバランシェダイオードと、波形整形回路と、カウンタと、が設けられる。波形整形回路は、アバランシェダイオードが出力する波形をパルス波に整形する。カウンタは、波形整形回路が出力するパルスを計数する。上述の「所定のデジタル信号」は、アバランシェ増倍を停止させる制御、波形整形回路を停止させる制御、カウンタを停止させる制御、カウンタから伝送線PDAT1へのデジタル信号出力を停止させる制御の少なくとも1つの制御を行うための信号である。

【0019】

図1における光電変換装置1の動作に関して、図2のタイミング図を用いて説明する。

【0020】

図2には、垂直走査部3より、制御線LSEL1、LSEL2、VSEL1、VSEL2に供給される信号のタイミングを示している。また、図2には更に、水平走査部5より、列選択制御線HSEL1、HSEL2に供給される信号と、伝送線IPMW、出力信号SDAT、垂直走査同期信号VDのタイミングを示している。垂直同期信号VDがオンすると最初に読み出す画素が配された行から垂直走査が開始される。そして、垂直同期信号VDが次にオンすると、再び最初に読み出す画素が配された行から垂直走査が開始される。なお、図2ではVDは垂直走査部3が各行の画素の走査している期間に渡ってハイレベルとしている。他のVDの例としては、ハイレベルになってからクロックパルスの所定の周期分の期間、ハイレベルを継続してローレベルに遷移するようにしても良い。この場合においても、VDは垂直走査部3による走査の開始のトリガ信号として用いられる。

【0021】

図2において、時刻t1にメモリ部6から伝送線IPMWにデータM11が送信され、列選択制御線HSEL1がハイレベルとなると、入出力部41aにデータM11が保持される。なお、ここでは画素に書き込む所定のデジタル信号を表現する言葉として「データ」を用いることとする。同様に、時刻t2にメモリ部6から伝送線IPMWにデータM1

2が送信され、列選択制御線HSEL2がハイレベルとなると、入出力部41bにデータM12が保持される。時刻t3で制御線VSEL1がハイレベルとなると、画素2aの入出力部23が、伝送線PMW1を介してデータM11を受信し、画素回路部22に出力する。同時刻に、同様に、画素2bの入出力部23が、伝送線PMW2を介してデータM12を受信し、画素回路部22に出力する。この時、制御線LSEL1は、ハイレベルである。次に、時刻t4にメモリ部6から伝送線IPMWにデータM21が送信され、列選択制御線HSEL1がハイレベルとなると、入出力部41aにデータM21が保持される。同様に、時刻t5にメモリ部6から伝送線IPMWにデータM22が送信され、列選択制御線HSEL2がハイレベルとなると、入出力部41bにデータM22が保持される。時刻t6で制御線VSEL2がハイレベルとなると、画素2cの入出力部23が、伝送線PMW1を介してデータM21を受信し、画素回路部22に出力する。同時刻に、同様に、画素2dの入出力部23が、伝送線PMW2を介してデータM22を受信し、画素回路部22に出力する。この時、制御線LSEL2は、ハイレベルである。

10

【0022】

この時点で、画素2a、2b、2c及び2dは、それぞれ、所定の信号としてデータM11、M12、M21及びM22を受信している。これにより、各画素は、画素回路部22が受信した各所定の信号に基づき個別に制御される。

【0023】

時刻t7で制御線LSEL1及びLSEL2がローレベルとなり、時刻t8で垂直同期信号VDがハイレベルとなると、光電変換装置1は、光電変換に基づく各画素信号を出力する動作に移行する。時刻t8で制御線VSEL1がハイレベルとなると、画素2a及び2bの入出力部23は、伝送線PDAT1及びPDAT2に、それぞれ、画素信号を出力する。同時に、信号送受信部4は、画素2aから出力された画素信号を入出力部41aに、画素2bから出力された画素信号を入出力部41bに保持する。時刻t9でHSEL1がハイレベルとなると、信号送受信部4は、画素2aの画素信号に基づく信号を、入出力部41aから伝送線IDATに出力する。この時、画素2aの画素信号に基づく信号は、光電変換装置1の出力信号S11として、信号出力部7より出力される。時刻t10でHSEL2がハイレベルとなると、信号送受信部4は、画素2bの画素信号に基づく信号を、入出力部41bから伝送線IDATに出力する。この時、画素2bの画素信号に基づく信号は、光電変換装置1の出力信号S12として、信号出力部7より出力される。次に、時刻t11で制御線VSEL2がハイレベルとなると、同様に、画素2c及び2dの画素信号が、信号送受信部4の入出力部41a及び41bに、それぞれ保持される。更に、時刻t12でHSEL1がハイレベルとなると、同様に、画素2cの画素信号に基づく信号が、光電変換装置1の出力信号S21として、信号出力部7より出力される。時刻t13でHSEL2がハイレベルとなると、同様に、画素2dの画素信号に基づく信号が、光電変換装置1の出力信号S22として、信号出力部7より出力される。その後、垂直同期信号VDがローレベルとなり、時刻t14で再びハイレベルとなると、光電変換装置1は、光電変換に基づく各画素信号を出力する動作を繰り返す。

20

30

【0024】

なお、図1では、複数の画素が行列状に配されており、垂直走査回路及び水平走査回路により各画素への信号の書き込みと読み込みを制御している。これに限らず、複数の画素が行方向または列方向に配されており、水平走査回路または垂直走査回路の一方で各画素の書き込み及び読み出しを制御するものも本実施形態に含まれる。この場合は、水平走査回路または垂直走査回路が走査部に相当する。

40

【0025】

なお、本実施形態では、画素毎に所定の信号の書き込みと、画素信号の読み出しとを制御しているが、2以上の一部の画素に対してまとめて所定の信号の書き込みと画素信号の読み出しとを制御してもよい。具体的には、画素アレイに含まれる、2以上の画素を含む第1画素群に対して書き込みと読み出しの制御を行い、異なる2以上の画素を含む第2画素群に対して書き込みと読み出しの制御を行ってもよい。

50

【0026】

このように、本実施形態の光電変換装置1は、垂直走査回路3と水平走査回路4とにより、画素へのデジタル信号の書き込みと画素からのデジタル信号の読み出しのそれぞれの制御を行っている。特許文献1は、画素への信号の書き込みを行うことについては開示されているが、画素の信号を個別に読み出す場合については検討されていない。仮に、特許文献1において、画素の信号を個別に読み出そうとすると、書き込みと読み出しのそれぞれに対して垂直走査回路と水平走査回路とが必要になる。しかしながら、書き込みと読み出しのそれぞれに対して垂直走査回路と水平走査回路を配置すると回路面積が必要になる。これに対して本実施形態は、垂直走査回路3と水平走査回路4とによって、書き込みと読み出しとが制御されている。つまり、所定の信号の伝送と、画素信号の伝送の制御には、垂直走査部3及び水平走査部5が共用される。従って、書き込みと読み出しの各々に対して垂直走査回路と水平走査回路とを配置する場合に比べて回路面積を小さくすることができる。また、入出力部41a及び41bから、各画素2a～2dの入出力部23に、所定の信号を伝送することで、画素へのデジタル信号の書き込み及び画素からの画素信号の読み出し制御が可能となる。

10

【0027】

画素に書き込むデジタル信号の他の例としては、AD変換ゲインの設定、入射光に基づくアナログ信号の増幅部を備える場合には増幅率設定、非走査行における画素内の電流消費量を抑制する制御信号などが挙げられる。このように、本実施形態で説明した、画素に書き込むデジタル信号は、種々の信号が適用可能である。

20

【0028】

以上により、本実施形態の光電変換装置1は、画素へのデジタル信号の書き込み及び画素からの画素信号の読み出しの制御と回路の面積低減の両立が可能となる。

【0029】

(第2実施形態)

本発明の第2実施形態による光電変換装置について、図3及び図4を用いて説明する。図3は、本実施形態による光電変換装置の概略構成図である。図4は、本実施形態による光電変換装置の駆動を示すタイミング図である。

【0030】

本実施形態に係る光電変換装置は、伝送線PMWが接続された入出力部41と、伝送線PDATが接続された入出力部81とが異なる回路である点が第1実施形態とは異なる。本実施形態によれば、第1実施形態に比較して、入出力部81を含む信号出力部8が増えたことにより回路面積は大きくなるが、垂直走査部3及び水平走査部5を共用することによる回路面積低減の効果を得ることはできる。また、第1実施形態に比べて高速に信号の読み出しを行うことができる。第1実施形態による光電変換装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

30

【0031】

本実施形態による光電変換装置1は、図3に示すように、画素アレイ部2、垂直走査部3、信号送受信部4、水平走査部5、メモリ部6、信号出力部8を含む。画素アレイ部2は、複数の画素2a～2dを含む。

40

【0032】

伝送線PMW1及びPMW2は、画素アレイ部2の同列の複数の画素と共通に接続されている。伝送路PDAT1及びPDAT2は、画素アレイ部2の同行の複数の画素と共通接続されている。入出力部41c及び41dは、信号送受信部4に備わる。入出力部41cは、伝送線PMW1と接続され、所定の信号を、伝送線PMW1を介して画素に送信するように構成されている。同様に、入出力部41dは、伝送線PMW2と接続され、所定の信号を、伝送線PMW2を介して画素に送信するように構成されている。入出力部41c及び41dは、更に伝送線IPMWと接続されている。メモリ部6は、所定の信号を、伝送線IPMWを介して入出力部41c及び41dに順次送信する。

【0033】

50

入出力部 8 1 a 及び 8 1 b は、信号出力部 8 に備わる。入出力部 8 1 a は、伝送線 P D A T 1 と接続され、画素からの画素信号を、伝送線 P D A T 1 を介して受信するように構成されている。同様に、入出力部 8 1 b は、伝送線 P D A T 2 と接続され、画素からの画素信号を、伝送線 P D A T 2 を介して受信するように構成されている。入出力部 8 1 a 及び 8 1 b は、伝送線 S D A T と接続されている。信号出力部 8 は、入出力部 8 1 a 及び 8 1 b が受信した画素信号を、光電変換装置 1 の出力信号 S D A T として順次出力する。

【 0 0 3 4 】

画素 2 a ~ 2 d の各々は、入出力部 2 4、画素回路部 2 1、画素回路部 2 2 を含む。水平走査部 5 は、列選択制御線 H S E L 1 及び H S E L 2 に制御信号を供給することにより、所定の信号の送受信や、画素信号の送信を可能としている。信号出力部 8 は、制御線 H S E L 0 により、水平走査部 5 との同期をとっている。

10

【 0 0 3 5 】

これにより、入出力部 4 1 c 及び 4 1 d は、メモリ部 6 から出力される所定の信号を順次受信し、各画素に送信することができる。入出力部 8 1 a 及び 8 1 b は、画素信号を画素から受信し、信号出力部 8 の作用により、光電変換装置 1 の出力信号 S D A T として順次出力する。

【 0 0 3 6 】

図 3 における光電変換装置 1 の動作に関して、図 4 のタイミング図を用いて説明する。

【 0 0 3 7 】

図 4 には、垂直走査部 3 より、制御線 L S E L 1、L S E L 2、V S E L 1、V S E L 2 に供給される信号と、水平走査部 5 より、列選択制御線 H S E L 1、H S E L 2 に供給される信号と、伝送線 I P M W、出力信号 S D A T、垂直同期信号 V D が示されている。

20

【 0 0 3 8 】

図 4 において、時刻 t 1 にメモリ部 6 から伝送線 I P M W にデータ M 1 1 が送信され、制御線 V S E L 1 及び列選択制御線 H S E L 1 がハイレベルとなると、入出力部 4 1 c にデータ M 1 1 が保持される。同時に、画素 2 a の入出力部 2 4 が、伝送線 P M W 1 を介してデータ M 1 1 を受信し、画素回路部 2 2 に出力する。時刻 t 2 にメモリ部 6 から伝送線 I P M W にデータ M 1 2 が送信され、列選択制御線 H S E L 2 がハイレベルとなると、入出力部 4 1 d にデータ M 1 2 が保持される。同時に、画素 2 b の入出力部 2 4 が、伝送線 P M W 2 を介してデータ M 1 2 を受信し、画素回路部 2 2 に出力する。この時、制御線 L S E L 1 は、ハイレベルである。V S E L 1 がローレベルになった後、時刻 t 3 にメモリ部 6 から伝送線 I P M W にデータ M 2 1 が送信され、制御線 V S E L 2 及び列選択制御線 H S E L 1 がハイレベルとなると、入出力部 4 1 c にデータ M 2 1 が保持される。同時に、画素 2 c の入出力部 2 4 が、伝送線 P M W 1 を介してデータ M 2 1 を受信し、画素回路部 2 2 に出力する。時刻 t 4 にメモリ部 6 から伝送線 I P M W にデータ M 2 2 が送信され、列選択制御線 H S E L 2 がハイレベルとなると、入出力部 4 1 d にデータ M 2 2 が保持される。同時に、画素 2 d の入出力部 2 4 が、伝送線 P M W 2 を介してデータ M 2 2 を受信し、画素回路部 2 2 に出力する。この時、制御線 L S E L 2 は、ハイレベルである。

30

【 0 0 3 9 】

この時点で、画素 2 a、2 b、2 c 及び 2 d は、それぞれ、所定の信号としてデータ M 1 1、M 1 2、M 2 1 及び M 2 2 を受信している。これにより、各画素は、画素回路部 2 2 が受信した各所定の信号に基づき制御される。時刻 t 5 で制御線 L S E L 1 及び L S E L 2 がローレベルとなり、時刻 t 6 で垂直同期信号がハイレベルとなると、光電変換装置 1 は、光電変換に基づく各画素信号を出力する動作に移行する。時刻 t 6 で制御線 V S E L 1 及び列選択制御線 H S E L 1 がハイレベルとなると、画素 2 a の入出力部 2 4 は、画素信号を入出力部 8 1 a に出力する。この時、画素 2 a の画素信号に基づく信号は、光電変換装置 1 の出力信号 S 1 1 として、信号出力部 8 より出力される。時刻 t 7 で列選択制御線 H S E L 2 がハイレベルとなると、画素 2 b の入出力部 2 4 は、画素信号を入出力部 8 1 a に出力する。この時、画素 2 b の画素信号に基づく信号は、光電変換装置 1 の出力信号 S 1 2 として、信号出力部 8 より出力される。次に、制御線 V S E L 1 がローレベル

40

50

になった後、時刻 t_8 で制御線 $VSEL2$ 及び列選択制御線 $HSEL1$ がハイレベルとなると、画素 $2c$ の入出力部 24 は、画素信号を入出力部 $81b$ に出力する。この時、画素 $2c$ の画素信号に基づく信号は、光電変換装置 1 の出力信号 $S21$ として、信号出力部 8 より出力される。時刻 t_9 で列選択制御線 $HSEL2$ がハイレベルとなると、画素 $2d$ の入出力部 24 は、画素信号を入出力部 $81b$ に出力する。この時、画素 $2d$ の画素信号に基づく信号は、光電変換装置 1 の出力信号 $S22$ として、信号出力部 8 より出力される。その後、垂直同期信号 VD がローレベルとなり、時刻 t_{11} で再びハイレベルとなると、光電変換装置 1 は、光電変換に基づく各画素信号を出力する動作を繰り返す。

【0040】

このように、本実施形態の光電変換装置 1 は、入出力部 $41c$ 及び $41d$ から、各画素 $2a \sim 2d$ の入出力部 24 に、所定の信号を伝送することで、画素への所定の信号の書き込みと、画素信号の読み出しの制御が可能となる。この時、各画素への信号伝送の選択制御は、水平走査部 5 及び垂直走査部 3 で行われる。つまり、所定の信号の伝送と、画素信号の伝送の制御には、垂直走査部 3 及び水平走査部 5 が共用される。以上により、本実施形態の光電変換装置 1 は、画素の所定の信号の書き込みと画素信号の読み出しの制御と回路面積の低減の両立が可能となる。更に、本実施形態の光電変換装置 1 は、伝送線 $PDAT1$ 及び $PDAT2$ を画素アレイ部 2 の同行の複数の画素と共通接続し、信号出力部 8 に入出力部 $81a$ 及び $81b$ を備えることで、第 1 実施形態の光電変換装置よりも、画素信号の高速読み出しが可能となる。

【0041】

(第 3 実施形態)

本発明の第 3 実施形態による光電変換装置について、図 5 及び図 6 を用いて説明する。図 5 は、本実施形態による光電変換装置の概略構成図である。図 6 は、本実施形態による光電変換装置の駆動を示すタイミング図である。

【0042】

本実施形態の光電変換装置は、伝送線 $PDAT$ が、画素から入出力部 $41e$ 、 $41f$ への伝送手段として用いられ、且つ、入出力部 $41e$ 、 $41f$ から画素への伝送手段として用いられる点が第 1 実施形態と異なる。つまり、本実施形態は、伝送線 $PDAT$ が双方向信号線である点が第 1 実施形態とは異なる。また、本実施形態の光電変換装置は、伝送線 $IDAT$ をメモリ部 6 からの所定の信号の送信と、画素からの信号の送信と、の双方に用いる点が、第 1 実施形態とは異なる。第 1 実施形態による光電変換装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0043】

本実施形態による光電変換装置 1 は、図 5 に示すように、画素アレイ部 2 、垂直走査部 3 、信号送受信部 4 、水平走査部 5 、メモリ部 6 、信号出力部 9 を含む。画素アレイ部 2 は、複数の画素 $2a \sim 2d$ を含む。

【0044】

入出力部 $41e$ は、伝送線 $PDAT1$ と接続されている。画素 $2a$ 、 $2c$ への所定の信号の送信と画素 $2a$ 、 $2c$ からの画素信号の受信は、伝送線 $PDAT1$ を介して行うように構成されている。同様に、入出力部 $41f$ は、伝送線 $PDAT2$ と接続されている。画素 $2b$ 、 $2d$ への所定の信号の送信と画素 $2b$ 、 $2d$ からの信号の受信とは、伝送線 $PDAT2$ を介して行うように構成されている。入出力部 $41e$ 、 $41f$ は、更に伝送線 $IDAT$ と接続されている。メモリ部 6 は、所定の信号を、伝送線 $IDAT$ を介して入出力部 $41e$ 及び $41f$ に順次送信する。

【0045】

伝送線 $IDAT$ をメモリ部 6 からの所定の信号の送信と、画素からの信号の送信と、の双方に用いる。つまり、所定の信号の送信を行う電氣的経路を用いて画素からの信号の送信を行う。これにより、第 1 実施形態に比較して伝送線の数減らすことができるため、更に光電変換装置の面積を低減することができる。

【0046】

信号出力部 9 は、入出力部 4 1 e 及び 4 1 f から順次出力された画素信号を受信し、光電変換装置 1 の出力信号 S D A T として、画素信号を出力する。

【 0 0 4 7 】

画素 2 a ~ 2 d の各々は、入出力部 2 6、画素回路部 2 1、画素回路部 2 5 を含む。画素 2 a 及び 2 c の入出力部 2 6 は、伝送線 P D A T 1 と接続されている。伝送線 P D A T 1 を介して、入出力部 4 1 e に対する所定の信号の受信と画素信号の送信とが行われる。同様に、画素 2 b 及び 2 d の入出力部 2 6 は、伝送線 P D A T 2 と接続されている。伝送線 P D A T 2 を介して、入出力部 4 1 f に対する所定の信号の受信と画素信号の送信とが行われる。

【 0 0 4 8 】

図 5 における光電変換装置 1 の動作に関して、図 6 のタイミング図を用いて説明する。

【 0 0 4 9 】

図 6 には、垂直走査部 3 より、制御線 L S E L 1、L S E L 2、V S E L 1、V S E L 2 に供給される信号のデータが示されている。更に図 6 には、水平走査部 5 より、列選択制御線 H S E L 1、H S E L 2 に供給される信号と、伝送線 P D A T 1、P D A T 2 及び I D A T、出力信号 S D A T、及び垂直同期信号 V D のデータが示されている。

【 0 0 5 0 】

図 6 において、時刻 t 1 にメモリ部 6 から伝送線 I D A T にデータ M 1 1 が送信され、列選択制御線 H S E L 1 がハイレベルとなると、入出力部 4 1 e にデータ M 1 1 が保持される。同時に、入出力部 4 1 e は、伝送線 P D A T 1 にデータ M 1 1 を送信する。同様に、時刻 t 2 にメモリ部 6 から伝送線 I D A T にデータ M 1 2 が送信され、列選択制御線 H S E L 2 がハイレベルとなると、入出力部 4 1 f にデータ M 1 2 が保持される。同時に、入出力部 4 1 f は、伝送線 P D A T 2 にデータ M 1 2 を送信する。時刻 t 3 で制御線 V S E L 1 がハイレベルとなると、画素 2 a の入出力部 2 6 が、伝送線 P D A T 1 を介してデータ M 1 1 を受信し、画素回路部 2 5 に出力する。同時刻に、同様にして、画素 2 b の入出力部 2 6 が、伝送線 P D A T 2 を介してデータ M 1 2 を受信し、画素回路部 2 5 に出力する。この時、制御線 L S E L 1 は、ハイレベルである。次に、時刻 t 4 にメモリ部 6 から伝送線 I D A T にデータ M 2 1 が送信され、列選択制御線 H S E L 1 がハイレベルとなると、入出力部 4 1 e にデータ M 2 1 が保持される。同時に、入出力部 4 1 e は、伝送線 P D A T 1 にデータ M 2 1 を送信する。同様に、時刻 t 5 にメモリ部 6 から伝送線 I D A T にデータ M 2 2 が送信され、列選択制御線 H S E L 2 がハイレベルとなると、入出力部 4 1 b にデータ M 2 2 が保持される。同時に、入出力部 4 1 f は、伝送線 P D A T 2 にデータ M 2 2 を送信する。時刻 t 6 で制御線 V S E L 2 がハイレベルとなると、画素 2 c の第二信号入出力部 2 6 が、伝送線 P A D T 1 を介してデータ M 2 1 を受信し、画素回路部 2 5 に出力する。同時刻に、同様にして、画素 2 d の入出力部 2 6 が、伝送線 P D A T 2 を介してデータ M 2 2 を受信し、画素回路部 2 5 に出力する。この時、制御線 L S E L 2 は、ハイレベルである。

【 0 0 5 1 】

この時点で、画素 2 a、2 b、2 c 及び 2 d は、それぞれ、所定の信号としてデータ M 1 1、M 1 2、M 2 1 及び M 2 2 を受信している。これにより、各画素は、画素回路部 2 5 が受信した各所定の信号に基づき、各々制御される。

【 0 0 5 2 】

時刻 t 7 で制御線 L S E L 1 及び L S E L 2 がローレベルとなり、時刻 t 8 で垂直同期信号 V D がハイレベルとなると、光電変換装置 1 は、光電変換に基づく各画素信号を出力する動作に移行する。時刻 t 8 で制御線 V S E L 1 がハイレベルとなると、画素 2 a 及び 2 b の入出力部 2 6 は、伝送線 P D A T 1 及び P D A T 2 に、それぞれ、画素信号 P 1 1 及び P 1 2 を出力する。同時に、信号送受信部 4 は、画素 2 a から出力された画素信号を入出力部 4 1 e に、画素 2 b から出力された画素信号を入出力部 4 1 f に保持する。時刻 t 9 で H S E L 1 がハイレベルとなると、信号送受信部 4 は、画素 2 a の画素信号に基づく信号を、入出力部 4 1 e から伝送線 I D A T に出力する。この時、画素 2 a の画素信号

10

20

30

40

50

に基づく信号は、光電変換装置 1 の出力信号 S 1 1 として、信号出力部 9 より出力される。時刻 t 1 0 で H S E L 2 がハイレベルとなると、信号送受信部 4 は、画素 2 b の画素信号に基づく信号を、入出力部 4 1 f から伝送線 I D A T に出力する。この時、画素 2 b の画素信号に基づく信号は、光電変換装置 1 の出力信号 S 1 2 として、信号出力部 9 より出力される。次に、時刻 t 1 1 で制御線 V S E L 2 がハイレベルとなると、同様に、画素 2 c 及び 2 d の画素信号 P 2 1 及び P 2 2 が、信号送受信部 4 の入出力部 4 1 e 及び 4 1 f に、それぞれ保持される。更に、時刻 t 1 2 で H S E L 1 がハイレベルとなると、同様に、画素 2 c の画素信号に基づく信号が、光電変換装置 1 の出力信号 S 2 1 として、信号出力部 9 より出力される。時刻 t 1 3 で H S E L 2 がハイレベルとなると、同様に、画素 2 d の画素信号に基づく信号が、光電変換装置 1 の出力信号 S 2 2 として、信号出力部 9 より出力される。その後、垂直同期信号 V D がローレベルとなり、時刻 t 1 4 で再びハイレベルとなると、光電変換装置 1 は、光電変換に基づく各画素信号を出力する動作を繰り返す。

【0053】

このように、本実施形態の光電変換装置 1 は、入出力部 4 1 e 及び 4 1 f から、各画素 2 a ~ 2 d の入出力部 2 6 に、所定の信号を伝送することで、画素への所定のデジタル信号の書き込み及び画素信号の読み出し制御が可能となる。この時、各画素への信号伝送の選択制御は、水平走査部 5 及び垂直走査部 3 で行われる。また、光電変換装置 1 は、各画素 2 a ~ 2 d の入出力部 2 6 から、入出力部 4 1 e 及び 4 1 f に、画素信号を伝送することで、光電変換に基づく各画素信号を出力する。この時、各画素からの信号伝送の選択制御は、垂直走査部 3 及び水平走査部 5 で行われる。従って、所定の信号の伝送と、画素信号の伝送の制御には、垂直走査部 3 及び水平走査部 5 が共用される。以上により、本実施形態の光電変換装置 1 は、画素への所定の信号の書き込みと画素信号の読み出し制御と、回路面積低減の両立が可能となる。更に、本実施形態の光電変換装置 1 は、設定信号と画素信号の伝送に共通の伝送線を用いているため、第 1 実施形態の光電変換装置より配線数を低減することができ、光電変換装置の面積を更に小さくできる。

【0054】

図 5 において、伝送線 P D A T 1、P D A T 2 及び I D A T は、n 本のバス配線として表記している。これは、画素からの画素信号が n ビットのデータである場合を想定しており、メモリ部 6 から出力される所定の設定信号が n ビットのデータである必要はない。例えば、所定の信号は、ビット数が n より小さい m ビットのデータであってもよい。その場合、メモリ部 6 から各画素への所定の信号の送信は、伝送線 I D A T 及び、P D A T 1、P D A T 2 の一部を介して行ってもよい。また、所定の信号を数ビットのデータとすることで、各画素の制御を高機能化することが可能である。例えば、画素毎の露光時間制御が可能となる。

【0055】

また、垂直走査部 3 及び水平走査部 5 による画素毎の制御は必須ではない。例えば、所定の信号を書き込む際に、垂直走査部 3 又は水平走査部 5 により信号の制御を行いながら、画素の入出力部 2 3 に信号を伝送してもよい。この場合でも、画素への所定の信号の伝送と、画素からの信号の伝送に共通の伝送線を用いているため、光電変換装置の面積低減の効果を得ることができる。

【0056】

また、図 5 では、複数の画素が行列状に配されており、各列に伝送線が配されているがこれに限られない。例えば、行方向又は列方向に複数の画素が配されており、複数の画素に伝送線が接続されている場合も本実施形態に含まれる。

【0057】

(第 4 実施形態)

本発明の第 4 実施形態による光電変換装置について、図 7 及び図 8 を用いて説明する。図 7 は、本実施形態による光電変換装置の概略構成図である。図 8 は、本実施形態による光電変換装置の駆動を示すタイミング図である。

【0058】

本実施形態に係る光電変換装置は、伝送線PDATが同行の複数の画素に共通に接続されている点が第3実施形態とは異なる。更に、信号送受信部10が入出力部12a、12bを備え、信号送受信部10から信号が出力される点が第3実施形態とは異なる。第3実施形態による光電変換装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0059】

本実施形態による光電変換装置1は、図7に示すように、画素アレイ部2、垂直走査部3、水平走査部5、信号送受信部10を含む。画素アレイ部2は、複数の画素2a~2dを含む。

【0060】

伝送線PDAT1及びPDAT2は、画素アレイ部2の同行の複数の画素と共通に接続されている。伝送線PDAT1及びPDAT2は、図7では、n本のバス配線として表記している。入出力部12a及び12bは、信号送受信部10に含まれる。入出力部12aは、伝送線PDAT1と接続されている。入出力部12bは、伝送線PDAT2と接続されている。信号送受信部10に備わるメモリ部11である。更に、メモリ部11、入出力部12a及び12bは、入出力信号SDATからの信号を伝送する伝送線IDATと接続されている。伝送線IDAT及びSDATは、図7では、n本のバス配線として表記している。信号送受信部10は、SDATを介して入力される所定の信号を、メモリ部11に保持し、入出力部12a及び12bに順次伝送するように構成されている。更に、信号送受信部10は、画素から画素信号を入出力部12a及び12bで受信し、光電変換装置1の出力信号SDATとして順次出力するように構成されている。

【0061】

画素2a~2dの各々は、入出力部27、画素回路部21、画素回路部25を含む。画素2a及び2bの入出力部27は、伝送線PDAT1と接続されている。同様に、画素2c及び2dの入出力部27は、伝送線PDAT2と接続されている。更に、列選択制御線HSEL1は、水平走査部5及び、画素2aと2cの入出力部27と接続されている。同様に、列選択制御線HSEL2は、水平走査部5及び、画素2bと2dの入出力部27と接続されている。水平走査部5は、列選択制御線HSEL1及びHSEL2に制御信号を供給することにより、所定の信号の送受信や、画素信号の送信を可能としている。信号送受信部10は、制御線HSEL0により、水平走査部5との同期をとっている。

【0062】

これにより、入出力部12a及び12bは、メモリ部11から出力される所定の信号を順次受信し、各画素に送信することができる。更に、入出力部12a及び12bは、画素信号を画素から受信し、信号送受信部10の作用により、光電変換装置1の出力信号SDATとして順次出力する。

【0063】

図7における光電変換装置1の動作に関して、図8のタイミング図を用いて説明する。

【0064】

図8には、垂直走査部3より、制御線LSEL1、LSEL2、VSEL1、VSEL2に供給される信号が示されている。また、信号送受信部10より制御線HSEL0に供給される信号と、水平走査部5より、列選択制御線HSEL1、HSEL2に供給される信号が示されている。更に、伝送線PDAT1、PDAT2、IDAT、入出力信号SDAT、及び垂直同期信号VDのデータが示されている。

【0065】

図8において、時刻t1にデータS00が、光電変換装置1に入力される。データS00は、画素2a~2dに対する所定の信号に対応したデータ群（複数の所定の信号）であり、前述したように、伝送線IDATを介して、メモリ部11に保持される。

【0066】

時刻t3で制御線LSEL1及びLSEL2がハイレベルとなると、光電変換装置1は

10

20

30

40

50

、所定の信号を画素 2 a ~ 2 d に出力する動作に移行する。

【 0 0 6 7 】

時刻 t 4 にメモリ部 1 1 から伝送線 I D A T にデータ M 1 1 が送信され、入出力部 1 2 a に保持される。制御線 V S E L 1、H S E L 0 がハイレベルになるに伴い、列選択制御線 H S E L 1 がハイレベルとなると、画素 2 a の入出力部 2 7 が、伝送線 P D A T 1 を介してデータ M 1 1 を受信し、画素回路部 2 5 に出力する。時刻 t 5 にメモリ部 1 1 から伝送線 I D A T にデータ M 1 2 が送信され、入出力部 1 2 a に保持される。制御線 H S E L 0 がハイレベルになるに伴い、列選択制御線 H S E L 2 がハイレベルとなると、画素 2 b の入出力部 2 7 が、伝送線 P D A T 1 を介してデータ M 1 2 を受信し、画素回路部 2 5 に出力する。同様に、時刻 t 6 にメモリ部 1 1 から伝送線 I D A T にデータ M 2 1 が送信され、入出力部 1 2 b に保持される。制御線 V S E L 2、H S E L 0 がハイレベルになるに伴い、列選択制御線 H S E L 1 がハイレベルとなると、画素 2 c の入出力部 2 7 が、伝送線 P D A T 2 を介してデータ M 2 1 を受信し、画素回路部 2 5 に出力する。時刻 t 7 にメモリ部 1 1 から伝送線 I D A T にデータ M 2 2 が送信され、入出力部 1 2 b に保持される。制御線 H S E L 0 がハイレベルになるに伴い、列選択制御線 H S E L 2 がハイレベルとなると、画素 2 d の入出力部 2 7 が、伝送線 P D A T 2 を介してデータ M 2 2 を受信し、画素回路部 2 5 に出力する。

【 0 0 6 8 】

この時点で、画素 2 a、2 b、2 c 及び 2 d は、それぞれ、所定の信号としてデータ M 1 1、M 1 2、M 2 1 及び M 2 2 を受信している。これにより、各画素は、画素回路部 2 5 が受信した各所定の信号に基づき制御される。時刻 t 8 で制御線 L S E L 1 及び L S E L 2 がローレベルとなり、時刻 t 9 で垂直同期信号がハイレベルとなると、光電変換装置 1 は、光電変換に基づく各画素信号を出力する動作に移行する。

【 0 0 6 9 】

時刻 t 9 で制御線 V S E L 1、H S E L 0 がハイレベルとなり、列選択制御線 H S E L 1 がハイレベルとなると、画素 2 a の入出力部 2 7 は、画素信号 P 1 1 を入出力部 1 2 a に出力する。この時、画素 2 a の画素信号に基づく信号は、光電変換装置 1 の出力信号 S 1 1 として、伝送線 I D A T を介して、信号送受信部 1 0 より出力される。時刻 t 1 0 で H S E L 0 がハイレベルとなり、列選択制御線 H S E L 2 がハイレベルとなると、画素 2 b の入出力部 2 7 は、画素信号 P 1 2 を入出力部 1 2 a に出力する。この時、画素 2 a の画素信号に基づく信号は、光電変換装置 1 の出力信号 S 1 2 として、伝送線 I D A T を介して、信号送受信部 1 0 より出力される。同様に、時刻 t 1 1 で制御線 V S E L 2、H S E L 0 がハイレベルとなり、列選択制御線 H S E L 1 がハイレベルとなると、画素 2 c の入出力部 2 7 は、画素信号 P 2 1 を入出力部 1 2 b に出力する。この時、画素 2 c の画素信号に基づく信号は、光電変換装置 1 の出力信号 S 2 1 として、伝送線 I D A T を介して、信号送受信部 1 0 より出力される。時刻 t 1 2 で H S E L 0 がハイレベルとなり、列選択制御線 H S E L 2 がハイレベルとなると、画素 2 d の入出力部 2 7 は、画素信号 P 2 2 を入出力部 1 2 b に出力する。この時、画素 2 d の画素信号に基づく信号は、光電変換装置 1 の出力信号 S 2 2 として、伝送線 I D A T を介して、信号送受信部 1 0 より出力される。その後、垂直同期信号 V D がローレベルとなり、時刻 t 1 3 で再びハイレベルとなると、光電変換装置 1 は、光電変換に基づく各画素信号を出力する動作を繰り返す。

【 0 0 7 0 】

このように、本実施形態の光電変換装置 1 は、入出力部 1 2 a 及び 1 2 b から、各画素 2 a ~ 2 d の入出力部 2 7 に、所定の信号を伝送することで、画素への所定の信号の書き込みと画素信号の読み出し制御が可能となる。この時、各画素への信号伝送の選択制御は、水平走査部 5 及び垂直走査部 3 で行われる。また、光電変換装置 1 は、各画素 2 a ~ 2 d の入出力部 2 7 から、入出力部 1 2 a 及び 1 2 b に、画素信号を伝送することで、光電変換に基づく各画素信号を出力する。この時、各画素からの信号伝送の選択制御は、垂直走査部 3 及び水平走査部 5 で行われる。従って、所定の信号の伝送と、画素信号の伝送の制御には、垂直走査部 3 及び水平走査部 5 が共用される。以上により、本実施形態の光電

10

20

30

40

50

変換装置 1 は、画素への所定の信号の書き込みと画素信号の読み出し制御と回路面積低減の両立が可能となる。更に、本実施形態の光電変換装置 1 は、伝送線 P D A T 1 及び P D A T 2 を画素アレイ部 2 の同行の複数の画素と共通接続し、信号送受信部 1 0 に入出力部 1 2 a 及び 1 2 b を備えている。これにより、第 3 実施形態の光電変換装置よりも、画素信号の高速読み出しが可能となる。

【 0 0 7 1 】

本実施形態において、伝送線 P D A T 1、P D A T 2 及び I D A T は、n 本のバス配線として表記している。これは、画素からの画素信号が n ビットのデータである場合を想定しており、メモリ部 1 1 から出力される所定の信号が n ビットのデータである必要はない。例えば、所定の信号は、ビット数が n より小さい m ビットのデータであってもよい。その場合、メモリ部 1 1 から各画素への所定の信号の送信は、伝送線 I D A T 及び、P D A T 1、P D A T 2 の一部を介して行ってもよい。また、所定の信号を数ビットのデータとすることで、各画素の所定の信号の書き込みと画素信号の読み出し制御を高機能化することが可能である。例えば、画素毎の露光時間制御が可能となる。

【 0 0 7 2 】

(第 5 実施形態)

本発明の第 5 実施形態による撮像システムについて、図 9 を用いて説明する。図 9 は、本実施形態による撮像システムの構成例を示すブロック図である。

【 0 0 7 3 】

本実施形態による撮像システム 2 0 0 は、図 9 に示すように、バリア 2 0 1 と、レンズ 2 0 2 と、絞り 2 0 3 と、光電変換装置 2 0 4 と、A F センサ 2 0 5 と、を有している。レンズ 2 0 2 は、被写体の光学像を結像するための光学系である。バリア 2 0 1 は、レンズ 2 0 2 のプロテクトを行うものである。絞り 2 0 3 は、レンズ 2 0 2 を通過する光の光量を調整するためのものである。光電変換装置 2 0 4 は、第 1 乃至第 4 実施形態で説明した光電変換装置 1 を用いて構成され、レンズ 2 0 2 で結像された被写体の光学像を画像信号として取得するためのものである。A F センサ 2 0 5 は、焦点検出に必要な信号を取得するためのものである。

【 0 0 7 4 】

また、撮像システム 2 0 0 は、信号処理部 2 0 8 を更に有している。信号処理部 2 0 8 は、光電変換装置 2 0 4 や A F センサ 2 0 5 から出力された信号の処理や、得られた画像データに対して各種の補正を行い或いはデータを圧縮する処理を行うためのものである。

【 0 0 7 5 】

また、撮像システム 2 0 0 は、メモリ部 2 0 9、外部 I / F 回路 2 1 0、タイミング発生部 2 1 1、全体制御・演算部 2 1 2、記録媒体制御 I / F 部 2 1 3 を更に有している。メモリ部 2 0 9 は、画像データを一時記憶するためのものである。外部 I / F 回路 2 1 0 は、外部コンピュータ 2 1 5 などの外部機器と通信するためのものである。タイミング発生部 2 1 1 は、信号処理部 2 0 8 などに各種タイミング信号を出力するためのものである。全体制御・演算部 2 1 2 は、各種演算とカメラ全体を制御するためのものである。記録媒体制御 I / F 部 2 1 3 は、取得した画像データを記録し、又は画像データの読み出しを行うための半導体メモリなどの着脱可能な記録媒体 2 1 4 との間でデータのやりとりを行うためのものである。

【 0 0 7 6 】

バリア 2 0 1 がオープンされると、被写体からの光学像がレンズ 2 0 2 及び絞り 2 0 3 を介して A F センサ 2 0 5 に入射される。全体制御・演算部 2 1 2 は、A F センサ 2 0 5 からの出力信号をもとに、前記した位相差検出の手法により被写体までの距離を算出する。その後、全体制御・演算部 2 1 2 は、演算結果に基づいてレンズ 2 0 2 を駆動し、再び撮像面に合焦しているか否かを判断し、合焦していないと判断したときには、再びレンズ 2 0 2 を駆動するオートフォーカス制御を行う。

【 0 0 7 7 】

次いで、合焦が確認された後に、光電変換装置 2 0 4 による電荷蓄積動作が開始される

10

20

30

40

50

。光電変換装置 204 の電荷蓄積動作が終了すると、光電変換装置 204 から出力された画像信号は、信号処理部 208 を介して全体制御・演算部 212 によってメモリ部 209 に書き込まれる。

【0078】

その後、メモリ部 209 に蓄積されたデータは、全体制御・演算部 212 の制御により記録媒体制御 I / F 部 213 を介して記録媒体 214 に記録される。或いは、メモリ部 209 に蓄積されたデータは、外部 I / F 回路 210 を介して、直接に外部コンピュータ 215 などに入力してもよい。

【0079】

第 1 乃至第 4 実施形態において説明したように、これまでの実施形態に示した光電変換装置 1 を用いることにより、画素へのデジタル信号の書き込みと画素からのデジタル信号の読み出しのそれぞれの制御をすることができる。従って、この光電変換装置 204 を用いた本実施形態の撮像システムによれば、より高品質な画像を取得することが可能となる。

【0080】

(第 6 実施形態)

本発明の第 6 実施形態による撮像システム及び移動体について、図 10 を用いて説明する。図 10 は、本実施形態による撮像システム及び移動体の構成を示す図である。

【0081】

図 10 (a) は、車載カメラに関する撮像システムの一例を示したものである。撮像システム 300 は、撮像装置 310 を有する。撮像装置 310 は、上記第 1 乃至第 4 実施形態のいずれかに記載の光電変換装置 1 である。撮像システム 300 は、撮像装置 310 により取得された複数の画像データに対し、画像処理を行う画像処理部 312 と、撮像システム 300 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う視差取得部 314 を有する。また、撮像システム 300 は、算出された視差に基づいて対象物までの距離を算出する距離取得部 316 と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部 318 と、を有する。ここで、視差取得部 314 や距離取得部 316 は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部 318 はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【0082】

撮像システム 300 は車両情報取得装置 320 と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、撮像システム 300 は、衝突判定部 318 での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御 ECU 330 が接続されている。また、撮像システム 300 は、衝突判定部 318 での判定結果に基づいて、ドライバーへ警報を発する警報装置 340 とも接続されている。例えば、衝突判定部 318 の判定結果として衝突可能性が高い場合、制御 ECU 330 はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置 340 は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【0083】

本実施形態では、車両の周囲、例えば前方又は後方を撮像システム 300 で撮像する。図 10 (b) に、車両前方（撮像範囲 350）を撮像する場合の撮像システムを示した。車両情報取得装置 320 が、撮像システム 300 ないしは撮像装置 310 に指示を送る。このような構成により、測距の精度をより向上させることができる。

【００８４】

上記では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、撮像システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ＩＴＳ）等、広く物体認識を利用する機器に適用することができる。

【００８５】

（第７実施形態）

図１１に第７実施形態に係る光電変換装置の構成例を示す。本実施形態に係る光電変換装置は、フォトン・カウンティング型の光電変換装置である。フォトン・カウンティング型の光電変換装置とは、光電変換部としてアバランシェダイオードを用いており、アバランシェダイオードへ入射した光子の数を数えている。以下で、光電変換装置１０１の構成と機能の概要を説明する。

【００８６】

本実施形態における光電変換装置１０１は、図１１に示すように、画素１０２～１０５、カウンタ制御回路１０６、及び、カウント上限値記憶回路１０７から構成される。

【００８７】

図１１では、画素１０２～１０５が２行２列に配列された場合を示している。なお、画素の行数及び列数はこれに限定されない。

【００８８】

画素１０２～１０５の構成を、画素１０２を用いて説明する。画素１０２は光電変換部、スイッチ１０８、電源供給部、接地部、抵抗部、カウンタ回路１１２から構成される。光電変換部はアバランシェダイオードにより構成される。

【００８９】

光電変換部の一方のノードは接地部と接続され、当該ノードにはグラウンド電位が供給される。また、光電変換部の他方のノードはスイッチ１０８と抵抗部を介して電源供給部と接続される。スイッチ１０８のオンオフを制御することにより、光電変換部の他方のノードに電源電圧を供給するか否かを制御している。抵抗部は、スイッチ１０８と電源供給部の間に接続されている。

【００９０】

カウンタ回路１１２は、スイッチ１０８と抵抗部との接続ノードに接続されている。光電変換部からの信号はスイッチ１０８を介してカウンタ回路１１２に伝送される。なお、図示していないが、カウンタ回路１１２は、波形整形回路を構成するインバータ回路を介してスイッチ１０８と抵抗部との接続ノードに接続されてもよい。この場合は、光電変換後の電気信号は波形整形回路を用いてデジタル信号に整形され、カウンタ回路１１２へと伝送される。

【００９１】

水平制御線ＨＬ１及び水平制御線ＨＬ２はカウンタ制御回路１０６と接続されている。水平制御線ＨＬ１は、水平方向に配された画素１０２、１０３の各カウンタ回路１１２、１１３に接続される。また、水平制御線ＨＬ２は、水平方向に配された画素１０４、１０５の各カウンタ回路１１４、１１５に接続される。垂直制御線ＶＬ１及び垂直制御線ＶＬ２はカウンタ制御回路１０６に接続される。垂直制御線ＶＬ１は、垂直方向に配された画素１０２、１０４の各カウンタ回路１１２、１１４に接続される。垂直制御線ＶＬ２は、垂直方向に配された画素１０３、１０５の各カウンタ回路１１３、１１５に接続される。

【００９２】

また、出力線ＯＬ１及び出力線ＯＬ２はカウンタ制御回路１０６に接続されている。出力線ＯＬ１は、カウンタ回路１１２、１１４に接続され、各カウンタ回路から出力される画素信号を伝送する。出力線ＯＬ２は、カウンタ回路１１３、１１５に接続され、各カウンタ回路から出力される画素信号を伝送する。上記、各信号のビット数は限定されない。

10

20

30

40

50

【0093】

カウント上限値要求信号線及びカウント上限値出力信号線はカウント上限値記憶回路107とカウンタ制御回路106に接続される。カウント上限値要求信号線はカウンタ制御回路106からカウント上限値記憶回路107へカウント上限値を要求する信号を送信する。カウント上限値出力信号線はカウント上限値記憶回路107からカウンタ制御回路106へカウント上限値を出力する。カウント上限値要求信号及びカウント上限値出力信号のビット数は限定しない。

【0094】

なお、図11ではカウンタ制御回路106を水平方向にのみ記載し、水平制御線HL1及び水平制御線HL2を迂回させている。カウンタ制御回路106を水平方向と垂直方向の両方に用意し、水平制御線HL1及び水平制御線HL2を垂直方向のカウンタ制御回路106に接続してもよい。これにより、カウンタ制御回路106付近の信号線の密度を減らすことができる。

【0095】

水平制御線HL1は、水平方向に配された画素102、103の各カウンタ回路112、113へのカウンタ選択信号、カウント値要求信号、カウンタ停止命令信号、カウンタリセット命令信号をカウンタ制御回路106から伝送する。水平制御線HL2は、水平方向に配された画素104、105の各カウンタ回路114、115へのカウンタ選択信号、カウント値要求信号、カウンタ停止命令信号、カウンタリセット命令信号をカウンタ制御回路106から伝送する。垂直制御線VL1は、垂直方向に配された画素102、104の各カウンタ回路112、114へのカウンタ選択信号、カウント値要求信号、カウンタ停止命令信号、カウンタリセット命令信号をカウンタ制御回路106から伝送する。垂直制御線VL2は、垂直方向に配された画素103、105の各カウンタ回路113、115へのカウンタ選択信号、カウント値要求信号、カウンタ停止命令信号、カウンタリセット命令信号をカウンタ制御回路106から伝送する。

【0096】

図12に、画素の構成例を示す。図12では、図11の画素102を用いて画素の構成を説明する。他の画素103、104、105は、画素102と同様の構成であるため、説明を省略する。

【0097】

水平制御線HL01～水平制御線HL04は、図11の水平制御線HL1に相当する。また、垂直制御線VL01～垂直制御線VL04は、図11の垂直制御線VL1に相当する。したがって、水平制御線HL01～水平制御線HL04、及び、垂直制御線VL01～垂直制御線VL04は、カウンタ制御回路106と接続される。

【0098】

水平制御線HL1を構成する水平制御線HL01～04と、垂直制御線VL1を構成する垂直制御線VL01～VL04とに供給する電位を制御することにより、カウンタ回路を制御している。

【0099】

図12に示すように、画素は、カウンタ回路に接続された、画素選択用スイッチ123、カウント値要求用スイッチ124、カウンタOFF命令用スイッチ125、カウント値出力用スイッチ126、カウンタリセット用スイッチ127をさらに備える。図12では、各スイッチがトランジスタにより構成されている例を示しているが、これに限定されない。各スイッチとして、トランスファークロークなどを用いてもよい。

【0100】

画素選択用スイッチ123は、水平制御線HL01及び垂直制御線VL01と接続される。水平制御線HL01と垂直制御線VL01の両方がHighレベルとなる場合にカウンタ回路が制御対象として選択される。

【0101】

カウント値要求用スイッチ124は、カウント値出力用スイッチ126と接続される。

詳細は後述するが、上記構造によりカウント値要求用スイッチ 1 2 4 が ON の場合、カウント値出力用スイッチ 1 2 6 も ON になる機能を実現する。

【0 1 0 2】

カウント値要求用スイッチ 1 2 4 は、水平制御線 H L 0 2 及び垂直制御線 V L 0 2 と接続される。水平制御線 H L 0 2 と垂直制御線 V L 0 2 の両方が H i g h レベルとなる場合にカウンタ回路のカウント値が要求され、カウント値要求用スイッチが ON になる。

【0 1 0 3】

カウンタ OFF 命令用スイッチ 1 2 5 はカウンタ回路と接続される。カウンタ OFF 命令用スイッチ 1 2 5 は、水平制御線 H L 0 3 及び垂直制御線 V L 0 3 と接続される。水平制御線 H L 0 3 と垂直制御線 V L 0 3 の両方が H i g h レベルとなる場合に、カウンタ OFF 命令用スイッチ 1 2 5 が ON になり、カウンタ回路へカウント動作の OFF 信号が送信される。これにより、カウンタ回路のカウント動作が停止する。

【0 1 0 4】

カウンタリセット用スイッチ 1 2 7 は、カウンタ回路と接続される。カウンタリセット用スイッチ 1 2 7 は、水平制御線 H L 0 4 及び垂直制御線 V L 0 4 と接続される。水平制御線 H L 0 4 と垂直制御線 V L 0 4 の両方が H i g h レベルとなる場合に、カウンタリセット用スイッチ 1 2 7 が ON になり、カウンタ回路へカウンタリセット信号が送信される。これにより、カウンタ回路のカウント値がリセットされる。

【0 1 0 5】

カウント値出力用スイッチ 1 2 6 は、カウンタ回路、カウント値要求用スイッチ 1 2 4 、及び出力線 O L 1 と接続される。図 1 2 では、ある 1 ビットが出力されることを示しているが、複数のビットを出力してもよい。その場合、カウント値出力用スイッチ 1 2 6 が出力するビット数だけ必要になる。

【0 1 0 6】

カウント値要求用スイッチ 1 2 4 が ON になり、且つ、カウンタ回路からカウント値が出力される場合は、カウント値出力用スイッチ 1 2 6 を介して出力線 O L 1 へカウント値が出力される。

【0 1 0 7】

上記回路構成により、カウント値の情報を 1 ビットとしたとき、各画素に対してカウンタ制御に必要なスイッチ数は計 5 つであり、カウンタ制御に必要な最低限の回路規模に留めることが可能である。

【0 1 0 8】

なお、図 1 2 では、画素選択用スイッチ 1 2 3 はカウンタ回路と接続されているが、カウンタ回路以外の画素の構成に接続されても良い。

【0 1 0 9】

図 1 3 に、第 7 実施形態に係る光電変換装置のカウンタ回路制御のフローチャートを示す。

【0 1 1 0】

まず、カウンタ制御回路 1 0 6 がカウント上限値記憶回路 1 0 7 へ、カウント上限値の要求を行う (S 3 0 1)。その後、カウント上限値記憶回路 1 0 7 がカウンタ制御回路 1 0 6 へ、カウント上限値の出力を行う (S 3 0 2)。

【0 1 1 1】

次に、カウンタ制御回路 1 0 6 がカウンタ回路へカウント値の要求を行う (S 3 0 3)。そして、カウンタ回路がカウント値をカウンタ制御回路 1 0 6 へ送る (S 3 0 4)。

【0 1 1 2】

そして、カウンタ制御回路 1 0 6 がカウント値とカウント上限値を比較する (S 3 0 5)。

【0 1 1 3】

なお、図 1 3 のフローチャートは一例であり、S 3 0 5 の実行までに S 3 0 1 から S 3 0 4 が完了していることを満たせば、S 3 0 1、S 3 0 2、S 3 0 3、及び、S 3 0 4 を

10

20

30

40

50

同時に行ってもよい。

【0114】

カウント値がカウント上限値以上である場合、すなわちYesである場合は、カウンタ制御回路106がカウンタ回路へカウンタのOFF指示を送る(S306)。

【0115】

また、カウント値がカウント上限値未満である場合、すなわちNoである場合は、カウンタ制御回路106がカウンタ回路へカウンタのOFF指示を送らない(S307)。

【0116】

続いて、別の画素へ制御対象を移すために、全ての対象画素に対して比較したかを判断する(S308、309)。

【0117】

Noの場合は、別の画素を選択する(S310)。その後、(S301)へ戻る。

【0118】

なお、上記フローは一例であり、カウント上限値を変更しない場合は、(S301)ではなく(S303)に戻りフローを実行してもよい。その場合、処理速度の向上が期待できる。

【0119】

また、別の画素を選択する方法は限定しない。例えば、行方向に1画素ずつ選択してもよく、列方向に1画素ずつ選択してもよい。別の画素を選択する方法をカウンタ制御回路106に与えることで、全ての対象画素に対して比較したかをカウンタ制御回路106によって判断させることもできる。

【0120】

S308またはS309でYesの場合は、全ての画素に対してカウント値をリセットする信号を送る(S311)。その後、全ての画素に対してカウンタOFF指示を解除する(S312)。(S312)により、カウンタの再起動が可能となる。

【0121】

図14に、本実施形態に関わる光電変換装置のカウンタ制御のタイミングチャート(カウンタをOFFにする場合)を示す。図14を用いて、図11で示した光電変換装置101の動作を説明する。

【0122】

図14にはカウント上限値記憶回路107に保持される上限値が示されている。また、カウンタ制御回路106が送信する上限値要求命令、受信する取得した上限値、送信するカウント値要求命令、受信する取得したカウント値、送信するカウンタのOFF指示が示されている。さらに、ある画素に存在するカウンタ信号が3ビット示されている。なお、カウンタ信号は3ビット以上でも、以下でもよい。

【0123】

時刻T1において、上限値要求命令の信号がHighになる。その結果、取得した上限値の値が更新される。また、時刻T2において、ある画素に存在するカウンタ回路の動作が開始する。

【0124】

時刻T3において、カウント値要求命令の信号がHighになる。その結果、ある画素からカウンタ制御回路106へカウント値が送信され、取得したカウント値が更新される。

【0125】

その後、取得した上限値と取得したカウント値が比較され、取得したカウント値が取得した上限値以上である場合、時刻T4において、カウンタ制御回路106のカウンタのOFF指示がHighになる。

【0126】

カウンタ回路のOFF指示のHigh信号をある画素が受信した結果、ある画素のカウンタ回路が停止し、カウンタOFF状態となる。その場合、カウンタ回路の各ビットの信号は停止前の値を保持する。

10

20

30

40

50

【0127】

なお、図14では、時刻T1の動作の後に、時刻T2の動作を行っているがこれに限定されない。例えば、時刻T1における動作の前に時刻T2における動作を行ってもよいし、時刻T1の動作と時刻T2の動作が同時に起こってもよい。

【0128】

図15に、本実施形態に関わる光電変換装置のカウンタ制御のタイミングチャート（カウンタ回路をOFFにしない場合）を示す。図15を用いて、図11で示した光電変換装置101の動作を説明する。

【0129】

図15に示されている信号名は図14と同様であるため省略する。また、時刻T1、及び時刻T2の動作は図14と同様であるため省略する。

10

【0130】

時刻T3において、取得したカウント値が更新された後、取得した上限値と取得したカウント値が比較され、取得したカウント値が取得した上限値未満である場合、カウンタ制御回路106のカウンタ回路のOFF指示はLowの値を維持する。その結果、ある画素のカウンタ回路は動作を継続する。

【0131】

図16に、本実施形態に関わる光電変換装置のカウンタ制御のタイミングチャート（カウンタ回路を再起動する場合）を示す。図16を用いて、図11で示した光電変換装置101の動作を説明する。

20

【0132】

図16に示されているカウンタ回路のリセット指示以外の信号名は、図14と同様であるため省略する。

【0133】

図16にはカウンタ制御回路106から画素回路へ送信されるカウンタのリセット指示が示されている。時刻T1、時刻T2、時刻T3及び時刻T4の動作は図14と同様であるため省略する。

【0134】

時刻T5において、カウンタ制御回路106のカウンタ回路のリセット指示がHighになる。カウンタ回路のリセット指示のHigh信号を画素回路が受信した結果、画素回路のカウンタ回路の全てのビットがLowに遷移する。すなわち、カウンタ回路がリセットされる。

30

【0135】

時刻T6において、カウンタ制御回路106のカウンタのOFF指示がLowに遷移する。カウンタ回路のOFF指示のLow信号をある画素回路が受信した結果、ある画素回路のカウンタが動作を開始する。すなわち、カウンタ回路が再起動される。

【0136】

上記のように、本実施形態によれば、画素から出力された信号に基づく信号を画素へと入力している。具体的には、カウンタ回路から出力された信号に基づき、カウンタ回路を制御する信号を画素のカウンタ回路へと入力している。

40

【0137】

本実施形態によれば、カウンタ制御回路106により複数の画素を各々制御することが可能になる。したがって、各画素に対してカウンタ制御回路106を設けるよりも回路規模を削減することが可能である。また、カウンタ上限値以上の場合にカウンタ回路をOFFにすることで消費電力を削減することができる。

【0138】

（第8実施形態）

図17に第8実施形態に係る光電変換装置の概略構成例を示す。本実施形態に係る光電変換装置は、光電変換部がフォトダイオードにより構成されており、各画素がアナログデジタル変換回路（ADC回路）を有する点が第7実施形態とは異なる。なお、第7実施形

50

態と重複する箇所は同じ符号を付し、説明を省略する。

【0139】

図17に、第8実施形態に関わる光電変換装置の構成例を示す。本実施形態に係る光電変換装置は、図17に示すように、画素102～105、カウンタ制御回路106、カウンタ上限値記憶回路107から構成される。

【0140】

前述の通り、各画素102～105は、ADC回路を含む。図17では、画素102～105が2行2列に配列された場合を示している。なお、画素の行数及び列数は限定されない。

【0141】

本実施形態の画素102～105の構成を、画素102を用いて説明する。画素102は光電変換部、スイッチ108、電源供給部、接地部、抵抗部、ADC回路701から構成される。ADC回路701は、カウンタ回路705及び比較回路709を備える。

【0142】

電変換部の一方のノードは接地部と接続され、当該ノードにはグラウンド電位が供給される。また、光電変換部の他方のノードはスイッチ108と抵抗部を介して電源供給部と接続される。スイッチ108のオンオフを制御することにより、光電変換部の他方のノードに電源電圧を供給するか否かを制御している。抵抗部は、スイッチ108と電源供給部の間に接続されている。

【0143】

また、スイッチ108を介して電源供給部と接続される。

【0144】

ADC回路701～704の構成を、ADC回路701を用いて説明する。ADC回路701はカウンタ回路705及び比較回路709から構成される。

【0145】

比較回路709には、光電変換部からの信号がスイッチ108を介して伝送される。また、比較回路709には、参照電圧として使用されるVref信号線が接続される。Vref信号は画素内で値を有してもよいし、画素外の回路から設定してもよい。

【0146】

カウンタ回路705は比較回路709と接続され、互いに信号を出力できる構成とする。例えば、比較回路709がカウンタ回路705にカウント値を要求する信号を出力できる。また、カウンタ回路705が比較回路709へカウント値を出力できる。

【0147】

カウンタ回路705の用途は光電変換部からの出力電圧が参照電圧に到達するまでの時間を計測する機能などを有する。

【0148】

比較回路709は参照電圧と光電変換部からの出力電圧を比較する機能などを有する。

【0149】

なお、図17での構成は参照電圧と出力電圧を比較することによるAD変換を想定した回路構成を示しているが、カウンタ回路を含む構成であればADC回路の手法は限定しない。

【0150】

水平制御線HL1は、カウンタ制御回路106と、水平方向に配された画素102、103の各カウンタ回路705、706に接続される。水平制御線HL2は、カウンタ制御回路106と、水平方向に配された画素104、105の各カウンタ回路707、708に接続される。垂直制御線VL1は、カウンタ制御回路106と、垂直方向に配された画素102、104の各カウンタ回路705、707に接続される。垂直制御線VL2は、垂直方向に配された画素103、105の各カウンタ回路706、708に接続される。

【0151】

また、出力線OL1は、カウンタ制御回路106と、垂直方向に配された画素102、

10

20

30

40

50

104の各カウンタ回路705、707に接続される。出力線OL2は、カウンタ制御回路106と、垂直方向に配された画素103、105の各カウンタ回路706、708に接続される。上記、各信号のビット数は限定されない。

【0152】

なお、図17においても、カウンタ制御回路106を水平方向にのみ配置しているが、第7実施形態と同様に、カウンタ制御回路106を水平方向と垂直方向の両方に配置してもよい。

【0153】

水平制御線HL1は、カウンタ制御回路106から、水平方向に配された画素102、103の各カウンタ回路705、706へのカウンタ選択信号、カウント値要求信号、カウンタ停止命令信号、カウンタリセット命令信号を伝送する。水平制御線HL2は、カウンタ制御回路106から、水平方向に配された画素104、105の各カウンタ回路707、708へのカウンタ選択信号、カウント値要求信号、カウンタ停止命令信号、カウンタリセット命令信号を伝送する。

【0154】

垂直制御線VL1は、カウンタ制御回路106から、垂直方向に配された画素102、103のADC回路701、703のカウンタ回路705、707へのカウンタ選択信号、カウント値要求信号、カウンタ停止命令信号、カウンタリセット命令信号を伝送する。垂直制御線VL2は、カウンタ制御回路106から、垂直方向に配された画素102、103のADC回路701、703のカウンタ回路705、707へのカウンタ選択信号、カウント値要求信号、カウンタ停止命令信号、カウンタリセット命令信号を伝送する。

【0155】

出力線OL1は、垂直方向に配された画素102、104のADC回路701、703のカウンタ回路705、707からカウンタ制御回路106へカウント値を送信する。出力線OL2は、垂直方向に配された画素103、105のADC回路702、704のカウンタ回路706、708からカウンタ制御回路106へカウント値を送信する。

【0156】

カウント上限値要求信号線及びカウント上限値出力信号線はカウント上限値記憶回路107とカウンタ制御回路106に接続される。カウント上限値要求信号線及びカウント上限値出力信号線のビット幅は限定しない。

【0157】

カウント上限値要求信号線はカウンタ制御回路106からカウント上限値記憶回路107へカウント上限値を要求する信号を送信する。カウント上限値出力信号線はカウント上限値記憶回路107からカウンタ制御回路106へカウント上限値を出力する。

【0158】

上記、構成によりカウンタ制御回路106により複数の画素回路を各々制御することが可能になる。したがって、画素に対してカウンタ制御回路106を1対1で設けるよりも回路規模を削減することが可能である。

【0159】

図18に、本実施形態に関わる画素の構成例を示す。画素は、光電変換部、スイッチ、電源供給部、接地部、抵抗部、ADC回路を含む。さらに、画素は、画素選択用スイッチ123、カウント値要求用スイッチ124、カウンタOFF命令用スイッチ125、カウント値出力用スイッチ126、カウンタリセット用スイッチ127を含む。ADC回路は、カウンタ回路及び比較回路を含む。Vref信号、及び比較回路の構成と機能は図17と同様である。図18では、各スイッチがトランジスタにより構成されている例を示しているが、これに限定されない。各スイッチとして、トランスファークロークなどを用いてもよい。

【0160】

画素選択用スイッチ123、カウント値要求用スイッチ124、カウンタOFF命令用スイッチ125、カウンタリセット用スイッチ127、及び、カウント値出力用スイッチ

10

20

30

40

50

126は、ADC回路のカウンタ回路と接続される。この以外は、第7実施形態で説明した構成および機能と同様であるため説明を省略する。

【0161】

なお、カウンタ制御の動作フロー及び、タイミングチャートは、画素がフォトン・カウンティングを行うSPAD画素である場合（図13～16）と同様である。

【0162】

上記のように、本実施形態によれば、画素から出力された信号に基づく信号を画素へと入力している。具体的には、カウンタ回路から出力された信号に基づき、カウンタ回路を制御する信号を画素のカウンタ回路へと入力している。

【0163】

本実施形態においても、第7実施形態と同様に、制御回路106により複数の画素を各々制御することが可能になる。したがって、各画素に対してカウンタ制御回路106を設けるよりも回路規模を削減することが可能である。また、カウンタ上限値以上の場合にカウンタ回路をOFFにすることで消費電力を削減することができる。

【0164】

（第9実施形態）

図19に、第9実施形態に関わる光電変換装置の構成例を示す。本実施形態に係る光電変換装置は、各画素の露光を制御する点が第7実施形態とは異なる。なお、第7実施形態と重複する箇所は同じ符号を付し、説明を省略する。

【0165】

本実施形態における光電変換装置101は、図11に示す構成に加えて画素アドレス指定回路901、画素アドレス記憶回路902を備える。また、各画素は、露光命令用スイッチ903～906を備える。

【0166】

水平露光制御線HEL1は、画素アドレス指定回路901と水平方向に配された画素102、103の露光命令用スイッチ903、904に接続される。水平露光制御線HEL2は、画素アドレス指定回路901と、水平方向に配された画素104、105の露光命令用スイッチ905、906に接続される。垂直露光制御線VEL1は、画素アドレス指定回路901と、垂直方向に配された画素102、104の露光命令用スイッチ903、905に接続される。上記、各信号のビット数は限定されない。垂直露光制御線VEL2は、画素アドレス指定回路901と、垂直方向に配された画素103、105の露光命令用スイッチ904、906に接続される。

【0167】

水平露光制御線HEL1は、画素アドレス指定回路901から画素102、103のスイッチ108、109へ、露光命令用スイッチ903、904を介して露光命令用信号を伝送する。水平露光制御線HEL2は、画素アドレス指定回路901から画素104、105のスイッチ110、111へ、露光命令用スイッチ905、906を介して露光命令用信号を伝送する。

【0168】

垂直露光制御線VEL1は、画素アドレス指定回路901から画素102、104のスイッチ108、110へ、露光命令用スイッチ903、905を介して露光命令用信号を伝送する。垂直露光制御線VEL2は、画素アドレス指定回路901から画素103、105のスイッチ109、111へ、露光命令用スイッチ904、906を介して露光命令用信号を伝送する。

【0169】

画素アドレス出力信号線1は画素アドレス指定回路901と画素アドレス記憶回路902に接続される。画素アドレス出力信号線1のビット幅は限定しない。

【0170】

画素アドレス出力信号線1は画素アドレス指定回路901から画素アドレス記憶回路902へ露光対象の画素アドレスを送信する。

10

20

30

40

50

【0171】

画素アドレス要求信号線及び画素アドレス出力信号線2は画素アドレス記憶回路902とカウンタ制御回路106に接続される。画素アドレス出力信号線2のビット幅は限定しない。

【0172】

画素アドレス要求信号線はカウンタ制御回路106から画素アドレス記憶回路902へ制御対象画素アドレスを要求する信号を送信する。

【0173】

画素アドレス出力信号線2は画素アドレス記憶回路902からカウンタ制御回路106へ制御対象画素アドレスを出力する。

10

【0174】

上記、構成により画素アドレス指定回路901、画素アドレス記憶回路902により露光された画素に限定し、画素を各々制御することが可能になる。したがって、第7実施形態よりも光電変換装置の回路規模が増加するものの、カウンタ制御の動作時間を短縮することが可能となる。

【0175】

図20に、本実施形態に関わる画素の構成例を示す。なお、図12と重複する箇所は説明を省略する。

【0176】

露光命令用スイッチ1001は、スイッチと接続される。

20

【0177】

露光命令用スイッチ1001は、水平制御線HL05及び垂直制御線VL05と接続される。水平制御線HL05及び垂直制御線VL05は、画素アドレス指定回路901と接続される。

【0178】

水平制御線HL05と垂直制御信線VL05の両方がHighレベルとなる場合に、露光命令用スイッチ1001がOnとなる。その結果、スイッチもOnとなり、対象画素での露光が開始される。

【0179】

カウント値の情報を1ビットとしたとき、各画素に対してカウンタ制御に必要なスイッチ数は計6つである。第7実施形態と比較してスイッチ1つ分の回路規模増加はあるものの、カウンタ制御対象の画素アドレスを限定し、動作時間を短縮することが可能となる。

30

【0180】

図21に、本実施形態に関わる光電変換装置の露光対象画素アドレス取得のフローチャートを示す。

【0181】

まず、画素アドレス指定回路901が露光命令を、対象の画素へ送る(S1101)。その後、画素アドレス指定回路901が露光命令を出した画素アドレスを画素アドレス記憶回路902へ送る(S1102)。

【0182】

次に、カウンタ制御回路106が画素アドレス記憶回路902へ画素アドレスの要求を行う(S1103)。そして、画素アドレス記憶回路902がカウンタ制御回路106へ画素アドレスの出力を行う(S1104)。

40

【0183】

S1101からS1104が露光対象の画素の数だけ繰り返される。その場合、処理速度を向上させるために、パイプライン処理を行ってもよい。

【0184】

また、第7実施形態の図13に示したフローともパイプライン処理を行ってもよい。その場合、図13のS303は、少なくとも一度S1104が完了した後に実行される。

【0185】

50

上記のように、本実施形態によれば、各画素に対してカウンタ制御回路106を設けるよりも回路規模を削減することが可能である。また、制御対象の画素を露光された画素のみに限定することで、全ての画素を走査する場合と比較して、処理速度を上げることが可能となる。

【0186】

(第10実施形態)

図22に、第10実施形態に関わる光電変換装置の構成例を示す。本実施形態に係る光電変換装置は、光電変換部がフォトダイオードにより構成されており、各画素がアナログデジタル変換回路(ADC回路)を有する点が第9実施形態とは異なる。なお、第7実施形態乃至第9実施形態と重複する箇所は同じ符号を付して説明を省略する。

10

【0187】

図22に、本実施形態に関わる光電変換装置の構成例を示す。本実施形態における光電変換装置101は、図17に加えて画素アドレス指定回路901、画素アドレス記憶回路902を備える。また、各画素は、露光命令用スイッチ903～906を備える。

【0188】

本実施形態によれば、画素アドレス指定回路901、画素アドレス記憶回路902により露光された画素に限定し、各画素を制御することが可能になる。したがって、第8実施形態よりも光電変換装置の回路規模が増加するものの、カウンタ制御の動作時間を短縮することが可能となる。

【0189】

20

図23に、本実施形態に関わる画素の構成例を示す。なお、図18と重複する箇所は説明を省略する。

【0190】

露光命令用スイッチ1001はスイッチと接続される。露光命令用スイッチ1001は、ADC回路のカウンタ回路に接続される以外の構成および機能は、第9実施形態と同様であるため、説明を省略する。また、光電変換装置の露光対象画素アドレス取得のフローチャートは図21と同様であるため省略する。

【0191】

上記のように、本実施形態によれば、ADC回路を画素回路に含んだ光電変換装置においても、制御対象の画素を露光された画素のみに限定することで、全ての画素を走査する場合と比較して、処理速度を上げることが可能となる。

30

【0192】

本発明は、上記実施形態に限らず種々の変形が可能である。例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。

【0193】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

40

【符号の説明】

【0194】

- 1 光電変換装置
- 2 a～2 d 画素
- 3 垂直走査部
- 4, 10 信号送受信部
- 5 水平走査部
- 6, 11 メモリ部
- 7～9 信号出力部
- 21 画素回路部

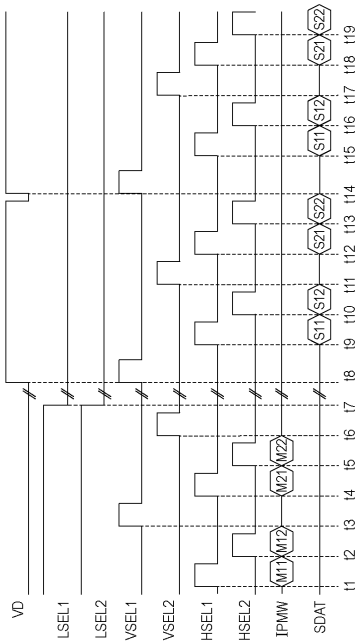
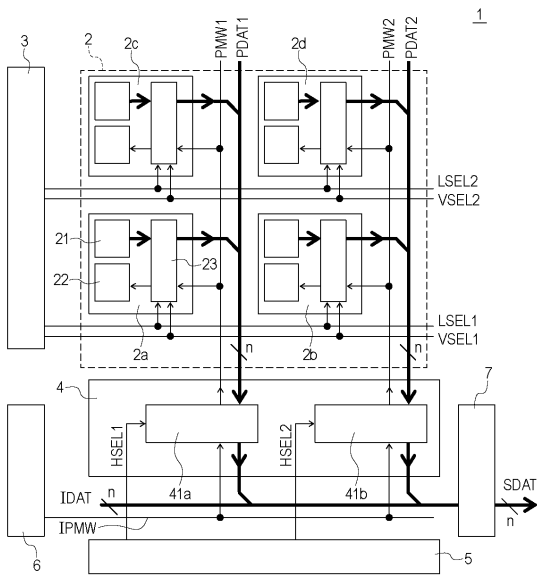
50

2 2 画素回路部
2 3, 2 4, 2 6, 2 7 入出力部
4 1 a ~ 4 1 f, 8 1 a ~ 8 1 b, 1 2 a ~ 1 2 b 入出力部

【図面】

【図 1】

【図 2】



10

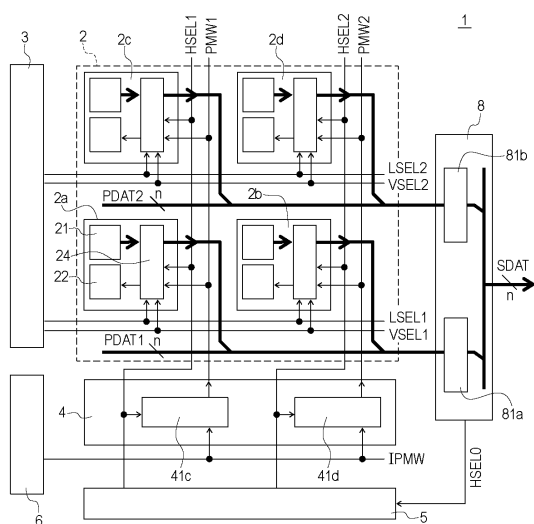
20

30

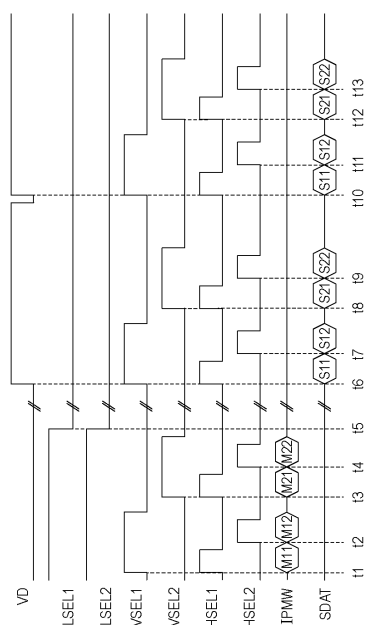
40

50

【図 3】



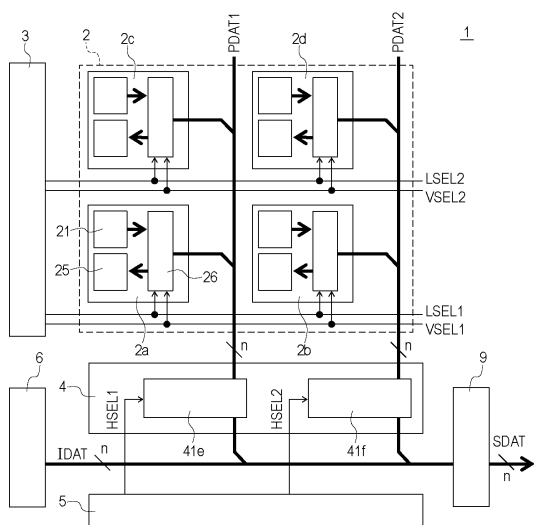
【図 4】



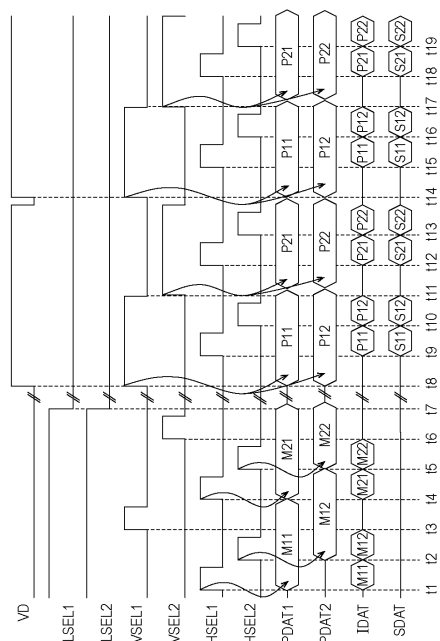
10

20

【図 5】



【図 6】

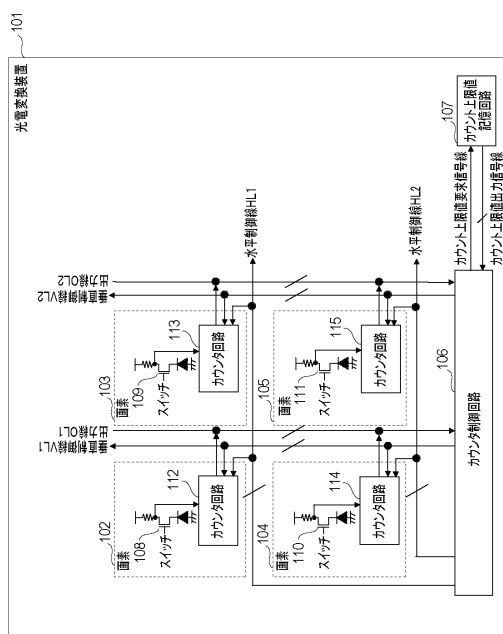


30

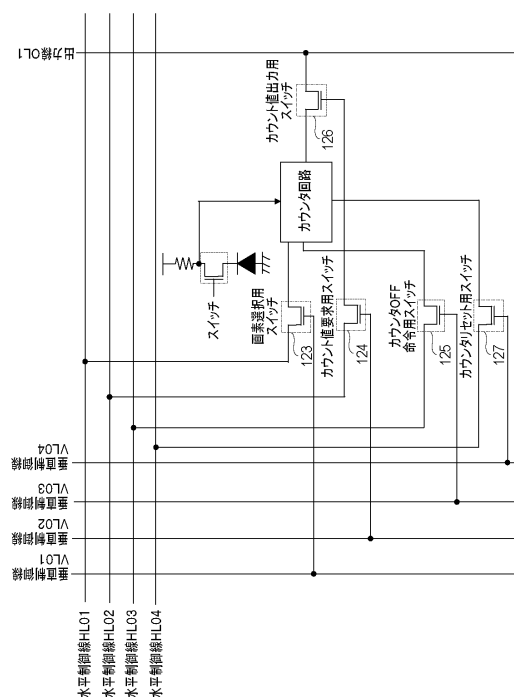
40

50

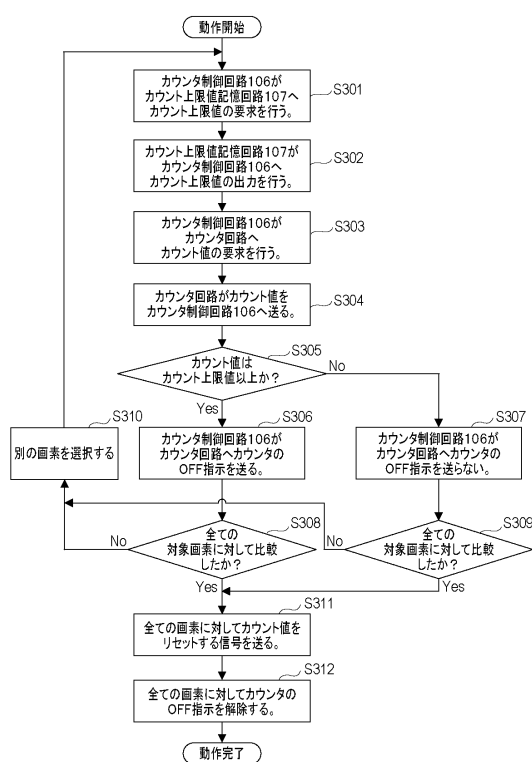
【図 1 1】



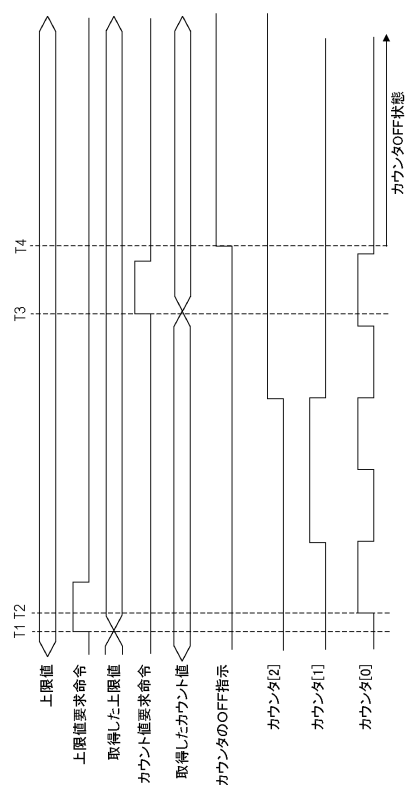
【図 12】



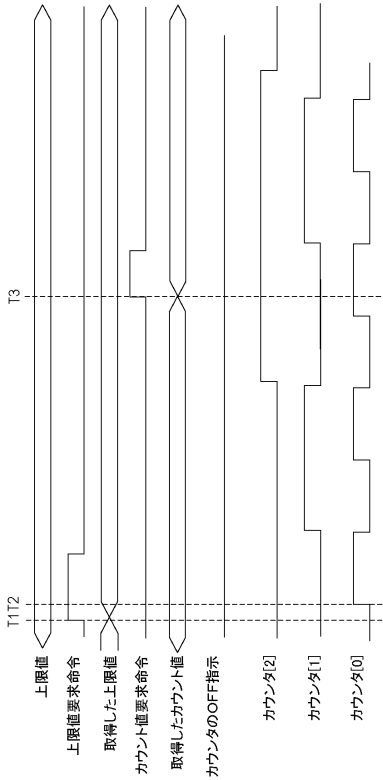
【図 13】



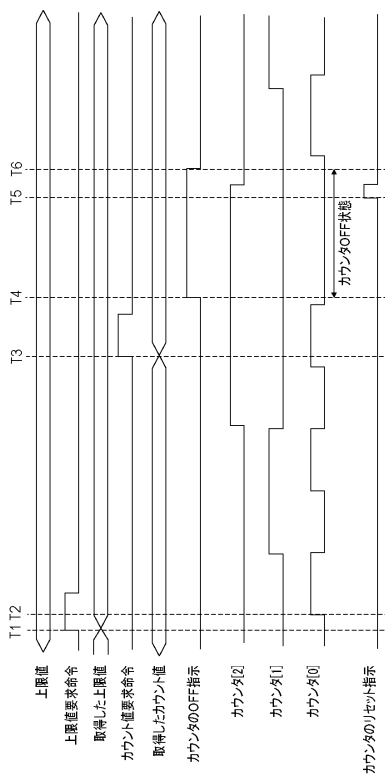
【図 14】



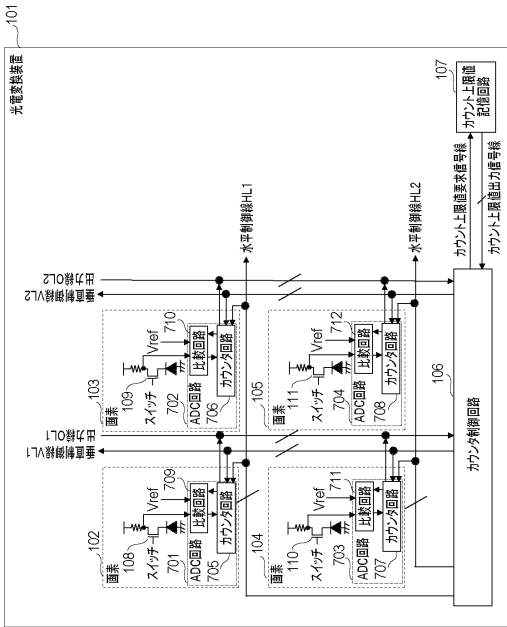
【図 15】



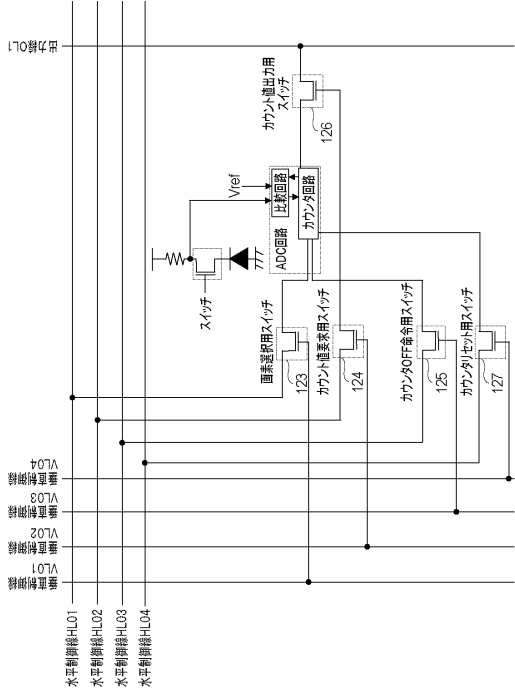
【図 16】



【図 17】



【図 18】



10

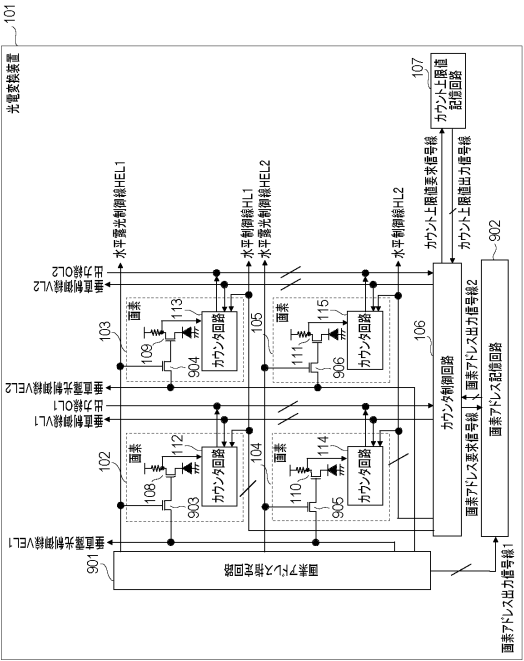
20

30

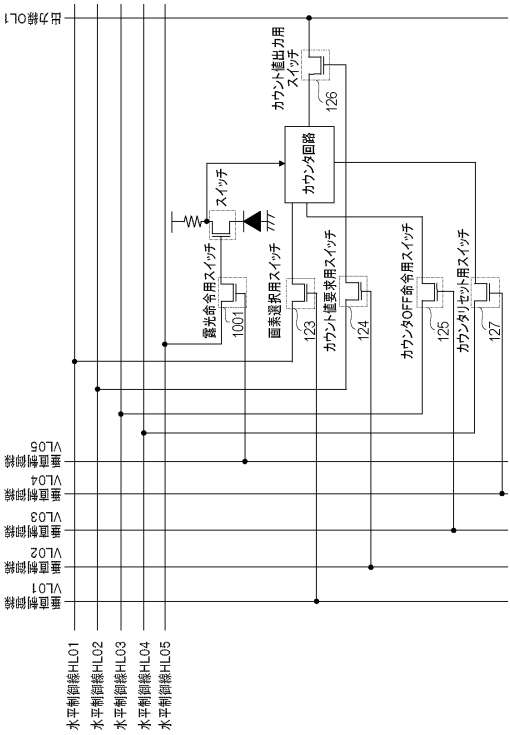
40

50

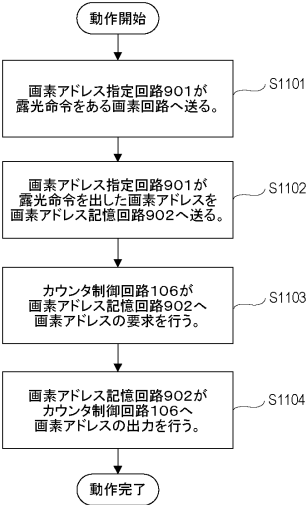
【図 19】



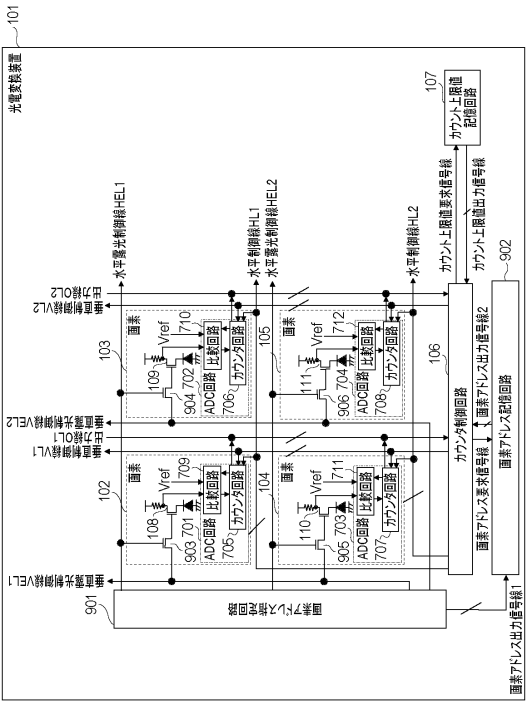
【図 20】



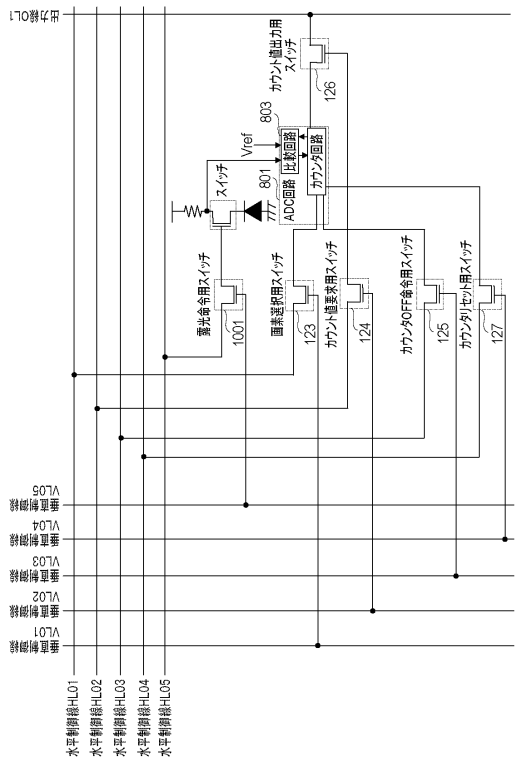
【図 21】



【図 22】



【図 23】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 4 N 25/40 (2023.01)

H 0 4 N 25/40

ヤノン株式会社内

(72)発明者 皆川 拓也

東京都大田区下丸子3丁目30番2号キャノン株式会社内

(72)発明者 黒田 享裕

東京都大田区下丸子3丁目30番2号キャノン株式会社内

審査官 鈴木 明

(56)参考文献 米国特許出願公開第2010／0182011 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H 0 4 N 25／00－25／79