



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

203456

(11)

(B1)

/22/ Přihlášeno 29 08 78
/21/ /PV 5585-78/

(51) Int. Cl.³
H 04 B 1/04

(40) Zveřejněno 30 06 80

(45) Vydáno 15 12 82

(75)

Autor vynálezu

ROTT HILBERT ing. CSc., PRAHA

(54) Zapojení vyrovnávací paměti na výstupu signálního traktu systému s pulsně kódovou modulací

1

Vynález se týká zapojení vyrovnávací paměti signálních kanálů přijímacího traktu přenosového systému s pulsně kódovou modulací (PCM).

Při dosavadních řešeních přenášeců dálkové volby pro přenosové systémy s PCM je každý přenášec připojen individuálně k výstupu signálního traktu. Činnost jeho logických obvodů je nezávislá na rytmu modulačních impulsů systému s PCM, protože přijímané signály jsou ze systému s PCM předávány stejnosměrným proudem a rovněž signalizace opačným směrem z přenášedle do systému se uskutečňuje obdobně.

Má-li se přenášec nebo jeho část řešit jako integrovaná součást systému s PCM, vznikají technické potíže především proto, že na kterémkoliv z obou konců okruhu je vysílací trakt systému řízen vlastním oscilátorem a přijímací trakt je synchronizován s vysílacím traktem druhého konce okruhu. Uvedená skutečnost způsobuje, že vysílací a přijímací trakt téhož konce okruhu nepracují přesně synchronně ani co do fáze, ani co do rychlosti.

Jednou z možností odstranění uvedených potíží je použití vyrovnávací paměti na výstupní straně přijímacího traktu systému s PCM. Zapojení vyrovnávací paměti podle podstaty vynálezu spočívá v tom, že obsahuje dva posuvné registry, k jejichž vstupu je připojen společný vodič pro přenos informací z přenosového systému, vstup pro ovládací hodinové impulsy prvního registru je připojen k výstupu prvního přepínacího obvodu, vstup pro ovládací hodinové impulsy druhého registru je připojen k výstupu druhého přepínacího obvodu, přičemž k prvním vstupům obou přepínacích obvodů je připojen vodič zdroje hodinových impulsů k řízení příjmu informací, ke druhým vstupům obou přepínacích obvodů je připojen výstup zdroje hodinových impulsů k řízení vysílání informací, řídicí vstupy prvního přepínacího obvodu jsou připojeny k prvnímu a druhému ovládacímu výstupu řídicího bloku, řídicí vstupy druhého přepínacího obvodu jsou připojeny k třetímu a čtvrtému ovládacímu výstupu řídicího bloku,

výstupy posuvných registrů jsou připojeny k vstupům třetího přepínacího obvodu, jehož výstup je prvním výstupem zapojení a řídicí vstupy třetího přepínacího obvodu a čtvrtého přepínacího obvodu jsou připojeny k druhému a čtvrtému ovládacímu výstupu řídicího bloku, na další dva vstupy čtvrtého přepínacího obvodu jsou připojeny výstupy z pamětí obsažených v řídicím bloku příslušných posuvných registrů, výstup čtvrtého přepínacího obvodu k signalizaci platnosti informací je druhým výstupem zapojení a řídicí blok je připojen svými vstupy k předcházejícím obvodům zařízení.

Zapojení vyrovnávací paměti podle vynálezu odstraňuje uvedené nevýhody. Přitom skutečnost, že přenos signalizace je v systému s PCM mnohem rychlejší, než je nutné k přenosu řídicích značek telefonních ústředěn, je s výhodou využita k eliminaci chyb přenosu vzniklých náhodnými poruchami synchronizace v systému s PCM.

Příklad zapojení podle vynálezu je dále popsán pomocí výkresů, kde na obr. 1 je znázorněno základní blokové schéma, na obr. 2 a obr. 3 jsou dva příklady konkrétního zapojení řídicího bloku uvedeného na obr. 1.

V blokovém schématu na obr. 1 jsou na levé straně obrázku vstupní vodiče a na pravé straně výstupní vodiče. Vodič rx slouží k příjmu signálních stavů jednotlivých kanálů každého z 32 okruhů systému s PCM. Je-li každý okruh vybaven dvěma signálními kanály, pak při běžně používaných systémech s PCM se po vodiči rx předává každé 2 ms skupina 64 stavů. Vodič hp přenáší z přijímacího traktu hodinové impulsy v rytmu přenosu signálních stavů po vodiči rx. Tím signalizuje, v kterých okamžicích mají být tyto signální stavy snímány. Vodič dx přenáší z přijímacího traktu informaci o správnosti skupiny signálů, která byla předtím předána po vodičích rx a hp. Vodič pk signalizuje impulsem okamžik, kdy má být snímán stav vodiče dx.

Impuls se vysílá vždy po ukončení přenosu skupiny po vodičích rx a hp. Impuls na vodiči pk musí skončit dříve, než nastane přenos další skupiny. Vodič hv přenáší z vysílacího traktu systému hodinové impulsy, jimiž se řídí zpracování signálů v logických obvodech následujících za vyrovnávací pamětí. Vždy po ukončení přenosu skupiny 64 hodinových impulsů po vodiči hv je po vodiči vk přijímán pomocný impuls, který skončí dříve, než začne přenos další skupiny hodinových impulsů po vodiči hv.

Vodič y vyznačuje stav, kdy logické obvody následující za vyrovnávací pamětí přijímají informace z jejího výstupu. Vodič ro slouží k přenosu signálních stavů obsažených ve vyrovnávací paměti do následujících obvodů. Vodič hr je určen k řízení snímání stavů vodiče ro při přenosu obsahu vyrovnávací paměti do následujících obvodů. Vodič hd signalizuje do obvodů následujících za vyrovnávací pamětí ukončení přenosu skupiny stavů z vyrovnávací paměti impulsem odvozeným z vodiče vk. Vodič do slouží k signalizaci platnosti nebo neplatnosti informací předávaných po vodiči ro.

Blokové schéma na obr. 1 znázorňuje základní zapojení vyrovnávací paměti. Ra a Rb jsou dva posuvné registry, z nichž každý je schopen zaznamenat sled signálních stavů přenášených ze systému s PCM v rámci jedné skupiny, tj. v uvažovaném příkladě 64 stavů. Přepínací obvody X1, X2, X3, X4 v závislosti na stavu řídicích vstupů umožňují průchod signálu z jednoho nebo druhého svého vstupu na výstup. Řídicí blok P řídí příjem a předávání informací ve vyrovnávací paměti takto:

Předpokládejme, že stav vodiče yi je 1. Pak v okamžiku, kdy na vodiči y nastane stav 1, se v řídicím bloku P uvolní průchod hodinových impulsů z vodiče hv na hr a přes první přepínací obvod X1 a vodič ha přicházejí hodinové impulsy až k prvnímu registru Ra. Výstupní stavy prvního registru Ra, ovládaného impulsy z vodiče ha, jsou vodičem ra přes třetí přepínací obvod X3 přenášeny na vodič ro. Současně přes čtvrtý přepínací obvod X4 je na vodič do přenášen stav vodiče da. Po ukončení přenosu skupiny stavů z prvního registru Ra se přenesou impulsy z vodiče vk přes řídicí blok P na vodič hd. Na vodiči y nastane stav 0

a současně se navzájem zamění stavy vodičů y1 a y2. Od tohoto okamžiku je na vodiči da stav 0 nezávisle na tom, jaký byl na něm stav předtím.

Po změně stavu vodiče y z 0 na 1 se pochod opakuje s tím rozdílem, že na vodiči y2 je stav 1 a předává se obsah druhého registru Rb a stav vodiče db. Další činnost zapojení při předávání informací do obvodů následujících za vyrovnávací paměti je již pouze cyklické opakování popsané činnosti.

Od okamžiku, kdy po předání informace z prvního registru Ra se změni stavy vodičů y1 a y2, je tento registr Ra připraven k příjmu další skupiny signálních stavů ze systému s PCM. První impuls přijatý za tohoto stavu po vodiči pk způsobí v řídicím bloku P na vodiči x1 stav 1. Pak hodinové impulsy přijímané na vodiči hp jsou přes první přepínací obvod X1 předávány na vodič ha a řídí snímání skupiny signálních stavů z vodiče rx do prvního registru Ra. Po záznamu skupiny mohou nastat dva případy. V prvním případě je při příjmu dalšího impulsu po vodiči pk na vodiči dx stav 1.

Pak se tento stav zaznamená v řídicím bloku P a na vodiči da vznikne stav 1. Současně nastane na vodiči x1 stav 0. Tím se přeruší další přenos hodinových impulsů z vodiče hp na ha a zamezí se dalšímu příjmu informací do prvního registru Ra. V druhém případě je při příjmu impulsu po vodiči pk na vodiči dx stav 0, což signalizuje neplatnou skupinu. V tomto případě stavy na vodičích x1 a da zůstanou beze změny a první registr Ra přijímá další skupinu, po níž mohou nastat opět dva případy. Vysílání informací z vyrovnávací paměti se v uvedeném příkladě uskutečňuje každé 4 ms, a proto dojde během příjmu druhé skupiny do prvního registru Ra též k uvolnění druhého registru Rb. Po příjmu druhé skupiny se při impulsu na vodiči pk změni stav vodiče x1 na 0. Současně nastane na vodiči x2 stav 1 a na vodiči db stav 0. Popsaný pochod se opakuje s tím rozdílem, že informace se přijímá do druhého registru Rb.

Příklad zapojení řídicího bloku P je na obr. 2. Hradla H1 až H25 jsou hradla typu NAND nebo N, hradlo H26 je typu EXCLUSIV - OR. Obvod G je dvojkový čítač, jehož ovládací vstup c je ovládán vodičem y tak, že při přechodu ze stavu 1 na stav 0 se měni stav výstupu. Obvody DA, DB, DP a DQ jsou paměti typu D, které při stavu 1 na vstupech R a S přejímají na výstup Q stav vstupu D při přechodu hodinového vstupu C ze stavu 0 nebo 1. Při stavu 0 na vstupu C a při stavu 0 na vodiči S vznikne na výstupu Q stav 1, kdežto při stavu 0 na vstupu R vznikne na výstupu Q stav 0. Je-li na vodiči y stav 1, jsou hodinové impulsy z vodiče hy přenášeny přes hradla H1 a H2 na vodič hr.

Je-li např. na vodiči y1 stav 0 a tudíž na vodiči y2 stav 1, pak při stavu 1 na vodičích y a vk bude předáván impuls po vodiči hd. Současně bude v paměti DP na vstupu R 0 a v paměti DA na vstupu S rovněž 0, takže na vodiči do bude stav 0 a na vodiči da1 stav 1. S ukončením impulsu na vodiči vk se změni stav čítače G, takže na vodiči v1 vznikne stav 1 a na vodiči y2 stav 0. Pak při příchodu impulsu po vodiči pk vznikne v paměti DP na vstupu S stav 0. Tím se změni stav paměti DP a na vodiči x1 vznikne stav 1. Po příjmu skupiny signálních stavů do prvního registru Ra přijde další impuls po vodiči pk.

Jelikož se mezitím změnil stav vodiče y na 1, je impuls z vodiče pk přenesen na výstup hradla H12. Obvod paměti DA může v závislosti na stavu vodiče dx změnit svůj stav. Je-li v tomto okamžiku na vodiči dx stav 0, zůstane stav paměti DP a DA a tím i stav vodiče v1 beze změny. Je-li na vodiči dx stav 1, změni se při hodinovém impulsu na hradle H12 stav paměti DA a tím i stav vodiče x1 se změni na 0. Pokud se stav paměti DA při impulsu na vodiči pk nezměnil, reagují obě paměti DA a DP i na další impuls na vodiči pk.

Protože mezitím došlo opět ke změně stavu na vodičích y, y1 a y2, zůstane při tomto impulsu na vodiči pk stav 1 na výstupu hradla H26 a na stav vodiče dx reaguje paměť DP. Je-li na vodiči dx stav 1, změni se stav paměti DA. Je-li na vodiči dx stav 0, změni se stav paměti DP. Ať se změni stav paměti DP nebo DA, nastane změna na vodiči x1 na 0 a první registr Ra další skupinu nepřijímá. Na vodiči da je zaznamenán stav vodiče dx, který byl po

příjmu poslední skupiny do prvního registru Ra. Mezitím za stavu 1 na vodiči y se z druhého registru Rb předávala již dříve přijatá skupina signálních stavů do dalších částí zařízení.

V okamžiku návratu vodiče y do stavu 0 se impulsem po vodiči vk uvedla paměť DQ a DB do počátečního stavu, kdy na vodiči da je stav 0 a na dbi je stav 1, obdobně jako bylo popsáno u paměti DP a DA a i jejich další činnost je analogická. To znamená, že v okamžiku, kdy byl impulsem po vodiči pk ukončen příjem druhé skupiny do prvního registru Ra, nastane na vodiči x2 stav 1 a je řízen příjem skupiny signálních stavů do druhého registru Rb.

Při následující změně stavu vodiče y na 1 je předáván obsah prvního registru Ra do následujících obvodů zařízení. Na konci tohoto přenosu se impulsem po vodiči vk převede paměť DP a DA do počátečního stavu a současně se během impulsu na vodiči vk předává impuls na vodič hd. Od tohoto okamžiku se celý popsaný pochod v řídicím bloku P opakuje.

Na obr. 3 je jiný příklad provedení řídicího bloku P. Paměti DP a DQ jsou nahrazeny obvodem MS typu masterslave. Hradla jsou označena stejně jako v obr. 2 a mají stejnou funkci. Předpokládáme počáteční stav 1 na vodiči y1, stav 0 na vodiči y0, 0 na vodiči msi a 1 na vodiči ms. Při stavu 1 na vodiči y se opět vysílá obsah registru Ra, z vodiče vk se přenáší impuls na vodič hd. Tímto impulsem se změní stav čítače G a po ukončení impulsu je na vodiči y1 stav 0 a na vodiči y2 stav 1. Tím vznikne stav, při kterém se vysílá obsah druhého registru stejně jako v příkladu na obr. 1.

V okamžiku impulsu na vodiči vk za stavu 1 na vodiči y1 a stavu 0 na vodiči y2 během předávání impulsu do čítače G nastane na výstupu hradla H7 stav 0, na výstupu hradla H8 stav 1 a na výstupu hradla H15 stav 0. Na vstupu S paměti DA pak bude stav 0, což způsobí stav 1 na vodiči dai a stav 0 na vodiči da. Po ukončení impulsu na vodiči pk se změní stav obvodu MS. Protože na vodiči y2 je stav 1 a na vodiči y1 je stav 0, nastane na vodiči msi stav 1 a na vodiči ms stav 0.

Na výstupu hradla H3 nastane stav 0, na vodiči x1 stav 1 a první registr Ra přijímá informaci. Na konci příjmu skupiny signálních stavů se opět přijme impuls po vodiči pk. Stav paměti DE se v tomto okamžiku nezmění, protože nenastala změna stavu čítače G, kdežto stav paměti DA závisí na stavu na vodiči dx. Je-li na vodiči dx stav 1, je při stavu 1 na vodiči msi, stavu 0 na výstupu hradla H9 změni paměť DA stav a na vodiči dai je stav 0, na vodiči da je stav 1. Je-li naopak na vodiči dx stav 0, stav paměti DA se nezmění. Změna stavu na vodiči dai na 0 ukončí příjem do prvního registru Ra a současně znemožní průchod dalšího impulsu z vodiči pk přes hradla H11 a H12.

V případě stavu 1 na vodiči dai se do prvního registru Ra přijímá další, tj. druhá, skupina signálních stavů. Během příjmu druhé skupiny se při příchodu impulsu po vodiči vk a při stavu 1 na vodiči y změní stav čítače G, takže na vodiči y1 bude stav 1 a na vodiči y2 stav 0. V důsledku toho po příjmu impulsu po vodiči pk po druhé skupině se změní stav obvodu MS a na vodiči msi bude stav 0, na vodiči ms stav 1. Pak vznikne na výstupu hradla H3 stav 1, na vodiči x1 stav 0, čímž se zamezí dalšímu příjmu do prvního registru Ra nezávisle na stavu paměti DA. Stav paměti DA opět závisí na stavu vodiče dx při příjmu impulsu na vodiči pk.

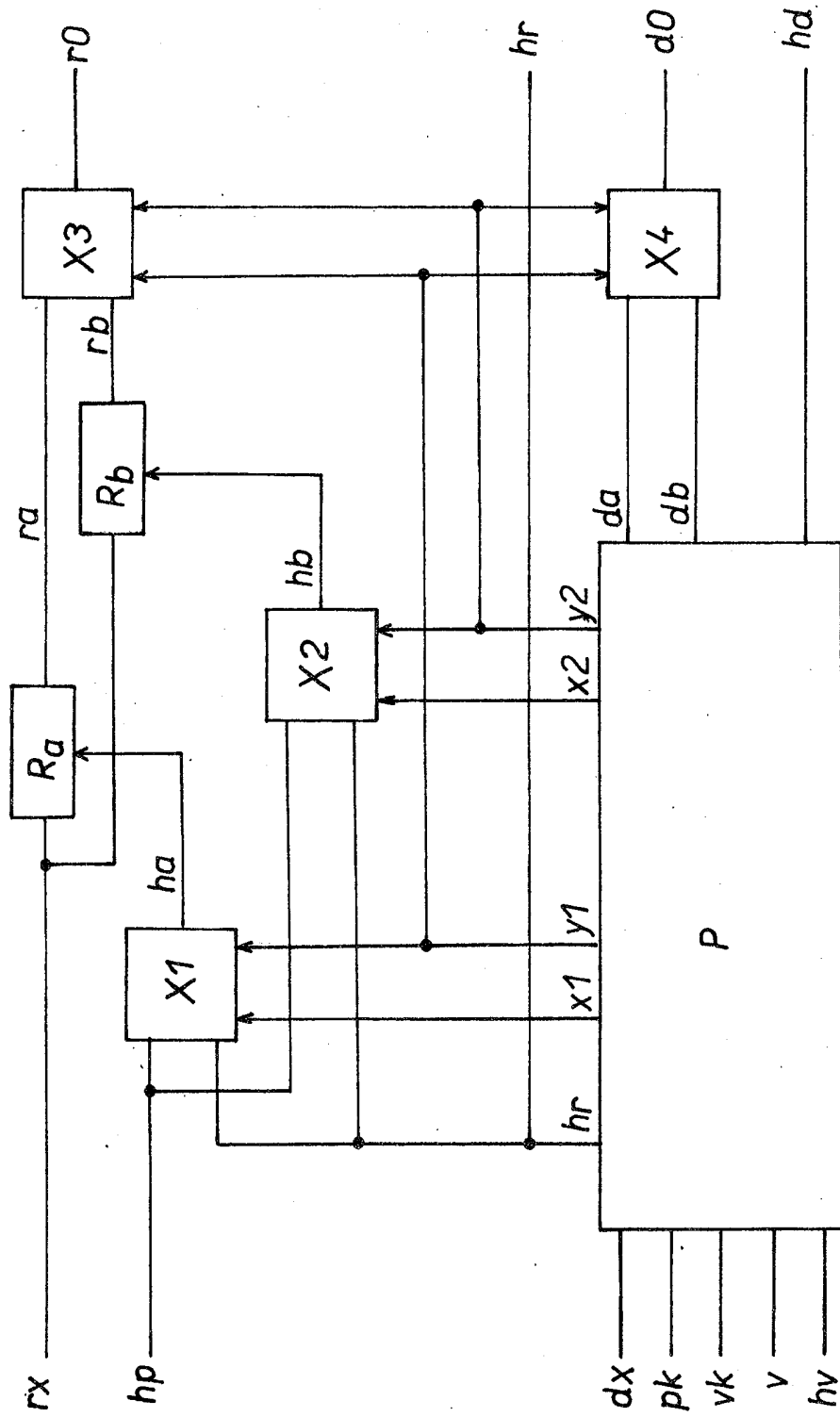
Protože během příjmu impulsu na vodiči vk, který způsobil změnu stavu čítače G, byl stav 1 na vodiči y2 a výstupu hradla H8, byl na vstup S paměti DE přiveden stav 0 z výstupu hradla H16, čímž byla paměť DE uvedena do počátečního stavu. Další činnost řídicího bloku P je analogická s tím rozdílem, že se navzájem zamění funkce paměti DA a DE. V této etapě činnosti se vyšle do následujících obvodů obsah prvního registru Ra a na konci tohoto přenosu se opět impulsem na vodiči vk obnoví počáteční stav.

Jakmile se některý z registrů uvolní tím, že do následujících obvodů zařízení předá zaznamenanou informaci, přijme nejbližší skupinu signálních stavů ze systému s PCM. Dojde-li během příjmu této skupiny k porušení synchronizace v systému s PCM, přijímá okamžitě další skupinu, a to až do okamžiku, kdy je pro příjem další skupiny připraven druhý registr. Tímto způsobem zvyšuje spolehlivost informace předávané po skupinách do další části zařízení, protože i při relativně značné poruchovosti přenosu jsou informace předávané vyrovnávací pamětí platné.

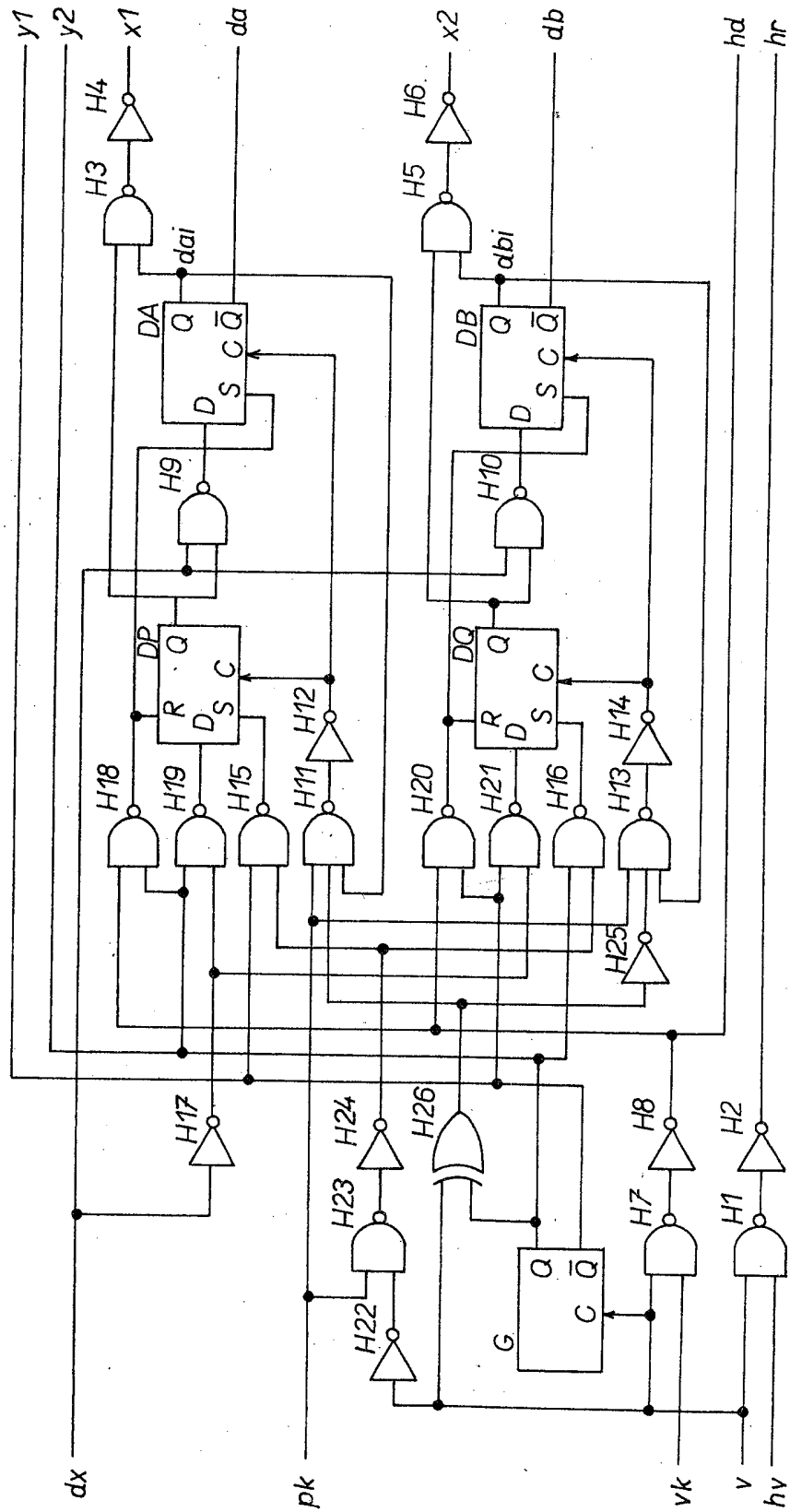
PŘEDMĚT VYNÁLEZU

Zapojení vyrovnávací paměti na výstupu signálního traktu přenosového systému s pulsně kódovou modulací (PCM), vyznačené tím, že obsahuje dva posuvné registry (Ra, Rb), k jejichž vstupu je připojen společný vodič (rx) pro přenos informací s přenosového systému, vstup pro ovládací hodinové impulsy prvního registru (Ra) je připojen k výstupu (ha) prvního přepínacího obvodu (X1), vstup pro ovládací hodinové impulsy druhého registru (Rb) je připojen k výstupu (hb) druhého přepínacího obvodu (X2), přičemž k prvním vstupům obou přepínacích obvodů (X1, X2) je připojen vodič (hp) zdroje hodinových impulsů k řízení příjmu informací, ke druhým vstupům obou přepínacích obvodů je připojen výstup (hr) zdroje hodinových impulsů k řízení vysílání informací, řídící vstupy prvního přepínacího obvodu (X1) jsou připojeny k prvnímu a druhému ovládacímu výstupu (x1, y1) řídícího bloku (P), řídící vstupy druhého přepínacího obvodu (X2) jsou připojeny k třetímu a čtvrtému ovládacímu výstupu (x2, y2) řídícího bloku (P), výstupy posuvných registrů (Ra, Rb) jsou připojeny k vstupům třetího přepínacího obvodu (X3), jehož výstup (r0) je prvním výstupem zapojení, a řídící vstupy třetího přepínacího obvodu (X3) a čtvrtého přepínacího obvodu (X4) jsou připojeny k druhému a čtvrtému ovládacímu výstupu (y1, y2) řídícího bloku (P), na další dva vstupy čtvrtého přepínacího obvodu (X4) jsou připojeny výstupy (da, db) z pamětí obsažených v řídícím bloku (P) příslušných posuvným registrům (Ra, Rb), výstup (d0) čtvrtého přepínacího obvodu (X4) k signalizaci platnosti informací je druhým výstupem zapojení, a řídící blok (P) je připojen svými vstupy (dx, pk, vk, v, hv) k předcházejícím obvodům zařízení.

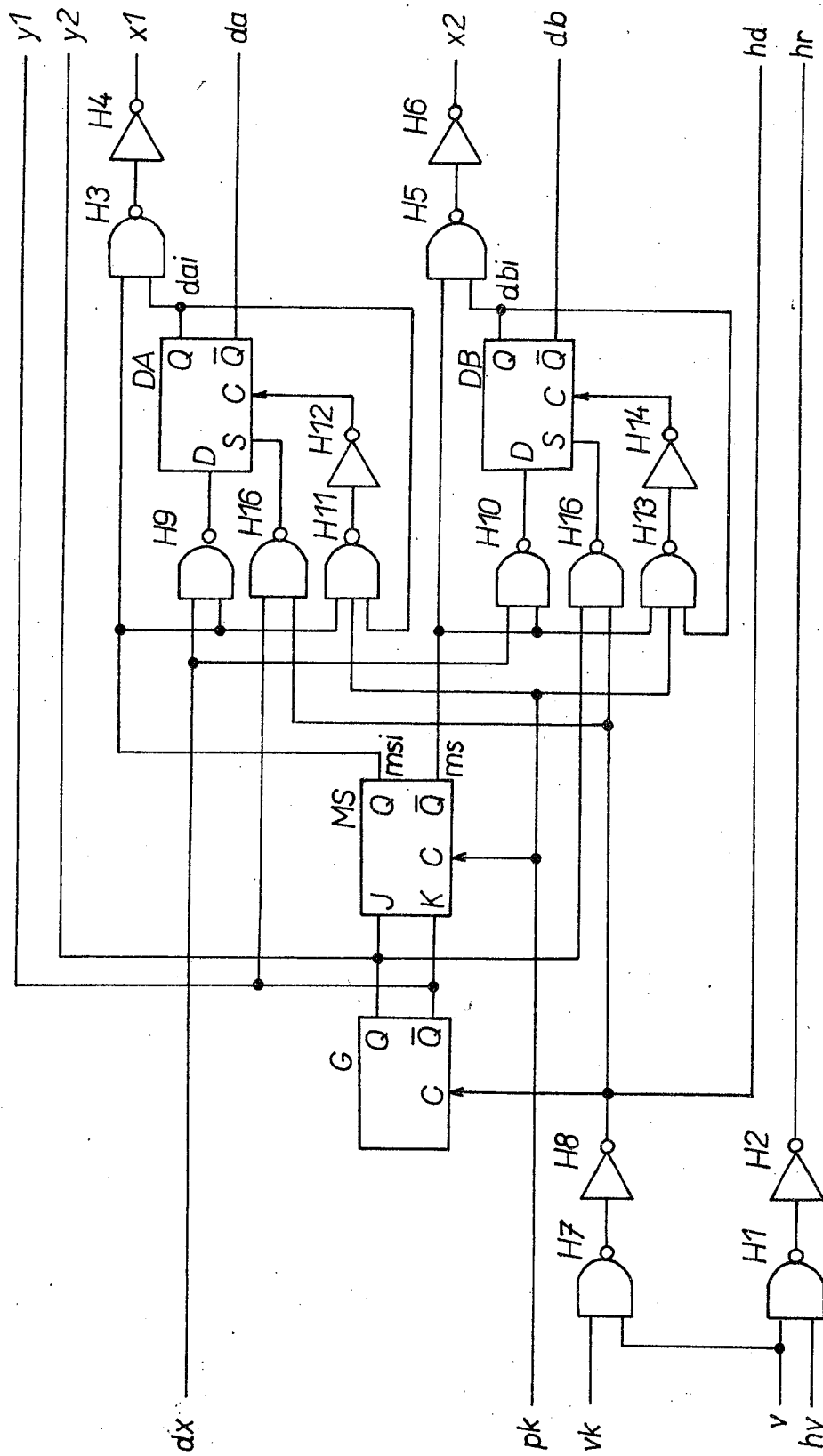
3 listy výkresů



Obr. 1



Obr. 2



Obr. 3