

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 9 日(09.08.2012)



(10) 国際公開番号
WO 2012/105247 A1

- (51) 国際特許分類:
G02B 6/122 (2006.01) *H01S 5/022* (2006.01)
G02F 1/01 (2006.01) *H01S 5/50* (2006.01)
- (21) 国際出願番号: PCT/JP2012/000662
- (22) 国際出願日: 2012 年 2 月 1 日(01.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-021814 2011 年 2 月 3 日(03.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 古河電気工業株式会社(FURUKAWA ELECTRIC CO., LTD.) [JP/JP]; 〒1008322 東京都千代田区丸の内 2 丁目 2 番 3 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 阿久津 剛史(AKUTSU, Takeshi) [JP/JP]; 〒1008322 東京都千代田区丸の内 2 丁目 2 番 3 号 古河電気工業株式会社内 Tokyo (JP). 奈良 一孝(NARA, Kazutaka) [JP/JP]; 〒1008322 東京都千代田区丸の内 2 丁目 2 番 3 号 古河電気工業株式会社内 Tokyo (JP). 舟橋 政樹(FUNABASHI, Masaki) [JP/JP]; 〒1008322 東京都千代田区丸の内 2 丁目 2 番 3 号 古河電気工業株式会社内 Tokyo (JP). 横内 則之

(YOKOUCHI, Noriyuki) [JP/JP]; 〒1008322 東京都千代田区丸の内 2 丁目 2 番 3 号 古河電気工業株式会社内 Tokyo (JP). 長谷川 英明(HASEGAWA, Hideaki) [JP/JP]; 〒1008322 東京都千代田区丸の内 2 丁目 2 番 3 号 古河電気工業株式会社内 Tokyo (JP).

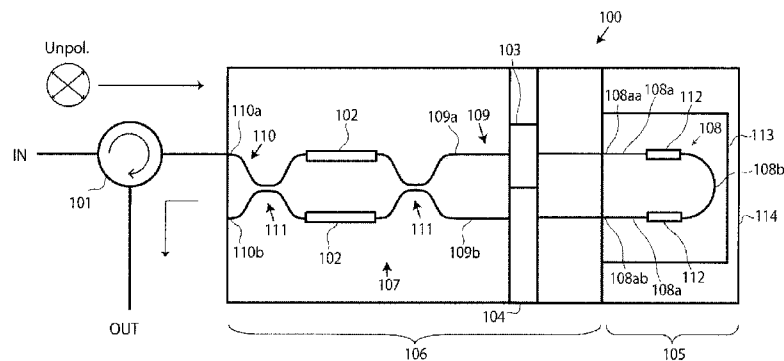
- (74) 代理人: 岡部 譲, 外(OKABE, Yuzuru et al.); 〒1000005 東京都千代田区丸の内 3-2-3 富士ビル 602 号室 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: SOA-PLC HYBRID INTEGRATED CIRCUIT WITH POLARIZATION DIVERSITY AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: SOA-PLCハイブリッド集積偏波ダイバーシティ回路およびその製造方法

[図1]



(57) Abstract: The present invention provides a SOA-PLC hybrid integrated circuit with polarization diversity, which is provided with a SOA-COS and a PLC-PBS chip with mutually connected waveguides. The PLC-PBS chip includes first and second optical waveguides, a Mach-Zehnder interferometer circuit, and a half-wave plate formed in the first silica-based optical waveguide, through which TM mode light propagates. The SOA-COS includes a third optical waveguide connected to the first optical waveguide, a fourth optical waveguide connected to the second optical waveguide, and a SOA formed on at least one of the third and fourth optical waveguides. The ends of the third and fourth optical waveguides not respectively connected with the first and second optical waveguides are connected by a U-turn section optical waveguide.

(57) 要約:

[続葉有]

WO 2012/105247 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

本願発明は、互いに導波路を結合した PLC-PBS チップと SOA-COS とを備える SOA-PLC ハイブリッド集積偏波ダイバーシティ回路を提供する。PLC-PBS チップは、第 1 および第 2 の光導波路と、マッハツェンダー干渉計回路と、TM モードの光が伝播する第 1 の石英系光導波路中に形成された半波長板とを含む。SOA-COS は、第 1 の光導波路に接続された第 3 の光導波路と、第 2 の光導波路に接続された第 4 の光導波路と、少なくとも一方の第 3 および第 4 の光導波路に形成された SOA とを含む。第 3 と第 4 の光導波路のそれぞれ第 1 および第 2 の光導波路と接続しないもう一端同士は、U ターン部光導波路で接続される。

明 細 書

発明の名称：

SOA-PLCハイブリッド集積偏波ダイバーシティ回路およびその製造方法

技術分野

[0001] 本発明は、平面光波回路（PLC）としての偏波ビームスプリッタ（PBS）および半導体光増幅器（SOA）を備えるSOA-PLCハイブリッド集積偏波ダイバーシティ回路およびその製造方法に関する。

背景技術

[0002] 近年、光通信ネットワークにおけるデータ量の増加にともない、コンパクトで低コストである光学素子が要求される。従来の個別の光学部品を組み合わせる技術に代わり、フォトリソ集積回路（PIC）技術に基づく光導波路デバイス技術へとトレンドが移行しつつある。

[0003] 光通信ネットワークにおいて、光導波路デバイスにおける偏波依存性は、実用的に好ましくは、0.1 dB以下が要求される。偏波ダイバーシティ回路は、光学デバイスにおける偏波依存性の問題を解消するために使用される。

[0004] 非特許文献1は、図14のように、それぞれ空間的に分離した個別の光学部品である、3つのポート1401～1403を有するサーキュレータ1409、レンズ1404、偏波ビームスプリッタとしてのハーフミラー1405、半波長板1406、ミラー1407、およびSOA1408を使用した偏波ダイバーシティ回路によりSOAの偏波依存利得（PDG）を解消するための偏波無依存SOAモジュールを開示する。

先行技術文献

非特許文献

[0005] 非特許文献1：K. Morito and S. Tanaka, "Record High Saturation Power (+22dBm) and Low Noise Figure (5.7dB) Polarization-Ins

ensitive SOA Module”, IEEE PHOTONICS TECHNOLOGY LETTERS, 17, 6, 1298-1300, (2005)

発明の概要

- [0006] しかしながら、非特許文献 1 に開示の偏波無依存 S O A モジュールは、空間的に分離した個別の光学部品を使用するため、モジュール全体としてサイズが大きくなってしまう。また、非特許文献 1 に開示の該モジュールでは、ハーフミラー 1 4 0 5 やミラー 1 4 0 7 等の光学部品が用いられるため、図 1 4 に示される該モジュールを形成するには、使用者によるそれぞれの光学部品間の光軸調整が必要であり、非常に手間がかかる。したがって、該モジュールを他のデバイスに組み込む等の応用が難しい。そのため、非特許文献 1 に開示の該モジュールを商業的に利用することは難しいと考えられる。
- [0007] 本発明の目的は、従来のモジュールに比べモジュール（回路）のサイズを低減し、容易に他のデバイスに組み込むことが可能である P L C - S O A ハイブリッド集積偏波ダイバーシティ回路を提供することである。
- [0008] 本発明は、互いに導波路を結合した P L C - P B S チップと S O A - C O S とを備える S O A - P L C ハイブリッド集積偏波ダイバーシティ回路であって、該 P L C - P B S チップは、第 1 および第 2 の光導波路と、入力された光を T M モードの光および T E モードの光へ分割し、該分割された T M モードの光を該第 1 の光導波路へ出力し、該分割された T E モードの光を該第 2 の光導波路へ出力するマッハツェンダー干渉計回路と、該 T M モードの光が伝播する第 1 の石英系光導波路中に形成された偏波回転機構とを含み、該 S O A - C O S は、該第 1 の光導波路に接続された第 3 の光導波路と、該第 2 の光導波路に接続された第 4 の光導波路と、少なくとも一方の該第 3 および第 4 の光導波路に形成された S O A とを含み、該第 3 の光導波路と、該第 4 の光導波路のそれぞれ該第 1 の光導波路および該第 2 の光導波路と接続しないもう一端同士は、U ターン部光導波路で接続されていることを特徴とする S O A - P L C ハイブリッド集積偏波ダイバーシティ回路を提供する。
- [0009] 本発明にかかる P L C - S O A ハイブリッド集積偏波ダイバーシティ回路

は、従来のモジュールに比べモジュール（回路）のサイズを低減することができ、容易に他のデバイスに組み込むことが可能である。

図面の簡単な説明

[0010] [図1]本発明の第1実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路を示す模式図である。

[図2]本発明の第1実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路において、PLC-PBSチップとSOA-COSとの接合部付近を詳細に示した平面図である。

[図3A]図2に示されるA-A'線に沿ったPLC-PBSチップの断面図である。

[図3B]図2に示されるA''方向から見たPLC-PBSチップの半波長板を形成するための凹部付近の側面図である。

[図4]図2に示されるB-B'線に沿ったSOA-COSのUターン部半導体光導波路部の断面図である。

[図5A]本発明の一実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路において、PLC-PBSチップとSOA-COSを側面から見たPLC-PBSチップとSOA-COSとの配置の例を示す模式図である。

[図5B]本発明の一実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路において、PLC-PBSチップとSOA-COSを側面から見たPLC-PBSチップとSOA-COSとの配置の例を示す模式図である。

[図6]本発明の第1の実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路の製造方法を説明するための模式図である。

[図7]本発明の第2実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路を示す模式図である。

[図8A]本発明の第2実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路において、PLC-PBSチップとSOA-COSとの

接合部付近を詳細に示した平面図である。

[図8B]本発明の第2実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路のファセットにおける接合部を一部拡大した図である。

[図9]本発明の第2実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路の接合面付近の製造方法を説明するための模式図である。

[図10]本発明の第3実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路の構成を示す模式図である。

[図11]本発明の第3実施形態にかかるPLC-PBSチップ、SOA-COSおよびUターンPLCチップの接合面付近の製造方法を説明するための模式図である。

[図12]本発明の実施例において、SOAの偏波依存利得を測定するための2種類の構成1211および1212を示す模式図である。

[図13A]本発明の実施例における測定結果を示す図である。

[図13B]本発明の実施例において、入射する光の波長を変化させたときの偏波依存利得の測定結果を示す図である。

[図14]従来の偏波無依存SOAモジュールの模式図である。

発明を実施するための形態

[0011] (第1実施形態)

(構成)

図1は、本発明の第1実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路の基本構成を示す模式図である。SOA-PLCハイブリッド集積偏波ダイバーシティ回路100は、石英系平面光波回路-偏波ビームスプリッタ(PLC-PBS)チップ106と半導体光増幅器-チップ・オン・サブマウント(SOA-COS)105とが互いの導波路を結合した構成をとる。

[0012] PLC-PBSチップ106は、石英系光導波路109、110と、石英系光導波路が一部切欠した領域であるスリット104と、PBSとしてのマッハツェンダー干渉計回路(MZI)107と、半波長板103とを備える

。MZ 1107は、石英系光導波路としての入力ポート110aおよび出力ポート110b、2つの方向性カップラ111、石英系光導波路としての2つの出力ポート109a、109b、ならびに2つの干渉計アーム（ヒーター）102を有する。なお、MZ 1107の出力ポート109aからはTMモードの光が出力され、出力ポート109bからはTEモードの光が出力される。半波長板103は、TMモードの光が出力される出力ポート109a部のスリット104に形成される。

[0013] SOA-COS 105は、直線部108aとUターン部108bを有する半導体光導波路108と、該直線部108aに形成された半導体光増幅器（SOA）112が形成されたSOAチップ113を有する。SOAチップ113はシリコンベンチ114上にハンダ実装される。半導体光導波路の直線部108aは、後述する埋込メサ構造により形成され、半導体光導波路のUターン部108bは後述するハイメサ構造により形成される。このようにすることで、Uターン部108bでは光の閉じ込めを強くすることができ、小さな曲率半径（例えば $125\mu\text{m}$ ）の曲線であっても曲げによる光損失を抑制することが可能になる。したがって、光増幅特性および雑音特性の両方を良好にすることができる。ただし、半導体光導波路の直線部108aおよび半導体光導波路のUターン部108bの両方をハイメサ構造または埋込構造とすることもできる。

[0014] SOA-COS 105が半導体光導波路のUターン部108bを有することで、SOA 112の出入力ポート108aaおよび出入力ポート108abが、SOA-COS 105のPLC-PBSチップ106側に形成される。すなわち、Uターン部108bを形成することにより、SOA-COS 105の同一の端面において光の入力および出力を行うことができ、回路全体のサイズを低減することができる。

[0015] 本実施形態において、SOA 112は半導体光導波路の直線部108aに二箇所形成しているが、SOA 112の長さが十分な光増幅効果が得られる長さであれば、SOA 112を一箇所に形成してもよい。

[0016] 図2は、PLC-PBSチップ106とSOA-COS105との接合部付近を詳細に示した平面図である。具体的には、図2は、PLC-PBSチップ106において、MZI107の出力ポート109a、出力ポート109b、スリット104、およびスリット104に形成された半波長板103を示す。また、図2は、SOA-COS105において、SOA112、SOA112の出入力ポート108aaおよび出入力ポート108ab、シリコンベンチ114、SOAチップ113、並びに、半導体光導波路の直線部108aとUターン部108bを示す。

[0017] 図3Aは、図2に示されるA-A'線に沿ったPLC-PBSチップ106の断面図を示す。PLCプラットフォーム304上に、石英系の下部クラッド層303、石英系光導波路109aおよび109bを構成するコア層301、および上部クラッド層302が形成されている。

[0018] 図3Bは、PLC-PBSチップ106のスリット104付近を図2に示されるA''方向から見た断面図である。コア層301を伝播する光がスリット104により反射されて生じる伝播ロスと反射戻り光を低減するために、スリット104は、図3Bに示されるように、PLC-PBSチップ106の上部表面に対して垂直に形成されるのではなく所定の角度をもって形成される。例えば、スリット104の幅は20~80 μ m程度、上部表面の垂線に対して5~12°程度の傾斜を有する。

[0019] 図4は、図2に示されるB-B'線に沿ったSOA-COS105の半導体光導波路のUターン部108bの断面図を示す。SOA-COS105は、シリコンベンチ114上に、SOAチップ113を実装した形態となっている。SOAチップ113は、下部クラッド層403、半導体光導波路のUターン部108bを構成するコア層402、および上部クラッド層401が形成されたハイメサ構造が使用される。

[0020] SOA-COS105は化合物半導体InP基板上にマイクロプロセスで形成される。下部クラッド層403はInPにより形成される。コア層402は化合物半導体InGaAsPにより形成される。そして、上部クラッド

層401はInPにより形成される。なお、本実施形態ないし下記の実施形態にかかるSOA-COS105は、InP以外の半導体材料で形成することもできる。また、本実施形態にかかる導波路チップはSOAのような半導体光導波路に限定されない。LiNbO₃光導波路やシリコン系光導波路など、偏波依存性をもつすべての導波路に適用することが可能である。

[0021] ここで、一般的に、石英系PLCの光導波路では、光導波路を構成するコアとクラッドの比屈折率差は大きくても2.5%程度である。化合物半導体InP等で形成された半導体光導波路では、コアとクラッドの比屈折率差が4~5%を超える。本実施形態では、図4に示されるように、Uターン型の半導体光導波路（Uターン部108b）をハイメサ構造とすることにより、コア層402とその両側の誘電体または空気との比屈折率差が、例えば30~40%以上と非常に大きくなる。また、光導波路を折り返した際の折り返し部の曲率半径は、コアとクラッドの比屈折率差が大きいほど小さくすることができる。例えば、本実施形態において、該曲率半径は125 μ m程度である。そのため、石英系PLCチップ上でUターン型の光導波路の折り返し構造を形成する場合に比べて、SOA-COS105上でハイメサ構造によってUターン型の光導波路の折り返し構造を形成する方がチップのサイズを小さくすることができる。本実施形態では、Uターン部108bを半導体光導波路として形成し、さらにハイメサ構造とすることにより、Uターン部108bのサイズを小さくすることができ、その結果、回路全体のサイズを小さくすることができる。

[0022] SOA112は、半導体光導波路の直線部108aに埋込メサ構造により形成される。SOA112のコア層は光増幅媒質で形成された活性層（図示せず）を有する。SOA112は、注入電流をオン／オフさせることで、入射光をオン／オフさせる半導体ゲートとして用いることもできる。なお、一般的にSOA112の長さが短すぎると所望の利得が得られず、また、長すぎると伝播する光にノイズが入りやすく雑音特性が悪化する。そのため、好ましい例としては、SOA112の長さは例えば0.5~2ミリメートル程

度である。

[0023] 図1に示されたように、本実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路では、PLC-PBSチップ106の石英系光導波路109とSOA-COS105の半導体光導波路の直線部108aとが調芯され、接合されている。

[0024] SOA-COS105のSOAチップ113は、PLC-PBSチップ106に比べ薄い。そのため、SOAチップ113をシリコンベンチ114に実装する。このようにすることで、PLC-PBSチップ106とSOA-COS105を接合するときの、接合部分の面積を広くすることが可能になり、PLC-PBSチップ106とSOA-COS105の接合に、十分な強度を得ることができる。

[0025] 本実施形態においては、図5Aに示されるように、PLC-PBSチップ106とSOA-COS105は、チップごとに導波路の結合を行っている。さらに、本実施形態では、図5Bに示されるように、ベースのシリコン基板501をそれぞれのチップで共有するシリコン基板テラス構造を用いることもできる。この形態においても、ベースのシリコン基板501は共有されているが、PLC-PBSチップ106とSOA-COS105はそれぞれの導波路が結合している。下記の全ての実施形態においても、この導波路結合の形態は適用可能である。

[0026] (作用)

本実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路において、入力INからの非偏光の光が、サーキュレータ101によってSOA-PLCハイブリッド集積偏波ダイバーシティ回路100へ伝播される。SOA-PLCハイブリッド集積偏波ダイバーシティ回路100からの光は、サーキュレータ101によって出力OUTに伝播される。

[0027] 一般的に、マッハツェンダー干渉計回路(MZI)は2本のアーム間に $\Delta\phi$ の位相差を有する。MZIアーム中で複屈折が起こる場合、TEモードおよびTMモードでの該位相差はそれぞれ独立して変化する。TEモードの該

位相差 $\Delta\Phi_{TE}$ とTMモードの該位相差 $\Delta\Phi_{TM}$ との差は、 $|\Delta\Phi_{TE}-\Delta\Phi_{TM}| = (2\pi/\lambda) B \cdot L$ で表される。ここで、 λ は波長、 B はMZI中の複屈折率、 L はMZIのアーム長である。 $|\Delta\Phi_{TE}-\Delta\Phi_{TM}|$ が $(2n+1)\pi$ (n :整数)であるとき、MZIは入射された非偏光の光を2つの直交する光モード(即ち、TEモードとTMモード)へ分割する。そして、TEモードの光は一方の出力ポートへ出力され、TMモードの光は他方の出力ポートへ出力される。

[0028] サーキュレータ101から伝播された非偏光の光は、MZI107によって互いに2つの直交モード(即ち、TEモードおよびTMモード)に分けられる。本実施形態にかかる構成においては、MZI107から出射されたTEモードの光は出力ポート109bへ伝播され、TMモードの光は出力ポート109aへ伝播される。出力ポート109aから出力したTMモードの光は、半波長板103によってTEモードの光に変更される。その結果、SOA-COS105にはTEモードの光のみが伝播される。

[0029] 一般的な半導体光増幅器は、例えば5量子井戸構造であり、12dBの飽和パワー、並びに概ね4dB以下の低い雑音指数を有する。半導体光増幅器自体の偏波依存利得は概ね10~20dB程度である。半導体光増幅器に入射する光について、TEモードの光は19dB程度の小さい信号利得を有するが、TMモードの光は吸収され、-10~0dB程度の利得を有する。

したがって、本実施形態のようにSOA-COS105にTEモードの光のみを伝播することにより、大きな利得を得ることができる上、SOA112の偏波依存利得(PDG)を低減することができる。

[0030] 上記のように、従来の偏波無依存SOAモジュールでは、空間的に分離した個別の光学部品を使用するため、モジュール全体としてサイズが比較的大きくなること、また、ハーフミラー等の光学部品が用いられるため使用者による光学部品間の光軸調整に手間がかかること等の理由から、該モジュールを大量生産し、他のデバイスに組み込む等の応用が難しいという問題があった。

[0031] しかしながら、第1実施形態では、SOA-COS105にUターン部108bを設けてSOA-COS105の一端面から光の入出力を可能にし、偏波を分離し、該分離した偏波を統一するように構成されたPLC-PBSチップ106にSOA-COS105に対する入力光および出力光の双方を導波するようにPLC-SOAハイブリッド集積偏波ダイバーシティ回路を構成している。従って、従来のように、SOAへの入力経路と出力経路とを別個に設ける必要がなく、従来の偏波無依存SOAモジュールに比べ、モジュール（回路）のサイズを低減することができる。

[0032] また、本実施形態では、ハーフミラー、レンズといった光学部品を用いず、PBSとしてのMZI107、および該MZI107のTMモード出力側の導波路に形成された半波長板103を有する平面光波回路としてのPLC-PBSチップ106を用いているので、使用者による光軸調整の煩わしさを必要としない。

[0033] さらに、本実施形態では、偏波ダイバーシティ回路の構成要素であるPLC-PBSチップ106に対する設計マスクを一度作製してしまえば、従来からある半導体集積回路技術や平面光波回路技術を用いて大量生産が可能である。

[0034] そして、本実施形態では、導波路チップであるSOA-COS105およびPLC-PBSチップ106の導波路を結合することで、単一の導波路デバイスを形成しているので、他のデバイスに組み込む等の応用が容易である。したがって、該回路は、商業的利用に非常に効果的である。

[0035] また、本実施形態では、SOA-COS105にTEモードの光のみを伝播するため、SOA112の偏波依存利得(PDG)を低減することができる。

[0036] （製造方法）

PLC-PBSチップ106では、シリコンや石英などの基板上に微細加工技術を組み合わせて、石英系の材料で光導波路が形成される。

[0037] 一般的に、平面光波回路(PLC)は、光ファイバ製造技術の応用である

火炎直接堆積（FHD）法により、PLC基板（例えばシリコン基板）上に下部クラッド層およびコア層となるガラス粒子を堆積し加熱してガラス膜を溶融透明化する。この後、半導体集積回路製造技術であるフォトリソグラフィと反応性イオンエッチングで所望の光導波路パターンを形成し、再びFHD法により上部クラッドを形成する。

[0038] 複屈折は、石英系ガラス導波路に、局所的に加熱すること、またはUV照射することによりトリミングできる。適切に複屈折をトリミングすることで、石英系PLCチップに偏波ビームスプリッタ（PBS）が形成できる。

[0039] ヒーター102は、MZ1107における複屈折をトリミングするために、MZ1107の2つのアーム上に形成される。ヒーター102でトリミングする間に、MZ1の2つのアームの位相差が適切になるように測定される。PLC-PBSチップ106が、所定の光の波長（例えば、1530nm）において、所定の値（例えば、15dB）の偏光消光比を有するように設定される。

[0040] 図1に示されるように、半波長板103を形成するために、スリット104は、MZ1107の2つの出力ポートとSOA-COS105との間に、石英系光導波路109と垂直に交わるように形成される。なお、スリット104は、ダイサー等を用いて形成され、図3Bに示されるように、光が反射するのを防ぐために、PLC-PBSチップ106の上面に対して所定の角度の傾斜をつけて形成される。

[0041] 本実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路は、PLC-PBSチップ106の石英系光導波路109とSOA-COS105の半導体光導波路の直線部108aとが互いに一つの接触面で接触され、調芯され、接合される。

[0042] 具体例として、図6を参照して、下記の製造方法のように本実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路を製造する。

[0043] （工程1）

図6の符号611に示されるように、石英系光導波路110a、110b

、109a、109b、ヒーター102が形成されたPLC-PBSチップ106を準備する。試験光を石英系光導波路110a、110b側から伝播させ、ヒーター102に熱を加え適切にトリミングを行い、MZ1107の2つのアームの位相差が適切になるように調整する。

[0044] (工程2)

PLC-PBSチップ106のSOA-COS105が接合されるファセット f_{PLC} を光学研磨によって十分に小さな表面粗さの面に修正する。これにより半導体光導波路の直線部108aおよびUターン部108bと結合するPLC-PBSチップ106の断面が形成される。ダイサー等により、PLC-PBSチップ106の上面に対して垂直ではなく所定の角度をもつようにスリット104を形成する。半波長板103をスリット104中に形成する。半波長板103は、MZ1107からTMモードの光を伝播する石英系光導波路側109aに形成する。

[0045] (工程3)

図6の符号612に示されるように、半導体光導波路の直線部108aとUターン部108bおよびSOA112が形成されたSOA-COS105を準備する。SOA-COS105の半導体光導波路の直線部108aを劈開することにより、PLC-PBSチップ106と結合する接合面を形成する。そして、接触する石英系光導波路と半導体光導波路とを調芯し、PLC-PBSチップ106とSOA-COS105とを接着剤などで固定する。

[0046] なお、上記工程1～3に含まれる処理内容や工程の順序等は適宜調整してもよい。

[0047] 上記のSOA-PLCハイブリッド集積偏波ダイバーシティ回路で使用される材料の種類やパラメータ等は単なる例示であり、本実施形態において、ならびに下記の実施形態においても、それらに限定されるものではない。

[0048] (第2実施形態)

(構成)

図7は、本発明の第2実施形態にかかるSOA-PLCハイブリッド集積

偏波ダイバーシティ回路 700 の構成を示す模式図である。第 2 実施形態にかかる SOA-PLC ハイブリッド集積偏波ダイバーシティ回路 700 は、第 1 実施形態にかかる SOA-PLC ハイブリッド集積偏波ダイバーシティ回路 100 の構成と略同一である。そのため、本実施形態には、第 1 実施形態にかかる SOA-PLC ハイブリッド集積偏波ダイバーシティ回路が有する作用、効果が含まれる。ただし、PLC-PBS チップ 106 と SOA-COS 105 との導波路の結合において、モードフィールド径の違いによる光の伝播ロスや導波路の結合面における反射を低減するための構成 701 が用いられる。

[0049] 図 8A に構成 701 の詳細を示す。図 8A に示すように、構成 701 は、スポットサイズ変換器 (SSC) 802a、802b を有し、PLC-PBS チップ 106 と SOA-COS 105 との接合面 f1 に対して垂直ではなく所定の角度をもってそれぞれのチップの光導波路が接合されている。

[0050] より詳細には、構成 701 は、コアの中心軸 C3 を有する直線状の石英系光導波路 109a (109b) は、コアの中心軸 C1 を有する傾斜された石英系光導波路 801a (801b) になめらかに接続される。図 8B は、接合面 f1 における接合部を一部拡大した図である。図 8B に示すように、伝播する光が接合面 f1 に対して斜めに入射するように、中心軸 C1 は接合面 f1 に対して所定の角度 θ_1 傾斜している。同様に、コアの中心軸 C2 を有する傾斜された半導体光導波路 (即ち、SSC 802a、802b) は、半導体光導波路の直線部 108a になめらかに接続される。傾斜された半導体光導波路である SSC 802a、802b は接合面 f1 に対して、所定の角度 θ_2 傾斜している。

[0051] 傾斜された石英系光導波路 801a、801b における屈折率 n_1 、中心軸 C1 と接合面 f1 の垂線とのなす角度 θ_1 、傾斜された SSC 802a、802b における屈折率 n_2 、中心軸 C2 と接合面 f1 の垂線とのなす角度 θ_2 との間には、スネルの法則より、 $n_1 \sin \theta_1 = n_2 \sin \theta_2$ 、という関係がある。この関係を満たすように、傾斜角 θ_1 、 θ_2 が決定される。また、SO

A-COS105側の接合面f1上には反射防止（AR）コート803がコーティングされている。なお、PLC側の傾斜角度 θ_1 としては $5\sim 9^\circ$ 、半導体導波路側の傾斜角度 θ_2 としては $12^\circ\sim 17^\circ$ が好ましい。

[0052] SSC802a、802bは、PLC-PBSチップ106のSOA-COS105の接合面近傍の石英系光導波路801a、801bのモードフィールドと半導体光導波路の直線部108aのモードフィールドとをマッチさせるようにテーパ状の形状を有する光導波路（幅広フレア型SSC）である。SSC802a、802bは、図8Bに示されるように、部位Aにおける幅を保ったまま部位Bにおいて曲げられ、部位Cにおいてテーパ状に幅が広くなり、部位Dにおいて幅が広がった状態で平行に形成される。本実施形態では、SSC802a、802bは、SOA-COS105の側に形成されているが、PLC-PBSチップ106の側に形成してもよい。SSC802a、802bによって、それぞれの導波路の結合部における結合ロスを低減し、高い結合効率を得ることができる。

[0053] （作用）

PLC-PBSチップ106における石英系ガラス等の石英系光導波路の屈折率 n_1 に対して、SOA-COS105におけるInP等の半導体光導波路の屈折率 n_2 は異なるため、それぞれの導波路のモードフィールド（電界分布）が互いに異なる。例えば、石英系光導波路のモードフィールド径は概ね $3\sim 8\mu\text{m}$ であり、InP半導体光導波路のモードフィールド径は概ね $1\sim 2\mu\text{m}$ である。そのため、本実施形態は、PLC-PBSチップ106における石英系光導波路とSOA-COS105の半導体光導波路を結合する際に、モードフィールド径の違いによる光の伝播ロスや接合面における反射を低減するための構成701を用いる。

[0054] 本実施形態にかかる構成701は、スポットサイズ変換器（SSC）802a、802bを用いてモードフィールド径の違いを修正することができる。また、それぞれのチップの光導波路が所定の角度をもって結合されることで反射を低減することができる。さらに、SOA-COS105側の接合面

f 1 (PLC-PBSチップ106とSOA-COS105との接合面)に反射防止 (AR) コート803をコーティングすることで、反射により生じる光の伝播ロスを低減することができる。

[0055] 本実施形態では、上記のような構成をとることにより、PLC-PBSチップ106における石英系光導波路とSOA-COS105の半導体光導波路を結合する際に、モードフィールド径の違いによる光の伝播ロスや接合面における反射を低減することができる。

[0056] 図8Aにおいて、光は、石英系光導波路の直線部109aから傾斜された光導波路801a、801bへ入射される。光は、第1実施形態のように接合面f1に対して垂直に入射せず、所定の角度をもって入射される。光は所定の角度で接合面f1へ入射するため、接合面f1による反射光は再度傾斜された光導波路801a、801bへ戻ることは難しい。よって、石英系光導波路109への接合面f1における反射戻り光は低減される。

[0057] 同様に、光は、SOA-COS105中を伝播しPLC-PBSチップ106へ戻る場合、傾斜された半導体光導波路 (即ち、SSC802a、802b) へ入射される。光は、第1実施形態のように接合面f1に対して垂直に入射せず、所定の角度をもって入射される。光は所定の角度で接合面f1へ入射するため、接合面f1による反射光は再度SSC802a、802bへ戻ることは難しい。よって、SSC802a、802bへの接合面f1における反射戻り光は低減される。

[0058] (製造方法)

第2実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路の製造方法は、第1実施形態にかかる該回路の製造方法と略同一である。ここで、図9の符号911~913に示される各図には、構成701付近のみを詳細に記載しているが、その他の部分については、第1実施形態にかかる該回路の構成と略同一であるため省略している。

[0059] (工程1)

石英系光導波路110、109、SOA-COS105との接合面となる

ファセット f_{PLC} に垂直な方向に対してある角度 θ_1 だけ水平方向に傾いている石英系光導波路 801a、801b、および、ヒーター 102 が形成された PLC-PBS チップ 106 を準備する。試験光を石英系光導波路 110 側から伝播させ、石英系光導波路 109 側において、ヒーター 102 を通過した光を測定する。測定の間、ヒーター 102 に熱を加え適切にトリミングを行い、MZ 1107 の 2 つのアームの位相差が適切になるように調整する。

[0060] (工程 2)

図 9 の符号 911 に示されるように、PLC-PBS チップ 106 の余分な部分を破線 A に沿って切断する。すなわち、石英系光導波路 801a、801b は角度 θ_1 の直線部分の任意の点において、ファセット f_{PLC} を形成するように、PLC-PBS チップ 106 の端部をダイサー等により切断する。切断して形成されるファセット f_{PLC} は光学研磨によって十分に小さな表面粗さの面に修正される。以上により半導体光導波路 802a、802b と結合する PLC-PBS チップ 106 の断面が形成される。ダイサー等により PLC-PBS チップ 106 の上面に対して垂直ではなく所定の角度をもつスリット 104 を形成する。半波長板 103 をスリット 104 中に形成する。半波長板 103 は、MZ 1107 から TM モードの光を伝播する石英系光導波路 109a 側に形成する。

[0061] (工程 3)

図 9 の符号 912 に示されるように、半導体光導波路の直線部 108a、テーパー状の半導体光導波路である所定の角度（接合面 f_1 の垂線と中心軸 C2 とのなす角度が θ_2 となるように）に傾斜された SSC 802a、802b、および SOA 112 が形成された SOA-COS 105 を準備する。SOA-COS 105 は、半導体光導波路 802a、802b の出射角度が θ_2 になるように劈開され、PLC-PBS チップ 106 と結合する SOA-COS 105 のファセット f_{SOA} が形成される。半導体光導波路の直線部 108a と SOA 112 は埋込メサ構造により形成され、半導体光導波路の U ター

ン部108bはハイメサ構造により形成されており、SOA-COS105のファセット f_{SOA} にARコート803がコーティングされている。

[0062] (工程4)

図9の符号913に示されるように、それぞれのチップの光導波路を調芯し、それぞれのチップを接着剤などで固定する。導波路の接合面 f_1 はPLC-PBSチップ側のファセット f_{PLC} とSOA-COS側のファセット f_{SOA} の2つが対向して、石英系光導波路801aと半導体導波路802a、石英系光導波路801bと半導体導波路802bがそれぞれ光学的に結合する空間で形成される。なお、上記工程1～4に含まれる処理内容や工程の順序等は適宜調整してもよい。

[0063] (第3実施形態)

(構成)

図10は、本発明の第3実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路1000の構成を示す模式図である。第3実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路1000は、第1実施形態および第2実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路の構成と略同一である。そのため、本実施形態には、第1実施形態および第2実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路が有する作用、効果が含まれる。ただし、本実施形態においては、SOA-COS1001に光導波路の折り返し部を形成するのではなく、UターンPLCチップ1002にUターン状の石英系光導波路1003を形成し、SOA112により増幅した光をMZI107へ戻すようにしている。そして、SOA112はSOA-COS1001の半導体光導波路の直線部に形成されている。すなわち、第3実施形態においては、PLC-PBSチップ106から伝播された光は、SOA-COS1001に形成されたSOA112で増幅され、UターンPLCチップ1002に形成されたUターン石英系光導波路1003で折り返され、再びSOA-COS1001に形成されたSOA112で増幅され、PLC-PBSチ

ップ106へ戻る。

[0064] 本実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路においても、PLC-PBSチップ105とSOA-COS1001との接合部およびSOA-COS1001とUターンPLCチップ1002との接合部におけるそれぞれのチップの光導波路は、第2実施形態にかかる該回路の特徴のように、コアサイズの違いによる光の伝播ロスや接合面における反射を低減するための構成701を用いている。

[0065] (作用)

上記したように、大きい比屈折率差の光導波路であるほど折り返し部の曲率半径を小さくすることができ、その結果、回路全体のサイズを低減することができる。しかしながら、第2実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路のように、SOAに適した埋込メサ構造の半導体導波路と、曲率半径の小さいUターンに適したハイメサ構造の半導体導波路を結合して同じチップ内で作製することは、必ずしも容易ではない。

[0066] Uターン構造をなくし、埋込メサ構造の半導体導波路のみでSOA-COSを構成するほうが、容易に導波路を形成することができる。第2実施形態のSOA-PLCハイブリッド集積偏波ダイバーシティ回路に比べ、本実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路は、全体のサイズが少し大きくなるが、SOA-COSの作製が容易になり、偏波ダイバーシティ回路の実現性が高まる。

[0067] (製造方法)

第3実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路の製造方法は、第1実施形態および第2実施形態にかかる該回路の製造方法と略同一である。ここで、図8の各図には、PLC-PBSチップ106、SOA-COS1001およびUターンPLCチップ1002の接合部における構成701付近のみを詳細に記載している。その他の部分については、第1実施形態および第2実施形態にかかる該回路の構成と略同一であるため省略している。

[0068] (工程1)

石英系光導波路110、109、所定の角度に傾斜された石英系光導波路801a、801b、ヒーター102が形成されたPLC-PBSチップ106を準備する。試験光を石英系光導波路110側から伝播させ、石英系光導波路109側において、ヒーター102を通過した光を測定する。測定の間、ヒーター102に熱を加え適切にトリミングを行い、MZ1107の2つのアームの位相差が適切になるように調整する。また、Uターン状の石英系光導波路1003、石英系光導波路109、所定の角度に傾斜された石英系光導波路801a、801bが形成されたUターンPLCチップ1002を準備する。

[0069] (工程2)

図11の符号1111に示されるように、PLC-PBSチップ106およびUターンPLCチップ1002の余分な部分を破線AおよびA'に沿って切断する。すなわち、石英系光導波路801a、801bは角度 θ_1 の直線部分の任意の点において、ファセット f_{PLC} を形成するように、PLC-PBSチップ106およびUターンPLCチップ1002の端部をダイサー等により切断する。切断して形成されるファセット f_{PLC} は光学研磨によって十分に小さな表面粗さの面に修正される。以上により半導体光導波路802a、802bと結合するPLC-PBSチップ106、およびUターンPLCチップ1002の断面が形成される。また、ダイサー等によりPLC-PBSチップ106の上面に対して垂直ではなく所定の角度をもつスリット104を形成する。半波長板103をスリット104中に形成する。半波長板103は、MZ1107からTMモードの光を伝播する石英系光導波路109a側に形成する。

[0070] (工程3)

図11の符号1112に示されるように、半導体光導波路の直線部108a、テーパー状の半導体光導波路である傾斜されたSSC802a、802b、およびSOA112が形成されたSOA-COS1001を準備する。

SOA-COS1001は、半導体光導波路802a、802bの出射角度が θ_2 (図8B参照)になるように劈開され、PLC-PBSチップ106およびUターンPLCチップ1002と結合するSOA-COS1001のファセット f_{SOA} が形成される。その後、SOA-COS1001の両方の切断面であるファセット f_{SOA} にARコート803(図8B参照)をコーティングする。

[0071] (工程4)

図11の符号1113に示されるように、それぞれのチップの光導波路を調芯し、それぞれのチップを接着剤などで固定する。導波路の接合面 f_1 はPLC-PBSチップおよびUターンPLCチップ側のファセット f_{PLC} とSOA-COS側のファセット f_{SOA} の2つが対向して、石英系光導波路801aと半導体導波路802a、および、石英系光導波路801bと半導体導波路802bがそれぞれ光学的に結合する空間で形成される。

なお、上記工程1～4に含まれる処理内容や工程の順序等は適宜調整してもよい。

[0072] (実施例)

図12は、SOAの偏波依存利得(PDG)を測定するために、2種類のPDG測定構成を示す。図12は、調整可能な光源(TLS)1201、エルビウム添加光ファイバ増幅器(EDFA)1202、偏波コントローラ(PC)1203、減衰器(ATT)1204、入力側光スイッチ1205、光スペクトラムアナライザ(OSA)1206、光パワーメータ(OPM)1207、10:1スプリッタ1208、アイソレータ1209、出力側光スイッチ1210、基準構成1211、および第3実施形態にかかるSOA-PLCハイブリッド集積偏波ダイバーシティ回路構成1212を示す。構成1211は、2つのストレート型光導波路を有するST-PLCチップとSOAを有するSOA-COS、ならびにUターン型光導波路を有するU-PLCチップとが接合された構成をとる。構成1211は、構成1212に比べ、サーキュレータと偏波ビームスプリッタを有しない。

[0073] T L S 1 2 0 1 から構成 1 2 1 1 に光を入射する場合、該構成 1 2 1 1 は P D C を用いないため、構成 1 2 1 1 を伝播する光はそのまま、入力側光スイッチ 1 2 0 5 から出力側光スイッチ 1 2 1 0 へと一方向に伝播する。構成 1 2 1 1 における S O A の P D G を調べるために、T L S 1 2 0 1 から T E モードの光（中心波長 $\lambda = 1550 \text{ nm}$ ）を入射させた場合の測定結果を図 1 3 A の符号 1 3 1 1 に示すグラフに、T L S 1 2 0 1 から T M モードの光を入射させた場合の測定結果を図 1 3 A の符号 1 3 1 2 に示すグラフに示す。なお、図 1 3 A の符号 1 3 1 1 ~ 1 3 1 4 に示すグラフのスケールは、横軸が $1549.5 \sim 1550 \sim 1550.5 \text{ (nm)}$ 、縦軸が $-60 \sim 0 \sim +10 \text{ (dBm)}$ であり、上側の太線のスペクトルが構成 1 2 1 1 および構成 1 2 1 2 を通過後の出力光のスペクトル、下側のスペクトルが入力光のスペクトルである。

[0074] また、構成 1 2 1 2 における S O A の P D G を調べるために、T L S 1 2 0 1 から T E モードの光（中心波長 $\lambda = 1550 \text{ nm}$ ）を入射させた場合の測定結果を図 1 3 A の符号 1 3 1 3 に示すグラフに、T L S 1 2 0 1 から T M モードの光を入射させた場合の測定結果を図 1 3 A の符号 1 3 1 4 に示すグラフに示す。なお、構成 1 2 1 2 において、上記 θ_1 を 15° 、 θ_2 を 7° とすることで、伝播光のリターンロスは -50 dB 以下に低減された。

[0075] 構成 1 2 1 1 において、T E モードの光の場合は、 5.8 dB の増幅利得が得られたが、T M モードの光の場合は、 -5.3 dB と負の増幅利得が得られた。構成 1 2 1 2 において、T E モードの光の場合は、 6.3 dB の増幅利得が得られ、T M モードの光の場合は、 4.4 dB の増幅利得が得られた。

[0076] この結果から、T E モードの光は、構成 1 2 1 1 および構成 1 2 1 2 にかかわらず、即ち P D C の構成を有するか否かにかかわらず、S O A による光増幅利得が得られた。しかしながら、T M モードの光について、構成 1 2 1 2 では S O A による光増幅利得が得られたが、構成 1 2 1 1 では S O A による負の光増幅利得（即ち、吸収）が得られた。

[0077] よって、構成 1 2 1 1 の偏波依存利得 (PDG) は 1 1. 1 dB であった。一方、構成 1 2 1 2 の PDG は 1. 9 dB であった。本発明の第 3 実施形態にかかる SOA-PLC ハイブリッド集積偏波ダイバーシティ回路 (構成 1 2 1 2) を用いることで、PDG を大きく低減できた。

[0078] 図 1 3 B に、入射光の中心波長を 1 5 3 0、1 5 4 0、1 5 5 0 nm で測定した場合における、構成 1 2 1 1 の PDG 1 3 0 1 の変化および構成 1 2 1 2 の PDG 1 3 0 2 の変化を示す。構成 1 2 1 1 では、PDG が 1 1. 1 ~ 2 2. 9 dB と大きい値をとった。一方、構成 1 2 1 2 では、PDG が 1. 2 dB と構成 1 2 1 1 の値に比べ大きく低減した。このことから、本実施例にかかる SOA-PLC ハイブリッド集積偏波ダイバーシティ回路は、SOA の PDG を低減するという効果があることが示された。

請求の範囲

- [請求項1] 互いに導波路を結合したPLC-PBSチップとSOA-COSとを備えるSOA-PLCハイブリッド集積偏波ダイバーシティ回路であって、
- 前記PLC-PBSチップは、
- 第1および第2の光導波路と、
- 入力された光をTMモードの光およびTEモードの光へ分割し、前記分割されたTMモードの光を前記第1の光導波路へ出力し、前記分割されたTEモードの光を前記第2の光導波路へ出力するマッハツェンダー干渉計回路と、
- 前記TMモードの光が伝播する第1の光導波路中に形成された偏波回転機構とを含み、
- 前記SOA-COSは、
- 前記第1の光導波路に接続された第3の光導波路と、
- 前記第2の光導波路に接続された第4の光導波路と、
- 少なくとも一方の前記第3および第4の光導波路に形成されたSOAとを含み、
- 前記第3の光導波路と、前記第4の光導波路のそれぞれ前記第1の光導波路および前記第2の光導波路と接続しないもう一端同士は、Uターン部光導波路で接続されていることを特徴とするSOA-PLCハイブリッド集積偏波ダイバーシティ回路。
- [請求項2] 前記Uターン部光導波路は、前記SOA-COS上に形成されていることを特徴とする請求項1に記載のSOA-PLCハイブリッド集積偏波ダイバーシティ回路。
- [請求項3] 前記第1および第2の光導波路が埋込メサ構造を有し、前記Uターン部光導波路がハイメサ構造を有することを特徴とする請求項2に記載のSOA-PLCハイブリッド集積偏波ダイバーシティ回路。
- [請求項4] 前記SOA-COSと導波路を結合したUターンPLCチップをさ

らに備え、前記Uターン部光導波路は、前記UターンPLCチップ上に形成されていることを特徴とする請求項1に記載のSOA-PLCハイブリッド集積偏波ダイバーシティ回路。

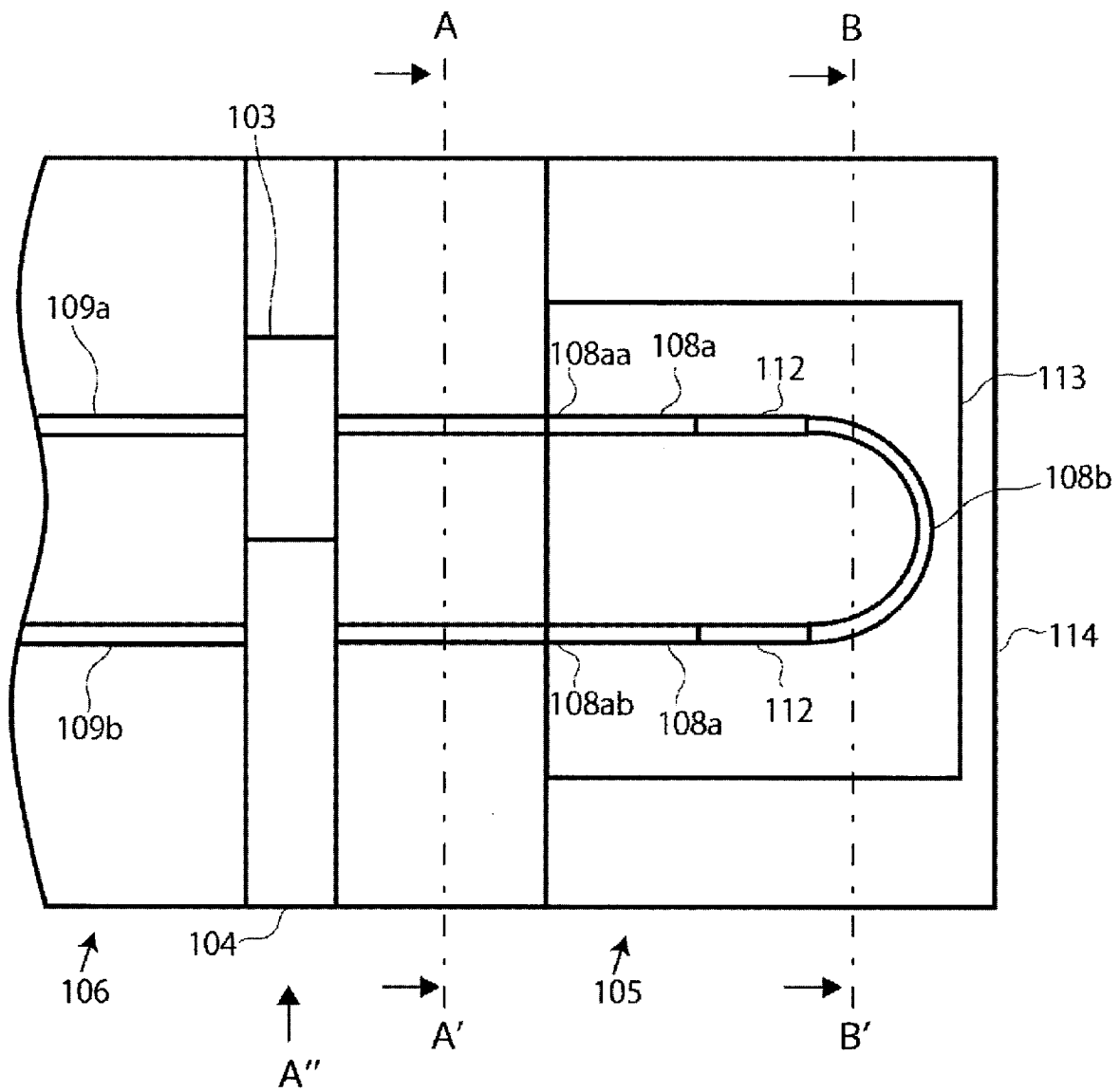
[請求項5] 2つのチップの接合面において、前記第1から第4の光導波路の少なくとも1つの光導波路がスポットサイズ変換器を含むことを特徴とする請求項1から4のいずれか1に記載のSOA-PLCハイブリッド集積偏波ダイバーシティ回路。

[請求項6] 2つのチップの接合面において、接合される前記光導波路が接合面に対していずれも傾斜を有し、

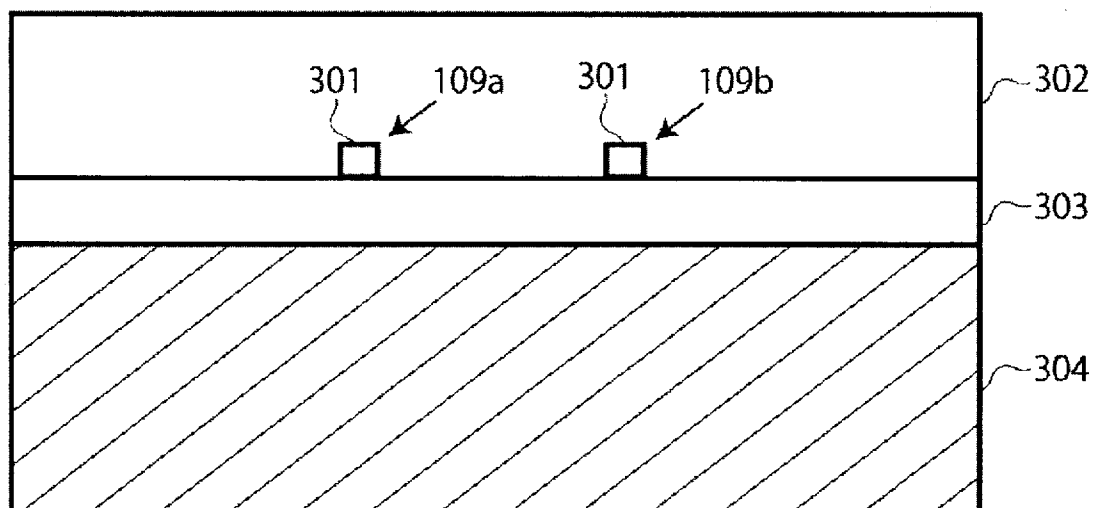
前記傾斜された光導波路同士が、前記接合面に対してそれぞれ第1の角度および第2の角度を有して接合されていることを特徴とする請求項1から4のいずれか1に記載のSOA-PLCハイブリッド集積偏波ダイバーシティ回路。

[請求項7] 2つのチップの接合面に、反射防止コートが形成されていることを特徴とする請求項1から6のいずれか1に記載のSOA-PLCハイブリッド集積偏波ダイバーシティ回路。

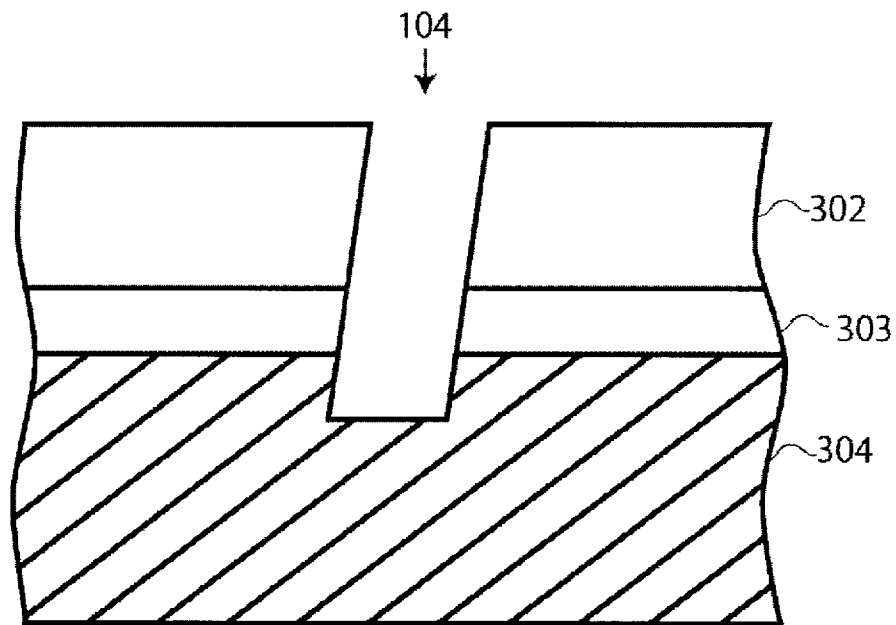
[図2]



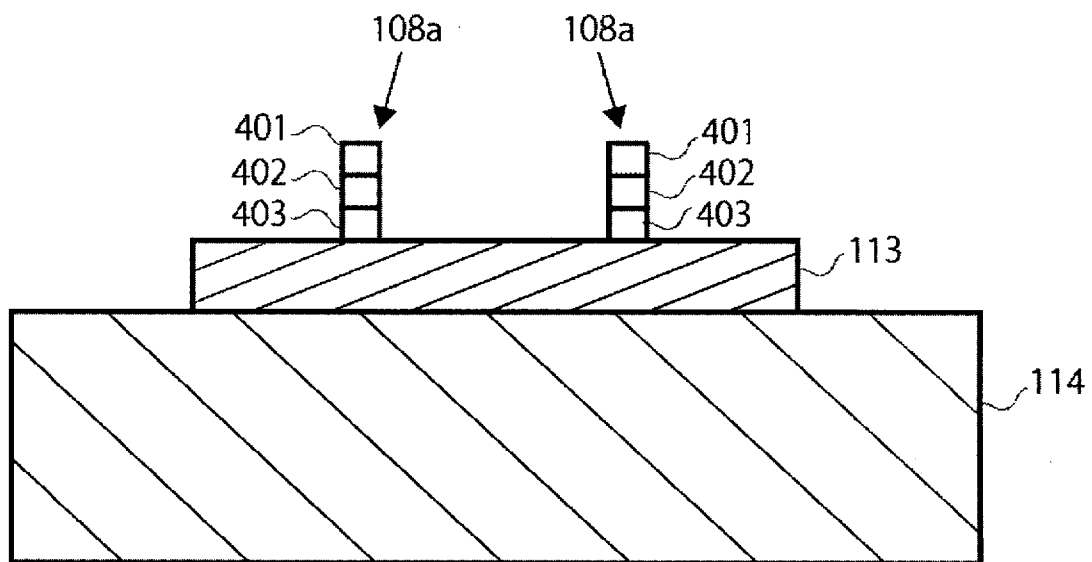
[図3A]



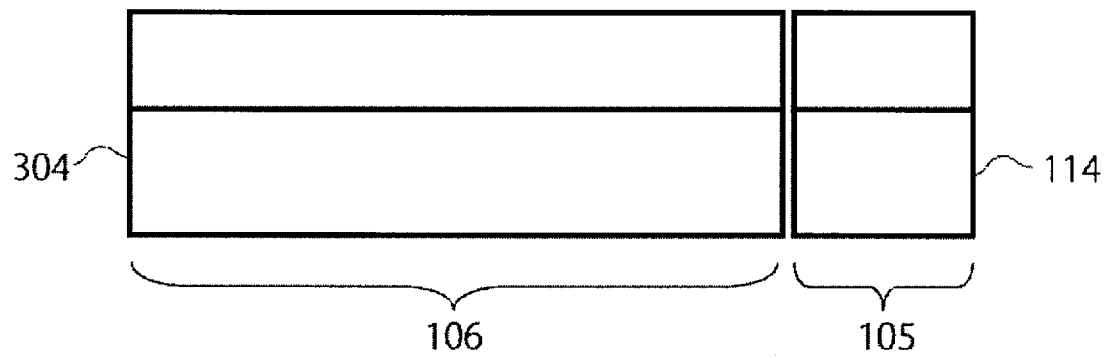
[図3B]



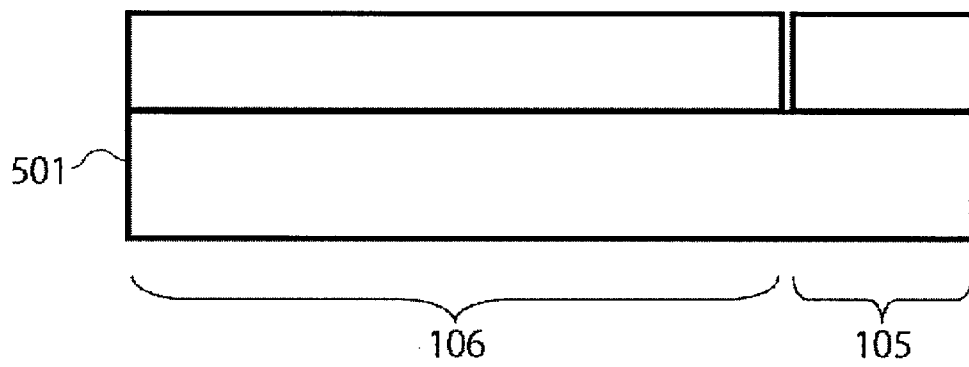
[図4]



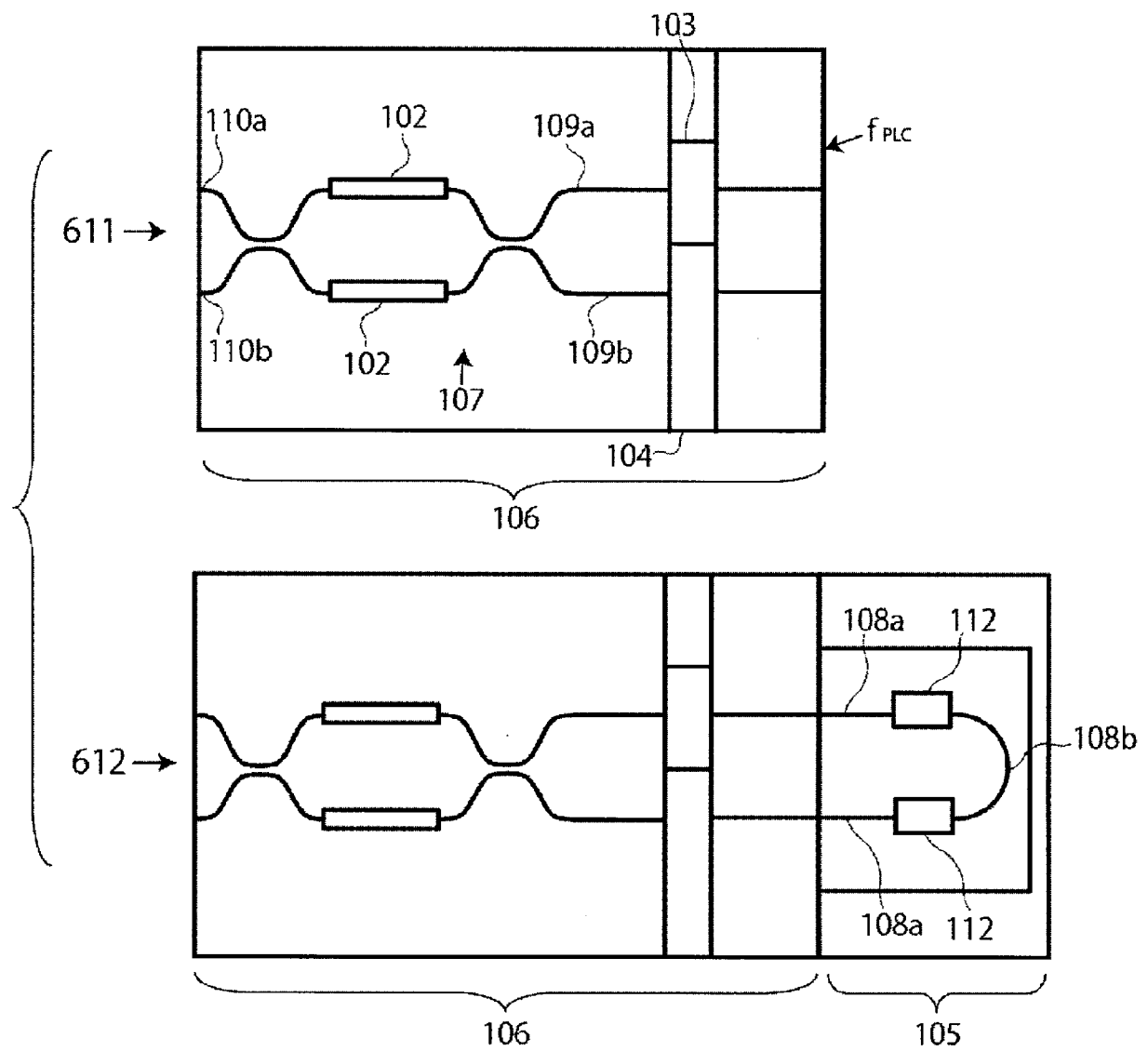
[図5A]



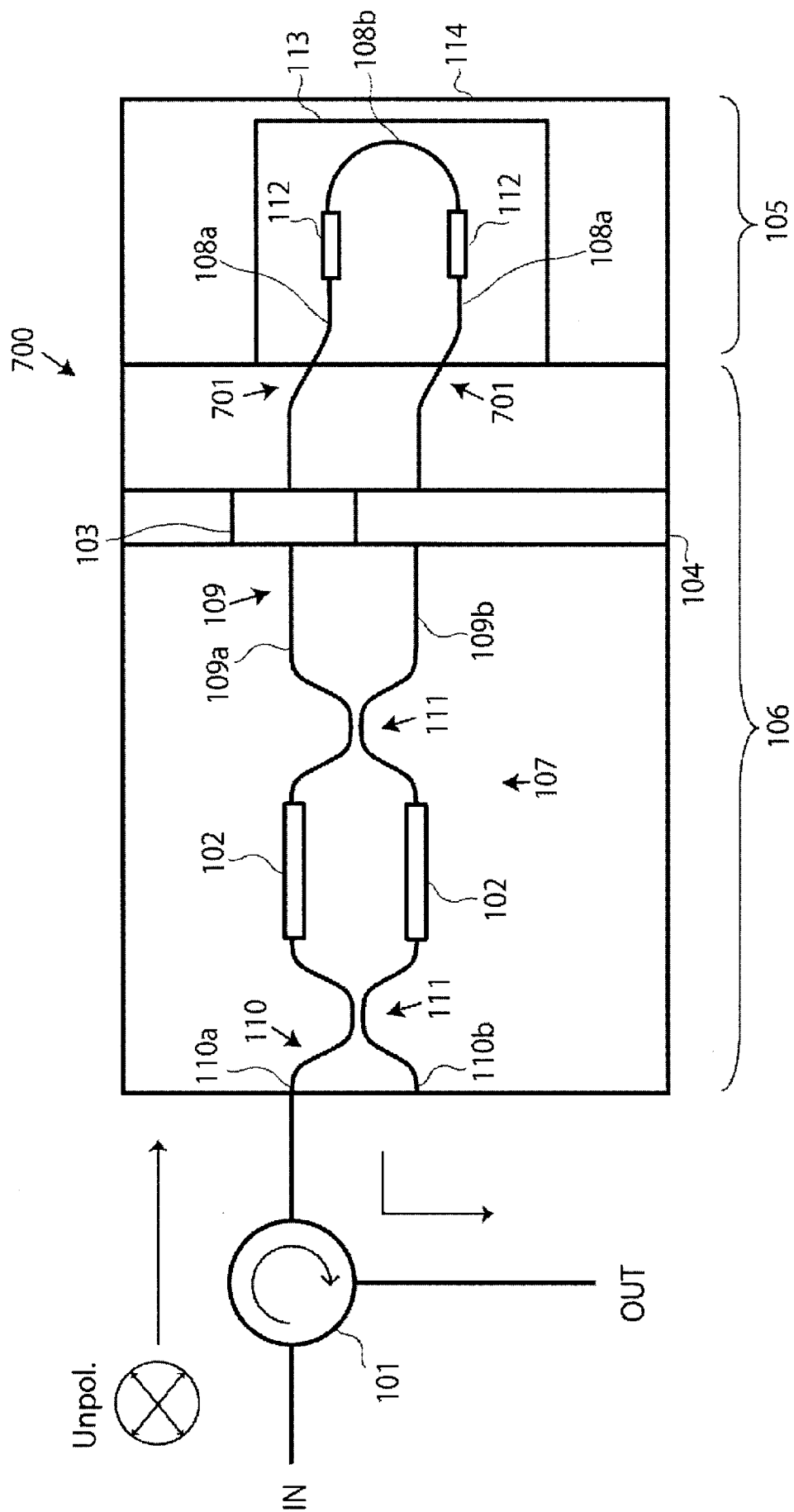
[図5B]



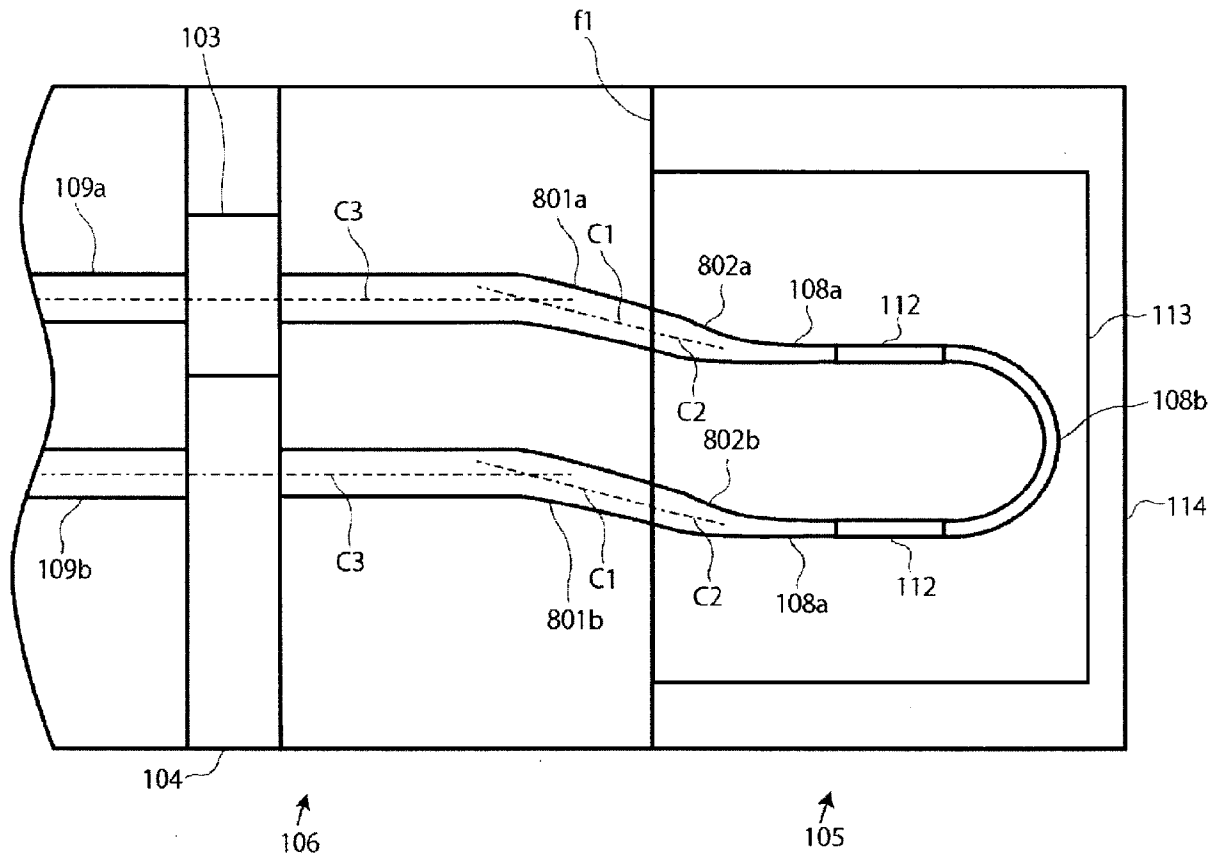
[図6]



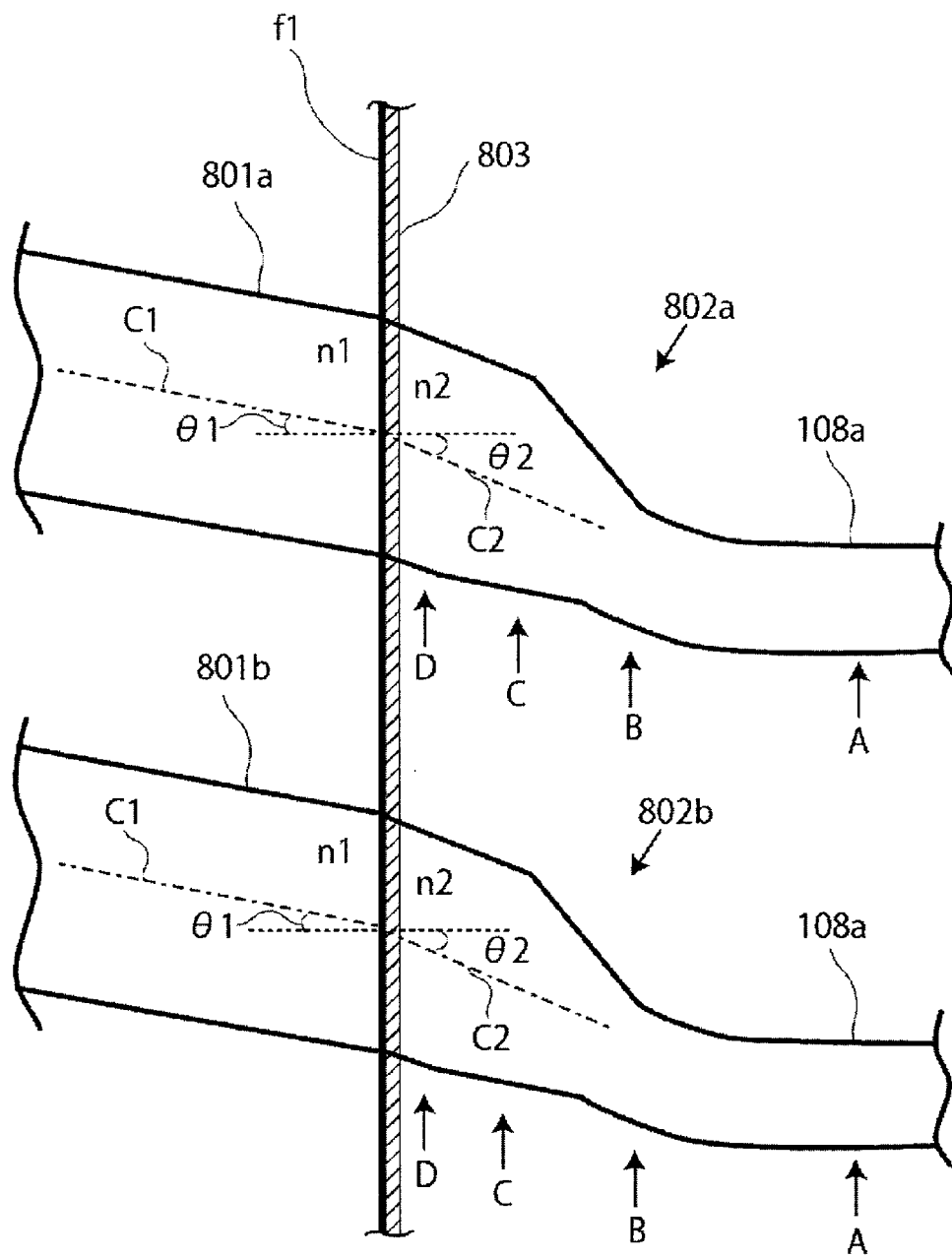
[図7]



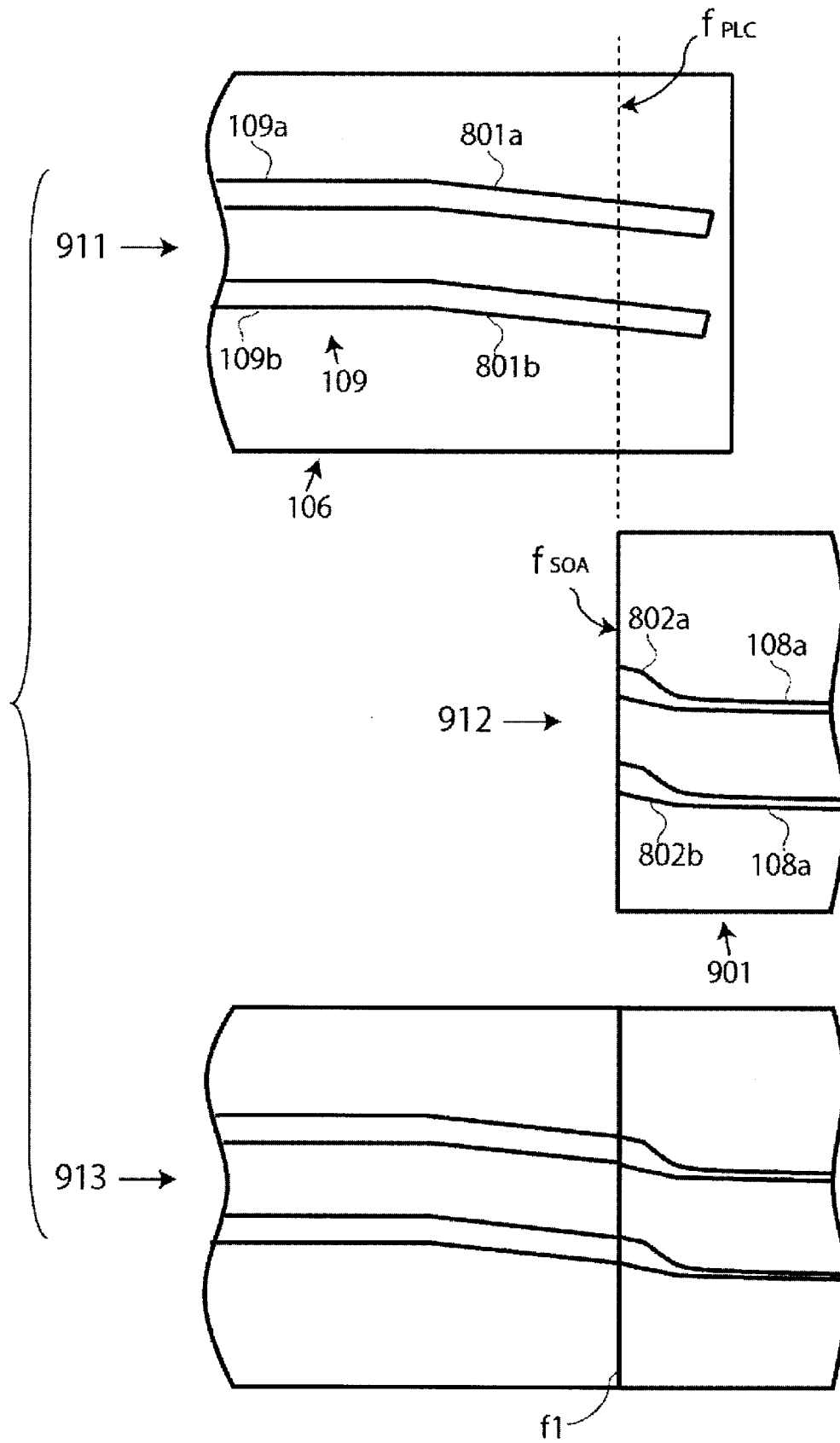
[図8A]



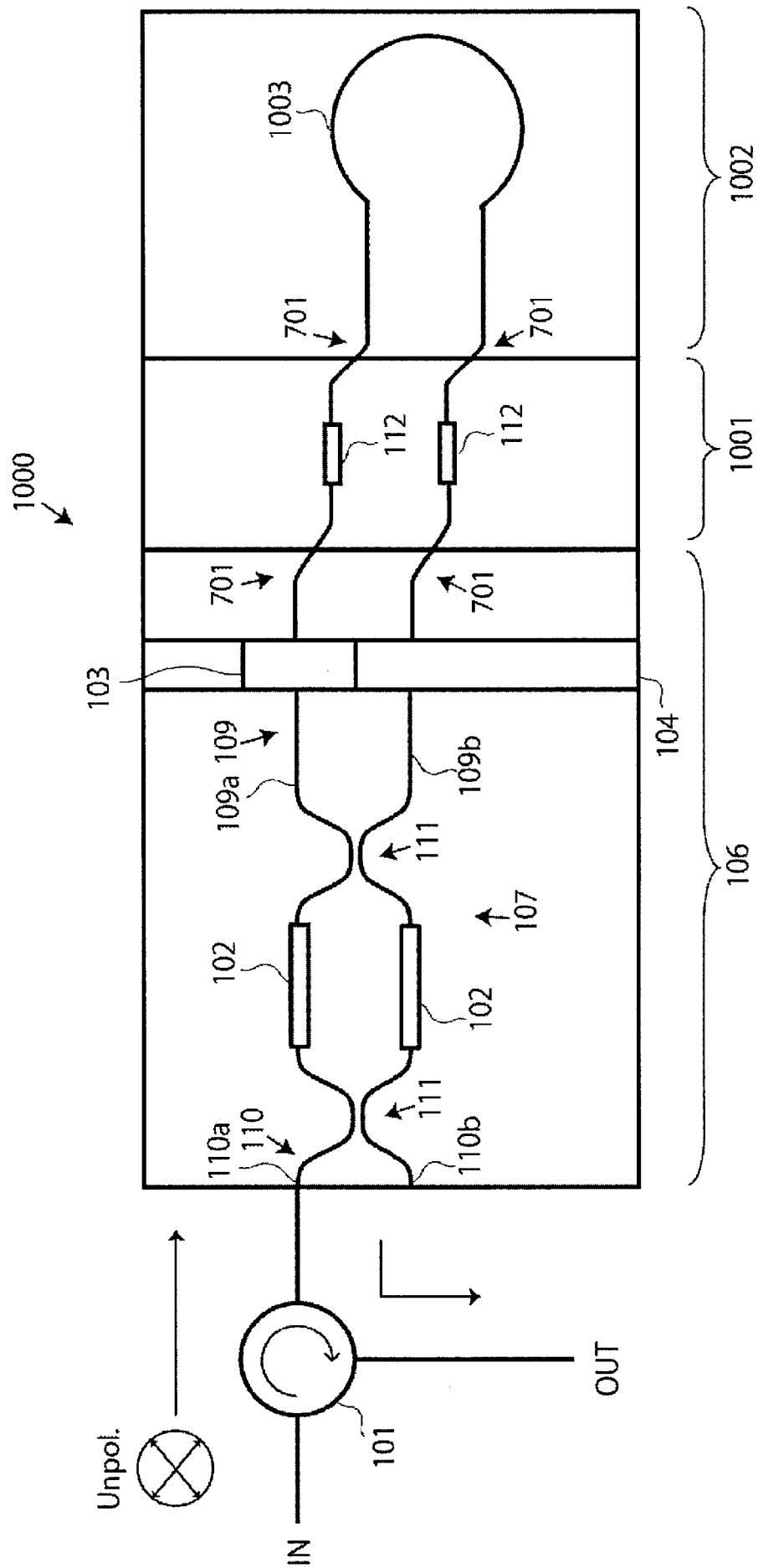
[図8B]



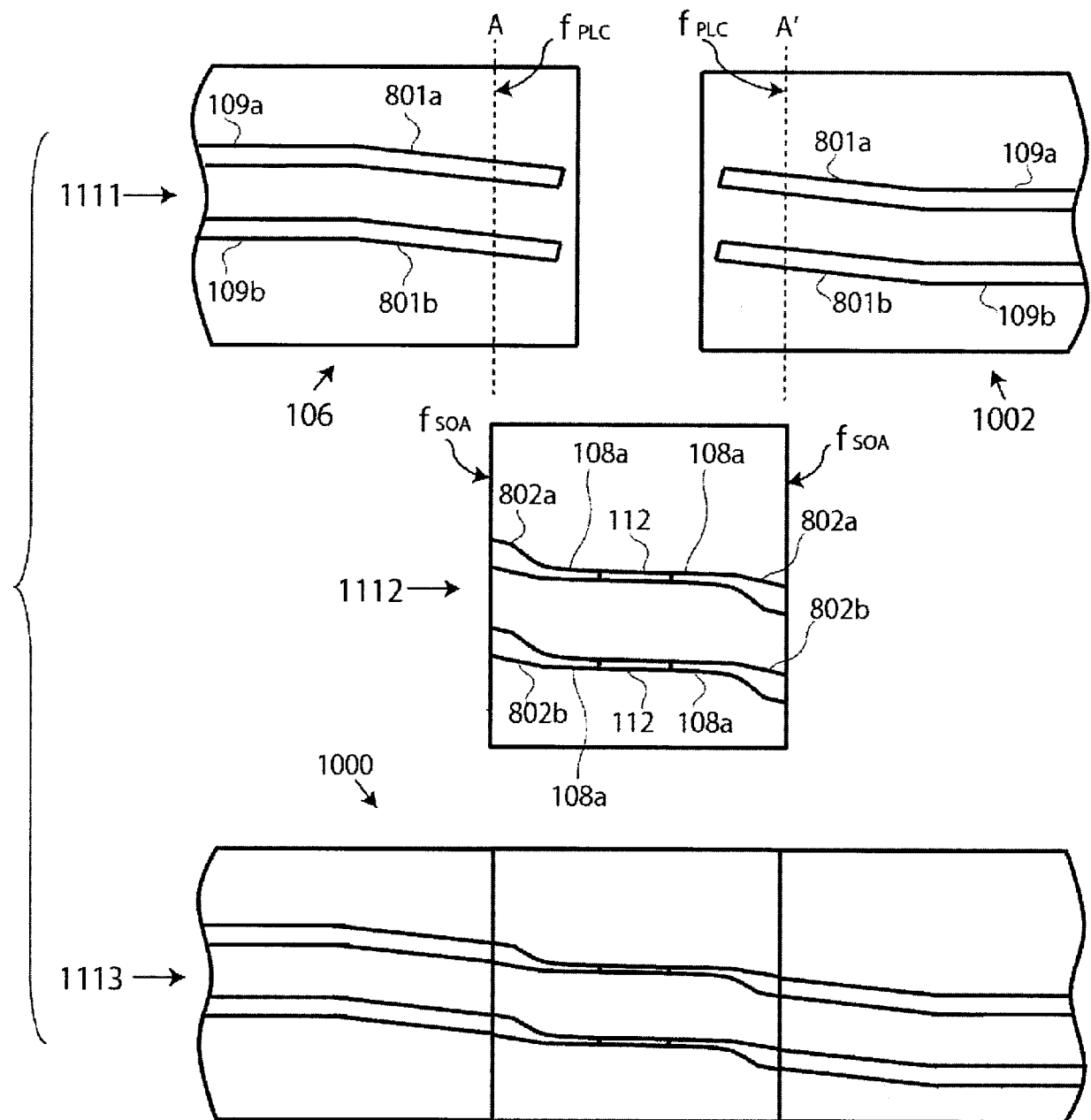
[図9]



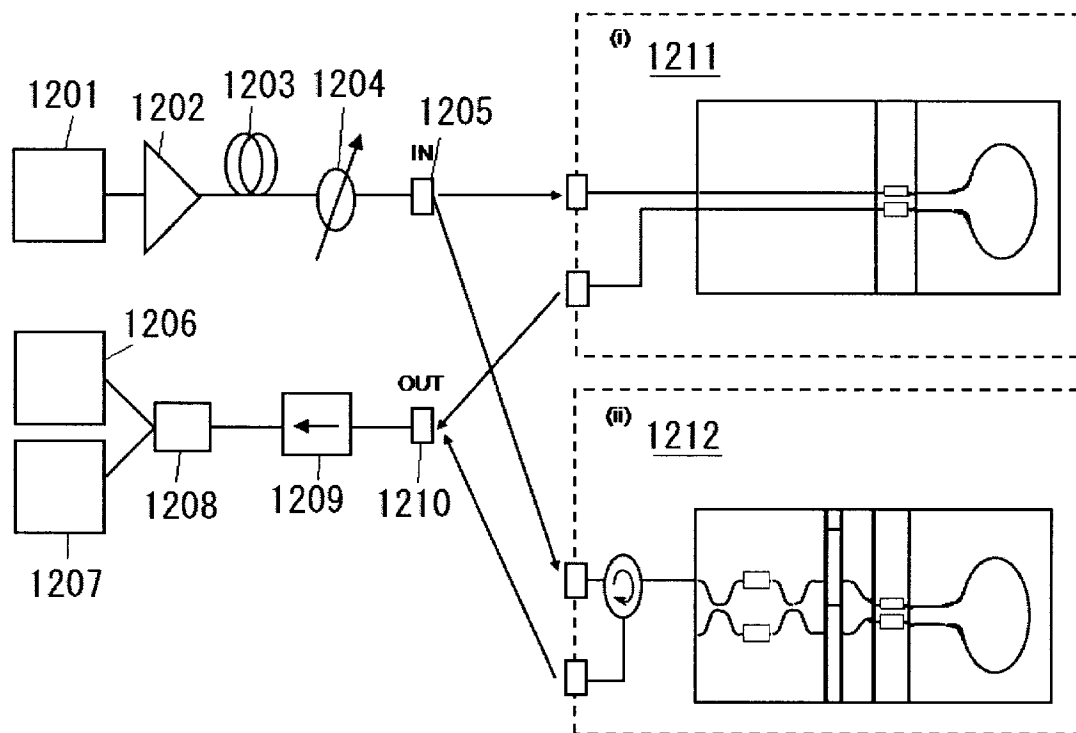
[図10]



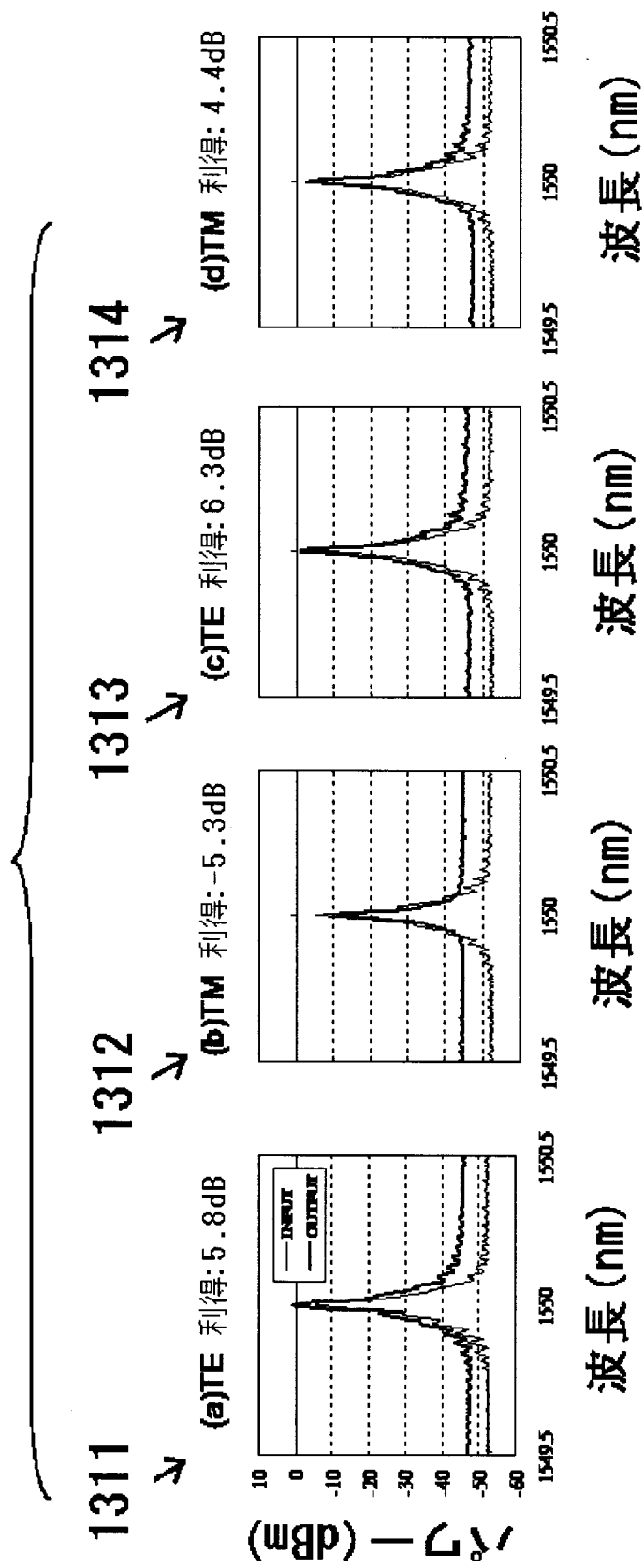
[図11]



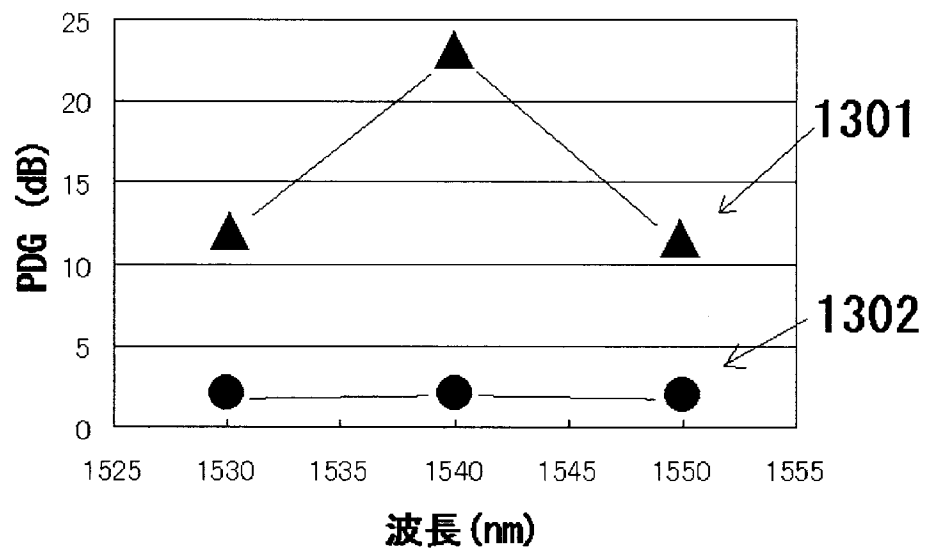
[図12]



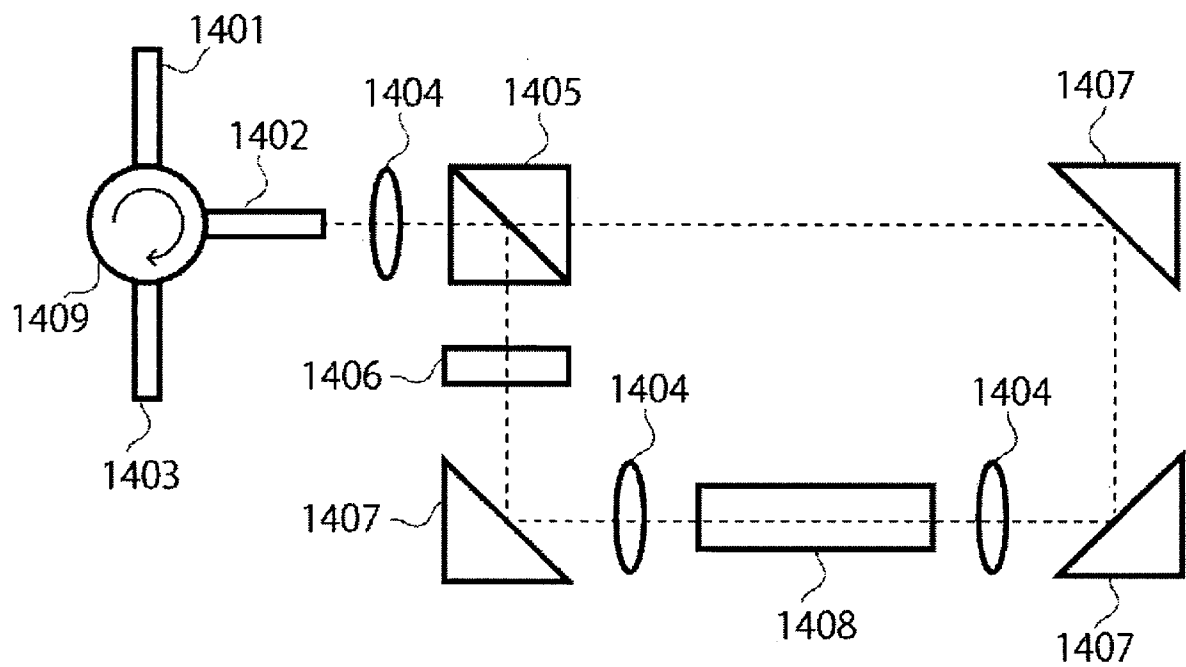
[図13A]



[図13B]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000662

A. CLASSIFICATION OF SUBJECT MATTER

G02B6/122(2006.01)i, G02F1/01(2006.01)i, H01S5/022(2006.01)i, H01S5/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02B6/122, G02F1/01, H01S5/022, H01S5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Ken Morito, Shinsuke Tanaka, Record high saturation power (+22 dBm) and low noise figure (5.7 dB) polarization-insensitive SOA module, Photonics Technology Letters, IEEE, 2005.06, Volume: 17, Issue: 6, pp1298 - 1300	1-7
Y	WO 2006/013928 A1 (The Furukawa Electric Co., Ltd.), 09 February 2006 (09.02.2006), paragraphs [0033] to [0041]; fig. 1 & JP 2011-197700 A & US 2008/0031566 A1	1-7
Y	JP 2003-207668 A (Nippon Telegraph and Telephone Corp.), 25 July 2003 (25.07.2003), paragraphs [0049] to [0071]; fig. 3, 4 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 May, 2012 (02.05.12)Date of mailing of the international search report
22 May, 2012 (22.05.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000662

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-275708 A (Keio University), 13 November 2008 (13.11.2008), paragraphs [0014] to [0017]; fig. 1 to 3 (Family: none)	1-7
Y	JP 2002-311267 A (Nippon Telegraph and Telephone Corp.), 23 October 2002 (23.10.2002), entire text; all drawings (Family: none)	3-7
Y	JP 2005-157163 A (Sumitomo Electric Industries, Ltd.), 16 June 2005 (16.06.2005), paragraph [0026]; fig. 2 & US 2005/0123234 A1 & EP 1536260 A1 & DE 602004012218 D	6, 7
Y	JP 2001-272560 A (Fuji Photo Film Co., Ltd.), 05 October 2001 (05.10.2001), claim 6; paragraph [0018] (Family: none)	7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02B6/122 (2006.01)i, G02F1/01 (2006.01)i, H01S5/022 (2006.01)i, H01S5/50 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02B6/122, G02F1/01, H01S5/022, H01S5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	Ken Morito, Shinsuke Tanaka, Record high saturation power (+22 dBm) and low noise figure (5.7 dB) polarization-insensitive SOA module, Photonics Technology Letters, IEEE, 2005.06, Volume: 17, Issue: 6, pp1298 - 1300	1 - 7
Y	W0 2006/013928 A1 (古河電気工業株式会社) 2006.02.09, 【0033】 - 【0041】、第1図 & JP 2011-197700 A & US 2008/0031566 A1	1 - 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 2 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

福島 浩司

2 X

9 0 1 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-207668 A (日本電信電話株式会社) 2003.07.25, 【0049】 - 【0071】、第3, 4図 (ファミリーなし)	1 - 7
Y	JP 2008-275708 A (学校法人慶應義塾) 2008.11.13, 【0014】 - 【0017】、第1 - 3図 (ファミリーなし)	1 - 7
Y	JP 2002-311267 A (日本電信電話株式会社) 2002.10.23, 全文、全図 (ファミリーなし)	3 - 7
Y	JP 2005-157163 A (住友電気工業株式会社) 2005.06.16, 【0026】、第2図 & US 2005/0123234 A1 & EP 1536260 A1 & DE 602004012218 D	6, 7
Y	JP 2001-272560 A (富士写真フイルム株式会社) 2001.10.05, 請求項6, 【0018】 (ファミリーなし)	7