

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成23年3月17日(2011.3.17)

【公表番号】特表2010-521029(P2010-521029A)

【公表日】平成22年6月17日(2010.6.17)

【年通号数】公開・登録公報2010-024

【出願番号】特願2009-553091(P2009-553091)

【国際特許分類】

G 05 F 3/30 (2006.01)

【F I】

G 05 F 3/30

【手続補正書】

【提出日】平成23年1月28日(2011.1.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

反転および非反転入力を持ち基準電圧をその出力に提供する増幅器を含むバンドギャップ基準回路であって、：

a. 増幅器の非反転入力に接続される第一組のトランジスタであって、第一組は回路の第一および第二のトランジスタを含み、第一および第二トランジスタのベースは互いに接続され、第一トランジスタはフィードバック抵抗を介して増幅器の出力にさらに接続され、第二トランジスタはダイオード接続で提供される、前記第一組のトランジスタ；

b. 第二組のトランジスタであって、回路の第三および第四のトランジスタを含み、第三トランジスタは増幅器の反転入力に接続され、第三および第四トランジスタのエミッタは基準抵抗を介してグラウンドに接続され、第四トランジスタはダイオード接続で提供され結合抵抗を介して第二トランジスタに接続される、前記第二組のトランジスタを含み；

第三トランジスタのベースは第一および第二トランジスタの連結に接続され、第三トランジスタのコレクタは、第一および第三トランジスタが増幅器に対する事前増幅を形成するように第一トランジスタのコレクタに接続され、さらに第一および第四トランジスタのエミッタ面積は第二および第三トランジスタのエミッタ面積より大きくなるような縮尺で設計され、2つのベース-エミッタ電位差が、PTAT (proportional to absolute temperature) 電圧に比例する様で、結合およびフィードバック抵抗のそれぞれの両端間に生成され、結果として得られるPTAT電流は基準抵抗両端間にPTAT電圧を生成し、該PTAT電圧は第二および第三トランジスタ結合のベースエミッタ電圧と組み合わされて、一次温度不感応電圧として増幅器の出力に反映され、該温度不感応電圧に対する高バンドノイズの影響を最小限にするための非反転入力とグラウンドとの間に提供されるフィルターをさらに含む、前記回路。

【請求項2】

第一および第三トランジスタのコレクタおよびベース電流を減らすように第一トランジスタからのフィードバック電流の少なくとも一部をシャントし、それにより温度不感応電圧における低バンドノイズの影響を減らすように提供された電流シャントを含む、請求項1に記載の回路。

【請求項3】

電流シャントが第一および第三トランジスタのコレクタ電流を減らし、結果として第一

および第三トランジスタのベース電流を減らすように構成される、請求項 2 に記載の回路。

【請求項 4】

電流シャントが、2つのnpnトランジスタおよび1つのpnpトランジスタを含み、該pnpトランジスタが回路の第五トランジスタを形成し、2つのnpnトランジスタが回路の第六および第七トランジスタを形成する、請求項 3 に記載の回路。

【請求項 5】

トランジスタのエミッタ面積が、第二および第三トランジスタが第一のエミッタ面積nを持つように、第四トランジスタが第二のエミッタ面積n1を持つように、第一トランジスタが第三のエミッタ面積n2を持つように、第五トランジスタが第四のエミッタ面積n3を持つように、第六トランジスタが第五のエミッタ面積n4を持つように、そして第七トランジスタが第六のエミッタ面積n5を持つように、トランジスタのエミッタ面積が選定され、エミッタ面積がn5>n4>n3>n2>n1>nとなるように設計される、請求項 4 に記載の回路。

【請求項 6】

フィルターがキャパシタを含む、請求項 1 に記載の回路。

【請求項 7】

キャパシタが1000pFより小さい値を持つ、請求項 6 に記載の回路。

【請求項 8】

キャパシタが200pFより小さい値を持つ、請求項 7 に記載の回路。

【請求項 9】

キャパシタが約100pFの値を持つ、請求項 9 に記載の回路。

【請求項 10】

回路が曲率補正要素を含む、請求項 1 に記載の回路。

【請求項 11】

曲率補正要素が、極性が反対のTlogT型の補正電圧を第一基準電圧出力に提供し、補正電圧が一次基準電圧出力と組み合わされて曲率補正基準電圧を生成するように構成される、請求項 10 に記載の回路。

【請求項 12】

反転および非反転入力を持ち基準電圧をその出力に提供する増幅器を含むバンドギャップ基準回路であって、：

a. 増幅器の非反転入力に接続される第一組のトランジスタであって、第一組は回路の第一および第二のトランジスタを含み、第一および第二トランジスタのベースは互いに接続され、第一トランジスタはフィードバック抵抗を介して増幅器の出力にさらに接続され、第二トランジスタはダイオード接続で提供される、前記第一組のトランジスタ；

b. 第二組のトランジスタであって、回路の第三および第四のトランジスタを含み、第三トランジスタは増幅器の反転入力に接続され、第三および第四トランジスタのエミッタは基準抵抗を介してグラウンドに接続され、第四トランジスタはダイオード接続で提供され結合抵抗を介して第二トランジスタに接続される、前記第二組のトランジスタを含み；

第三トランジスタのベースは第一および第二トランジスタの連結に接続され、第三トランジスタのコレクタは、第一および第三トランジスタが増幅器に対する事前増幅を形成するように第一トランジスタのコレクタに接続され、さらに第一および第四トランジスタのエミッタ面積は第二および第三トランジスタのエミッタ面積より大きくなるような縮尺で設計され、2つのベース-エミッタ電位差が、PTAT (proportional to absolute temperature) 電圧に比例する態様で、結合およびフィードバック抵抗のそれぞれの両端間に生成され、結果として得られるPTAT電流は基準抵抗両端間にPTAT電圧を生成し、該PTAT電圧は第二および第三トランジスタ結合のベースエミッタ電圧と組み合わされて、一次温度不感応電圧として増幅器の出力に反映され、第一および第三トランジスタのコレクタおよびベース電流を減らすように第一トランジスタからのフィードバック電流の少なくとも一部をシャントし該温度不感応電圧に対する低バンドノイズの影響を減らすように提供された電流シャントをさらに含む、前記回路。

## 【請求項 1 3】

電流シャントが第一および第三トランジスタのコレクタ電流を減らし、結果として第一および第三トランジスタのベース電流を減らすように構成される、請求項 1 2 に記載の回路。

## 【請求項 1 4】

電流シャントが、2つのnpnトランジスタおよび1つのpnpトランジスタを含み、そのpn pトランジスタが回路の第五トランジスタを形成し、2つのnpnトランジスタが回路の第六および第七トランジスタを形成する、請求項 1 3 に記載の回路。

## 【請求項 1 5】

トランジスタのエミッタ面積が、第二および第三トランジスタが第一のエミッタ面積nを持つように、第四トランジスタが第二のエミッタ面積n1を持つように、第一トランジスタが第三のエミッタ面積n2を持つように、第五トランジスタが第四のエミッタ面積n3を持つように、第六トランジスタが第五のエミッタ面積n4を持つように、そして第七トランジスタが第六のエミッタ面積n5を持つように、トランジスタのエミッタ面積が選定され、エミッタ面積がn5>n4>n3>n2>n1>nとなるように設計される、請求項 1 4 に記載の回路。

## 【請求項 1 6】

前記温度不感応電圧に対する高バンドノイズの影響を最小限にするために、非反転入力およびグラウンドの間に提供されるフィルターを含む、請求項 1 2 に記載の回路。

## 【請求項 1 7】

フィルターがキャパシタを含む、請求項 1 6 に記載の回路。

## 【請求項 1 8】

キャパシタが1000pFより小さいの値を持つ、請求項 1 7 に記載の回路。

## 【請求項 1 9】

キャパシタが200pFより小さいの値を持つ、請求項 1 7 に記載の回路。

## 【請求項 2 0】

キャパシタが約100pFの値を持つ、請求項 1 9 に記載の回路。

## 【請求項 2 1】

回路が曲率補正要素を含む、請求項 1 2 に記載の回路。

## 【請求項 2 2】

曲率補正要素が、極性が反対のTlogT型の補正電圧を第一基準電圧出力に提供し、補正電圧が一次基準電圧出力と組み合わされて曲率補正基準電圧を生成するように構成される、請求項 2 1 に記載の回路。

## 【請求項 2 3】

反転および非反転入力を持ち基準電圧をその出力に提供する増幅器を含むバンドギャップ基準回路であって、：

- 增幅器の非反転入力に接続される第一組のトランジスタであって、第一組は回路の第一および第二のトランジスタを含み、第一および第二トランジスタのベースは互いに接続され、第一トランジスタはフィードバック抵抗を介して増幅器の出力にさらに接続され、第二トランジスタはダイオード接続で提供される、前記第一組のトランジスタ；
- 第二組のトランジスタであって、回路の第三および第四のトランジスタを含み、第三トランジスタは増幅器の反転入力に接続され、第三および第四トランジスタのエミッタは基準抵抗を介してグラウンドに接続され、第四トランジスタはダイオード接続で提供され結合抵抗を介して第二トランジスタに接続される、前記第二組のトランジスタを含み；

第三トランジスタのベースは第一および第二トランジスタの連結に接続され、第三トランジスタのコレクタは、第一および第三トランジスタが増幅器に対する事前増幅を形成するように第一トランジスタのコレクタに接続され、さらに第一および第四トランジスタのエミッタ面積は第二および第三トランジスタのエミッタ面積より大きくなるような縮尺で設計され、2つのベース-エミッタ電位差が、PTAT (proportional to absolute temperature) 電圧に比例する態様で、結合およびフィードバック抵抗のそれぞれの両端間に生成され、結果として得られるPTAT電流は基準抵抗両端間にPTAT電圧を生成し、該PTAT電圧は

第二および第三トランジスタ結合のベースエミッタ電圧と組み合わされて、一次温度不感応電圧として増幅器の出力に反映され、；

温度不感応電圧に対する高バンドノイズの影響を最小限にするために非反転入力およびグラウンドの間に提供されるフィルター；および

第一および第三トランジスタのコレクタおよびベース電流を減らすように第一トランジスタからのフィードバック電流の少なくとも一部をシャントし、よってこのオーダーの温度不感応電圧に対する低バンドノイズの影響を減らすように構成された電流シャントをさらに含む、前記回路。

【請求項 2 4】

電流シャントが第一および第三トランジスタのコレクタ電流を減らし、結果として第一および第三トランジスタのベース電流を減らすように構成される、請求項 2 3 に記載の回路。

【請求項 2 5】

電流シャントが、2つのnpnトランジスタおよび1つのpnpトランジスタを含み、pnpトランジスタが回路の第五トランジスタを形成し、2つのnpnトランジスタが回路の第六および第七トランジスタを形成する、請求項 2 4 に記載の回路。

【請求項 2 6】

トランジスタのエミッタ面積が、第二および第三トランジスタが第一のエミッタ面積nを持つように、第四トランジスタが第二のエミッタ面積n1を持つように、第一トランジスタが第三のエミッタ面積n2を持つように、第五トランジスタが第四のエミッタ面積n3を持つように、第六トランジスタが第五のエミッタ面積n4を持つように、そして第七トランジスタが第六のエミッタ面積n5を持つように、トランジスタのエミッタ面積が選定され、エミッタ面積がn5>n4>n3>n2>n1>nとなるように設計される、請求項 2 5 に記載の回路。

【請求項 2 7】

フィルターがキャパシタを含む、請求項 2 3 に記載の回路。

【請求項 2 8】

キャパシタが1000pFより小さい値を持つ、請求項 2 7 に記載の回路。

【請求項 2 9】

キャパシタが200pFより小さい値を持つ、請求項 2 7 に記載の回路。

【請求項 3 0】

キャパシタが約100pFの値を持つ、請求項 2 9 に記載の回路。

【請求項 3 1】

回路が曲率補正要素を含む、請求項 2 3 に記載の回路。

【請求項 3 2】

曲率補正要素が、極性が反対のTlogT型の補正電圧を第一基準電圧出力に提供し、補正電圧が一次基準電圧出力と組み合わされて曲率補正基準電圧を生成するように構成される、請求項 3 1 に記載の回路。

【請求項 3 3】

キャパシタがオンチップで提供される、請求項 2 7 に記載の回路。

【請求項 3 4】

反転および非反転入力を持ち基準電圧をその出力に提供する増幅器を含むバンドギャップ基準回路であって、非反転入力は増幅器への高インピーダンス入力となっており、増幅器の入力での高バンドノイズをフィルターするために該高インピーダンス入力とグラウンドとの間に接続されたフィルターを含む、前記回路。

【請求項 3 5】

バンドギャップセル内に設けられ、反転および非反転入力を持ち基準電圧をその出力に提供する増幅器に接続された複数のトランジスタを含むバンドギャップ基準回路であって、バンドギャップセルを形成する増幅器出力とトランジスタとの間にフィードバックループを含み、さらにバンドギャップセルを形成するトランジスタのコレクタエミッタ電流を減らし、その結果トランジスタのベース電流を減らすようにフィードバックループからの

電流の少なくとも一部をシャントするシャント回路を含む、前記回路。