



Patent dodatkowy
do patentu nr _____

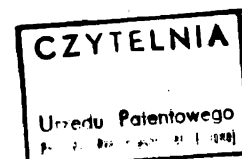
Zgłoszono: 82 11 19 (P. 239119)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 84 05 21

Opis patentowy opublikowano: 1986 11 15

Int. Cl.⁸ G06F 9/22



Twórca wynalazku: Maciej Feszczuk

Uprawniony z patentu: Naukowo-Produkcyjne Centrum Półprzewodników „CEMI”, Warszawa (Polska)

Sekwencyjny układ sterowania mikroprogramowego

1

Przedmiotem wynalazku jest sekwencyjny układ sterowania mikroprogramowego znajdujący zastosowanie przy sterowaniu mikrokomputerów i maszyn cyfrowych oraz pamięci elektronicznych urządzeń cyfrowych automatycznych linii produkcyjnych.

Znany jest z literatury książkowej P. Misiurewicz, M. Grzybek, „Półprzewodnikowe układy logiczne”, WNT, Warszawa 1975 r. str. 208 oraz F. Wagner, „Projektowanie urządzeń cyfrowych”, WNT, Warszawa 1978 r. str. 128 sekwencyjny układ sterowania wyposażony w układ stałej wykorzystywanej do uzyskiwania niezbędnych adresów warunków oraz do generowania wymaganych mikro-rozkazów.

W opisanych rozwiązaniach adresy pochodzą z dzielonego słowa wyjściowego jednej pamięci stałej co wymaga stosowania pamięci o dużej pojemności dla wystarczającej ilości bitów wyjściowych. Znaną są również z opisów patentowych RFN nr 2 444 487, nr 2 362 063, nr 1 818 263, nr 1 463 309 oraz patentu PRL 98 251 układy sterowania programowego pozwalające realizować zmieniające się w czasie sterowania za pomocą pamięci operacyjnej z dodatkową pamięcią adresów operacyjnych i pamięcią adresów skoków, bądź też za pomocą współrzędnościowej matrycy programującej sterowanej układami liczników bądź rejestrów przesuwanych.

Istota wynalazku polega na tym, że wejście układu stanowi multiplekser warunków posiadający

2

wejścia adresowe przy czym wyjście multipleksera jest połączone z wejściem programującym programowanego przerzutnika, którego wejście zegarowe jest połączone ze źródłem impulsów zegarowych oraz poprzez układ opóźnienia czasowego z wejściem strobuującym dekodera mikro-rozkazów, przy czym wyjście przerzutnika programowego jest połączone z najmniej znaczącym bitem adresowym stałej pamięci mikro-rozkazów oraz stałej pamięci przejść a wejścia adresowe stałej pamięci przejść oraz stałej pamięci mikro-rozkazów są połączone z odpowiednimi wejściami rejestru stanu przejść do których są dołączone ponadto wejścia adresowe stałej pamięci warunków, przy czym wyjścia danych stałej pamięci warunków są połączone z wejściami adresowymi multipleksera warunków, a wyjścia danych stałej pamięci przejść są połączone z wejściami rejestru stanu przejść, którego wejście zegarowe jest połączone ponadto ze źródłem impulsów zegarowych, natomiast wyjścia danych stałej pamięci mikro-rozkazów są połączone z wejściami adresowymi dekodera mikro-rozkazów, którego wyjścia stanowią wyjście układu.

Wynalazek został uwidoczniiony w przykładzie wykonania na rysunku na którym fig. 1 oznacza schemat blokowy sekwencyjnego układu sterowania mikroprogramowego a fig. 2 jego algorytm pracy. Wejście układu sterowania stanowi multiplekser warunków MW posiadający wejścia adresowe A₀, A₁... A_p. Zbiór warunków oznaczony jako W₀...W_k gdzie

k wynosi $2_p - 1$, podawany jest na wejścia adresowe $A_0, A_1 \dots A_p$ multiplexera warunków MW. Wyjście multiplexera warunków MW dołączone jest do wejścia programującego D przerzutnika P typu D. Wyjście Q przerzutnika P jest połączone z wyjściem A_0 stałej pamięci przejść PS_1 oraz z wejściem A_0 stałej pamięci mikrorozkazów PS_2 . Wejścia adresowe $A_1 \dots A_m$ stałej pamięci przejść PS_1 oraz stałej pamięci mikrorozkazów PS_2 są dołączone odpowiednio do wyjść $Q_0 \dots Q_{m-1}$ rejestru stanu przejść R. Wyjścia danych $Q_0 \dots Q_p$ stałej pamięci warunków PS_2 są połączone z wejściami adresowymi $A_0 \dots A_p$ multiplexera warunków MW.

Wyjścia $Q_0 \dots Q_{M-1}$ stałej pamięci przejść PS_1 są połączone z wejściami $R_0, R_1 \dots R_{M-1}$ rejestru stanu przejść R. Wyjścia stałej pamięci mikrorozkazów PS_2 $Q_0, Q_1 \dots Q_N$ są połączone z wejściami $A_0 \dots A_N$ dekodera mikrorozkazów DM. Wyjście układu stanowią wyjścia $Q_0 \dots Q_{N-1}$ dekodera DM. Do wejścia zegarowego T przerzutnika P typu D oraz rejestru stanu przejść R doprowadzone są impulsy zegarowe ze źródła zewnętrznego.

Rejestr stanu przejść R oraz przerzutnika P działają na przeciwne zbocza impulsów zegarowych. Impulsy zegarowe są ponadto podawane poprzez układ opóźnienia czasowego OP na wejście strobowe E dekodera mikrorozkazów DM. Działanie układu polega na próbkowaniu warunków — spełniony, niespełniony, które podawane są na wejście multiplexera MW. W wyniku działania całości układu, na odpowiednich wyjściach dekodera DM pojawiają się sygnały wykorzystywane jako mikrorozkazy do wykonywania wymaganych czynności. W chwili początkowej rejestr stanu przejść R oraz przerzutnik P typu są wyzerowane. Wyjście Q przerzutnika P oraz wyjścia rejestru stanu przejść R wyznaczają słowo adresowe dla stałej pamięci warunków PS_2 . Stała pamięć warunków PS_2 podaje na wejścia adresowe $A_0, A_1 \dots A_p$ multiplexera MW adres wejścia na które podawany jest warunek START.

Jeśli na wejściu tym pojawia się stan logiczny H przy czym może być przyjęta konwencja przeciwna po przepisaniu na wyjściu Q przerzutnika P, który spowoduje wykonanie czynności 1 po opóźnieniu wynikającym z czasu dostępu pamięci stałej PS_2 . Stan logiczny L na wyjściu START multiplexera MW spowoduje jedynie powrót do ponownego badania warunku START. Tylne zbocze impulsu zegarowego spowoduje przepisanie słowa wyjściowego stałej pamięci przejść PS_1 na wejścia rejestru stanu przejść R. Układ przechodzi do sprawdzenia warunku 1. Jeżeli warunek jest spełniony układ wykonuje czynności 2, jeżeli nie jest spełniony układ wykonuje czynności 3 itd.

Po wykonaniu całego programu układ wraca do stanu początkowego oczekując na ponowne pojawienie się sygnału START.

Układ może realizować dowolny algorytm pracy i może po dołączeniu odpowiednich elementów wykonawczych sterować dowolnym urządzeniem. W układzie sterowania według wynalazku zastosowane zostały trzy pamięci stałe, pamięć przejść PS_1 , pamięć warunków PS_2 , pamięć mikrorozkazów PS_3 . Zastosowanie stałej pamięci przejść PS_1 pozwala na realizację całego programu pracy w postaci złożonego algorytmu. Zastosowanie dodatkowo pamięci stałej warunków PS_2 powoduje że dla różnych adresów klatek warunkowych pojawiających się na wejściu pamięci przejść PS_1 na wejściu adresowym $A_0, A_1 \dots A_p$ multiplexera MW pojawia się ten sam adres wybierający powtarzający w programie warunek. Podobne zastosowanie pamięci mikrorozkazów PS_3 zapewniał stan że określony mikrorozkaz wykonujący daną czynność przyporządkowany jest tylko jednemu wyprowadzeniu dekodera mikrorozkazów DM pomimo wielokrotnego powtarzania się w programie dla różnych numerów klatek.

Zastrzeżenie patentowe

Sekwencyjny układ sterowania mikroprogramowego, znajdujący zastosowanie przy sterowaniu mikrokomputerów i maszyn cyfrowych oraz pamięci elektronicznych urządzeń cyfrowych automatycznych linii produkcyjnych, zawierający pamięci stałe, znamienny tym, że wejście układu stanowi multiplexer warunków (MW) posiadający wejścia adresowe ($A_0, A_1 \dots A_p$) przy czym wyjście multiplexera (MW) jest połączone z wejściem programującym (D) programowego przerzutnika (P), którego wejście zegarowe jest połączone ze źródłem impulsów zegarowych oraz poprzez układ opóźnienia czasowego (OP) z wejściem strobowym dekodera mikrorozkazów (DM), przy czym wyjście przerzutnika (P) połączone jest z najmniej znaczącym bitem adresowym (A_0) stałej pamięci przejść (PS_1) oraz z najmniej znaczącym bitem adresowym (A_0) stałej pamięci mikrorozkazów (PS_2), a wejścia adresowe ($A_1, A_2 \dots A_p$) stałej pamięci przejść (PS_1) oraz stałej pamięci mikrorozkazów (PS_2) są połączone z wyjściami ($Q_0, Q_1 \dots Q_{M-1}$) rejestru stanu przejść (R) do których są dołączone ponadto wejścia adresowe ($A_1, A_2 \dots A_{M-1}$) stałej pamięci warunków (PS_2), przy czym wyjścia danych ($Q, Q_1 \dots Q_p$) pamięci warunków (PS_2) są połączone z wejściami adresowymi ($A_0, A_1 \dots A_p$) multiplexera warunków (MW), a wyjścia danych ($Q_0, Q_1 \dots Q_{M-1}$) stałej pamięci przejść (PS_1) połączone są z wejściami ($R_0, R_1 \dots R_{M-1}$) rejestru stanu przejść (R), którego wejście zegarowe (T) jest połączone ze źródłem impulsów zegarowych, natomiast wyjścia danych ($Q_0, Q_1 \dots Q_N$) stałej pamięci mikrorozkazów (PS_3) są połączone z wejściami adresowymi ($A_0, A_1 \dots A_N$) dekodera mikrorozkazów (DM) którego wyjścia ($Q_0, Q_1 \dots Q_{N-1}$) stanowią wyjścia układu sterowania.

