(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0087324
(43) 공개일자 2025년06월16일

(51) 국제특허분류(Int. Cl.)
G01R 19/25 (2006.01) *G01N 35/00* (2006.01)
G01R 19/00 (2021.01) *G01R 19/10* (2006.01)
G01R 19/165 (2006.01) *G01R 19/252* (2006.01)
G01R 23/20 (2006.01) *G01R 29/26* (2006.01)
H03M 1/66 (2006.01)
(52) CPC특허분류
G01R 19/2509 (2013.01)
G01N 35/00 (2013.01)
(21) 출원번호 10-2023-0177000
(22) 출원일자 2023년12월07일
심사청구일자 2023년12월07일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김성진
울산광역시 울주군 언양읍 유니스트길 50
박지호
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인비엘티

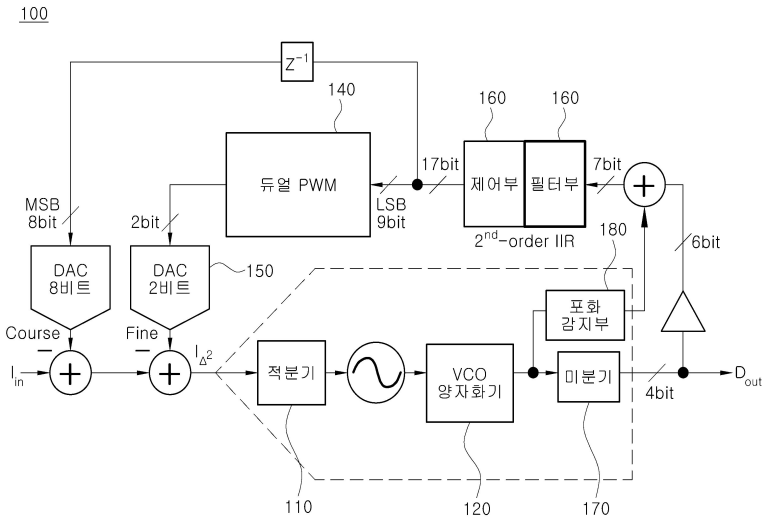
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치 및 그 제어 방법**

(57) 요 약

본 개시는 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치에 관한 것으로, 입력 전류를 전압으로 변환하는 적분기; 각 샘플링 시점에 대해 상기 전압을 디지털 정보로 변환하는 VCO 양자화기; 상기 변환된 디지털 정보를 필터링하는 필터부; 상기 필터링된 디지털 정보를 피드백 전류로 변환하는 DAC; 상기 DAC의 비트를 조절하는 듀얼 PWM; 및 상기 각 샘플링 시점에 대해 상기 입력 전류와 피드백 전류의 차이값을 기초로 출력되는 디지털 정보를 산출하는 제어부를 포함하되, 상기 듀얼 PWM은 톱니파인 제 1 입력전류와 역톱니파인 제 2 입력전류를 조합하여 신호 고조파를 감소시키는 것을 그 요지로 한다.

대 표 도 - 도6



(52) CPC특허분류
G01R 19/003 (2013.01)
G01R 19/10 (2013.01)
G01R 19/16576 (2013.01)
G01R 19/252 (2013.01)
G01R 23/20 (2021.05)
G01R 29/26 (2021.05)
H03M 1/66 (2019.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711194118
과제번호 2021M3F3A2A01037367
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 차세대지능형반도체기술개발(소자)
연구과제명 대량정보 처리를 위한 확장형 저잡음 모듈화된 뇌신호 증폭 IC 개발
기 여 율 1/2
과제수행기관명 울산과학기술원
연구기간 2023.01.01 ~ 2023.12.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711201713
과제번호 23-IJRP-01
부처명 과학기술정보통신부
과제관리(전문)기관명 대구경북과학기술원
연구사업명 대구경북과학기술원연구운영비지원(주요사업비)
연구과제명 (과기원공동연구프로젝트)뇌질환 극복을 위한 최소침습 인공지능 전자뇌 개발
기 여 율 1/2
과제수행기관명 대구경북과학기술원
연구기간 2023.01.01 ~ 2023.12.31

명 세 서

청구범위

청구항 1

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치에서,

입력 전류를 전압으로 변환하는 적분기;

각 샘플링 시점에 대해 상기 전압을 디지털 정보로 변환하는 VCO 양자화기;

상기 변환된 디지털 정보를 필터링하는 필터부;

상기 필터링된 디지털 정보를 피드백 전류로 변환하는 DAC;

상기 DAC의 비트를 조절하는 듀얼 PWM; 및

상기 각 샘플링 시점에 대해 상기 입력 전류와 피드백 전류의 차이값을 기초로 출력되는 디지털 정보를 산출하는 제어부를 포함하되,

상기 듀얼 PWM은 톱니파인 제 1 입력전류와 역톱니파인 제 2 입력전류를 조합하여 신호 고조파를 감소시키는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 2

제 1 항에 있어서,

상기 듀얼 PWM은 상기 톱니파와 상기 역톱니파를 조합하여 삼각파를 생성하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 3

제 1 항에 있어서,

상기 듀얼 PWM은 상기 톱니파와 상기 역톱니파를 조합하여 신호 고주파 중 짝수 신호 고조파를 감소시키는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 4

제 1 항에 있어서,

상기 듀얼 PWM는 1개의 카운터로 구현되는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 5

제 1 항에 있어서,

상기 듀얼 PWM는 20ns 클럭동안 4 마이크로 와트 이하의 전력을 소모하는 듀티 사이클링을 적용하는 2개의 카운터로 구현되는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 6

제 1 항에 있어서,

상기 듀얼 PWM는 카운터 초기화부, 윈도우 생성부를 더 포함하고,

상기 카운터 초기화부는 카운터를 초기화하고, 초기화된 상기 카운터를 출력하고,

윈도우 생성부는 클럭을 입력으로 받아 PWM 윈도우를 출력하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 7

제 1 항에 있어서,

상기 듀얼 PWM는 리플 카운터와 싱크로너스 카운터를 조합하여 카운터를 구현하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 8

제 7 항에 있어서,

상기 리플 카운터는 앞쪽에 있는 플립플롭의 출력이 뒤쪽에 있는 플립플롭의 클럭으로 사용되고,

상기 싱크로너스 카운터는 복수의 플립플롭들이 하나의 공통 클럭에 연결되어 있어서 상기 복수의 플립플롭이 동시에 트리거가 되는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 9

제 7 항에 있어서,

상기 리플 카운터는 2 비트로 구현되는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 10

제 7 항에 있어서,

상기 싱크로너스 카운터는 8 비트로 구현되는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 11

제 1 항에 있어서,

상기 듀얼 PWM는 카운터에서 딜레이가 발생하는 경우, 상기 카운터를 동기화시켜 상기 딜레이를 조절하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 12

제 1 항에 있어서,

상기 듀얼 PWM는 카운터에서 딜레이가 발생하는 경우, 비교기 다음에 샘플러를 삽입하여 상기 딜레이를 조절하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 13

제 1 항에 있어서,

상기 전압을 출력 전류로 변환하는 미분기를 더 포함하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 14

제 1 항에 있어서,

VCO 양자화기로부터의 출력 전압이 임계값을 초과하는 것을 방지하는 포화감지부를 더 포함하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 15

제 1 항에 있어서, 상기 적분기는,

상기 입력 전류와 피드백 전류의 차이값을 누적한 피드백 전압을 출력하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 16

제 1 항에 있어서, 상기 VCO 양자화기는,

피드백 전압에 대응하는 디지털 정보를 출력하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 17

제 16 항에 있어서,

상기 피드백 전압은 각 샘플링 시점에 증가 또는 감소되는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 18

제 1 항에 있어서, 상기 제어부는,

상기 각 샘플링 시점에 대한 상기 피드백 전압에 대응하는 디지털 정보의 평균값(average)을 계산하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 19

제 1 항에 있어서,

상기 입력 전류와 피드백 전류의 차이값은, 상기 각 샘플링 시점에 대해 상기 적분기에 누적되고,

상기 적분기는 상기 누적된 차이값에 대응하는 피드백 전압을 출력하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

청구항 20

제 1 항에 있어서, 상기 필터부는

상기 디지털 정보의 저주파수 대역을 필터링하는,

듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치.

발명의 설명

기 술 분 야

[0001] 본 개시는 소면적 저왜곡 전류 감지 장치에 관한 것이다. 보다 상세하게는, 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치 및 그 제어 방법에 관한 것이다.

배 경 기 술

[0002] 바이오 산업이 발전하면서 생명공학자들은 미세 세포의 특징을 구분하기 위한 다양한 방법들을 개발해 왔다. 그

중 하나가 'Bioluminescence'로 이는 생물학적 특징을 빛으로 구분할 수 있는 촉매를 세포에 뿌리거나 세포 자체를 빛을 방출하도록 돌연변이를 일으켜 세포자체가 형광 빛을 방출하도록 하여 세포 혹은 생체 고분자 물질의 반응을 측정하는 방법이다.

[0003] 기존에는 이런 빛을 측정하기 위해 광학적 기술을 이용하여 형광 빛을 모아 현미경을 이용하여 관측을 시행하였다. 하지만 이런 광학적인 방법은 아주 비싸고 거대한 현미경이 필요하였으며 생체 내부에서 일어나는 일을 관측하는 것에는 무리가 따랐다.

[0004] 이를 해결하고자 광다이오드의 전류를 측정하는 바이오센서들이 개발되어왔다. 하지만 이런 바이오센서들은 생체물질에서 방출되는 빛의 양이 미약하여, 광학적으로 빛을 모으지 않는 이상, 광다이오드가 반응하는 전류의 양 또한 아주 미약하여(pA~nA level), 이러한 미세한 전류 값을 읽어 내는 것이 하나의 해결해야 될 과제였다.

[0005] 또한 광학적 처리가 전혀 이루어 지지 않기 때문에, 광다이오드가 생체물질에서 나오는 빛 신호에 의해서만 전류를 발생시키지 않고 다른 파장의 빛, 즉 외광에 의해서도 전류를 발생시키는데, 이 전류량은 생체물질에서 나오는 빛으로 발생되는 전류량보다 10배에서 1000배에 가까이 크다.

[0006] 그러나 종래 바이오센서들은 생체물질에서 방출되는 빛의 양이 미약하여, 광학적으로 빛을 모으지 않는 이상, 광다이오드가 반응하는 전류의 양 또한 아주 미약하여(pA~nA level), 이러한 미세한 전류 값을 읽어 내는 것이 쉽지 않은 문제점이 있었고 다양한 입력 신호로 인해 큰 기준전류는 회로 포화를 유발하는 문제점이 있어서 사용자가 불편함을 느끼는 문제점이 있었다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 대한민국 등록특허공보 제10-2480355호(등록일: 2022.12.19.)

발명의 내용

해결하려는 과제

[0008] 본 개시에 개시된 실시예는 듀얼 PWM(Pulse Width Modulation) 전류 DAC와 카운터 기반의 PWM 로직을 활용하여 전류 감지에서 저전력 소모와 저왜곡을 달성할 수 있는 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치를 제공하는 것을 목적으로 한다.

[0009] 본 개시가 해결하고자 하는 과제들은 이상에서 언급된 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 입력 전류를 전압으로 변환하는 적분기; 각 샘플링 시점에 대해 상기 전압을 디지털 정보로 변환하는 VCO 양자화기; 상기 변환된 디지털 정보를 필터링하는 필터부; 상기 필터링된 디지털 정보를 피드백 전류로 변환하는 DAC; 상기 DAC의 비트를 조절하는 듀얼 PWM; 및 상기 각 샘플링 시점에 대해 상기 입력 전류와 피드백 전류의 차이값을 기초로 출력되는 디지털 정보를 산출하는 제어부를 포함하되, 상기 듀얼 PWM은 톱니파인 제 1 입력전류와 역톱니파인 제 2 입력전류를 조합하여 신호 고조파를 감소시킨다.

[0011] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 듀얼 PWM(140)은 상기 톱니파와 상기 역톱니파를 조합하여 삼각파를 생성한다.

[0012] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 듀얼 PWM(140)은 상기 톱니파와 상기 역톱니파를 조합하여 신호 고주파 중 짝수 신호 고조파를 감소시킨다.

[0013] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 듀얼 PWM(140)는 1개의 카운터로 구현된다.

[0014] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 듀얼 PWM(140)는 20ns 클럭

동안 4 마이크로 와트 이하의 전력을 소모하는 듀티 사이클링을 적용하는 2개의 카운터로 구현된다.

[0015] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 듀얼 PWM(140)는 카운터 초기화부, 윈도우 생성부를 더 포함하고, 상기 카운터 초기화부는 카운터를 초기화하고, 초기화된 상기 카운터를 출력하고, 윈도우 생성부는 클럭을 입력으로 받아 PWM 윈도우를 출력한다.

[0016] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 듀얼 PWM는 리플 카운터와 싱크로너스 카운터를 조합하여 카운터를 구현한다.

[0017] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 리플 카운터(143)는 앞쪽에 있는 플립플롭의 출력이 뒤쪽에 있는 플립플롭의 클럭으로 사용되고, 상기 싱크로너스 카운터(144)는 복수의 플립플롭들이 하나의 공통 클럭에 연결되어 있어서 상기 복수의 플립플롭이 동시에 트리거가 된다.

[0018] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 리플 카운터(143)는 2 비트로 구현된다.

[0019] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 싱크로너스 카운터(144)는 8 비트로 구현된다.

[0020] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 듀얼 PWM는 카운터에서 딜레이가 발생하는 경우, 상기 카운터를 동기화시켜 상기 딜레이를 조절한다.

[0021] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 듀얼 PWM(140)는 카운터에서 딜레이가 발생하는 경우, 비교기 다음에 샘플러를 삽입하여 상기 딜레이를 조절한다.

[0022] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 전압을 출력 전류로 변환하는 미분기(170)를 더 포함한다.

[0023] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, VCO 양자화기(120)로부터의 출력 전압이 임계값을 초과하는 것을 방지하는 포화감지부(180)를 더 포함한다.

[0024] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 적분기(110)는 상기 입력 전류와 피드백 전류의 차이값을 누적한 피드백 전압을 출력한다.

[0025] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 VCO 양자화기(120)는 피드백 전압에 대응하는 디지털 정보를 출력한다.

[0026] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 피드백 전압은 각 샘플링 시점에 증가 또는 감소한다.

[0027] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 제어부는, 상기 각 샘플링 시점에 대한 상기 피드백 전압에 대응하는 디지털 정보의 평균값(average)을 계산한다.

[0028] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 상기 입력 전류와 피드백 전류의 차이값은, 상기 각 샘플링 시점에 대해 상기 적분기(110)에 누적되고, 상기 적분기(110)는 상기 누적된 차이값에 대응하는 피드백 전압을 출력한다.

[0029] 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는, 필터부(130)는 상기 디지털 정보의 저주파수 대역을 필터링한다.

[0030] 이 외에도, 본 개시를 구현하기 위한 방법을 실행하기 위해 컴퓨터 판독 가능한 기록 매체에 저장된 컴퓨터 프로그램이 더 제공될 수 있다.

[0031] 이 외에도, 본 개시를 구현하기 위한 방법을 실행하기 위한 컴퓨터 프로그램을 기록하는 컴퓨터 판독 가능한 기록 매체가 더 제공될 수 있다.

발명의 효과

[0032] 본 개시의 전술한 과제 해결 수단에 의하면, 듀얼 PWM은 고해상도로 정확한 전류 감지를 가능하게 하며, 카운터 기반의 PWM 로직은 클럭 신호가 필요하지 않아 전력 소모를 줄일 수 있으므로 사용자 편의성을 향상 시킬 수 있다.

[0033] 본 개시의 전술한 과제 해결 수단에 의하면, 전류 감지를 위해 카운터 기반의 듀얼 PWM 로직을 활용하며, 톱니파와 역 톱니파 파형은 이중 램프 전압 신호를 사용하여 생성되며, 원하는 파형을 생성하기 위해 레벨 쉬프트 될 수 있으므로 사용자 편의성을 향상 시킬 수 있다.

[0034] 본 개시의 전술한 과제 해결 수단에 의하면, 회로 구조는 작은 면적과 저전력 소모로 고성능을 달성할 수 있어 웨어러블 생체 센서에 적합하므로 사용자 편의성을 향상 시킬 수 있다.

[0035] 본 개시의 효과들은 이상에서 언급된 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0036] 도 1은 본 개시에 따른 VCO 양자화기를 이용한 저전력 변조기 장치를 도시한운동 도면이다.

도 2는 본 개시에 따른 VCO 양자화기를 이용한 저전력 변조기 장치의 수학적본 개모델을 도시한 도면이다.

도 3은 본 개시에 따른 VCO 양자화기를 이용한 저전력 변조기 장치의 성능 그래프를 도시한 도면이다.

도 4a, 4b는 본 개시에 따른 VCO 양자화기를 이용한 저전력 변조기 장치의 노이즈 시뮬레이션 모델을 도시한 도면이다.

도 5a, 5b는 본 개시에 따른 VCO 양자화기를 이용한 저전력 변조기 장치의 노이즈 성능 그래프를 도시한 도면이다.

도 6은 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치의 구성도를 도시한 도면이다.

도 7은 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 방법의 순서도를 도시한 도면이다.

도 8은 본 개시에 따른 듀얼 PWM 동작 개념을 도시한 도면이다.

도 9는 본 개시에 따른 듀얼 PWM 동작에서 하모닉 성분을 제거하는 것을 도시한 도면이다.

도 10은 본 개시에 따른 듀얼 PWM 동작 개념을 도시한 도면이다.

도 11은 본 개시에 따른 듀얼 PWM 동작 개념에서 반송파를 도시한 도면이다.

도 12는 본 개시에 따른 듀얼 PWM 동작 개념에서 삼각파와 톱니파를 도시한 도면이다.

도 13은 본 개시에 따른 듀얼 PWM 동작 개념에서 삼각파와 톱니파의 동작 비교를 도시한 도면이다.

도 14는 본 개시에 따른 톱니파와 역톱니파를 조합하여 삼각파를 생성하는 것을 도시한 도면이다.

도 15는 본 개시에 따른 효과를 매틀랩 시뮬레이션으로 도시한 도면이다.

도 16는 본 개시에 따른 PWM 로직 회로를 도시한 도면이다.

도 17은 본 개시에 따른 한 개의 카운터로 PWM 로직 회로를 구현한 것을 도시한 도면이다.

도 18은 본 개시에 따른 듀얼 PMW 로직 회로에서 4개의 톱니파로 한 개의 카운터를 구현한 것을 도시한 도면이다.

도 19는 본 개시에 따른 2개의 카운터로 듀얼 PMW 로직 회로를 구현한 것을 도시한 도면이다.

도 20은 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로를 구현한 것을 도시한 도면이다.

도 21은 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로를 구현한 것을 도시한 도면이다.

도 22는 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로 구성을 도시한 도면이다.

도 23은 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로에서 딜레이가 발생하는 것을 도시한 도면이다.

도 24는 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로에서 딜레이 발생을 방지하는 구성을 도시한 도면이다.

도 25는 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로의 비교기 구성을 도시한 도면이다.

도 26은 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치의 구성도를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0037] 본 개시 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다. 본 개시가 실시예들의 모든 요소들을 설명하는 것은 아니며, 본 개시가 속하는 기술분야에서 일반적인 내용 또는 실시예들 간에 중복되는 내용은 생략한다. 명세서에서 사용되는 '부, 모듈, 부재, 블록'이라는 용어는 소프트웨어 또는 하드웨어로 구현될 수 있으며, 실시예들에 따라 복수의 '부, 모듈, 부재, 블록'이 하나의 구성요소로 구현되거나, 하나의 '부, 모듈, 부재, 블록'이 복수의 구성요소들을 포함하는 것도 가능하다.

[0038] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 간접적으로 연결되어 있는 경우를 포함하고, 간접적인 연결은 무선 통신망을 통해 연결되는 것을 포함한다.

[0039] 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0040] 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

[0041] 제 1, 제 2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 전술된 용어들에 의해 제한되는 것은 아니다.

[0042] 단수의 표현은 문맥상 명백하게 예외가 있지 않는 한, 복수의 표현을 포함한다.

[0043] 각 단계들에 있어 식별부호는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 실시될 수 있다.

[0044] 이하 첨부된 도면들을 참고하여 본 개시의 작용 원리 및 실시예들에 대해 설명한다.

[0045] 도 1은 본 발명의 일 실시예에 따른 VCO 양자화기를 이용한 저전력 변조기 장치(100)를 도시한 도면이다.

[0046] 도 1을 참고하면, 저전력 변조기 장치(100)는 적분기(110), 양자화기(120), 필터부(130), PWM(pulse widthmodulation)(140), DAC(digital-to-analog converter)(150) 및 제어부(미도시)를 포함할 수 있다.

[0047] 적분기(110)는 입력 전류를 전압으로 변환할 수 있다.

[0048] 일 실시예에서, 적분기(110)는 입력 전류가 들어오면, 입력 전류를 적분기(110)에 포함된 커패시터(Capacitor)에 누적하여 커패시터의 값에 따라 전압으로 증폭할 수 있다.

[0049] 이 때, 적분기(110)는 적분기(110)에 포함된 Op-Amp의 네거티브 피드백(Negative feedback) 특성에 따라 입력 노드의 전압을 일정하게 유지하므로, 다이오드(diode)를 연결하였을 때, 캐소드(cathode) 전압이 흔들리지 않아, 광다이오드에 걸리는 리버스 바이어스 전압(Reverse Biased Voltage)을 같은 전압으로 유지함으로써, 광다이오드 자체의 증폭률을 일정하게 유지할 수 있다.

[0050] 일 실시예에서, 적분기(110)는 Op-Amp를 포함하지 않는 경우에도, 필터부(130), PWM(140) 및 DAC(150)을 통한 네거티브 피드백에 의해 입력 노드의 전압이 크게 흔들리는 것을 방지하여 입력 노드의 전압을 일정하게 유지할 수 있다.

[0051] 다만, 적분기(110)의 Op-AMP가 사용되는 경우, 그 효과가 더욱이 증대되어 Op-Amp가 있을 경우 1mV 이내로 입력 전압이 흔들리지만, Op-Amp가 없을 경우에도 전류 값에 따라 수 mV 정도로만 흔들려 다이오드 캐소드 전압을 유지할 수 있다.

[0052] 양자화기(120)는 상기 변환된 전압을 디지털 정보로 변환할 수 있다.

[0053] 일 실시예에서, 입력 전류에 기반한 전압은 양자화기(120)로 입력되어 양자화기(120)에 포함된 오실레이터(Oscillator)의 주파수를 변경시킬 수 있다. 일 실시예에서, 양자화기(120)는 VCO(Voltage-Controlled Oscillator)를 포함할 수 있다.

[0054] 일 실시예에서, VCO는 전압을 디지털 값으로 변환해주는 양자화기 역할을 하는데, 일정 시간(샘플링 주기) 사이에 변화된 주파수의 차이를 관측하여, 오실레이터의 위상(phase) 변화율을 감지하는 것으로, VCO로 입력되는 전압을 디지털로 양자화시킬 수 있다.

[0055] 필터부(130)는 상기 변환된 디지털 정보를 필터링할 수 있다. 일 실시예에서, 필터부(130)는 디지털 정보의 저주파수 대역을 필터링할 수 있다.

[0056] 예를 들어, 필터부(130)는 디지털 IIR 필터로 구현될 수 있다. 일 실시예에서, 필터부(130)는 디지털 필터(132)를 포함할 수 있으며, 예를 들어, 디지털 필터(132)는 디지털 저역 통과(low pass) 필터를 포함할 수 있다.

[0057] 이후, 디지털 정보(예: 디지털 코드)는 필터부(130)의 2가지 경로를 통해 디지털 [0046] 필터(132)를 거친 경로의 디지털 정보는 입력으로 들어오는 저주파수 성분을 알아내고. 나머지 경로를 통한 디지털 정보는 고주파수 성분을 통과시켜 DAC(150)을 통해 피드백 전류로 변환될 수 있다.

[0058] 즉, 입력단으로 들어오는 저주파수의 큰 진폭을 가지는 전류는 디지털 필터(132)를 거쳐 저주파수만 남은 디지털 정보에 의해 제거하고, 나머지 고주파수 성분이 포함된 디지털 정보는 요구되는 신호의 주파수 성분이기에 디지털 필터(132)를 거치지 않은 경로를 통해 DSM을 통하여 전류 신호를 디지털 정보로 출력할 수 있다.

[0059] DAC(150)는 상기 필터링된 디지털 정보를 피드백 전류로 변환할 수 있다.

[0060] 제어부는 각 샘플링 시점에 대해 입력 전류와 피드백 전류의 차이값에 기반하여 출력되는 디지털 정보를 산출할 수 있다.

[0061] 일 실시예에서, PWM(140)는 DAC(150)의 비트(bit)를 1 비트로 조절할 수 있다.

[0062] 일 실시예에서, 적분기(110)는 각 샘플링 시점에 대해 입력 전류와 피드백 전류의 차이값을 누적한 피드백 전압을 출력할 수 있다.

[0063] 일 실시예에서, 양자화기(120)는 피드백 전압에 대응하는 디지털 정보를 출력할 수 있다. 일 실시예에서, 임계값은 양자화기(120)에 의해 판독 가능한 전압에 기반하여 결정될 수 있다.

[0064] 일 실시예에서, 피드백 전압은 각 샘플링 시점에 대해 증가되거나 감소될 수 있다.

[0065] 일 실시예에서, 입력 전류와 피드백 전류의 차이값은 각 샘플링 시점에 대해 적분기(110)에 누적될 수 있다. 이 경우, 적분기(110)는 누적된 피드백 전류에 대응하는 피드백 전압을 출력할 수 있다.

[0066] 일 실시예에서, 제어부는 각 샘플링 시점에 대한 피드백 전압에 대응하는 디지털 정보의 평균(average) 값을 계산할 수 있다.

[0067] 일 실시예에서, 입력 노드에서는 DAC(150)의 피드백 전류와 입력 전류가 서로 상쇄되어, 원래 입력 전류와 피드백 전류의 차이만큼 첫 번째 적분기(110)에 누적될 수 있다.

[0068] 위 과정을 계속해서 반복하면서, 입력 전류와 피드백 전류의 차이를 계속 누적하게 되는데, 양자화기(120)가 판별 가능한 정도가 되면, DAC(150)의 코드(code)가 1만큼 더 증가하고, DAC(150)의 피드백 전류를 증가시켜, 적분기(110)에 누적된 차이들이 감소될 수 있다.

[0069] 양자화기(120)의 판별을 입력 전류의 변화 속도보다 빠르게 진행하고, 누적된 차이들이 몇 번의 반복을 통해 지워지는지를 디지털 정보들을 모아 평균을 통해 구하면, 양자화기(120)가 원래 변환할 수 있는 최소 입력값 보다 더 작은 값을 알 수 있다.

[0070] 일 실시예에서, 제어부는 적어도 하나의 프로세서 또는 마이크로(micro) 프로세서를 포함하거나, 또는, 프로세서의 일부일 수 있다. 또한, 제어부는 CP(communication processor)라 지칭될 수 있다. 제어부는 본 발명의 다양한 실시예에 따른 저전력 변조기 장치(100)의 동작을 제어할 수 있다.

[0071] 도 1을 참고하면, 저전력 변조기 장치(100)는 적분기(110), 양자화기(120), 필터부(130), PWM(140), DAC(150) 및 제어부를 포함할 수 있다. 본 발명의 다양한 실시 예들에서 저전력 변조기 장치(100)는 도 1에 설명된 구성들이 필수적인 것은 아니어서, 도 1에 설명된 구성들보다 많은 구성들을 가지거나, 또는 그보다 적은 구성들을 가지는 것으로 구현될 수 있다.

[0072] 일 실시예에서, 본 발명에 따른 저전력 변조기 장치(100)는 광대역 전류 신호를 저전력으로 디지털로 변환하는 델타-델타(Delta-Delta) DSM(Delta-Sigma Modulator) 시스템을 포함할 수 있다.

[0073] 도 2는 본 발명의 일 실시예에 따른 VCO 양자화기를 이용한 저전력 변조기 장치의 수학적 모델을 도시한 도면이다. 도 3은 본 발명의 일 실시예에 따른 VCO 양자화기를 이용한 저전력 변조기 장치의 성능 그래프를 도시한 도면이다.

[0074] 도 2를 참고하면, 저전력 변조기 장치(100)에 대한 에러 소스(error source)는 양자화 에러(quantization error)와 절단 에러(truncate error)를 포함할 수 있다. 상기 두 에러는 모두 2차(2nd order) 노이즈 쉐이핑(shaping)되어 관심있는 신호의 주파수 영역에서 에러의 크기를 줄일 수 있다.

[0075] 일 실시예에서, 저전력 변조기 장치(100)에 대한 NTF(noise transfer function)[0065] 은 하기 <수학식 1> 및 <수학식2>와 같이 나타낼 수 있다.

수학식 1

$$NTF_Q = \frac{(a - z^{-1})(1 - z^{-1})^2}{D(Z)}$$

[0076]

[0077] 여기서, NTFQ는 양자화 에러를 나타낸다. 여기서, a와 D(Z)는 하기 <수학식 3>과 같이 나타낼 수 있다.

수학식 2

$$NTF_T = \frac{k_a k_{VCO} k_{DAC} (1 - z^{-1})^2}{D(Z)}$$

[0078]

[0079] 여기서, NTFT는 절단 에러를 나타내고, ka는 1/CF=10^11, kVCO는 10^5, KDAC는 32x3x10^-8 를 나타낼 수 있다.

수학식 3

$$D(Z) = (a - z^{-1}) k_a k_{VCO} k_{DAC} z^{-2} + (1 - z^{-1})^2$$
$$a = 1 + k_{truc}$$

[0080]

[0081] 여기서, ka는 1/CF=10^11, kVCO는 10^5, KDAC는 32x3x10^-8, Ktruc는 1/4를 나타낼 수 있다.

[0082] 첫번째로, 본 발명에 따른 저전력 변조기 장치(100)는 외광에 의한 저주파수의 큰 전류를 필터부(130)(즉, 디지털 필터)와 피드백(feedback) DAC(150)으로 상쇄하는 DC 피드백 루프(feedback loop)를 만들어 입력 전류의 크기를 작게 만들고, 이를 넓은 입력 전류를 측정할 수 있는 DSM에 적용하여, DSM만 이용했을 때보다 더욱 입력 전류 범위를 넓혔으며, 필요한 샘플링 주파수도 줄여 전력 소모까지 줄일 수 있다.

[0083] 두 번째로, DSM의 피드백(feedback) DAC과 DC 피드백(feedback)이 같은 입력과 출력을 가지게 되므로, 필터부(130)를 하기 <수학식 4>와 같이 수정함으로써, 두 개의 피드백 경로를 하나로 합쳐 시스템 복잡성을 감소시킬 수 있다.

수학식 4

$$\text{Filter} = \frac{a - z^{-1}}{1 - z^{-1}}$$

[0084]

[0085] 세번째로, PWM(140)을 활용하여 DAC(150)의 비트 수를 1로 제한하는 DAC(150)을 구현함으로써 DAC(150)의 노이즈 영향을 최소화하여 성능을 향상시킬 수 있다.

[0086] 위를 3가지 방법을 통해 필요한 샘플링 주파수를 낮추고 저전력 변조기 장치(100)의 회로의 성능을 최적화하여 낮은 전력 소비로 광대역(100dB이상)의 입력 전류를 디지털로 변환하는 기능을 가진 시스템을 구현할 수 있다.

[0087] 도 3을 참고하면, 즉, 상기 <수학식 1> 내지 <수학식 3>을 통해 최소 인식 가능한 신호 파워를 확인할 수 있다.

[0088] 본 발명에 따른 저전력 변조기 장치(100)는 신호 크기 대비 작은 값을 [0078] 변환할 수 있으며, 결과를 보면 약 120dB, 즉, 1pA~1uA까지의 입력을 모두 변환할 수 있다는 것을 확인할 수 있다.

[0089] 여기에 저전력 변조기 장치(100)의 회로에서 나오는 노이즈를 추가하여 시뮬레이션을 해본 결과, 20dB정도가 감소한 100dB (10pA~1uA)정도의 AC 입력을 변환 가능한 것을 알 수 있다.

[0090] 도 4a 및 4b는 본 발명의 일 실시예에 따른 VCO 양자화기를 이용한 저전력 변조기 장치(100)의 노이즈 시뮬레이션 모델을 도시한 도면이다. 도 5a 및 5b는 본 발명의 일 실시예에 따른 VCO 양자화기를 이용한 저전력 변조기 장치(100)의 노이즈 성능 그래프를 도시한 도면이다.

[0091] 도 4a 및 4b를 참고하면, 저전력 변조기 장치(100)에 DAC(150)의 노이즈(401), 적분기(110)의 노이즈(402), 양자화기(120)의 노이즈(403), 양자화 에러(404), 절단 에러(405) 및 지터(jitter) 에러를 포함할 수 있다.

[0092] 이 경우, 도 5a 및 5b를 참고하면, 넓은 DR(dynamic range)와 높은 SFDR(spurious free dynamic range)(100dB>,10pA~1uA)을 확인할 수 있다.

[0093] 또한, 스파이크 신호에 대한 1~0.5KHz 대역(BW)을 확인할 수 있으며, 낮은 전력 소모(~1uW)를 확인할 수 있다.

[0094] 본 발명에 따르면, 기존의 광학적 현미경이 필요한 환경에 비해 IC칩을 이용한 실험은 생명공학자들에게 더욱 우수한 연구 편의성을 제공할 수 있다.

[0095] 본 발명에 따른 저전력 변조기 장치(100)는 기존의 IC칩보다 같은 배터리로 더 오랫동안 사용할 수 있어 활동에 지속성을 증대하여 더욱 향상된 편의성을 제공할 수 있다.

[0096] 또한, 광범위한 입력 전류를 모두 측정 가능하기에 광다이오드를 이용한 형광신호뿐만 아니라, 전기적 신호도 측정하는 데 응용할 수 있어, 저전력 시스템의 전력 소모 측정 및 저전력 소자의 전기적 특성 측정에 이르기까지 그 활용 범위가 넓어 다양한 분야에서 이용될 수 있다.

[0097] 도 6은 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치의 구성도를 도시한 도면이다.

[0098] 도 6을 참조하면, 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치(100)는 적분기(110), VCO 양자화기(120), 필터부(130), 듀얼 PMW(140), DAC(150), 제어부(160), 미분기(170), 포화감지부(180)를 포함한다.

[0099] 적분기(110)는 입력 전류를 전압으로 변환한다.

[0100] 적분기(110)는 상기 입력 전류와 피드백 전류의 차이값을 누적한 피드백 전압을 출력한다.

[0101] 구체적으로, 입력 전류와 피드백 전류의 차이값은, 상기 각 샘플링 시점에 대해 상기 적분기(110)에 누적되고, 적분기(110)는 상기 누적된 차이값에 대응하는 피드백 전압을 출력한다.

[0102] VCO 양자화기(120)는 각 샘플링 시점에 대해 상기 전압을 디지털 정보로 변환한다.

[0103] VCO 양자화기(120)는 피드백 전압에 대응하는 디지털 정보를 출력한다.

[0104] 여기서, 피드백 전압은 각 샘플링 시점에 증가 또는 감소된다.

[0105] 필터부(130)는 변환된 디지털 정보를 필터링한다.

[0106] 구체적으로, 필터부(130)는 상기 디지털 정보의 저주파수 대역을 필터링한다.

[0107] 듀얼 PWM(140)는 DAC의 비트를 조절한다.

[0108] 듀얼 PWM(140)은 톱니파인 제 1 입력전류와 역톱니파인 제 2 입력전류를 조합하여 신호 고조파를 감소시킨다.

[0109] DAC(150)는 상기 필터링된 디지털 정보를 피드백 전류로 변환한다.

[0110] 제어부(160)는 상기 각 샘플링 시점에 대해 상기 입력 전류와 피드백 전류의 차이값을 기초로 출력되는 디지털 정보를 산출한다.

[0111] 제어부(160)는 상기 각 샘플링 시점에 대한 상기 피드백 전압에 대응하는 디지털 정보의 평균값(average)을 계산한다.

[0112] 미분기(170)는 상기 전압을 출력 전류로 변환한다.

[0113] 포화감지부(180)는 VCO 양자화기(120)로부터의 출력 전압이 임계값을 초과하는 것을 방지한다.

[0114] 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치(100)은 전술한 VCO 양자화기를 이용한 저전력 변조기 장치(100)의 실시 예를 모두 포함한다. 또한, 당업자는 앞에서 설명한 도 1 내지 도 5를 참조하여 도 6와 도 26을 보충해석하거나 실시 예를 변경하는 것도 가능하다.

[0115] 도 7은 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 방법의 순서도를 도시한 도면이다. 본 발명은 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치(100) 또는 제어부(160)에 의하여 수행된다.

[0116] 도 7을 참조하면, 입력 전류를 전압으로 변환한다(S210).

[0117] 각 샘플링 시점에 대해 전압을 디지털 정보로 변환한다(S220).

[0118] 변환된 디지털 정보를 필터링한다(S230).

[0119] 필터링된 디지털 정보를 피드백 전류로 변환한다(S240).

[0120] 디지털 DAC의 비트를 조절한다(S250).

[0121] 각 샘플링 시점에 대해 입력 전류와 피드백 전류의 차이값을 기초로 출력되는 디지털 정보를 산출하되, 듀얼 PWM은 톱니파인 제 1 입력전류와 역톱니파인 제 2 입력전류를 조합하여 신호 고조파를 감소시킨다(S260).

[0122] 도 8은 본 개시에 따른 듀얼 PWM 동작 개념을 도시한 도면이다.

[0123] 도 8을 참조하면, 원 신호와 톱니파를 조합해서(컨벌류션)해서, 제 1 사각파를 생성하고, 이를 FFT 변환하면, 신호의 하모닉과 PWM 하모닉이 생성된다.

[0124] 원 신호와 역톱니파를 조합해서(컨벌류션)해서, 제 2 사각파를 생성하고, 이를 FFT 변환하면, 신호의 하모닉과 PWM 하모닉이 생성된다.

[0125] 도 9는 본 개시에 따른 듀얼 PWM 동작에서 하모닉 성분을 제거하는 것을 도시한 도면이다.

[0126] 도 9를 참조하면, 제 1 사각파와 제 2 사각파를 더하고, 이를 FFT 변환하면, 신호의 하모닉과 PWM 하모닉이 생성된다.

[0127] 여기서, 신호의 하모닉 중 짝수의 하모닉이 감소됨을 알 수 있다.

[0128] 본 발명에 따르면, 제 1 사각파와 제 2 사각파를 더하고, 이를 FFT 변환한 경우, 신호의 짝수 하모닉이 감소되므로 신호의 왜곡이 크게 생기는 것을 방지할 수 있는 장점이 있다.

[0129] 도 10은 본 개시에 따른 듀얼 PWM 동작 개념을 도시한 도면이다.

[0130] 도 10은 도 10(a), 도 10(b)를 포함한다.

[0131] 도 10(a)는 PWM 신호를 도시한 도면이다.

[0132] 도 10(b)는 PWM 신호를 FFT 변환하여 주파수 영역에서 도시한 도면이다.

[0133] 도 10(a)에 도시한 바와 같이, PWM의 경우, 펄스 폭변조(Pulse width modulation)으로, 표본화 펄스의 진폭은 일정하고 그 폭스 폭이 전송하고자 하는 신호에 따라 변화시키는 변조 방식이다. PWM 변조는 진폭 제한기의 사용으로 레벨 변동을 제거할 수 있고 펄스의 상승과 하강을 급격하게 하여 S/N 비의 개선이 가능하므로 모터 제어, 전압 제어에 많이 사용된다.

[0134] 도 10(b)에 도시한 바와 같이, 신호 하모닉과 PWM 하모닉이 발생하는데, PWM 하모닉은 로우 패스 필터(LPF)로 제거할 수 있다.

[0135] 또한, 종래 기술의 경우, 신호 하모닉에서 두번째 하모닉 성분이 발생하는데, 본 발명에 따르면, 두번째 하모닉 성분이 제거될 수 있으므로 신호 왜곡을 감소시킬 수 있다.

[0136] 도 11은 본 개시에 따른 듀얼 PWM 동작 개념에서 반송파를 도시한 도면이다.

[0137] 도 11에 도시한 바와 같이, 입력 신호에 대하여, 반송파의 파라미터를 변화시켜 PWM 신호를 생성할 수 있다.

[0138] 여기서, 반송파는 삼각파, 톱니파, 역톱니파를 포함한다.

[0139] 변조(Modluation)은 신호를, 전송 매체의 채널 특성에 맞게끔, 신호의 세기, 변위, 주파수, 위상 등을 적절한 파형 형태로 변환하는 것을 의미한다.

[0140] 아날로그 변조(Analog Modulation)은 아날로그 신호에 의하여 반송파의 파라미터(진폭, 위상, 주파수 등)을 변화시켜 전송한다.

[0141] 본 발명은 아날로그 펄스 변조 중 PWM(Pulse Width Modulation, 펄스폭 변조)에 관한 것이다.

[0142] 반송파 (Carrier Signal)은 정포가 포함되는 높은 주파수의 파형으로, 주기적인 정현파나 펄스파의 진폭, 주파수, 위상 등에 변화를 주는 변조 조작을 통해 전송하고자하는 정보를 포함시키는데, 이 때 정보를 운반하는 높은 주파수의 정현파 또는 펄스파를 의미한다.

[0143] 도 12는 본 개시에 따른 듀얼 PWM 동작 개념에서 삼각파와 톱니파를 도시한 도면이다.

[0144] 도 12를 참조하면, 삼각파의 경우, 홀수 하모닉 성분이 존재하고, 짝수 하모닉 성분이 감소해서 신호의 왜곡이 감소된다.

[0145] 톱니파, 역톱니파의 경우, 짝수 하모닉 성분, 홀수 하모닉 성분이 모두 존재해서 신호의 왜곡이 있다.

[0146] 도 13은 본 개시에 따른 듀얼 PWM 동작 개념에서 삼각파와 톱니파의 동작 비교를 도시한 도면이다.

[0147] 삼각파의 경우, 회로로 구현할 때, 디지털 카운터와 업다운 로직부가 필요해서 회로 부품이 많이 필요하다.

[0148] 톱니파의 경우, 회로로 구현할 때, 디지털 카운터만 필요하므로 회로 부품의 수를 줄일 수 있다.

[0149] 본 발명에 따르면, 회로로 구현할 때 삼각파를 이용하는 것이 이상적이나 회로 부품의 개수가 많고, 전력 소모가 심한 단점이 있다. 따라서, 톱니파와 역톱니파를 이용하여 삼각파를 만들어서 회로를 구현하게 되어 회로 부품 개수를 줄이고 전력을 감수시킬 수 있으므로 사용자 편의성을 향상 시킬 수 있다.

[0150] 도 14는 본 개시에 따른 톱니파와 역톱니파를 조합하여 삼각파를 생성하는 것을 도시한 도면이다.

[0151] 도 14를 참조하면, 듀얼 PWM(140)은 상기 톱니파(1410)와 상기 역톱니파(1420)를 조합하여 삼각파(1430)를 생성한다.

[0152] 도 15는 본 개시에 따른 효과를 매틀랩 시뮬레이션으로 도시한 도면이다.

[0153] 도 15를 참조하면, 듀얼 PWM(140)은 상기 톱니파와 상기 역톱니파를 조합하여 신호 고주파 중 짝수 신호 고조파(Harmonic)를 감소시킨다.

[0154] 톱니파에 대응하는 위상 이미지(1510)과 역톱니파에 대응하는 위상 이미지(1520)를 조합하면, 신호 고조파 이미지(1530)가 생성된다.

[0155] 본 발명에 따르면, 매틀랩 시뮬레이션에서, 신호 고조파 이미지(1530)에서 짝수 신호 고조파의 크기가 감소하므로 신호의 왜곡을 줄일 수 있는 장점이 있다.

[0156] 예를 들어, 2번째 신호 고조파의 크기가 감소됨을 알 수 있다.

[0157] 도 16는 본 개시에 따른 PWM 로직 회로를 도시한 도면이다.

[0158] 도 16은 도 16(a), 도 16(b)를 포함한다.

[0159] 도 16(a)는 종래 기술의 PWM 로직 회로를 도시한 도면이다.

[0160] 도 16(b)는 카운터 출력과 PWM 출력을 도시한 도면이다.

[0161] 도 16(a)에 도시한 바와 같이, 종래 기술의 PWM 로직 회로는 2개의 카운터로를 구현되고, 카운터의 출력이 디지털 비교기에 입력된다.

[0162] 도 16(b)에 도시한 바와 같이, 카운터 0의 출력은 톱니파로 구현된다.

[0163] PWM 출력 0은 사각파로 구현된다.

[0164] 카운터 1의 출력은 역톱니파로 구현된다.

[0165] PWM 출력 1은 사각파로 구현된다.

[0166] 도 17은 본 개시에 따른 한 개의 카운터로 PWM 로직 회로를 구현한 것을 도시한 도면이다.

[0167] 도 17은 도 17(a), 도 17(b)를 포함한다.

[0168] 도 17(a)는 종래 기술의 PWM 로직 회로를 도시한 도면이다.

[0169] 도 17(b)는 본 발명의 PWM 로직 회로를 도시한 도면이다.

[0170] 도 17(a)에 도시한 바와 같이, 종래 기술의 PWM 로직 회로는 2개의 카운터로를 구현된다.

[0171] 도 17(b)에 도시한 바와 같이, 듀얼 PWM(140)는 1개의 카운터로 구현된다.

[0172] 본 발명에 따르면, 듀얼 PWM을 구성하는 카운터 개수를 감소시킬 수 있으므로 전력 소모가 감소되는 장점이 있다.

[0173] 도 18은 본 개시에 따른 듀얼 PMW 로직 회로에서 4개의 톱니파로 한 개의 카운터를 구현한 것을 도시한 도면이다.

[0174] 도 18을 참조하면, 0도 위상, 180도 위상, 인버스 위상, 인버스 180도 위상으로 나눌 수 있다.

[0175] 도 19는 본 개시에 따른 2개의 카운터로 듀얼 PMW 로직 회로를 구현한 것을 도시한 도면이다.

[0176] 도 19(a)는 종래 기술의 PWM 로직 회로를 도시한 도면이다.

[0177] 도 19(b)는 본 발명의 PWM 로직 회로를 도시한 도면이다.

[0178] 도 19(a)에 도시한 바와 같이, 종래 기술의 PWM 로직 회로는 1개의 카운터, 2개의 비교기, 2개의 샘플러로 구현된다. PWM 로직 회로는 20 ns 동안 소비 전력이 10~20 마이크로 와트가 된다.

[0179] 도 19(b)에 도시한 바와 같이, 듀얼 PWM(140)는 2개의 카운터로 구현된다.

[0180] 구체적으로, 상기 듀얼 PWM(140)는 20ns 클럭동안 4 마이크로 와트 이하의 전력을 소모하는 듀티 사이클링을 적용하는 2개의 카운터로 구현된다.

[0181] 본 발명에 따르면, 더 적은 수의 구성 요소로 듀얼 PWM을 구성하고 소비전력을 감소시킬 수 있으므로 전력 소모가 감소되는 장점이 있다.

[0182] 도 20은 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로를 구현한 것을 도시한 도면이다.

[0183] 도 20을 참조하면, 듀얼 PWM(140)는 카운터 초기화부(141), 윈도우 생성부(142), 리플 카운터(143), 싱크로너스 카운터(144)를 포함한다.

[0184] 카운터 초기화부(141)는 카운터를 초기화하고, 초기화된 상기 카운터를 출력한다.

[0185] 윈도우 생성부(142)는 클럭을 입력으로 받아 PWM 윈도우를 출력한다.

[0186] 여기서, 클럭은 마스터 클럭 CLKM, 슬레이브 클럭 CLKS 를 포함한다.

[0187] 듀얼 PWM(140)는 리플 카운터(143)와 싱크로너스 카운터(144)를 조합하여 카운터를 구현한다.

[0188] 리플 카운터(143)는 앞쪽에 있는 플립플롭의 출력이 뒤쪽에 있는 플립플롭의 클럭으로 사용된다.

[0189] 싱크로너스 카운터(144)는 복수의 플립플롭들이 하나의 공통 클럭에 연결되어 있어서 상기 복수의 플립플롭이 동시에 트리거가 된다.

[0190] 여기서, 리플 카운터(143)는 2 비트로 구현된다. 싱크로너스 카운터(144)는 8 비트로 구현된다.

[0191] 본 발명의 제어 로직에 대하여 설명한다.

[0192] 카운터 초기화부(141)는 필터 출력값을 입력으로 받아서, CNT D0, CNT D1을 출력한다.

[0193] CNT D0은 Combined Counter 0으로 입력된다.

[0194] CNT D1은 Combined Counter 1로 입력된다.

[0195] Combined Counter 0, Combined Counter 1은 리플 카운터(143)와 싱크로너스 카운터(144)를 조합하여 구현된다.

[0196] Combined Counter 0의 출력 결과는 PWM 출력부(145)로 입력된다.

[0197] Combined Counter 1의 출력 결과는 PWM 출력부(145)로 입력된다.

[0198] PWM_WINDOW는 PWM 출력부(145)로 입력된다.

[0199] PWM 출력부(145)는 상기 입력 결과를 기초로 연산하여 PWM0, PWM1을 출력한다.

[0200] 도 21은 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로를 구현한 것을 도시한 도면이다.

[0201] 도 21을 참조하면, CNT 0과 CNT 1은 동일한 디지털 입력으로 초기화된다. 그러나, 하나의 카운터는 역톱니파를 생성하기 위하여 1의 보수로 초기화된다.

[0202] 1의 보수 에러는 첫단계를 스킵하는 동작에 의해서 보상된다.

[0203] 카운터는 전력 소모를 감소시키기 위하여 입력값에 의하여 반복 동작된다.

[0204] 도 22는 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로 구성을 도시한 도면이다.

[0205] 도 22는 도 22(a), 도 22(b) 및 도 22(c)를 포함한다.

[0206] 도 22(a)는 카운터와 비교기를 결합된 것을 도시한 도면이다.

[0207] 도 22(b)는 디지털 카운터를 도시한 도면이다.

[0208] 도 23(c)는 디지털 비교기를 도시한 도면이다.

[0209] 카운터에 입력되는 클럭수CLKM는 10 ns 이하 레벨이 입력된다.

[0210] 비교기에서 스위치되는 스피드는 카운터 입력 클럭수 CLKM보다 더 빠르다.

[0211] 도 23은 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로에서 딜레이가 발생하는 것을 도시한 도면이다.

[0212] 도 23을 참조하면, 디지털 카운터(2310)에서 카운터 2진수가 출력된다. 2진수가 출력되는 경우, 실제 카운터에서는 딜레이가 발생되고, 그 결과 딜레이로 인한 오류가 생겨서 톱니파가 붕괴되는 문제점이 생긴다.

[0213] 도 24는 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로에서 딜레이 발생을 방지하는 구성을 도시한 도면이다.

[0214] 도 24는 도 24(a), 도 24(b)를 포함한다.

[0215] 도 24(a)는 카운터 동기화를 도시한 도면이다.

[0216] 도 24(b)는 샘플러 삽입을 도시한 도면이다.

[0217] 도 24(a)에 도시한 바와 같이, 듀얼 PWM(140)는 카운터에서 딜레이가 발생하는 경우, 상기 카운터를 동기화시켜 상기 딜레이를 조절한다.

[0218] 도 24(b)에 도시한 바와 같이, 듀얼 PWM(140)는 카운터에서 딜레이가 발생하는 경우, 비교기 다음에 샘플러를 삽입하여 상기 딜레이를 조절한다.

[0219] 도 25는 본 개시에 따른 카운터 기반 듀얼 PMW 로직 회로의 비교기 구성을 도시한 도면이다.

[0220] 도 25를 참조하면, LSB 비교기는 고전압을 유발하는 빠른 스피드에서 동작된다. 대략적으로, 종래 기술의 경우, 수 마이크로 와트 정도가 소모된다.

[0221] 여기서, LSB는 Least Significant Byte, 최하위 바이트로 숫자 값의 크기에 가장 영향을 덜 미치는 유효 숫자로, 그 숫자의 파이트 중에서 맨 오른쪽의 바이트를 의미한다.

[0222] MSB는 Most Significant Byte, 최상위 바이트로 숫자 값의 크기에 가장 크게 영향을 미치는 유효 숫자로, 그 숫자의 바이트 중에서 맨 왼쪽의 바이트를 의미한다.

[0223] 본 발명에 따르면, 비교기를 LSB, 복수의 단계, MSB를 조합해서 구현하여 종래 기술에 비교하여 소모 전력을 감소 시킬 수 있다.

[0224] 도 26은 본 개시에 따른 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치의 구성도를 도시한 도면이다.

[0225] 도 26을 참조하면, 듀얼 PWM 전류 DAC를 이용한 소면적 저왜곡 전류 감지 장치는 디바이스(1600)를 포함한다. 디바이스(1600)는 메모리(1602), 프로세서(1603), 송수신부(1604) 및 주변 장치(1601)를 포함할 수 있다. 또한, 일 예로, 디바이스(1600)는 다른 구성을 더 포함할 수 있으며, 상술한 실시예로 한정되지 않는다.

[0226] 보다 상세하게는, 도 9의 디바이스(1600)는 NDN 디바이스, NDN 서버, 콘텐츠 라우터 등과 같은 예시적인 하드웨어/소프트웨어 아키텍처일 수 있다. 이때, 일 예로, 메모리(1602)는 비이동식 메모리 또는 이동식 메모리일 수 있다. 또한, 일 예로, 주변 장치(1601)는 디스플레이, GPS 또는 다른 주변기기들을 포함할 수 있으며, 상술한 실시예로 한정되지 않는다.

[0227] 또한, 일 예로, 상술한 디바이스(1600)는 상기 송수신부(1604)와 같이 통신 회로를 포함할 수 있으며, 이에 기초하여 외부 디바이스와 통신을 수행할 수 있다.

[0228] 또한, 일 예로, 프로세서(1603)는 범용 프로세서, DSP(digital signal processor), DSP 코어, 제어기, 마이크로제어기, ASIC들(Application Specific Integrated Circuits), FPGA(Field Programmable Gate Array) 회로들, 임의의 다른 유형의 IC(integrated circuit) 및 상태 머신과 관련되는 하나 이상의 마이크로프로세서 중 적어도 하나 이상일 수 있다. 즉, 상술한 디바이스(1600)를 제어하기 위한 제어 역할을 수행하는 하드웨어적/소프트웨어적 구성일 수 있다.

[0229] 이때, 프로세서(1603)는 본 발명의 다양한 필수 기능들을 수행하기 위해 메모리(1602)에 저장된 컴퓨터 실행가능한 명령어들을 실행할 수 있다. 일 예로, 프로세서(1603)는 신호 코딩, 데이터 처리, 전력 제어, 입출력 처리 및 통신 동작 중 적어도 어느 하나를 제어할 수 있다. 또한, 프로세서(1603)는 물리 계층, MAC 계층, 어플리케이션 계층들을 제어할 수 있다. 또한, 일 예로, 프로세서(1603)는 액세스 계층 및/또는 어플리케이션 계층 등에서 인증 및 보안 절차를 수행할 수 있으며, 상술한 실시예로 한정되지 않는다.

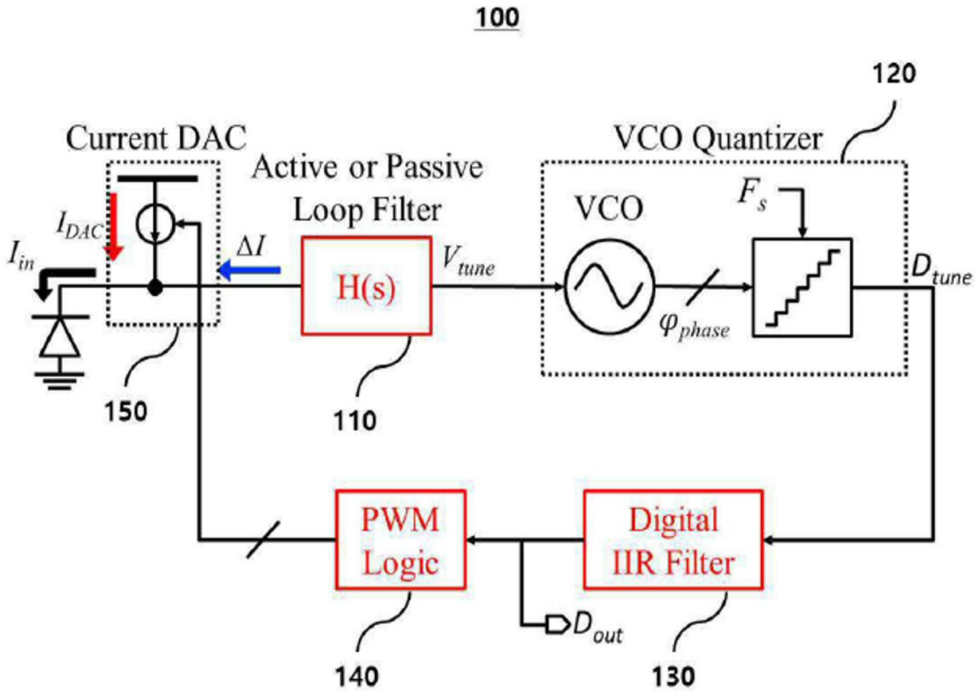
[0230] 일 예로, 프로세서(1603)는 송수신부(1604)를 통해 다른 장치들과 통신을 수행할 수 있다. 일 예로, 프로세서(1603)는 컴퓨터 실행가능한 명령어들의 실행을 통해 노드가 네트워크를 통해 다른 노드들과 통신을 수행하게 제어할 수 있다. 즉, 본 발명에서 수행되는 통신이 제어될 수 있다. 일 예로, 다른 노드들은 NDN 서버, 콘텐츠 라우터 및 그 밖의 다른 디바이스들일 수 있다. 일 예로, 송수신부(1604)는 안테나를 통해 RF 신호를 전송할 수 있으며, 다양한 통신망에 기초하여 신호를 전송할 수 있다.

[0231] 또한, 일 예로, 안테나 기술로서 MIMO 기술, 빔포밍 등이 적용될 수 있으며, 상술한 실시예로 한정되지 않는다. 또한, 송수신부(1604)를 통해 송수신한 신호는 변조 및 복조되어 프로세서(1603)에 의해 제어될 수 있으며, 상술한 실시 예로 한정되지 않는다.

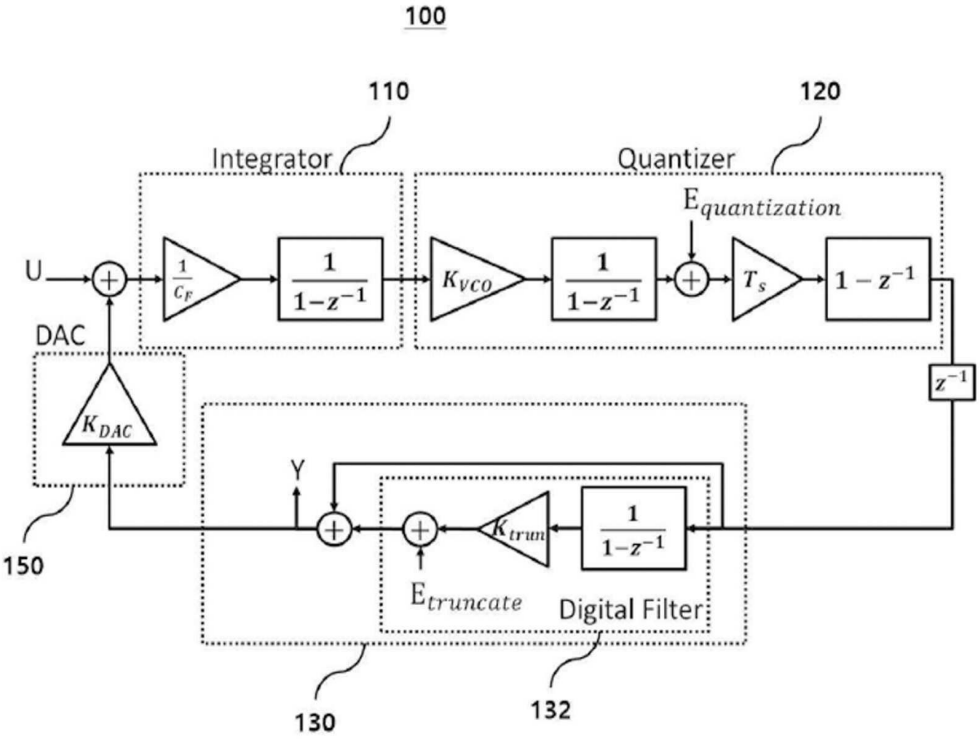
[0232] 본 개시의 다양한 실시 예는 모든 가능한 조합을 나열한 것이 아니고 본 개시의 대표적인 양상을 설명하기 위한 것이며, 다양한 실시 예에서 설명하는 사항들은 독립적으로 적용되거나 또는 둘 이상의 조합으로 적용될 수도 있다.

도면

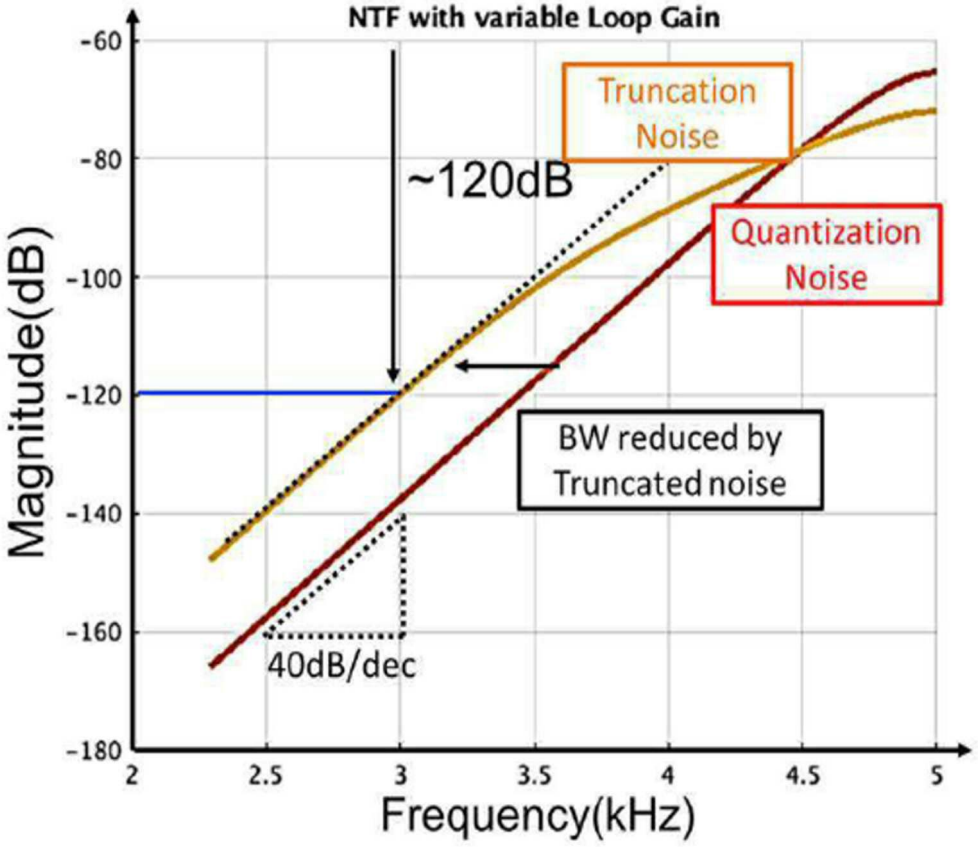
도면1


100
120
Current DAC
Active or Passive
Loop Filter
VCO Quantizer
VCO
I_{DAC}
I_{in}
ΔI
H(s)
V_{tune}
F_s
D_{tune}
φ_{phase}
150
110
PWM
Logic
Digital
IIR Filter
D_{out}
140
130

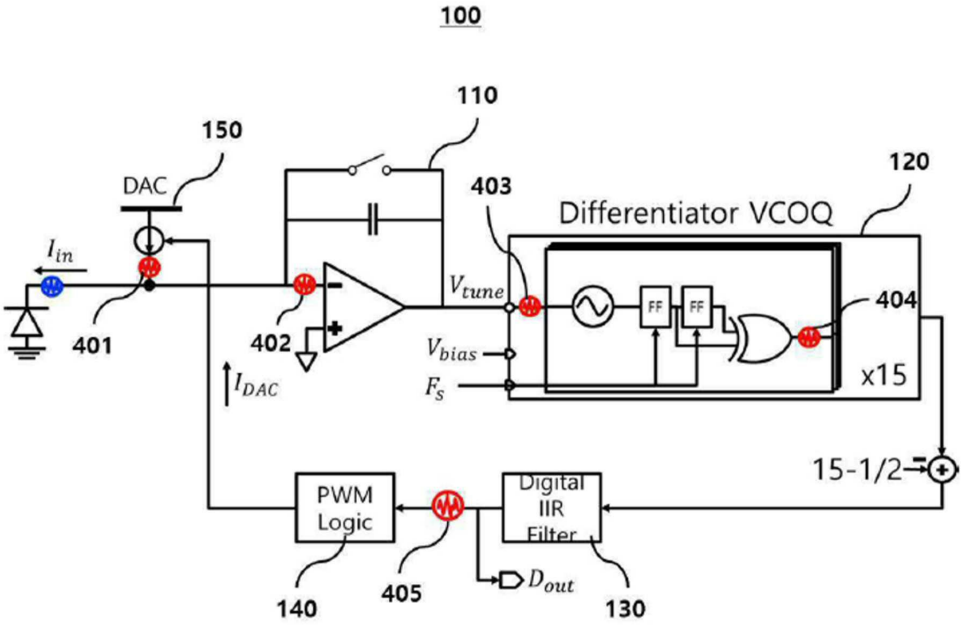
도면2


100
110
120
Integrator
Quantizer
$E_{quantization}$
U
$\frac{1}{C_F}$
$\frac{1}{1-z^{-1}}$
K_{VCO}
T_s
$1-z^{-1}$
z^{-1}
DAC
K_{DAC}
Y
K_{trun}
$E_{truncate}$
Digital Filter
150
130
132

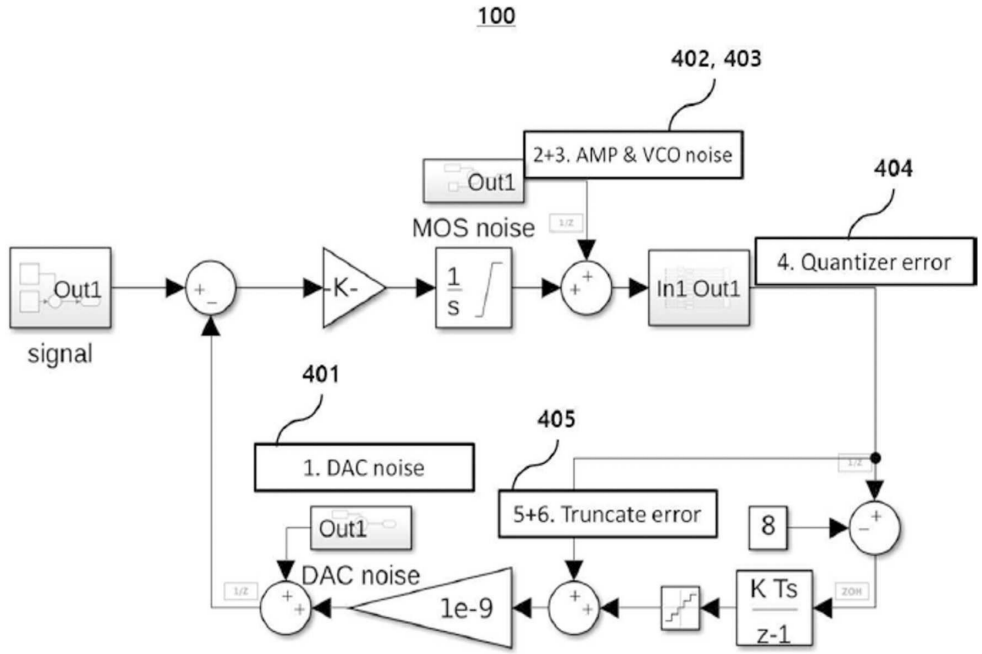
도면3


NTF with variable Loop Gain
Truncation Noise
~120dB
Quantization Noise
BW reduced by Truncated noise
40dB/dec
Magnitude(dB)
Frequency(kHz)
-60
-80
-100
-120
-140
-160
-180
2
2.5
3
3.5
4
4.5
5

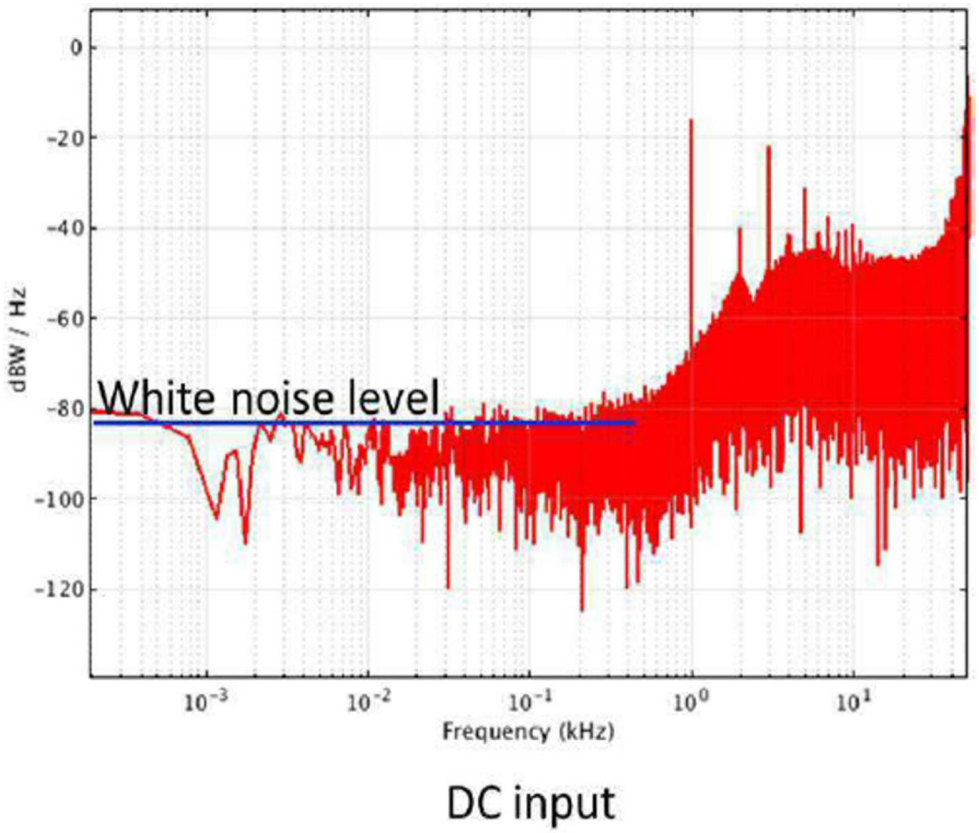
도면4a


100
110
150
DAC
403
120
Differentiator VCOQ
I_{in}
401
402
V_{tune}
404
V_{bias}
F_s
x15
I_{DAC}
15-1/2
PWM Logic
Digital IIR Filter
D_{out}
140
405
130

도면4b

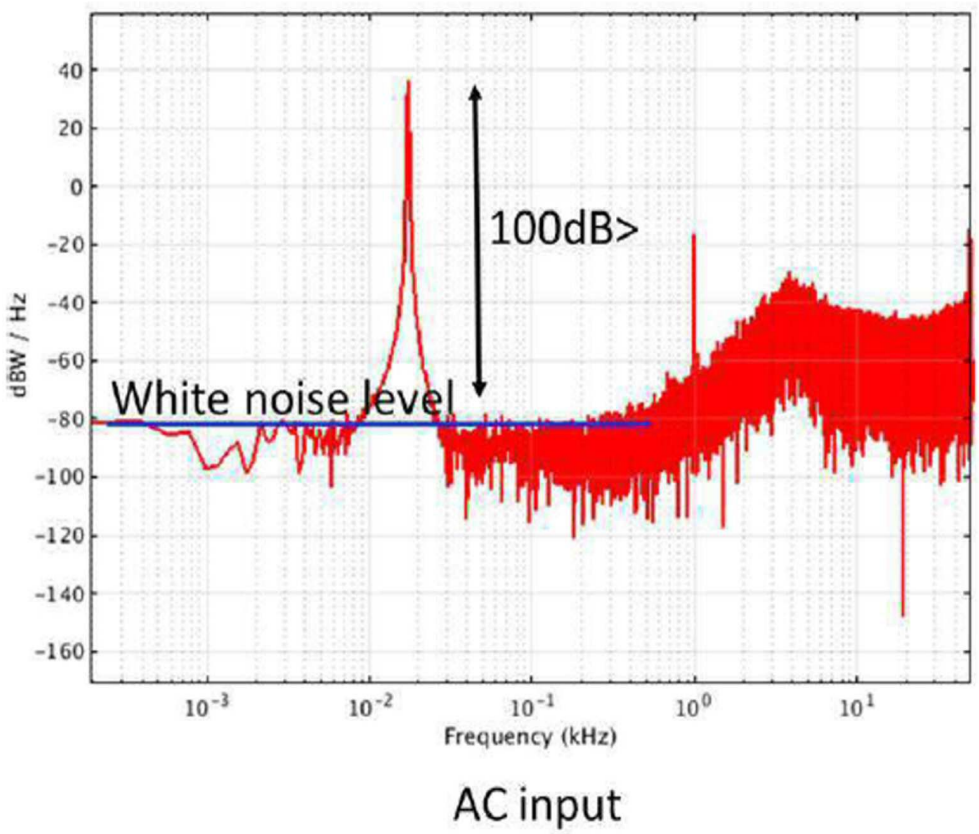


도면5a

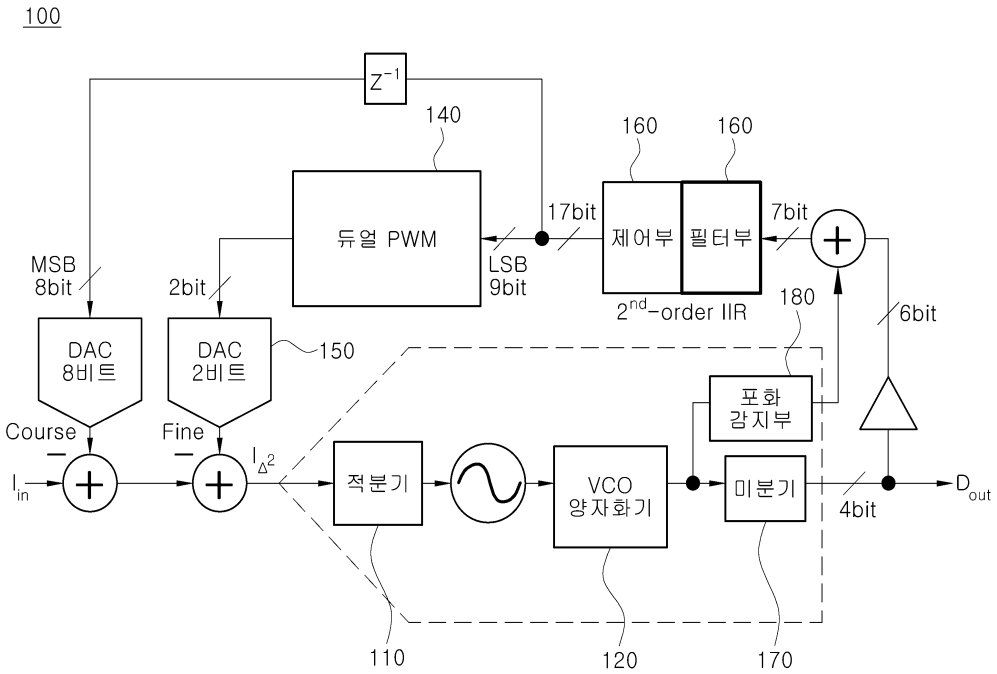


DC input

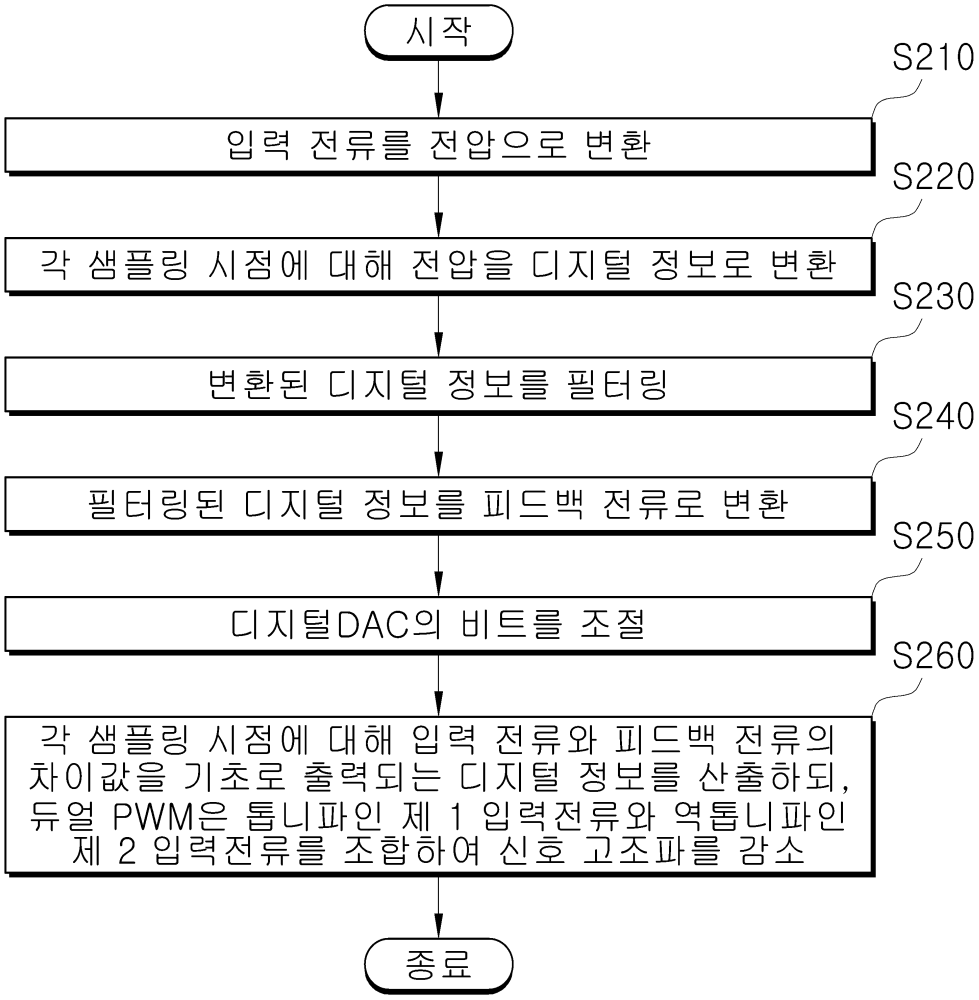
도면5b


100dB>
White noise level
dBW / Hz
Frequency (kHz)
AC input

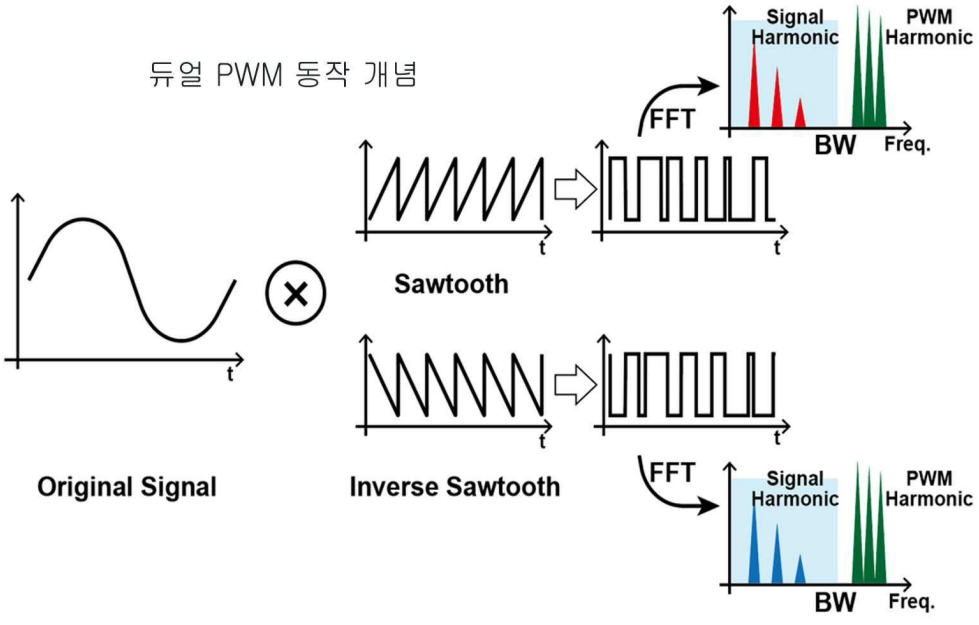
도면6


100
Z-1
140
160
160
듀얼 PWM
17bit
제어부
필터부
7bit
MSB
8bit
2bit
LSB
9bit
2nd-order IIR
180
6bit
DAC
8비트
DAC
2비트
150
포화
감지부
Course
Fine
적분기
VCO
양자화기
미분기
4bit
Dout
110
120
170

도면7

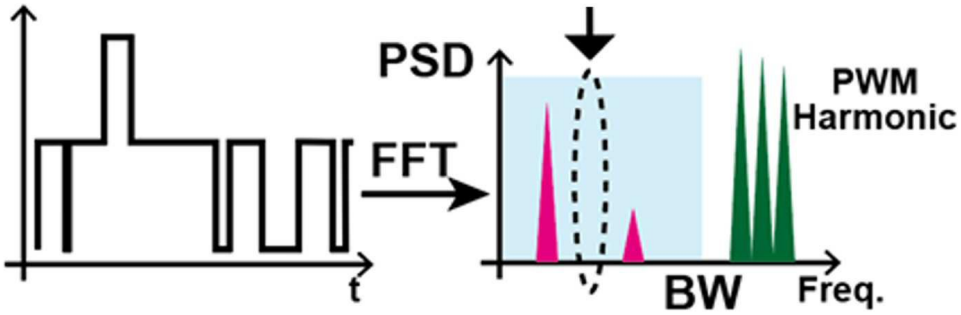

시작
S210
입력 전류를 전압으로 변환
S220
각 샘플링 시점에 대해 전압을 디지털 정보로 변환
S230
변환된 디지털 정보를 필터링
S240
필터링된 디지털 정보를 피드백 전류로 변환
S250
디지털DAC의 비트를 조절
S260
각 샘플링 시점에 대해 입력 전류와 피드백 전류의 차이값을 기초로 출력되는 디지털 정보를 산출하되, 듀얼 PWM은 톱니파인 제 1 입력전류와 역톱니파인 제 2 입력전류를 조합하여 신호 고조파를 감소
종료

도면8


듀얼 PWM 동작 개념
Signal Harmonic
PWM Harmonic
FFT
BW
Freq.
t
Sawtooth
Original Signal
Inverse Sawtooth

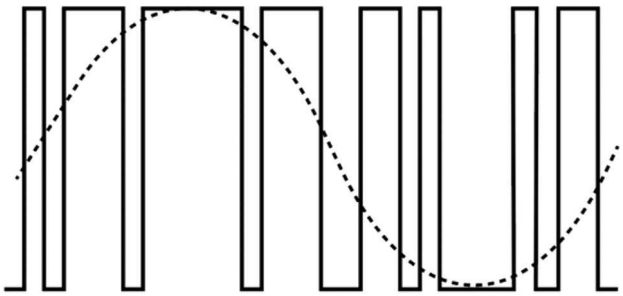
도면9

짝수 하모닉이 감소



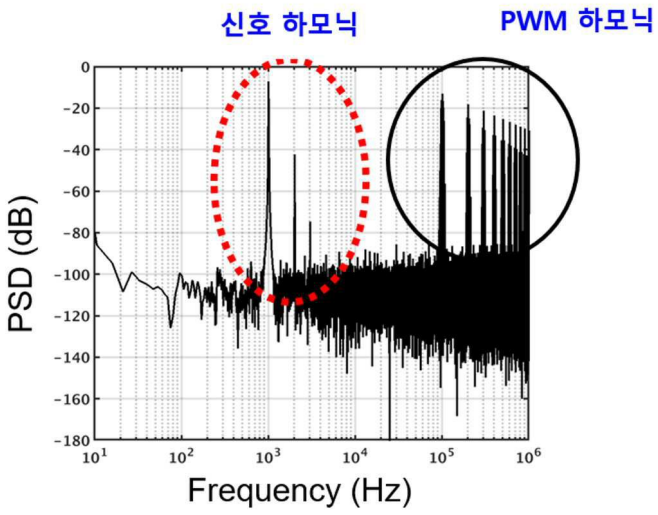
제1 사각파 + 제2 사각파

도면10



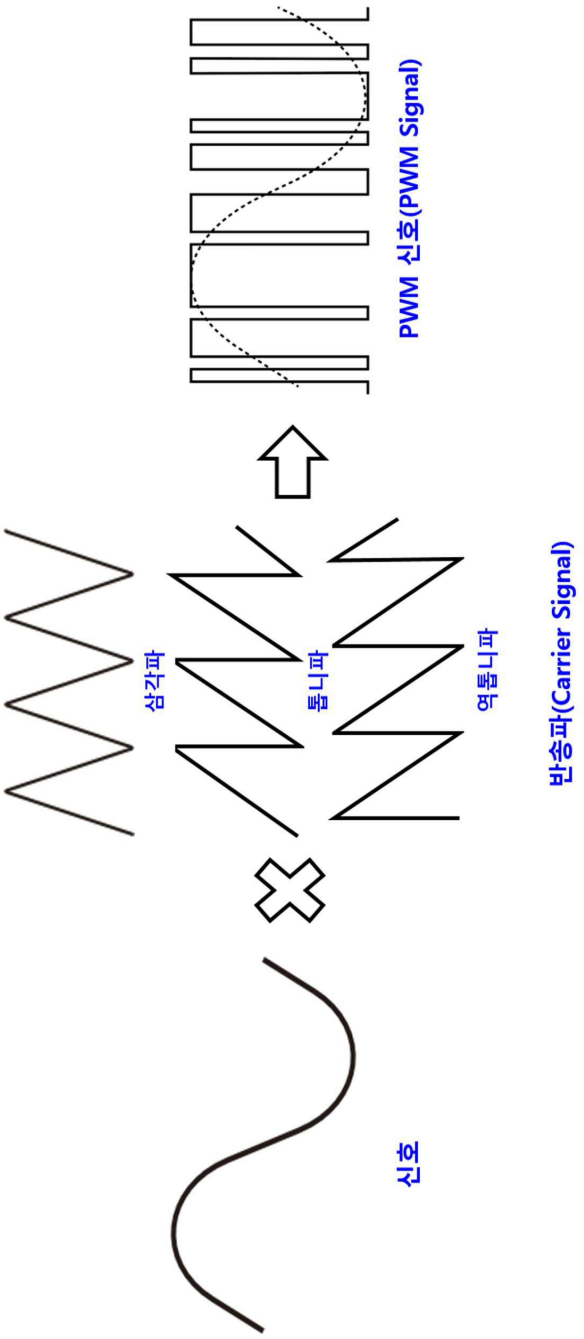
PWM 신호

(a)

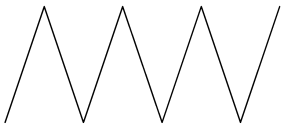


(b)

도면11



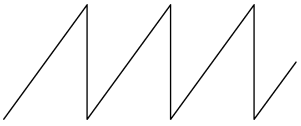
도면12



삼각파

$$\text{Triangular}(t) = A/2 + \sum_{n=1} \frac{-4A}{(2n-1)^2\pi^2} \cos((2n-1)w_o t)$$

삼각파의 경우, 홀수 하모닉 성분이 존재하고, 짝수 하모닉 성분이 감소해서 신호의 왜곡이 감소된다.

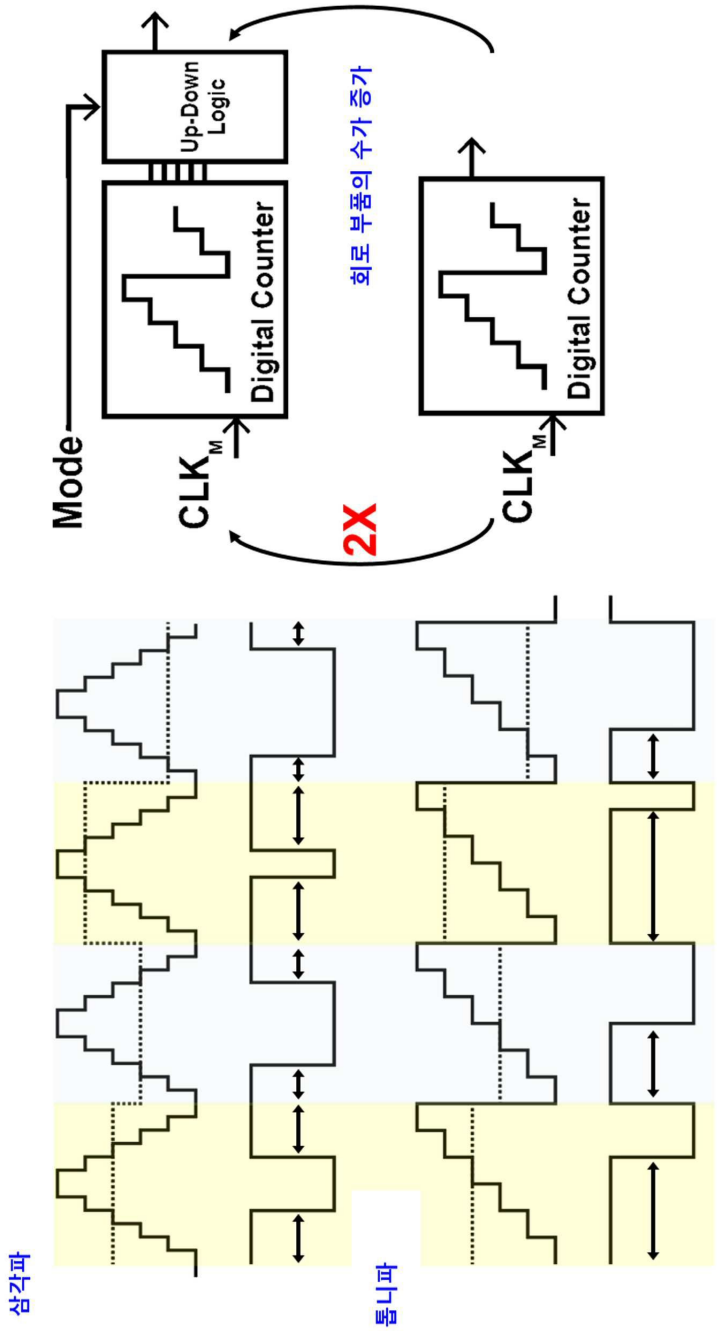


톱니파

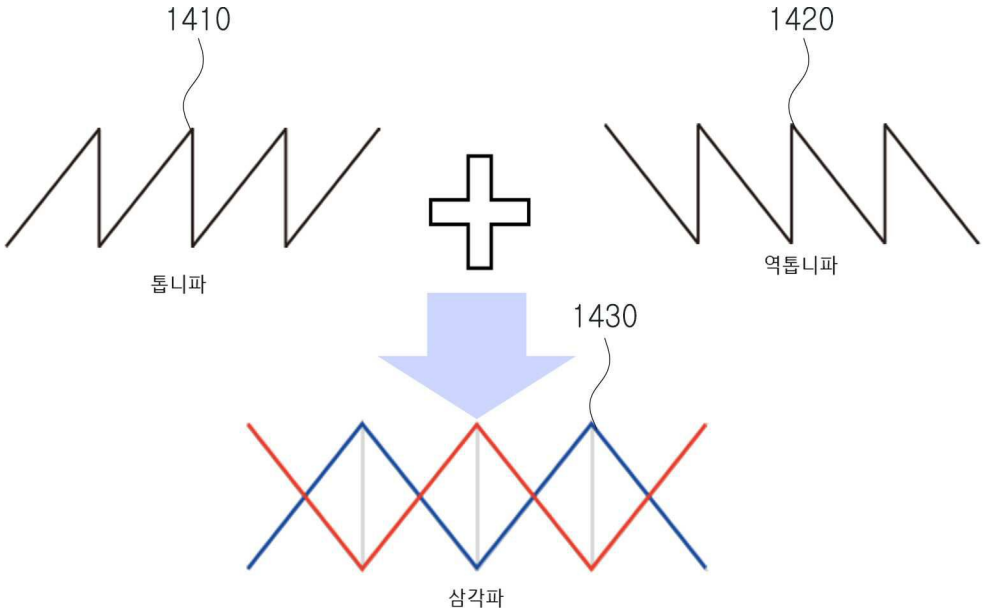
$$\text{Sawtooth}(t) = A/2 + \sum_{n=1} \frac{-A}{n\pi} \sin(nw_o t)$$

톱니파의 경우, 짝수 하모닉 성분, 홀수 하모닉 성분이 모두 존재해서 신호의 왜곡이 있다. 역톱니파도 마찬가지이다.

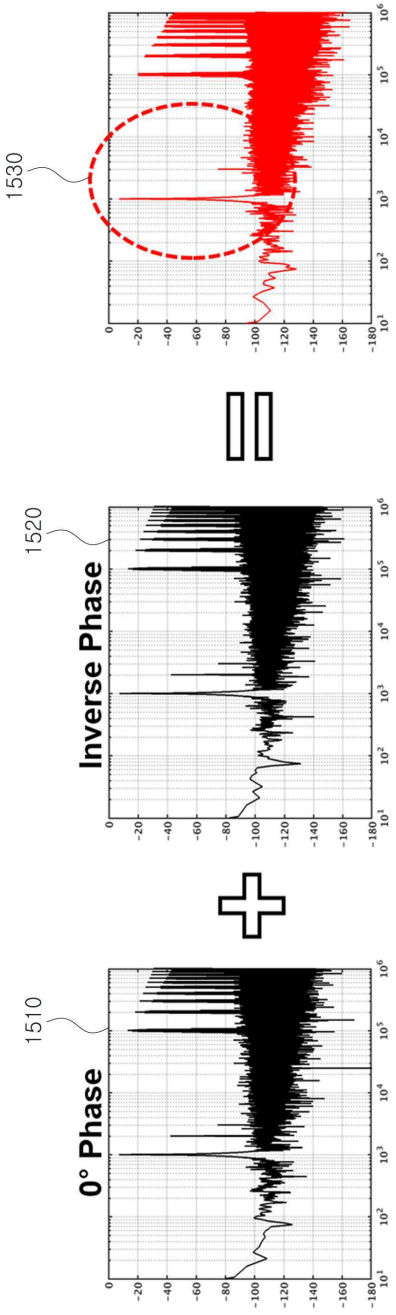
도면13


Mode
Up-Down Logic
Digital Counter
CLK_M
2X
회로 부품의 수가 증가
Digital Counter
CLK_M
삼각파
톱니파

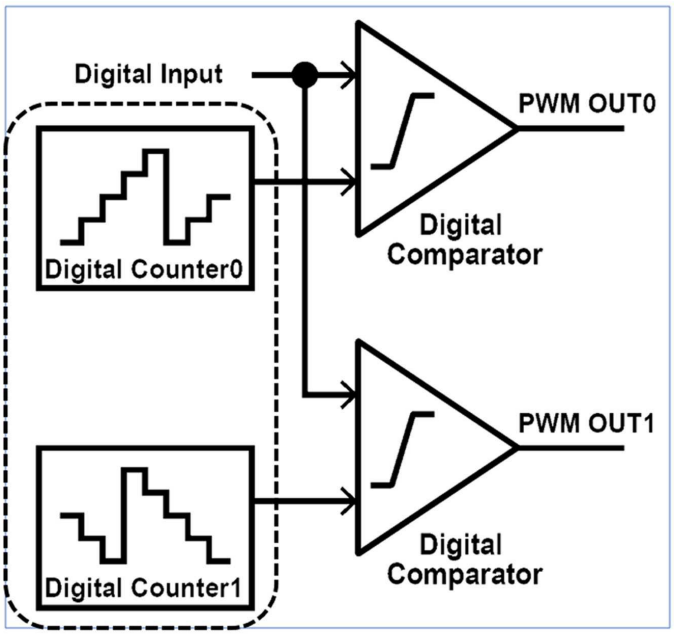
도면14



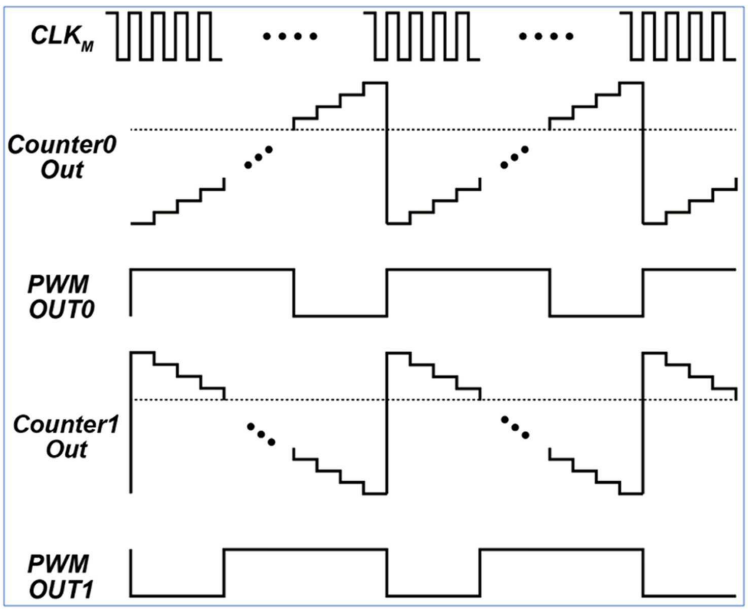
도면15



도면16

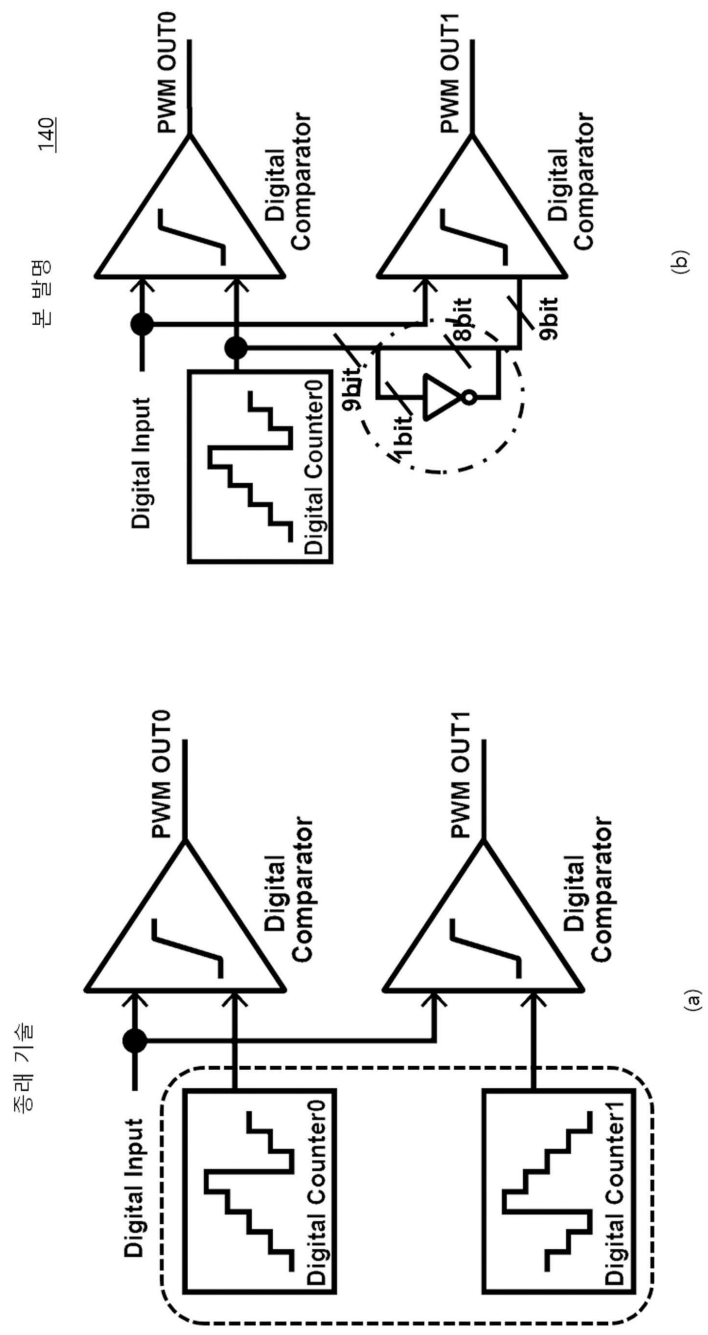

Digital Input
PWM OUT0
Digital Counter0
Digital Comparator
PWM OUT1
Digital Counter1
Digital Comparator

(a)


CLK_M
Counter0 Out
PWM OUT0
Counter1 Out
PWM OUT1

(b)

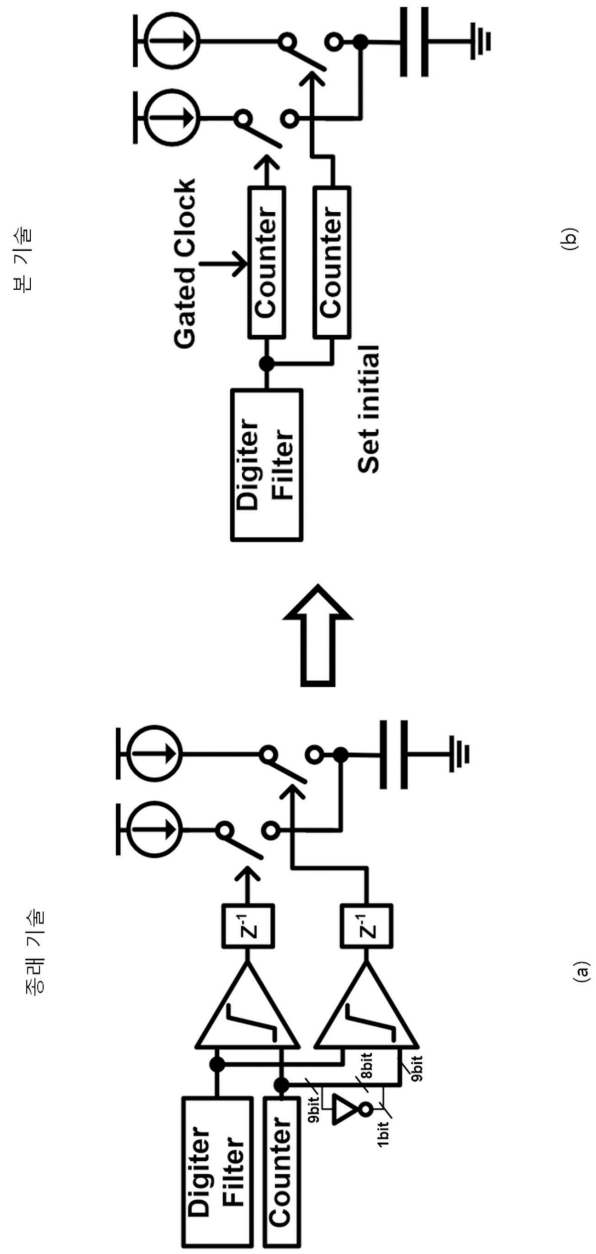
도면17


종래 기술
Digital Input
Digital Counter0
Digital Counter1
Digital Comparator
PWM OUT0
PWM OUT1
(a)
본 발명
140
Digital Input
Digital Counter0
9bit
1bit
8bit
9bit
Digital Comparator
PWM OUT0
PWM OUT1
(b)

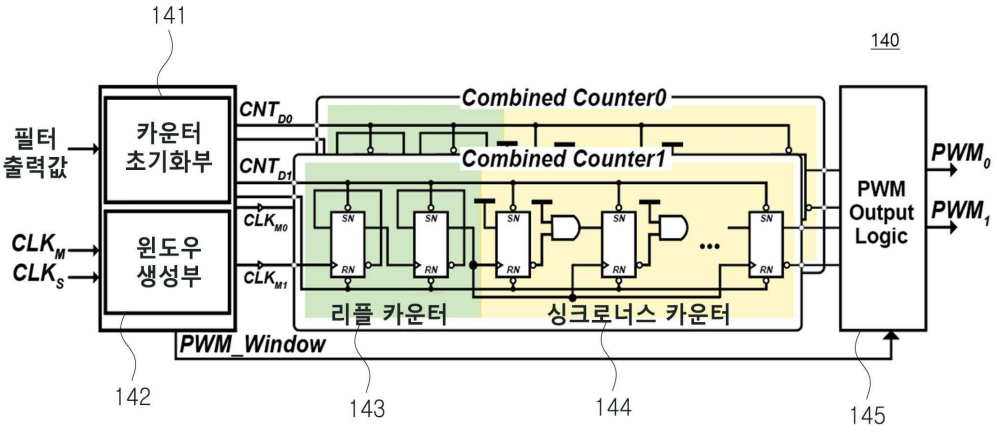
도면18

0° Phase		180° Phase		Inverse		Inverse 180° Phase	
Original code		MSB inverted		All inverted		MSB remained	
Binary	Decimal	Binary	Decimal	Binary	Decimal	Binary	Decimal
000	0	100	4	111	7	011	3
001	1	101	5	110	6	010	2
010	2	110	6	101	5	001	1
011	3	111	7	100	4	000	0
100	4	000	0	011	3	111	7
101	5	001	1	010	2	110	6
110	6	010	2	001	1	101	5
111	7	011	3	000	0	100	4

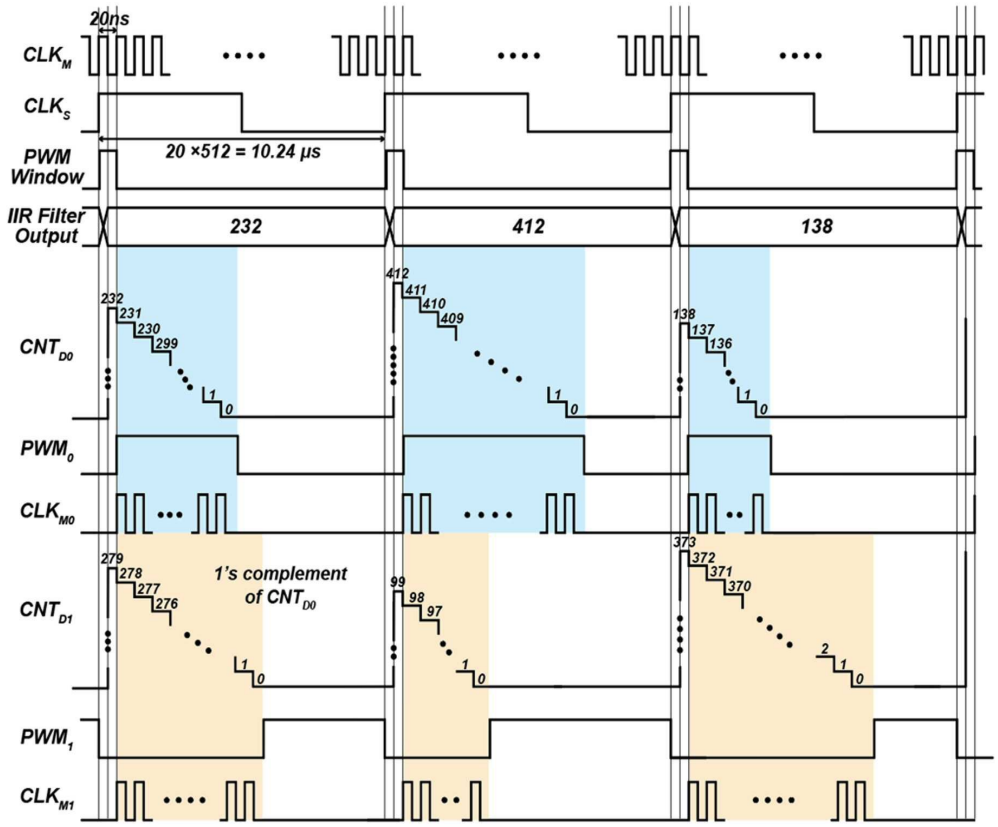
도면19


본 기술
(b)
Gated Clock
Counter
Counter
Digiter Filter
Set initial
종래 기술
(a)
Z-1
Z-1
8bit
9bit
9bit
1bit
Digiter Filter
Counter

도면20

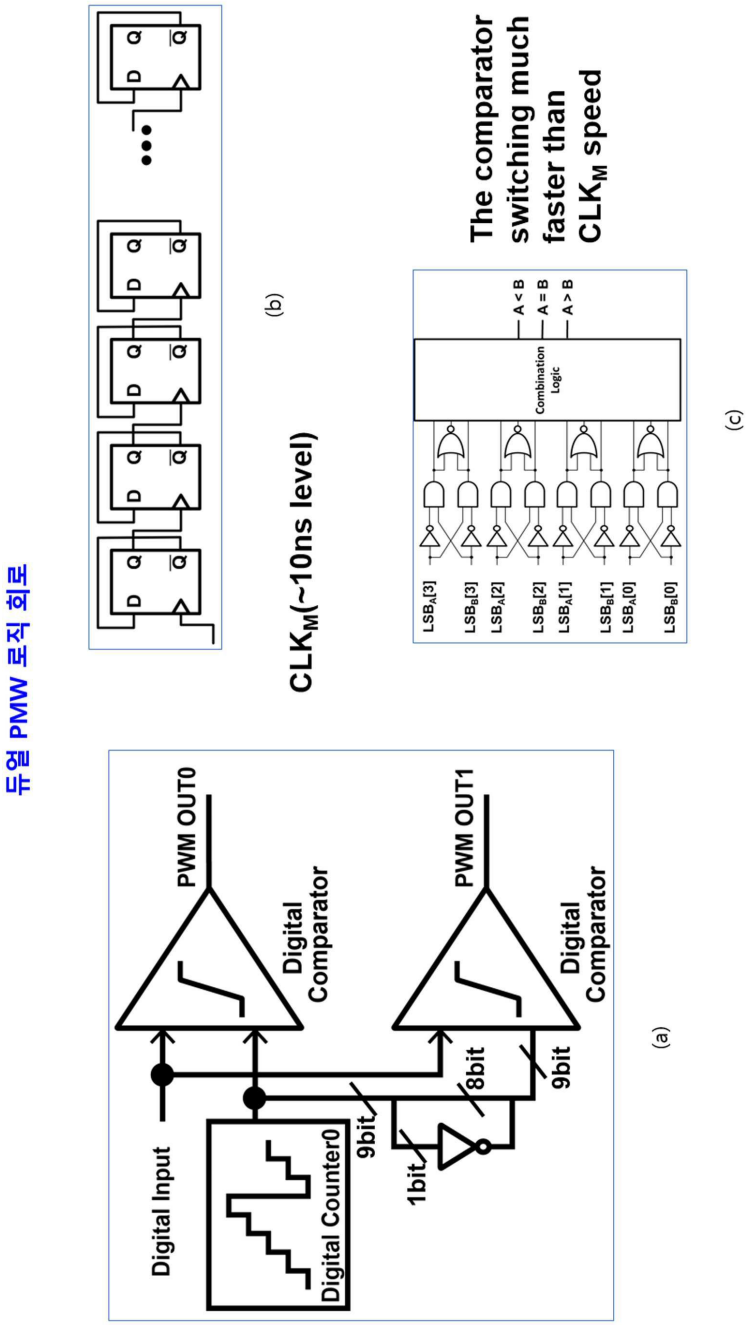

141
140
필터 출력값
카운터 초기화부
윈도우 생성부
CLKM
CLKS
CNTD0
CNTD1
CLKM0
CLKM1
Combined Counter0
Combined Counter1
SN
RN
...
리플 카운터
싱크로너스 카운터
PWM_Window
PWM Output Logic
PWM0
PWM1
142
143
144
145

도면21

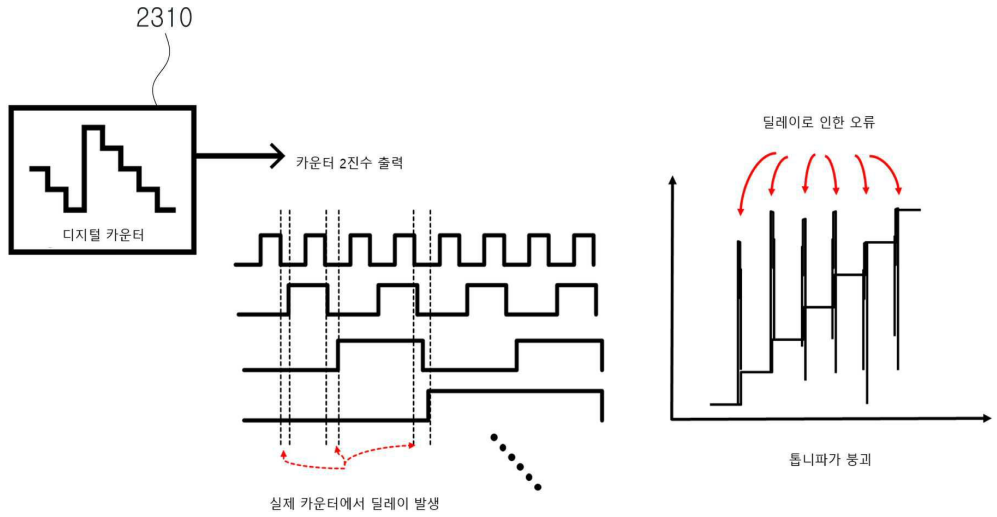

20ns
CLK_M
CLK_S
PWM Window
20 ×512 = 10.24 μs
IIR Filter Output
232
412
138
CNT_D0
232
231
230
299
1
0
412
411
410
409
1
0
138
137
136
1
0
PWM_0
CLK_M0
CNT_D1
279
278
277
276
1's complement of CNT_D0
1
0
99
98
97
1
0
373
372
371
370
2
1
0
PWM_1
CLK_M1

도면22

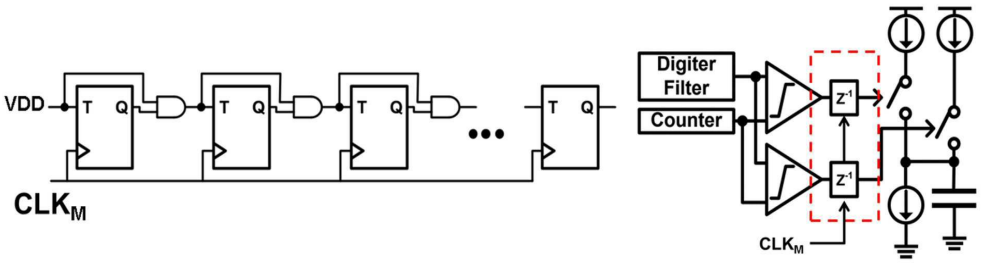
듀얼 PMW 로직 회로



도면23



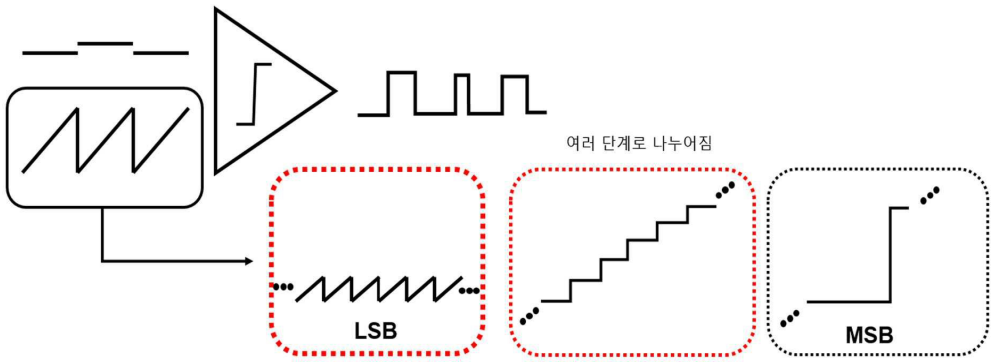
도면24



카운터 동기화 (a)

샘플러 삽입 (b)

도면25



도면26

