

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月5日(05.10.2017)



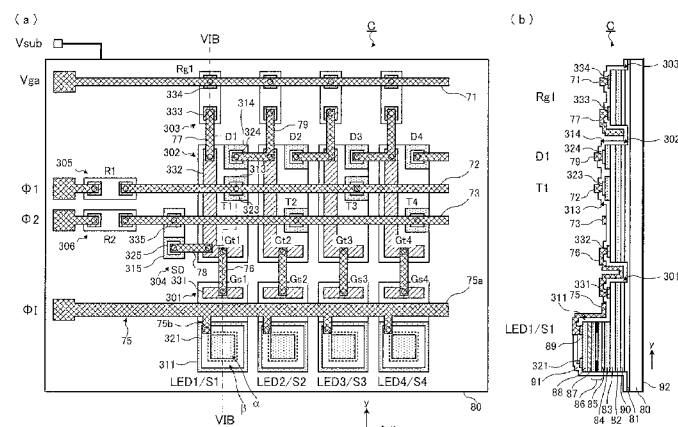
(10) 国際公開番号
WO 2017/169670 A1

- (51) 国際特許分類:
H01L 33/08 (2010.01) *B41J 2/45* (2006.01)
B41J 2/447 (2006.01)
- (21) 国際出願番号: PCT/JP2017/009835
- (22) 国際出願日: 2017年3月10日(10.03.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-066816 2016年3月29日(29.03.2016) JP
- (71) 出願人: 富士ゼロックス株式会社(FUJI XEROX CO., LTD.) [JP/JP]; 〒1070052 東京都港区赤坂九丁目7番3号 Tokyo (JP).
- (72) 発明者: 近藤 崇(KONDO Takashi); 〒2430494 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人航栄特許事務所(KOH-EI PATENT FIRM, P.C.); 〒1050003 東京都港区西新橋一丁目7番13号 虎ノ門イーストビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: LIGHT EMITTING COMPONENT, PRINT HEAD, AND IMAGE FORMING DEVICE

(54) 発明の名称: 発光部品、プリントヘッド及び画像形成装置

【図6】



(57) Abstract: Provided are a light emitting component and the like with which it is possible to reduce power consumption in a thyristor ON state compared with a case in which a voltage reducing layer is not used. A light emitting chip C is provided with: a plurality of transfer thyristors T which sequentially adopt an ON state; a plurality of setting thyristors S which are connected to each of the plurality of transfer thyristors T and which, by the corresponding transfer thyristor T adopting the ON state, adopt a state of being capable of transitioning to the ON state; and a plurality of light emitting diodes LED which are connected in series to each of the plurality of setting thyristors S, and which emit light when the corresponding setting thyristor S adopts the ON state. The setting thyristors S are formed including a voltage reducing layer 90 which reduces a rising voltage.

(57) 要約:

[続葉有]

WO 2017/169670 A1



電圧低減層を用いない場合に比べて、サイリスタのオン状態における消費電力を低減できる発光部品などを提供する。発光チップCは、順にオン状態になる複数の転送サイリスタTと、複数の転送サイリスタTにそれぞれが接続され、転送サイリスタTがオン状態になることにより、オン状態への移行が可能な状態になる複数の設定サイリスタSと、複数の設定サイリスタSにそれぞれが直列接続され、設定サイリスタSがオン状態になると発光する複数の発光ダイオードLEDとを備え、設定サイリスタSは、立ち上がり電圧を低減する電圧低減層90を含んで構成されている。

明 細 書

発明の名称：発光部品、プリントヘッド及び画像形成装置

技術分野

[0001] 本発明は、発光部品、プリントヘッド及び画像形成装置に関する。

背景技術

[0002] 特許文献1には、しきい電圧もしくはしきい電流が外部から制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、各発光素子のしきい電圧もしくはしきい電流を制御する電極を互いに電気的手段にて接続し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した、発光素子アレイが記載されている。

[0003] 特許文献2には、基板と基板上にアレイ状に配設された面発光型半導体レーザと基板上に配列され前記面発光型半導体レーザの発光を選択的にオン・オフさせるスイッチ素子としてのサイリスタとを備える自己走査型の光源ヘッドが記載されている。

[0004] 特許文献3には、 $pnnpn$ 6層半導体構造の発光素子を構成し、両端のp型第1層とn型第6層、および中央のp型第3層およびn型第4層に電極を設け、 pn 層に発光ダイオード機能を担わせ、 $pnnpn$ 4層にサイリスタ機能を担わせた自己走査型発光装置が記載されている。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開平1-238962号公報

特許文献2：日本国特開2009-286048号公報

特許文献3：日本国特開2001-308385号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、例えば、転送部と発光部とを備える自己走査型の発光素子アレイにおいては、発光部の発光素子を転送部と同じ半導体多層膜から構成した

サイリスタとすると、発光部における発光素子の発光特性などと、転送部の転送特性などを個別に設定しにくく、駆動の高速化、光の高出力化、高効率化、低消費電力化、低コスト化などが図りづらかった。そこで、サイリスタと発光素子とを積層して、転送機能を有するサイリスタと、発光機能を有する発光素子とを分離すれば、サイリスタと発光素子とを個別に設定しやすい。しかし、サイリスタと発光素子とを積層することから、発光素子がオン状態においてサイリスタもオン状態になり、サイリスタの電力消費により電力変換効率が低下する。

そこで本発明の少なくとも一の実施形態は、電圧低減層を用いない場合に比べて、サイリスタのオン状態における消費電力を低減できる。

課題を解決するための手段

[0007] 本発明の第1の態様は、順にオン状態になる複数の転送素子と、複数の前記転送素子にそれぞれが接続され、当該転送素子がオン状態になることにより、オン状態への移行が可能な状態になる複数の設定サイリスタと、複数の前記設定サイリスタにそれぞれが直列接続され、当該設定サイリスタがオン状態になると発光又は発光量が増加する複数の発光素子と、を備え、前記設定サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する電圧低減層を含んで構成されていることを特徴とする発光部品である。

本発明の第2の態様は、前記転送素子は、前記電圧低減層を含むサイリスタで構成されていることを特徴とする前記第1の態様の発光部品である。

本発明の第3の態様は、前記発光素子と前記設定サイリスタとは、トンネル接合を介して積層され、前記トンネル接合は、前記発光素子が順バイアスに設定された際に、逆バイアスに設定されるように構成されていることを特徴とする前記第1又は第2の態様の発光部品である。

本発明の第4の態様は、前記設定サイリスタを構成する複数の半導体層と、前記発光素子を構成する複数の半導体層と、前記トンネル接合を構成する半導体層とのいずれかの半導体層が、当該発光素子における電流経路を狭窄

することを特徴とする前記第3の態様の発光部品である。

本発明の第5の態様は、前記発光素子と前記設定サイリスタとは、金属的な導電性を有するⅢⅢⅢ－Ⅴ族化合物層を介して積層されていることを特徴とする前記第1又は第2の態様の発光部品である。

本発明の第6の態様は、前記設定サイリスタを構成する複数の半導体層と、前記発光素子を構成する複数の半導体層と、前記金属的な導電性を有するⅢⅢⅢ－Ⅴ族化合物層を構成する半導体層とのいずれかの半導体層が、当該発光素子における電流経路を狭窄することを特徴とする前記第5の態様の発光部品である。

本発明の第7の態様は、前記設定サイリスタを構成する複数の半導体層と、前記発光素子を構成する複数の半導体層における少なくとも1つの半導体層の少なくとも一部が、分布ブラッグ反射層であることを特徴とする前記第1乃至第6の態様のいずれかの発光部品である。

本発明の第8の態様は、順にオン状態になる複数の転送素子と、複数の当該転送素子にそれぞれが接続され、当該転送素子がオン状態になることにより、オン状態への移行が可能な状態になる複数の設定サイリスタと、複数の当該設定サイリスタにそれぞれが直列接続され、当該設定サイリスタがオン状態になると発光又は発光量が増加する複数の発光素子と、を含む発光部と、前記発光部から出射される光を結像させる光学部と、を備え、前記設定サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する電圧低減層を含んで構成されていることを特徴とするプリントヘッドである。

本発明の第9の態様は、像保持体と、前記像保持体を帯電する帯電部と、順にオン状態になる複数の転送素子と、複数の当該転送素子にそれぞれが接続され、当該転送素子がオン状態になることにより、オン状態への移行が可能な状態になる複数の設定サイリスタと、複数の当該設定サイリスタにそれぞれが直列接続され、当該設定サイリスタがオン状態になると発光又は発光量が増加する複数の発光素子と、を含み、光学部を介して前記像保持体を露

光する露光部と、前記露光部により露光され前記像保持体に形成された静電潜像を現像する現像部と、前記像保持体に現像された画像を被転写体に転写する転写部と、を備え、前記設定サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する電圧低減層を含んで構成されていることを特徴とする画像形成装置である。

本発明の第10の態様は、サイリスタと、前記サイリスタとトンネル接合を介して接続された発光素子と、を備え、前記サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する層を含み、前記トンネル接合は、前記発光素子が順バイアスに設定された際に、逆バイアスに設定されるように構成されていることを特徴とする発光部品である。

本発明の第11の態様は、サイリスタと、前記サイリスタと金属的な導電性を有するIII-V族化合物層を介して接続された発光素子と、を備え、前記サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する層を含んでいることを特徴とする発光部品である。

発明の効果

[0008] 前記第1の態様によれば、電圧低減層を用いない場合に比べて、サイリスタのオン状態における消費電力が低減する。

前記第2の態様によれば、転送素子が電圧低減層を備えない場合に比べて、製造工程の共通化ができる。

前記第3の態様によれば、トンネル接合を用いない場合に比べて、積層された発光素子と設定サイリスタとに印加する電圧が低減できる。

前記第4の態様によれば、電流経路を狭窄しない場合に比べて、低消費電力化できる。

前記第5の態様によれば、金属的な導電性を有するIII-V族化合物層を用いない場合に比べて、積層された発光素子と設定サイリスタとに印加する電圧が低減できる。

前記第6の態様によれば、電流経路を狭窄しない場合に比べて、低消費電力化できる。

前記第 7 の態様によれば、分布ブラッグ反射層を用いない場合に比べて、光利用効率が向上する。

前記第 8 の態様によれば、電圧低減層を用いない場合に比べて、プリントヘッドの消費電力が低減する。

前記第 9 の態様によれば、電圧低減層を用いない場合に比べて、画像形成装置の消費電力が低減する。

前記第 10 の態様と第 11 の態様によれば、発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する層を用いない場合に比べて、サイリスタの消費電力が低減する。

図面の簡単な説明

[0009] [図1]第 1 の実施の形態が適用される画像形成装置の全体構成の一例を示した図である。

[図2]プリントヘッドの構成の一例を示した断面図である。

[図3]発光装置の一例の上面図である。

[図4]発光チップの構成、発光装置の信号発生回路の構成及び回路基板上の配線（ライン）の構成の一例を示した図である。

[図5]第 1 の実施の形態に係る自己走査型発光素子アレイ（SLED）が搭載された発光チップの回路構成を説明する等価回路図である。

[図6]第 1 の実施の形態に係る発光チップの平面レイアウト図及び断面図の一例である。（a）は、発光チップの平面レイアウト図、（b）は、（a）の VIB-VIB 線での断面図である。

[図7]設定サイリスタと発光ダイオードとが積層されたアイランドの拡大断面図である。

[図8]サイリスタの構造とサイリスタの特性を説明する図である。（a）は、電圧低減層を備える第 1 の実施の形態に係るサイリスタの断面図、（b）は、電圧低減層を備えないサイリスタの断面図、（c）は、サイリスタ特性である。

[図9]半導体層を構成する材料のバンドギャップエネルギーを説明する図である

。

[図10]設定サイリスタと発光ダイオードとの積層構造をさらに説明する図である。(a)は、設定サイリスタと発光ダイオードとの積層構造における模式的なエネルギーバンド図、(b)は、トンネル接合層の逆バイアス状態におけるエネルギーバンド図、(c)は、トンネル接合層の電流電圧特性を示す。

[図11]発光装置及び発光チップの動作を説明するタイミングチャートである。

。

[図12]発光チップの製造方法を説明する図である。(a)は、半導体積層体形成工程、(b)は、nオーミック電極及び光出射口保護層形成工程、(c)は、トンネル接合層出しエッチング工程、(d)は、電流狭窄層における電流阻止部形成工程、(e)は、pゲート層出しエッチング工程、(f)は、pオーミック電極及び裏面電極形成工程である。

[図13]設定サイリスタと発光ダイオードとが積層されたアイランドの変形例の拡大断面図である。(a)は、電圧低減層を設定サイリスタのpゲート層とnカソード層との間に設けた場合、(b)は、電圧低減層を設定サイリスタのnゲート層とpゲート層との間に設けた場合、(c)は、電圧低減層をpゲート層とした場合、(d)は、電圧低減層をnゲート層とした場合である。

[図14]第3の実施の形態に係る自己走査型発光素子アレイ(SLED)が搭載された発光チップの回路構成を説明する等価回路図である。

[図15]第2の実施の形態に係る発光チップの設定サイリスタとレーザダイオードとが積層されたアイランドの拡大断面図である。

[図16]第3の実施の形態に係る自己走査型発光素子アレイ(SLED)が搭載された発光チップの回路構成を説明するための等価回路図である。

[図17]第3の実施の形態に係る発光チップの設定サイリスタと垂直共振器面発光レーザとが積層されたアイランドの拡大断面図である。

[図18] $\ln N$ の組成比 x に対する $\ln NAs$ のバンドギャップ、(b)は、

I n Nの組成比xに対するI n N S bのバンドギャップ、(c)は、V I族元素及びI I I - V族化合物の格子定数をバンドギャップに対して示す図である。

[図19]第5の実施の形態に係る光サイリスタの拡大断面図である。

発明を実施するための形態

[0010] 以下、添付図面を参照して、本発明の実施の形態について詳細に説明する。

なお、以下では、アルミニウムをA Iとするなど、元素記号を用いて表記する。

[0011] [第1の実施の形態]

(画像形成装置1)

図1は、第1の実施の形態が適用される画像形成装置1の全体構成の一例を示した図である。図1に示す画像形成装置1は、一般にタンデム型と呼ばれる画像形成装置である。この画像形成装置1は、各色の画像データに対応して画像形成を行なう画像形成プロセス部10、画像形成プロセス部10を制御する画像出力制御部30、例えばパーソナルコンピュータ(PC)2や画像読取装置3に接続され、これらから受信された画像データに対して予め定められた画像処理を施す画像処理部40を備える。

[0012] 画像形成プロセス部10は、予め定められた間隔を置いて並列に配置される画像形成ユニット11Y、11M、11C、11K(区別しない場合は、画像形成ユニット11と表記する。)を備える。画像形成ユニット11は、静電潜像を形成してトナー像を保持する像保持体の一例としての感光体ドラム12、感光体ドラム12の表面を予め定められた電位で帯電する帯電部の一例としての帯電器13、帯電器13によって帯電された感光体ドラム12を露光するプリントヘッド14、プリントヘッド14によって得られた静電潜像を現像する現像部の一例としての現像器15を備える。各画像形成ユニット11Y、11M、11C、11Kは、それぞれがイエロー(Y)、マゼンタ(M)、シアン(C)、黒(K)のトナー像を形成する。

また、画像形成プロセス部 10 は、各画像形成ユニット 11 Y、11 M、11 C、11 K の感光体ドラム 12 にて形成された各色のトナー像を被転写体の一例としての記録用紙 25 に多重転写させるために、この記録用紙 25 を搬送する用紙搬送ベルト 21 と、用紙搬送ベルト 21 を駆動させる駆動ロール 22 と、感光体ドラム 12 のトナー像を記録用紙 25 に転写させる転写部の一例としての転写ロール 23 と、記録用紙 25 にトナー像を定着させる定着器 24 とを備える。

[0013] この画像形成装置 1 において、画像形成プロセス部 10 は、画像出力制御部 30 から供給される各種の制御信号に基づいて画像形成動作を行う。そして、画像出力制御部 30 による制御の下で、パーソナルコンピュータ（PC）2 や画像読取装置 3 から受信された画像データは、画像処理部 40 によって画像処理が施され、画像形成ユニット 11 に供給される。そして、例えば黒（K）色の画像形成ユニット 11 K では、感光体ドラム 12 が矢印 A 方向に回転しながら、帯電器 13 により予め定められた電位に帯電され、画像処理部 40 から供給された画像データに基づいて発光するプリントヘッド 14 により露光される。これにより、感光体ドラム 12 上には、黒（K）色画像に関する静電潜像が形成される。そして、感光体ドラム 12 上に形成された静電潜像は現像器 15 により現像され、感光体ドラム 12 上には黒（K）色のトナー像が形成される。画像形成ユニット 11 Y、11 M、11 C においても、それぞれイエロー（Y）、マゼンタ（M）、シアン（C）の各色トナー像が形成される。

[0014] 各画像形成ユニット 11 で形成された感光体ドラム 12 上の各色トナー像は、矢印 B 方向に移動する用紙搬送ベルト 21 の移動に伴って供給された記録用紙 25 に、転写ロール 23 に印加された転写電界により、順次静電転写され、記録用紙 25 上に各色トナーが重畳された合成トナー像が形成される。

その後、合成トナー像が静電転写された記録用紙 25 は、定着器 24 まで搬送される。定着器 24 に搬送された記録用紙 25 上の合成トナー像は、定

着器 2 4 によって熱及び圧力による定着処理を受けて記録用紙 2 5 上に定着され、画像形成装置 1 から排出される。

[0015] (プリントヘッド 1 4)

図 2 は、プリントヘッド 1 4 の構成の一例を示した断面図である。露光部の一例としてのプリントヘッド 1 4 は、ハウジング 6 1、感光体ドラム 1 2 を露光する複数の発光素子（第 1 の実施の形態では、発光素子の一例としての発光ダイオード LED）を備える光源部 6 3 を備えた発光部の一例としての発光装置 6 5、光源部 6 3 から出射された光を感光体ドラム 1 2 の表面に結像させる光学部の一例としてのロッドレンズアレイ 6 4 を備える。

発光装置 6 5 は、前述した光源部 6 3、光源部 6 3 を駆動する信号発生回路 1 1 0（後述の図 3 参照）等を搭載する回路基板 6 2 を備える。

[0016] ハウジング 6 1 は、例えば金属で形成され、回路基板 6 2 及びロッドレンズアレイ 6 4 を支持し、光源部 6 3 の発光素子の発光面がロッドレンズアレイ 6 4 の焦点面となるように設定されている。また、ロッドレンズアレイ 6 4 は、感光体ドラム 1 2 の軸方向（主走査方向であって、後述する図 3、図 4 の（b）の X 方向）に沿って配置されている。

[0017] (発光装置 6 5)

図 3 は、発光装置 6 5 の一例の上面図である。

図 3 に例として示す発光装置 6 5 では、光源部 6 3 は、回路基板 6 2 上に、40 個の発光部品の一例としての発光チップ C 1 ~ C 4 0（区別しない場合は、発光チップ C と表記する。）が、主走査方向である X 方向に二列に千鳥状に配置して構成されている。発光チップ C 1 ~ C 4 0 の構成は同じであってよい。

本明細書では、「~」は、番号によってそれぞれが区別された複数の構成要素を示すもので、「~」の前後に記載されたもの及びその間の番号のものを含むことを意味する。例えば、発光チップ C 1 ~ C 4 0 は、発光チップ C 1 から番号順に発光チップ C 4 0 までを含む。

[0018] なお、第 1 の実施の形態では、発光チップ C の数として、合計 40 個を用

いたが、これに限定されない。

そして、発光装置 65 は、光源部 63 を駆動する信号発生回路 110 を搭載している。信号発生回路 110 は、例えば集積回路（IC）などで構成されている。なお、発光装置 65 が信号発生回路 110 を搭載していなくともよい。このときは、信号発生回路 110 は、発光装置 65 の外部に設けられ、発光チップ C を制御する制御信号などを、ケーブルなどを介して供給する。ここでは、発光装置 65 は信号発生回路 110 を備えるとして説明する。

発光チップ C の配列についての詳細は後述する。

[0019] 図 4 は、発光チップ C の構成、発光装置 65 の信号発生回路 110 の構成及び回路基板 62 上の配線（ライン）の構成の一例を示した図である。図 4 の（a）は発光チップ C の構成を示し、図 4 の（b）は発光装置 65 の信号発生回路 110 の構成及び回路基板 62 上の配線（ライン）の構成を示す。なお、図 4 の（b）では、発光チップ C 1 ～ C 40 の内、発光チップ C 1 ～ C 9 の部分を示している。

[0020] はじめに、図 4 の（a）に示す発光チップ C の構成を説明する。

発光チップ C は、表面形状が矩形である基板 80 の表面において、長辺の一辺に近い側に長辺に沿って列状に設けられた複数の発光素子（第 1 の実施の形態では発光ダイオード LED 1 ～ LED 128（区別しない場合は、発光ダイオード LED と表記する。））を含んで構成される発光部 102 を備える。さらに、発光チップ C は、基板 80 の表面の長辺方向の両端部に、各種の制御信号等を取り込むための複数のボンディングパッドである端子（ ϕ 1 端子、 ϕ 2 端子、Vg a 端子、 ϕ 1 端子）を備える。なお、これらの端子は、基板 80 の一端部から ϕ 1 端子、 ϕ 1 端子の順に設けられ、基板 80 の他端部から Vg a 端子、 ϕ 2 端子の順に設けられている。そして、発光部 102 は、 ϕ 1 端子と ϕ 2 端子との間に設けられている。さらに、基板 80 の裏面には V s u b 端子として裏面電極 92（後述する図 6 参照）が設けられている。

[0021] なお、「列状」とは、図 4 の（a）に示したように複数の発光素子が一直

線上に配置されている場合に限らず、複数の発光素子のそれぞれの発光素子が、列方向と直交する方向に対して、互いに異なるずれ量を有して配置されている状態でもよい。例えば、発光素子の発光面（後述する図6における発光ダイオードLEDの領域311）を画素としたとき、それぞれの発光素子が、列方向と直交する方向に数画素分又は数十画素分のずれ量をもって配置されていてもよい。また、隣接する発光素子間で交互に、又は複数の発光素子毎に、ジグザグに配置されていてもよい。

[0022] 次に、図4の（b）により、発光装置65の信号発生回路110の構成及び回路基板62上の配線（ライン）の構成を説明する。

前述したように、発光装置65の回路基板62には、信号発生回路110及び発光チップC1～C40が搭載され、信号発生回路110と発光チップC1～C40とを接続する配線（ライン）が設けられている。

[0023] まず、信号発生回路110の構成について説明する。

信号発生回路110には、画像出力制御部30及び画像処理部40（図1参照）より、画像処理された画像データ及び各種の制御信号が入力される。信号発生回路110は、これらの画像データ及び各種の制御信号に基づいて、画像データの並び替えや光量の補正等を行う。

そして、信号発生回路110は、各種の制御信号に基づき、発光チップC1～C40に、第1転送信号 $\phi 1$ 、第2転送信号 $\phi 2$ を送信する転送信号発生部120を備える。

そしてまた、信号発生回路110は、各種の制御信号に基づき、発光チップC1～C40に、点灯信号 $\phi 11 \sim \phi 140$ （区別しない場合は、点灯信号 $\phi 1$ と表記する。）をそれぞれ送信する点灯信号発生部140を備える。

さらにまた、信号発生回路110は、発光チップC1～C40に電位の基準となる基準電位 V_{sub} を供給する基準電位供給部160、発光チップC1～C40の駆動のための電源電位 V_{ga} を供給する電源電位供給部170を備える。

[0024] 次に、発光チップC1～C40の配列について説明する。

奇数番号の発光チップC 1、C 3、C 5、…は、それぞれの基板80の長辺方向に間隔を設けて一列に配列されている。偶数番号の発光チップC 2、C 4、C 6、…も、同様にそれぞれの基板80の長辺の方向に間隔を設けて一列に配列されている。そして、奇数番号の発光チップC 1、C 3、C 5、…と偶数番号の発光チップC 2、C 4、C 6、…とは、発光チップCに設けられた発光部102側の長辺が向かい合うように、互いに180°回転した状態で千鳥状に配列されている。そして、発光チップC間においても発光素子が主走査方向(X方向)に予め定められた間隔で並ぶように位置が設定されている。なお、図4の(b)の発光チップC 1~C 40に、図4の(a)に示した発光部102の発光素子の並び(第1の実施の形態では発光ダイオードLED 1~LED 128の番号順)の方向を矢印で示している。

[0025] 信号発生回路110と発光チップC 1~C 40とを接続する配線(ライン)について説明する。

回路基板62には、発光チップCの基板80の裏面に設けられたVsub端子である裏面電極92(後述の図6参照)に接続され、基準電位Vsubを供給する電源ライン200aが設けられている。

そして、回路基板62には、発光チップCに設けられたVga端子に接続され、駆動のための電源電位Vgaを供給する電源ライン200bが設けられている。

[0026] 回路基板62には、信号発生回路110の転送信号発生部120から、発光チップC 1~C 40のφ1端子に第1転送信号φ1を送信するための第1転送信号ライン201、発光チップC 1~C 40のφ2端子に第2転送信号φ2を送信するための第2転送信号ライン202が設けられている。第1転送信号φ1、第2転送信号φ2は、発光チップC 1~C 40に共通(並列)に送信される。

[0027] そしてまた、回路基板62には、信号発生回路110の点灯信号発生部140から、各発光チップC 1~C 40のそれぞれのφ1端子に、それぞれ電流制限抵抗R1を介して、点灯信号φ11~φ140を送信する点灯信号ラ

イン204-1~204-40（区別しない場合は、点灯信号ライン204と表記する。）が設けられている。

[0028] 以上説明したように、回路基板62上のすべての発光チップC1~C40に、基準電位Vsub、電源電位Vgaが共通に供給される。第1転送信号φ1、第2転送信号φ2も、発光チップC1~C40に共通（並列）に送信される。一方、点灯信号φ11~φ140は、発光チップC1~C40にそれぞれ個別に送信される。

[0029] （発光チップC）

図5は、第1の実施の形態に係る自己走査型発光素子アレイ（SLED：Self-Scanning Light Emitting Device）が搭載された発光チップCの回路構成を説明する等価回路図である。以下において説明する各素子は、端子（φ1端子、φ2端子、Vga端子、φ1端子）を除き、発光チップC上のレイアウト（後述する図6参照）に基づいて配置されている。なお、端子（φ1端子、φ2端子、Vga端子、φ1端子）の位置は、図4の（a）と異なるが、信号発生回路110との接続の関係の説明のため、図中左端に示している。そして、基板80の裏面に設けられたVsub端子を、基板80の外に引き出して示している。

ここでは、信号発生回路110との関係において発光チップC1を例に、発光チップCを説明する。そこで、図5において、発光チップCを発光チップC1（C）と表記する。他の発光チップC2~C40の構成は、発光チップC1と同じである。

[0030] 発光チップC1（C）は、発光ダイオードLED1~LED128で構成される発光部102（図4の（a）参照）を備える。

そして、発光チップC1（C）は、設定サイリスタS1~S128（区別しない場合は、設定サイリスタSと表記する。）を備える。発光ダイオードLED1~LED128及び設定サイリスタS1~S128は、同じ番号の発光ダイオードLEDと設定サイリスタSとが直列接続されている。

なお、後述する図6の（b）に示すように、基板80上に列状に配列され

た設定サイリスタS上に発光ダイオードLEDが積層されている。よって、発光ダイオードLED1～LED128も列状に配列されている。

[0031] そして、発光チップC1(C)は、発光ダイオードLED1～LED128、設定サイリスタS1～S128と同様に列状に配列された転送サイリスタT1～T128（区別しない場合は、転送サイリスタTと表記する。）を備える。

なお、ここでは転送素子の一例として転送サイリスタTを用いて説明するが、順にオン状態となる素子であれば他の回路素子であってもよく、例えば、シフトレジスタや複数のトランジスタを組み合わせた回路素子を用いてもよい。

また、発光チップC1(C)は、転送サイリスタT1～T128をそれぞれ番号順に2つをペアにして、それぞれのペアの間に結合ダイオードD1～D127（区別しない場合は、結合ダイオードDと表記する。）を備える。

さらに、発光チップC1(C)は、電源線抵抗Rg1～Rg128（区別しない場合は、電源線抵抗Rgと表記する。）を備える。

[0032] また、発光チップC1(C)は、1個のスタートダイオードSDを備える。そして、後述する第1転送信号φ1が送信される第1転送信号線72と第2転送信号φ2が送信される第2転送信号線73とに過剰な電流が流れるのを防止するために設けられた電流制限抵抗R1、R2を備える。

ここでは、設定サイリスタS1～S128、転送サイリスタT1～T128、電源線抵抗Rg1～Rg128、結合ダイオードD1～D127、スタートダイオードSD、電流制限抵抗R1、R2により転送部101が構成される。

[0033] 発光部102の発光ダイオードLED1～LED128、転送部101の及び設定サイリスタS1～S128、転送サイリスタT1～T128は、図5中において、左側から番号順に配列されている。さらに、結合ダイオードD1～D127、電源線抵抗Rg1～Rg128も、図中左側から番号順に配列されている。

そして、図5において上から、転送部101、発光部102の順に並べられている。

[0034] 第1の実施の形態では、発光部102における発光ダイオードLED、転送部101における設定サイリスタS、転送サイリスタT、電源線抵抗R_gはそれぞれ128個とした。なお、結合ダイオードDの数は、転送サイリスタTの数より1少ない127個である。

発光ダイオードLEDなどの数は、上記に限らず、予め定められた個数とすればよい。そして、転送サイリスタTの数は、発光ダイオードLEDの数より多くてもよい。

[0035] 上記の発光ダイオードLEDは、アノード端子（アノード）及びカソード端子（カソード）を備える2端子の半導体素子、サイリスタ（設定サイリスタS、転送サイリスタT）は、アノード端子（アノード）、ゲート端子（ゲート）及びカソード端子（カソード）の3端子を有する半導体素子、結合ダイオードD1及びスタートダイオードSDは、アノード端子（アノード）及びカソード端子（カソード）を備える2端子の半導体素子である。

なお、後述するように、発光ダイオードLED、サイリスタ（設定サイリスタS、転送サイリスタT）、結合ダイオードD1及びスタートダイオードSDは、電極として構成されたアノード端子、ゲート端子、カソード端子を必ずしも備えない場合がある。よって、以下では、端子を略して（ ）内で表記する場合がある。

[0036] では次に、発光チップC1（C）における各素子の電気的な接続について説明する。

転送サイリスタT、設定サイリスタSのそれぞれのアノードは、発光チップC1（C）の基板80に接続される（アノードコモン）。

そして、これらのアノードは、基板80の裏面に設けられたV_{sub}端子である裏面電極92（後述の図6の（b）参照）を介して電源ライン200a（図4の（b）参照）に接続される。この電源ライン200aは、基準電位供給部160から基準電位V_{sub}が供給される。

なお、この接続は p 型の基板 80 を用いた際の構成であり、n 型の基板を用いる場合は極性は逆となり、不純物を添加していないイントリンシック (i) 型 (半絶縁性又は絶縁性) の基板を用いた場合は、基板の転送部 101 及び発光部 102 が設けられる側に、基準電位 V_{sub} と接続される端子が設けられる。

[0037] 転送サイリスタ T の配列に沿って、奇数番号の転送サイリスタ T1、T3、…のカソードは、第 1 転送信号線 72 に接続されている。そして、第 1 転送信号線 72 は、電流制限抵抗 R1 を介して $\phi 1$ 端子に接続されている。この $\phi 1$ 端子には、第 1 転送信号ライン 201 (図 4 の (b) 参照) が接続され、転送信号発生部 120 から第 1 転送信号 $\phi 1$ が送信される。

一方、転送サイリスタ T の配列に沿って、偶数番号の転送サイリスタ T2、T4、…のカソードは、第 2 転送信号線 73 に接続されている。そして、第 2 転送信号線 73 は、電流制限抵抗 R2 を介して $\phi 2$ 端子に接続されている。この $\phi 2$ 端子には、第 2 転送信号ライン 202 (図 4 の (b) 参照) が接続され、転送信号発生部 120 から第 2 転送信号 $\phi 2$ が送信される。

[0038] 発光ダイオード LED1~LED128 のカソードは、点灯信号線 75 に接続されている。点灯信号線 75 は、 $\phi 1$ 端子に接続されている。発光チップ C1 では、 $\phi 1$ 端子は、発光チップ C1 (C) の外側に設けられた電流制限抵抗 R1 を介して点灯信号ライン 204-1 に接続され、点灯信号発生部 140 から点灯信号 $\phi 1$ が送信される (図 4 の (b) 参照)。点灯信号 $\phi 1$ は、発光ダイオード LED1~LED128 に点灯のための電流を供給する。なお、他の発光チップ C2~C40 の $\phi 1$ 端子には、それぞれ電流制限抵抗 R1 を介して点灯信号ライン 204-2~204-40 が接続され、点灯信号発生部 140 から点灯信号 $\phi 1$ 2~ $\phi 1$ 40 が送信される (図 4 の (b) 参照)。

[0039] 転送サイリスタ T1~T128 のそれぞれのゲート Gt1~Gt128 (区別しない場合は、ゲート Gt と表記する。) は、同じ番号の設定ダイオード S1~S128 のゲート Gs1~Gs128 (区別しない場合は、ゲート

G_sと表記する。)に、1対1で接続されている。よって、ゲートG_{t1}～G_{t128}とゲートG_{s1}～G_{s128}とは、同じ番号のものが電氣的に同電位になっている。よって、例えばゲートG_{t1}(ゲートG_{s1})と表記して、電位が同じであることを示す。

[0040] 転送サイリスタT₁～T₁₂₈のそれぞれのゲートG_{t1}～G_{t128}を番号順に2個ずつペアとしたゲートG_t間に、結合ダイオードD₁～D₁₂₇がそれぞれ接続されている。すなわち、結合ダイオードD₁～D₁₂₇はそれぞれがゲートG_{t1}～G_{t128}のそれぞれの間に挟まれるように直列接続されている。そして、結合ダイオードD₁の向きは、ゲートG_{t1}からゲートG_{t2}に向かって電流が流れる方向に接続されている。他の結合ダイオードD₂～D₁₂₇についても同様である。

[0041] 転送サイリスタTのゲートG_t(ゲートG_s)は、転送サイリスタTのそれぞれに対応して設けられた電源線抵抗R_gを介して、電源線71に接続されている。電源線71はV_{ga}端子に接続されている。V_{ga}端子には、電源ライン200b(図4の(b)参照)が接続され、電源電位供給部170から電源電位V_{ga}が供給される。

[0042] そして、転送サイリスタT₁のゲートG_{t1}は、スタートダイオードSDのカソード端子に接続されている。一方、スタートダイオードSDのアノードは、第2転送信号線73に接続されている。

[0043] 図6は、第1の実施の形態に係る発光チップCの平面レイアウト図及び断面図の一例である。図6の(a)は、発光チップCの平面レイアウト図、図6の(b)は、図6の(a)のV₁B-V₁B線での断面図である。ここでは、発光チップCと信号発生回路110との接続関係を示さないで、発光チップC₁を例とすることを要しない。よって、発光チップCと表記する。

図6の(a)では、発光ダイオードLED₁～LED₄、設定サイリスタS₁～S₄、転送サイリスタT₁～T₄を中心とした部分を示している。なお、端子(φ₁端子、φ₂端子、V_{ga}端子、φ₁端子)の位置は、図4の(a)と異なるが、説明の便宜上、図中左端部に示している。そして、基板

80の裏面に設けられたV s u b端子（裏面電極92）は、基板80の外に引き出して示している。図4の（a）に対応させて端子を設けるとすると、 ϕ 2端子、 ϕ 1端子、電流制限抵抗R2は、基板80の右端部に設けられる。また、スタートダイオードSDは基板80の右端部に設けられてもよい。

[0044] 図6の（a）のV I B－V I B線での断面図である図6の（b）では、図中下より発光ダイオードLED1／設定サイリスタS1、転送サイリスタT1、結合ダイオードD1及び電源線抵抗Rg1が示されている。なお、発光ダイオードLED1と設定サイリスタS1とは積層されている。

そして、図6の（a）、（b）の図中には、主要な素子や端子を名前により表記している。

[0045] まず、発光チップCの断面構造を、図6の（b）により説明する。

p型の基板80（基板80）上に、p型のアノード層81（pアノード層81）、電圧低減層90、n型のゲート層82（nゲート層82）、p型のゲート層83（pゲート層83）及びn型のカソード層84（nカソード層84）が順に設けられている。なお、以下では、（ ）内の表記を用いる。他の場合も同様とする。

そして、nカソード層84上に、トンネル接合（トンネルダイオード）層85が設けられている。

さらに、トンネル接合層85上に、p型のアノード層86（pアノード層86）、発光層87、n型のカソード層88（nカソード層88）が設けられている。

そして、発光ダイオードLED1上には、発光ダイオードLEDが出射する光に対して透光性の絶縁材料で構成された光出射口保護層89が設けられている。

なお、電圧低減層90は、pアノード層81と同様の不純物濃度のp型として、pアノード層81とともにpアノード層としてもよい。また、電圧低減層90は、nゲート層82と同様の不純物濃度のn型として、nゲート層82とともにnゲート層としてもよい。

ここで、pアノード層81が第1の半導体層の一例、nゲート層82が第2の半導体層の一例、pゲート層83が第3の半導体層の一例、nカソード層84が第4の半導体層の一例である。そして、電圧低減層90がpアノード層に含まれる場合には、電圧低減層90は、第1の半導体層に含まれる。また、電圧低減層90がnゲート層に含まれる場合には、電圧低減層90は、第2の半導体層に含まれる。以下同様である。また、電圧低減層90は、i層であってもよい。

[0046] そして、発光チップCには、図6の(b)に示すように、これらのアイランドの表面及び側面を覆うように設けられた透光性の絶縁材料で構成された保護層91が設けられている。そして、これらのアイランドと電源線71、第1転送信号線72、第2転送信号線73、点灯信号線75などの配線とが、保護層91に設けられたスルーホール(図6の(a)では○で示す。)を介して接続されている。以下の説明では、保護層91及びスルーホールについての説明を省略する。

[0047] また、図6の(b)に示すように、基板80の裏面にはVsub端子となる裏面電極92が設けられている。

[0048] pアノード層81、電圧低減層90、nゲート層82、pゲート層83、nカソード層84、トンネル接合層85、pアノード層86、発光層87、nカソード層88は、それぞれが半導体層であって、エピタキシャル成長により順に積層される。そして、相互に分離された複数のアイランド(島)(後述するアイランド301、302、303、...)になるように、アイランド間の半導体層がエッチング(メサエッチング)により除去されている。なお、pアノード層81は、分離されていても、されていなくともよい。図6の(b)では、pアノード層81は、厚さ方向に一部が分離されている。また、pアノード層81が基板80を兼ねてもよい。

[0049] pアノード層81、電圧低減層90、nゲート層82、pゲート層83及びnカソード層84を用いて、設定サイリスタS、転送サイリスタT、結合ダイオードD、電源線抵抗Rgなど(図6の(b)においては、設定サイリ

スタS 1、転送サイリスタT 1、結合ダイオードD 1、電源線抵抗R_g 1)が構成されている。

ここでは、pアノード層8 1、電圧低減層9 0、nゲート層8 2、pゲート層8 3、nカソード層8 4の表記は、設定サイリスタS及び転送サイリスタTを構成する場合の機能（働き）に対応させている。すなわち、pアノード層8 1はアノード、nゲート層8 2及びpゲート層8 3はゲート、nカソード層8 4はカソードとして働く。そして、電圧低減層9 0は、後述するように、pアノード層8 1の一部又はnゲート層8 2の一部として働く。なお、結合ダイオードD、電源線抵抗R_gを構成する場合には、後述するように異なる機能（働き）をする。

[0050] pアノード層8 6、発光層8 7、nカソード層8 8により、発光ダイオードLED（図6の（b）においては、発光ダイオードLED 1）が構成されている。

そして、pアノード層8 6、nカソード層8 8の表記も同様であって、発光ダイオードLEDを構成する場合の機能（働き）に対応させている。すなわち、pアノード層8 6はアノード、nカソード層8 8はカソードとして働く。

[0051] 以下に説明するように、複数のアイランドは、pアノード層8 1、電圧低減層9 0、nゲート層8 2、pゲート層8 3、nカソード層8 4、トンネル接合層8 5の一部又は全部、pアノード層8 6、発光層8 7、nカソード層8 8の複数の層の内、一部の層を備えないものを含む。例えば、アイランド3 0 2は、トンネル接合層8 5、pアノード層8 6、発光層8 7、nカソード層8 8を備えない。

また、複数のアイランドは、層の一部を備えていないものを含む。例えば、アイランド3 0 2は、pアノード層8 1、電圧低減層9 0、nゲート層8 2、pゲート層8 3、nカソード層8 4を備えるが、nカソード層8 4は、一部のみを備える。

[0052] 次に、発光チップCの平面レイアウトを、図6の（a）により説明する。

アイランド301には、設定サイリスタS1及び発光ダイオードLED1が設けられている。アイランド302には、転送サイリスタT1、結合ダイオードD1が設けられている。アイランド303には、電源線抵抗Rg1が設けられている。アイランド304には、スタートダイオードSDが設けられている。アイランド305には電流制限抵抗R1が、アイランド306には電流制限抵抗R2が設けられている。

そして、発光チップCには、アイランド301、302、303と同様なアイランドが、並列して複数形成されている。これらのアイランドには、設定サイリスタS2、S3、S4、…、発光ダイオードLED2、LED3、LED4、…、転送サイリスタT2、T3、T4、…、結合ダイオードD2、D3、D4、…等が、アイランド301、302、303と同様に設けられている。

[0053] ここで、図6の(a)、(b)により、アイランド301～アイランド306について詳細に説明する。

図6の(a)に示すように、アイランド301には、設定サイリスタS1及び発光ダイオードLED1が設けられている。

設定サイリスタS1は、pアノード層81、電圧低減層90、nゲート層82、pゲート層83、nカソード層84から構成されている。そして、nカソード層88、発光層87、pアノード層86、トンネル接合層85、nカソード層84を除去して露出させたpゲート層83上に設けられたp型のオーミック電極331(pオーミック電極331)をゲートGs1の電極(ゲート端子Gs1と表記することがある。)とする。

[0054] 一方、発光ダイオードLED1は、pアノード層86、発光層87、nカソード層88で構成されている。発光ダイオードLED1は、設定サイリスタS1のnカソード層84上に、トンネル接合層85を介して積み重ねられている。そして、nカソード層88(領域311)上に設けられたn型のオーミック電極321(nオーミック電極321)をカソード電極とする。

なお、pアノード層86には、電流狭窄層86b(後述する図7参照)が

含まれている。電流狭窄層 86b は、発光ダイオード LED に流れる電流を、発光ダイオード LED の中央部に制限するために設けられている。すなわち、発光ダイオード LED の周辺部は、メサエッチングに起因して欠陥が多い。このため、非発光再結合が起こりやすい。そこで、発光ダイオード LED の中央部が電流の流れやすい電流通過部 α となり、周辺部が電流の流れにくい電流阻止部 β となるように、電流狭窄層 86b が設けられている。図 6 の (a) の発光ダイオード LED 1 に示すように、破線の内側が電流通過部 α 、破線の外側が電流阻止部 β である。

発光ダイオード LED 1 の中央部から光を取り出すために、n オーミック電極 321 は、中央部を開口とするように、発光ダイオード LED 1 の周辺部に設けられている。

なお、電流狭窄層 86b については、後述する。

[0055] 電流狭窄層 86b を設けると非発光再結合に消費される電力が抑制されるので、低消費電力化及び光取り出し効率が向上する。なお、光取り出し効率とは、電力当たりに取り出すことができる光量である。

[0056] アイランド 302 には、転送サイリスタ T1、結合ダイオード D1 が設けられている。

転送サイリスタ T1 は、p アノード層 81、電圧低減層 90、n ゲート層 82、p ゲート層 83、n カソード層 84 から構成される。つまり、n カソード層 88、発光層 87、p アノード層 86、トンネル接合層 85 を除去して露出させた n カソード層 84 (領域 313) 上に設けられた n オーミック電極 323 をカソード端子とする。なお、トンネル接合層 85 の n^{++} 層 85a を除去せず、トンネル接合層 85 の n^{++} 層 85a 上に n オーミック電極 323 を設けてもよい。そして、n カソード層 84 を除去して露出させた p ゲート層 83 上に設けられた p オーミック電極 332 をゲート Gt1 の端子 (ゲート端子 Gt1 と表記することがある。) とする。

同じく、アイランド 302 に設けられた結合ダイオード D1 は、p ゲート層 83、n カソード層 84 から構成される。つまり、n カソード層 88、発

光層 8 7、p アノード層 8 6、トンネル接合層 8 5 を除去して露出させた n カソード層 8 4（領域 3 1 4）上に設けられた n オーミック電極 3 2 4 をカソード端子とする。なお、トンネル接合層 8 5 の n^{++} 層 8 5 a を除去せず、トンネル接合層 8 5 の n^{++} 層 8 5 a 上に n オーミック電極 3 2 4 を設けてもよい。そして、n カソード層 8 4 を除去して露出させた p ゲート層 8 3 上に設けられた p オーミック電極 3 3 2 をアノード端子とする。ここでは、結合ダイオード D 1 のアノード端子は、ゲート G t 1（ゲート端子 G t 1）と同じである。

[0057] アイランド 3 0 3 に設けられた電源線抵抗 R g 1 は、p ゲート層 8 3 で構成される。ここでは、n カソード層 8 8、発光層 8 7、p アノード層 8 6、トンネル接合層 8 5、n カソード層 8 4 を除去して露出させた p ゲート層 8 3 上に設けられた p オーミック電極 3 3 3 と p オーミック電極 3 3 4 との間の p ゲート層 8 3 を抵抗として設けられている。

[0058] アイランド 3 0 4 に設けられたスタートダイオード S D は、p ゲート層 8 3、n カソード層 8 4 から構成される。つまり、n カソード層 8 8、発光層 8 7、p アノード層 8 6、トンネル接合層 8 5 を除去して露出させた n カソード層 8 4（領域 3 1 5）上に設けられた n オーミック電極 3 2 5 をカソード端子とする。なお、トンネル接合層 8 5 の n^{++} 層 8 5 a を除去せず、トンネル接合層 8 5 の n^{++} 層 8 5 a 上に n オーミック電極 3 2 5 を設けてもよい。そして、n カソード層 8 4 を除去して露出させた p ゲート層 8 3 上に設けられた p オーミック電極 3 3 5 をアノード端子とする。

アイランド 3 0 5 に設けられた電流制限抵抗 R 1、アイランド 3 0 6 に設けられた電流制限抵抗 R 2 は、アイランド 3 0 3 に設けられた電源線抵抗 R g 1 と同様に設けられ、それぞれが 2 個の p オーミック電極（符号なし）間の p ゲート層 8 3 を抵抗とする。

[0059] 図 6 の（a）において、各素子間の接続関係を説明する。

点灯信号線 7 5 は、幹部 7 5 a と複数の枝部 7 5 b とを備える。幹部 7 5 a は発光ダイオード L E D の列方向に延びるように設けられている。枝部 7

5 bは幹部7 5 aから枝分かれして、アイランド3 0 1に設けられた発光ダイオードLED 1のカソード端子であるnオーミック電極3 2 1と接続されている。他の発光ダイオードLEDのカソード端子も同様である。

点灯信号線7 5は、発光ダイオードLED 1側に設けられた ϕ 1端子に接続されている。

[0060] 第1転送信号線7 2は、アイランド3 0 2に設けられた転送サイリスタT 1のカソード端子であるnオーミック電極3 2 3に接続されている。第1転送信号線7 2には、アイランド3 0 2と同様なアイランドに設けられた、他の奇数番号の転送サイリスタTのカソード端子が接続されている。第1転送信号線7 2は、アイランド3 0 5に設けられた電流制限抵抗R 1を介して ϕ 1端子に接続されている。

一方、第2転送信号線7 3は、符号を付さないアイランドに設けられた偶数番号の転送サイリスタTのカソード端子であるnオーミック電極（符号なし）に接続されている。第2転送信号線7 3は、アイランド3 0 6に設けられた電流制限抵抗R 2を介して ϕ 2端子に接続されている。

[0061] 電源線7 1は、アイランド3 0 3に設けられた電源線抵抗R g 1の一方の端子であるpオーミック電極3 3 4に接続されている。他の電源線抵抗R gの一方の端子も電源線7 1に接続されている。電源線7 1は、V g a端子に接続されている。

[0062] そして、アイランド3 0 1に設けられた発光ダイオードLED 1のpオーミック電極3 3 1（ゲート端子G s 1）は、アイランド3 0 2のpオーミック電極3 3 2（ゲート端子G t 1）に接続配線7 6で接続されている。

[0063] そして、pオーミック電極3 3 2（ゲート端子G t 1）は、アイランド3 0 3のpオーミック電極3 3 3（電源線抵抗R g 1の他方の端子）に接続配線7 7で接続されている。

アイランド3 0 2に設けられたnオーミック電極3 2 4（結合ダイオードD 1のカソード端子）は、隣接する転送サイリスタT 2のゲート端子G t 2であるp型オーミック電極（符号なし）に接続配線7 9で接続されている。

ここでは説明を省略するが、他の発光ダイオードLED、設定サイリスタS、転送サイリスタT、結合ダイオードD等についても同様である。

[0064] アイランド302のpオーミック電極332（ゲート端子Gt1）は、アイランド304に設けられたnオーミック電極325（スタートダイオードSDのカソード端子）に接続配線78で接続されている。pオーミック電極335（スタートダイオードSDのアノード端子）は、第2転送信号線73に接続されている。

なお、以上の接続・構成はp型の基板80を用いた際の構成であり、n型の基板を用いる場合は極性が逆となる。また、i型の基板を用いる場合は、基板の転送部101及び発光部102が設けられる側に、基準電位 V_{sub} を供給する電源ライン200aと接続される端子が設けられる。そして、接続及び構成は、p型の基板80を用いる場合とn型の基板を用いる場合とのどちらかと同様となる。

[0065] （設定サイリスタSと発光ダイオードLEDとの積層構造）

図7は、設定サイリスタSと発光ダイオードLEDとが積層されたアイランド301の拡大断面図である。なお、光出射口保護層89及び保護層91を省略している。以下同様である。

前述したように、設定サイリスタS上にトンネル接合層85を介して発光ダイオードLEDが積層されている。すなわち、設定サイリスタSと発光ダイオードLEDとは直列接続されている。

[0066] 設定サイリスタSは、pアノード層81、電圧低減層90、nゲート層82、pゲート層83、nカソード層84から構成されている。すなわち、pnpnの4層構造に電圧低減層90が加えられた構造である。

電圧低減層90は、pアノード層81の一部として、pアノード層81と同様の不純物濃度のp型であってもよく、nゲート層82の一部として、nゲート層82と同様の不純物濃度のn型であってもよい。また、電圧低減層90はi層であってもよい。

トンネル接合層85は、n型の不純物（ドーパント）を高濃度に添加（ド

ープ)した n^{++} 層85aと、p型の不純物を高濃度に添加した p^{++} 層85bとで構成されている。

発光ダイオードLEDは、pアノード層86、発光層87、nカソード層88で構成されている。なお、発光層87は、井戸(ウェル)層と障壁(バリア)層とが交互に積層された量子井戸構造である。なお、発光層87は、i層であってもよい。また、発光層は、量子井戸構造以外であってもよく、例えば、量子線(量子ワイヤ)や量子箱(量子ドット)であってもよい。

そして、pアノード層86は、積層された下側p層86aと電流狭窄層86bと上側p層86cで構成されている。電流狭窄層86bは、電流通過部 α と電流阻止部 β とで構成されている。図6の(a)で示したように、電流通過部 α は、発光ダイオードLEDの中央部に、電流阻止部 β は、発光ダイオードLEDの周辺部に設けられている。

[0067] <電圧低減層90>

図8は、サイリスタの構造とサイリスタの特性を説明する図である。図8の(a)は、電圧低減層90を備える第1の実施の形態に係るサイリスタの断面図、図8の(b)は、電圧低減層90を備えないサイリスタの断面図、図8の(c)は、サイリスタ特性である。図8の(a)、(b)は、発光ダイオードLEDが積層されていない転送サイリスタTの断面を示している。なお、発光ダイオードLEDが積層された設定サイリスタSも同様の特性を示す。

図8の(a)に示すように、第1の実施の形態に係るサイリスタ(転送サイリスタT、設定サイリスタS)は、pアノード層81とnゲート層82との間に、電圧低減層90を備える。なお、電圧低減層90は、pアノード層81と同様な不純物濃度のp型であれば、pアノード層81の一部として働き、nゲート層82と同様な不純物濃度のn型であれば、nゲート層82の一部として働く。電圧低減層90はi層であってもよい。

図8の(b)に示すサイリスタは、電圧低減層90を備えない。

[0068] サイリスタにおける立ち上がり電圧 V_r は、サイリスタを構成する半導体

層におけるもっとも小さいバンドギャップのエネルギー（バンドギャップエネルギー）によって決まる。なお、サイリスタにおける立ち上がり電圧 V_r とは、サイリスタのオン状態における電流を、電圧軸に外挿した際の電圧である。

図8の(c)に示すように、第1の実施の形態に係るサイリスタでは、pアノード層81、nゲート層82、pゲート層83、nカソード層84に比べ、バンドギャップエネルギーが小さい層である電圧低減層90を設けている。よって、第1の実施の形態に係るサイリスタの立ち上がり電圧 V_r は、電圧低減層90を備えないサイリスタの立ち上がり電圧 $V_{r'}$ に比べて低い。さらに、電圧低減層90は、一例として、発光層87のバンドギャップよりも小さいバンドギャップを有する層である。第1の実施の形態に係るサイリスタは発光部品として利用されるものではなく、あくまで発光ダイオードLEDなどの発光部品を駆動する駆動回路の一部として機能する。よって、実際に発光する発光部品の発光波長とは無関係にバンドギャップが決められる。そこで、発光層87のバンドギャップよりも小さいバンドギャップを有する電圧低減層90を設けることで、サイリスタの立ち上がり電圧 V_r を低減している。これにより、サイリスタおよび発光素子がオンした状態で、サイリスタおよび発光素子にかかる電圧も低減される。

[0069] 図9は、半導体層を構成する材料のバンドギャップエネルギーを説明する図である。

GaAsの格子定数は、約5.65 Åである。AlAsの格子定数は、約5.66 Åである。よって、この格子定数に近い材料は、GaAs基板に対してエピタキシャル成長しうる。例えば、GaAsとAlAsとの化合物であるAlGaAsやGeは、GaAs基板に対してエピタキシャル成長しうる。

また、InPの格子定数は、約5.87 Åである。この格子定数に近い材料は、InP基板に対してエピタキシャル成長しうる。

また、GaNの格子定数は、成長面によって異なるが、a面が3.19 Å

、c面が $5.17 \text{ \AA}$ である。この格子定数に近い材料はGaN基板に対してエピタキシャル成長しうる。

[0070] そして、GaAs、InP及びGaNに対して、サイリスタの立ち上がり電圧が小さくなるバンドギャップエネルギーは、図9に網点で示す範囲の材料である。つまり、網点で示す範囲の材料を、サイリスタを構成する層として用いると、サイリスタの立ち上がり電圧 V_r が、網点で示す領域の材料のバンドギャップエネルギーになる。

例えば、GaAsのバンドギャップエネルギーは、約 1.43 eV である。よって、電圧低減層90を用いないと、サイリスタの立ち上がり電圧 V_r は、約 1.43 V となる。しかし、網点で示す範囲の材料を、サイリスタを構成する層とするか、又は、含むことで、サイリスタの立ち上がり電圧 V_r は、 0 V 超且つ 1.43 V 未満としうる($0 \text{ V} < V_r < 1.43 \text{ V}$)。

これにより、サイリスタがオン状態にある時の、電力消費が低減される。

[0071] 網点で示す範囲の材料としては、GaAsに対してバンドギャップエネルギーが約 0.67 eV のGeがある。また、InPに対してバンドギャップエネルギーが約 0.36 eV のInAsがある。また、GaAs基板又はInP基板に対して、GaAsとInPとの化合物、InNとInSbとの化合物、InNとInAsとの化合物などにおいて、バンドギャップエネルギーが、小さい材料を用いうる。特に、GaInNAsをベースとした混合化合物が適している。これらに、Al、Ga、As、P、Sbなどが含まれてもよい。また、GaNに対してはGaN_{0.99}P_{0.01}が電圧低減層90となりうる。他にも、(1)メタモリフィック成長などによるInN層、InGaN層、(2)InN、InGaN、InNAs、InNSbからなる量子ドット、(3)GaNの格子定数(a面)の2倍に相当するInAsSb層などを電圧低減層90として導入しうる。これらに、Al、Ga、N、As、P、Sbなどが含まれてよい。

[0072] ここでは、サイリスタの立ち上がり電圧 V_r 、 V_r' で説明したが、サイリスタがオン状態を維持する最小の電圧である保持電圧 V_h 、 V_h' やオン

状態のサイリスタに印加される電圧も同様である（図 8 の（c）参照）。

[0073] 一方、サイリスタのスイッチング電圧 V_s は、逆バイアスになった半導体層の空乏層で決まる。よって、電圧低減層 90 は、サイリスタのスイッチング電圧 V_s に及ぼす影響が小さい。

[0074] すなわち、電圧低減層 90 は、サイリスタのスイッチング電圧 V_s を維持しつつ、立ち上がり電圧 V_r を低下させる。これにより、オン状態のサイリスタに印加される電圧が低減され、消費電力が低減される。サイリスタのスイッチング電圧 V_s は p アノード層 81、n ゲート層 82、p ゲート層 83、n カソード層 84 の材料や不純物濃度等を調整することで任意の値に設定される。ただし、電圧低減層 90 の挿入位置によってスイッチング電圧 V_s は変化する。

[0075] <トンネル接合層 85>

図 10 は、設定サイリスタ S と発光ダイオード LED との積層構造をさらに説明する図である。図 10 の（a）は、設定サイリスタ S と発光ダイオード LED との積層構造における模式的なエネルギーバンド図、図 10 の（b）は、トンネル接合層 85 の逆バイアス状態におけるエネルギーバンド図、図 10 の（c）は、トンネル接合層 85 の電流電圧特性を示す。

図 10 の（a）のエネルギーバンド図に示すように、図 7 の n オーミック電極 321 と裏面電極 92 との間に、発光ダイオード LED 及び設定サイリスタ S が順バイアスになるように電圧を印加すると、トンネル接合層 85 の n^{++} 層 85a と p^{++} 層 85b との間が逆バイアスになる。

[0076] トンネル接合層 85（トンネル接合）は、n 型の不純物を高濃度に添加した n^{++} 層 85a と、p 型の不純物を高濃度に添加した p^{++} 層 85b との接合である。このため、空乏領域の幅が狭く、順バイアスされると、 n^{++} 層 85a 側の伝導帯（コンダクションバンド）から p^{++} 層 85b 側の価電子帯（バレンスバンド）に電子がトンネルする。この際、負性抵抗特性が表れる。

一方、図 10 の（b）に示すように、トンネル接合層 85（トンネル接合）は、逆バイアス（ $-V$ ）されると、 p^{++} 層 85b 側の価電子帯（バレンス

バンド)の電位 E_v が、 n^{++} 層85a側の伝導帯(コンダクションバンド)の電位 E_c より上になる。そして、 p^{++} 層85bの価電子帯(バレンスバンド)から、 n^{++} 層85a側の伝導帯(コンダクションバンド)に電子がトンネルする。そして、逆バイアス電圧($-V$)が増加するほど、電子がトンネルしやすくなる。すなわち、図10の(c)に示すように、トンネル接合層85(トンネル接合)は、逆バイアスにおいて、電流が流れやすい。

[0077] よって、図10の(a)に示すように、設定サイリスタSがターンオンすると、トンネル接合層85が逆バイアスであっても、設定サイリスタSと発光ダイオードLEDとの間で電流が流れる。これにより、発光ダイオードLEDが発光(点灯)する。

ここでは、設定サイリスタSは、接続された転送サイリスタTがターンオンしてオン状態になると、オン状態への移行が可能な状態になる。そして、点灯信号 ϕ_1 が「L」になると、設定サイリスタSがターンオンしてオン状態になるとともに、発光ダイオードLEDを点灯させる(点灯を設定する)。よって、本明細書では、「設定サイリスタ」と表記する。

[0078] <サイリスタ>

次に、サイリスタ(転送サイリスタT、設定サイリスタS)の基本的な動作を説明する。サイリスタは、前述したように、アノード端子(アノード)、カソード端子(カソード)、ゲート端子(ゲート)の3端子を有する半導体素子であって、例えば、GaAs、GaAlAs、AlAsなどによるp型の半導体層(pアノード層81、pゲート層83)、n型の半導体層(nゲート層82、nカソード層84)、Ge又はGeを含む電圧低減層90が、基板80上に積層して構成されている。前述したように、電圧低減層90は、p型又はn型として働く。ここでは、一例として、p型の半導体層とn型の半導体層とで構成されるpn接合の順方向電位(拡散電位) V_d を一例として1.5Vとする。

[0079] そして、一例として、オン状態のサイリスタのカソードとアノードとの間の電圧は、電圧低減層90により、pn接合の順方向電位 V_d (1.5V)

より小さい1 Vであるとして説明する。なお、電圧低減層90を備えない場合は、オン状態のサイリスタのカソードとアノードとの間の電圧は、pn接合の順方向電位 V_d (1.5 V)となる。以下の説明では、電圧低減層90を備えることで、オン状態のサイリスタのカソードとアノードとの間の電圧は、0.5 V小さい。なお、用いる電圧低減層90により、オン状態のサイリスタのカソードとアノードとの間の電圧は決まる。

[0080] さらに、一例として、 V_{sub} 端子である裏面電極92 (図5、図6参照) に供給される基準電位 V_{sub} をハイレベルの電位 (以下では「H」と表記する。) として0 V、 V_g 端子に供給される電源電位 V_g をローレベルの電位 (以下では「L」と表記する。) として-3.3 Vとして説明する。

サイリスタのアノードは、裏面電極92に供給される基準電位 V_{sub} (「H」 (0 V)) である。

[0081] アノードとカソードとの間に電流が流れていないオフ状態のサイリスタは、しきい電圧より低い電位 (絶対値が大きい負の電位) がカソードに印加されるとオン状態に移行 (ターンオン) する。ここで、サイリスタのしきい電圧は、ゲートの電位からpn接合の順方向電位 V_d (1.5 V) を引いた値である。

オン状態になると、サイリスタのゲートは、アノード端子の電位に近い電位になる。ここでは、アノードを基準電位 V_{sub} (「H」 (0 V)) に設定しているので、ゲートは、0 V (「H」) になるとする。また、オン状態のサイリスタのカソードは、-1 Vとなる。

[0082] オン状態のサイリスタは、カソードが、オン状態を維持するために必要な電位 (上記の-1 Vに近い電位) より高い電位 (絶対値が小さい負の電位、0 V又は正の電位) になると、オフ状態に移行 (ターンオフ) する。

一方、オン状態のサイリスタのカソードに、オン状態を維持するために必要な電位より低い電位 (絶対値が大きい負の電位) が継続的に印加され、オン状態を維持しうる電流 (維持電流) が供給されると、サイリスタはオン状

態を維持する。

[0083] なお、設定サイリスタSは、発光ダイオードLEDと積層され、直列接続されている。よって、設定サイリスタSのカソード（nカソード層84）に印加される電圧は、点灯信号 $\phi 1$ の電位が設定サイリスタSと発光ダイオードLEDとで分圧された電圧となる。ここでは、設定サイリスタSがオフ状態である場合、設定サイリスタSに -3.3 V が印加されるとして説明する。発光ダイオードLEDを点灯させる際に印加される点灯信号 $\phi 1$ （後述する「Lo」）は、例えば -5 V とする。これにより、発光ダイオードLEDのアノードとカソードとの間には、 1.7 V が印加される。以下では、発光ダイオードLEDに印加される電圧は仮に -1.7 V として説明する。発光波長や発光量によって発光ダイオードLEDに印加される電圧を変える必要があるが、その際は $\phi 1$ 端子に供給される点灯信号 $\phi 1$ （「Lo」）を調整すればよい。

[0084] なお、サイリスタのnゲート層82とpゲート層83とはGaAsなどの半導体で構成されるので、オン状態においてnゲート層82とpゲート層83との間で発光することがある。なお、サイリスタが出射する光の量は、カソードの面積及びカソードとアノードとの間に流す電流によって決まる。よって、サイリスタからの発光を利用しない場合、例えば、転送サイリスタTでは、カソードの面積を小さくしたり、電極（転送サイリスタT1のnオーミック電極323）などで遮光したりすることにより、不要な光を抑制するようにしてもよい。

[0085] （発光装置65の動作）

次に、発光装置65の動作について説明する。

前述したように、発光装置65は発光チップC1～C40を備える（図3、4参照）。

発光チップC1～C40は並列に駆動されるので、発光チップC1の動作を説明すれば足りる。

<タイミングチャート>

図 11 は、発光装置 65 及び発光チップ C の動作を説明するタイミングチャートである。

図 11 では、発光チップ C1 の発光ダイオード LED1～LED5 の 5 個の発光ダイオード LED の点灯又は非点灯を制御（点灯制御と表記する。）する部分のタイミングチャートを示している。なお、図 9 では、発光チップ C1 の発光ダイオード LED1、LED2、LED3、LED5 を点灯させ、発光ダイオード LED4 を消灯（非点灯）としている。

[0086] 図 11 において、時刻 a から時刻 k へとアルファベット順に時刻が経過するとする。発光ダイオード LED1 は、期間 T（1）において、発光ダイオード LED2 は、期間 T（2）において、発光ダイオード LED3 は、期間 T（3）において、発光ダイオード LED4 は、期間 T（4）において点灯又は非点灯の制御（点灯制御）がされる。以下、同様にして番号が 5 以上の発光ダイオード LED が点灯制御される。

ここでは、期間 T（1）、T（2）、T（3）、…は同じ長さの期間とし、それぞれを区別しないときは期間 T と呼ぶ。

[0087] $\phi 1$ 端子（図 5、図 6 参照）に送信される第 1 転送信号 $\phi 1$ 及び $\phi 2$ 端子（図 5、図 6 参照）に送信される第 2 転送信号 $\phi 2$ は、「H」（0 V）と「L」（-3.3 V）との 2 つの電位を有する信号である。そして、第 1 転送信号 $\phi 1$ 及び第 2 転送信号 $\phi 2$ は、連続する 2 つの期間 T（例えば、期間 T（1）と期間 T（2））を単位として波形が繰り返される。

以下では、「H」（0 V）及び「L」（-3.3 V）を、「H」及び「L」と省略する場合がある。

[0088] 第 1 転送信号 $\phi 1$ は、期間 T（1）の開始時刻 b で「H」（0 V）から「L」（-3.3 V）に移行し、時刻 f で「L」から「H」に移行する。そして、期間 T（2）の終了時刻 i において、「H」から「L」に移行する。

第 2 転送信号 $\phi 2$ は、期間 T（1）の開始時刻 b において「H」（0 V）であって、時刻 e で「H」（0 V）から「L」（-3.3 V）に移行する。そして、期間 T（2）の終了時刻 i において「L」から「H」に移行する。

第1転送信号 $\phi 1$ と第2転送信号 $\phi 2$ とを比較すると、第2転送信号 $\phi 2$ は、第1転送信号 $\phi 1$ を時間軸上で期間T後ろにずらしたものに当たる。一方、第2転送信号 $\phi 2$ は、期間T(1)において、破線で示す波形及び期間T(2)での波形が、期間T(3)以降において繰り返す。第2転送信号 $\phi 2$ の期間T(1)の波形が期間T(3)以降と異なるのは、期間T(1)は発光装置65が動作を開始する期間であるためである。

[0089] 第1転送信号 $\phi 1$ と第2転送信号 $\phi 2$ との一組の転送信号は、後述するように、転送サイリスタTのオン状態を番号順に伝播させることにより、オン状態の転送サイリスタTと同じ番号の発光ダイオードLEDを、点灯又は非点灯の制御（点灯制御）の対象として指定する。

[0090] 次に、発光チップC1の $\phi 1$ 端子に送信される点灯信号 $\phi 11$ について説明する。なお、他の発光チップC2～C40には、それぞれ点灯信号 $\phi 12$ ～ $\phi 140$ が送信される。点灯信号 $\phi 11$ は、「H」(0V)と「Lo」(-5V)との2つの電位を有する信号である。

ここでは、発光チップC1の発光ダイオードLED1に対する点灯制御の期間T(1)において、点灯信号 $\phi 11$ を説明する。点灯信号 $\phi 11$ は、期間T(1)の開始時刻bにおいて「H」(0V)であって、時刻cで「H」(0V)から「L」(-3.3V)に移行する。そして、時刻dで「L」から「H」に移行し、時刻eにおいて「H」を維持する。

[0091] 図4、図5を参照しつつ、図11に示したタイミングチャートにしたがって、発光装置65及び発光チップC1の動作を説明する。なお、以下では、発光ダイオードLED1、LED2を点灯制御する期間T(1)、T(2)について説明する。

(1) 時刻a

<発光装置65>

時刻aにおいて、発光装置65の信号発生回路110の基準電位供給部160は、基準電位 V_{sub} を「H」(0V)に設定する。電源電位供給部170は、電源電位 V_{ga} を「L」(-3.3V)に設定する。すると、発光

装置 65 の回路基板 62 上の電源ライン 200a は基準電位 V_{sub} の「H」（0V）になり、発光チップ C1～C40 のそれぞれの V_{sub} 端子は「H」になる。同様に、電源ライン 200b は電源電位 V_{ga} の「L」（-3.3V）になり、発光チップ C1～C40 のそれぞれの V_{ga} 端子は「L」になる（図 4 参照）。これにより、発光チップ C1～C40 のそれぞれの電源線 71 は「L」になる（図 5 参照）。

[0092] そして、信号発生回路 110 の転送信号発生部 120 は第 1 転送信号 $\phi 1$ 、第 2 転送信号 $\phi 2$ をそれぞれ「H」（0V）に設定する。すると、第 1 転送信号ライン 201 及び第 2 転送信号ライン 202 が「H」になる（図 4 参照）。これにより、発光チップ C1～C40 のそれぞれの $\phi 1$ 端子及び $\phi 2$ 端子が「H」になる。電流制限抵抗 R1 を介して $\phi 1$ 端子に接続されている第 1 転送信号線 72 の電位も「H」になり、電流制限抵抗 R2 を介して $\phi 1$ 端子に接続されている第 2 転送信号線 73 も「H」になる（図 5 参照）。

[0093] さらに、信号発生回路 110 の点灯信号発生部 140 は、点灯信号 $\phi 11$ ～ $\phi 140$ をそれぞれ「H」（0V）に設定する。すると、点灯信号ライン 204-1～204-40 が「H」になる（図 4 参照）。これにより、発光チップ C1～C40 のそれぞれの $\phi 1$ 端子が、電流制限抵抗 R1 を介して「H」になり、 $\phi 1$ 端子に接続された点灯信号線 75 も「H」（0V）になる（図 5 参照）。

[0094] <発光チップ C1>

転送サイリスタ T、設定サイリスタ S のアノード端子は V_{sub} 端子に接続されているので、「H」に設定される。

[0095] 奇数番号の転送サイリスタ T1、T3、T5、…のそれぞれのカソードは、第 1 転送信号線 72 に接続され、「H」（0V）に設定されている。偶数番号の転送サイリスタ T2、T4、T6、…のそれぞれのカソードは、第 2 転送信号線 73 に接続され、「H」に設定されている。よって、転送サイリスタ T は、アノード及びカソードがともに「H」であるためオフ状態にある。

[0096] 発光ダイオードLEDのカソード端子は、「H」(0V)の点灯信号線75に接続されている。すなわち、発光ダイオードLEDと設定サイリスタSとは、トンネル接合層85を介して、直列接続されている。発光ダイオードLEDのカソードは「H」、設定サイリスタSのアノードは「H」であるので、発光ダイオードLED及び設定サイリスタSは、オフ状態にある。

[0097] ゲートGt1は、前述したように、スタートダイオードSDのカソードに接続されている。ゲートGt1は、電源線抵抗Rg1を介して、電源電位Vga(「L」(-3.3V))の電源線71に接続されている。そして、スタートダイオードSDのアノード端子は第2転送信号線73に接続され、電流制限抵抗R2を介して、「H」(0V)のφ2端子に接続されている。よって、スタートダイオードSDは順バイアスであり、スタートダイオードSDのカソード(ゲートGt1)は、スタートダイオードSDのアノードの電位(「H」(0V))からpn接合の順方向電位Vd(1.5V)を引いた値(-1.5V)になる。また、ゲートGt1が-1.5Vになると、結合ダイオードD1は、アノード(ゲートGt1)が-1.5Vで、カソードが電源線抵抗Rg2を介して電源線71(「L」(-3.3V))に接続されているので、順バイアスになる。よって、ゲートGt2の電位は、ゲートGt1の電位(-1.5V)からpn接合の順方向電位Vd(1.5V)を引いた-3Vになる。しかし、3以上の番号のゲートGtには、スタートダイオードSDのアノードが「H」(0V)であることの影響は及ばず、これらのゲートGtの電位は、電源線71の電位である「L」(-3.3V)になっている。

[0098] なお、ゲートGtはゲートGsであるので、ゲートGsの電位は、ゲートGtの電位と同じである。よって、転送サイリスタT、設定サイリスタSのしきい電圧は、ゲートGt、Gsの電位からpn接合の順方向電位Vd(1.5V)を引いた値となる。すなわち、転送サイリスタT1、設定サイリスタS1のしきい電圧は-3V、転送サイリスタT2、設定サイリスタS2のしきい電圧は-4.5V、番号が3以上の転送サイリスタT、設定サイリス

タ S のしきい電圧は -4.8 V となっている。

[0099] (2) 時刻 b

図 1 1 に示す時刻 b において、第 1 転送信号 $\phi 1$ が、「H」 (0 V) から「L」 (-3.3 V) に移行する。これにより発光装置 6 5 は、動作を開始する。

第 1 転送信号 $\phi 1$ が「H」から「L」に移行すると、 $\phi 1$ 端子及び電流制限抵抗 $R 1$ を介して、第 1 転送信号線 7 2 の電位が、「H」 (0 V) から「L」 (-3.3 V) に移行する。すると、しきい電圧が -3 V である転送サイリスタ $T 1$ がターンオンする。しかし、第 1 転送信号線 7 2 にカソード端子が接続された、番号が 3 以上の奇数番号の転送サイリスタ T は、しきい電圧が -4.8 V であるのでターンオンできない。一方、偶数番号の転送サイリスタ T は、第 2 転送信号 $\phi 2$ が「H」 (0 V) であって、第 2 転送信号線 7 3 が「H」 (0 V) であるのでターンオンできない。

転送サイリスタ $T 1$ がターンオンすることで、第 1 転送信号線 7 2 の電位は、アノードの電位（「H」 (0 V) ）から -1 V になる。

[0100] 転送サイリスタ $T 1$ がターンオンすると、ゲート $G t 1 / G s 1$ の電位は、転送サイリスタ $T 1$ のアノードの電位である「H」 (0 V) になる。そして、ゲート $G t 2$ (ゲート $G s 2$) の電位が -1.5 V 、ゲート $G t 3$ (ゲート $G s 3$) の電位が -3 V 、番号が 4 以上のゲート $G t$ (ゲート $G l$) の電位が「L」になる。

これにより、設定サイリスタ $S 1$ のしきい電圧が -1.5 V 、転送サイリスタ $T 2$ 、設定サイリスタ $S 2$ のしきい電圧が -3 V 、転送サイリスタ $T 3$ 、設定サイリスタ $S 3$ のしきい電圧が -4.5 V 、番号が 4 以上の転送サイリスタ T 、設定サイリスタ S のしきい電圧が -4.8 V になる。

しかし、第 1 転送信号線 7 2 は、オン状態の転送サイリスタ $T 1$ により -1 V になっているので、オフ状態の奇数番号の転送サイリスタ T はターンオンしない。第 2 転送信号線 7 3 は、「H」 (0 V) であるので、偶数番号の転送サイリスタ T はターンオンしない。点灯信号線 7 5 は「H」 (0 V) で

あるので、いずれの発光ダイオードLEDも点灯しない。

[0101] 時刻bの直後（ここでは、時刻bにおける信号の電位の変化によってサイリスタなどの変化が生じた後、定常状態になったときをいう。）において、転送サイリスタT1がオン状態にあって、他の転送サイリスタT、設定サイリスタS、発光ダイオードLEDはオフ状態にある。

[0102] （３）時刻c

時刻cにおいて、点灯信号φ11が「H」（0V）から「Lo」（-5V）に移行する。

点灯信号φ11が「H」から「Lo」に移行すると、電流制限抵抗R1及びφ1端子を介して、点灯信号線75が「H」（0V）から「Lo」（-5V）に移行する。すると、設定サイリスタSのアノードとカソードとの間に分圧される電圧が-3.3Vになる。すると、しきい電圧が-1.5Vである設定サイリスタS1がターンオンして、発光ダイオードLED1が点灯（発光）する。これにより、設定サイリスタS1のアノードとカソードとの間の電圧が-1Vとなるため、点灯信号線75の電位が-2.7Vに近い電位になる。なお、設定サイリスタS2はしきい電圧が-3Vであるが、設定サイリスタS2にかかる電圧は、発光ダイオードLEDに印加される電圧1.7Vを-2.7Vに足した-1Vになるので、設定サイリスタS2はターンオンしない。

時刻cの直後において、転送サイリスタT1、設定サイリスタS1がオン状態にあって、発光ダイオードLED1が点灯（発光）している。

[0103] （４）時刻d

時刻dにおいて、点灯信号φ11が「Lo」（-5V）から「H」（0V）に移行する。

点灯信号φ11が「Lo」から「H」に移行すると、電流制限抵抗R1及びφ1端子を介して、点灯信号線75の電位が-2.7Vから「H」（0V）に移行する。すると、発光ダイオードLED1のカソード及び設定サイリスタS1のアノードとがともに「H」になるので設定サイリスタS1がター

ンオフするとともに、発光ダイオードLED1が消灯する（非点灯になる）。発光ダイオードLED1の点灯期間は、点灯信号 $\phi 1$ が「H」から「Lo」に移行した時刻cから、点灯信号 $\phi 1$ が「Lo」から「H」に移行する時刻dまでの、点灯信号 $\phi 1$ が「Lo」（−5V）である期間となる。

時刻dの直後において、転送サイリスタT1がオン状態にある。

[0104] （５）時刻e

時刻eにおいて、第2転送信号 $\phi 2$ が「H」（0V）から「L」（−3.3V）に移行する。ここで、発光ダイオードLED1を点灯制御する期間T（1）が終了し、発光ダイオードLED2を点灯制御する期間T（2）が開始する。

第2転送信号 $\phi 2$ が「H」から「L」に移行すると、 $\phi 2$ 端子を介して第2転送信号線73の電位が−1Vに移行する。前述したように、転送サイリスタT2は、しきい電圧が−3Vになっているので、ターンオンする。これにより、ゲート端子Gt2（ゲート端子Gs2）の電位が「H」（0V）、ゲートGt3（ゲートGs3）の電位が−1.5V、ゲートGt4（ゲートGs4）の電位が−3Vになる。そして、番号が5以上のゲートGt（ゲートGs）の電位が−3.3Vになる。

時刻eの直後において、転送サイリスタT1、T2がオン状態にある。

[0105] （６）時刻f

時刻fにおいて、第1転送信号 $\phi 1$ が−1Vから「H」（0V）に移行する。

第1転送信号 $\phi 1$ が−1Vから「H」に移行すると、 $\phi 1$ 端子を介して第1転送信号線72の電位が−1Vから「H」に移行する。すると、オン状態の転送サイリスタT1は、アノードとカソードとがともに「H」になって、ターンオフする。すると、ゲートGt1（ゲートGs1）の電位は、電源線抵抗Rg1を介して、電源線71の電源電位Vga（「L」（−3.3V））に向かって変化する。これにより、結合ダイオードD1が電流の流れない方向に電位が加えられた状態（逆バイアス）になる。よって、ゲートGt2

(ゲートG_{s2})が「H」(0V)である影響は、ゲートG_{t1}(ゲートG_{s1})には及ばなくなる。すなわち、逆バイアスの結合ダイオードDで接続されたゲートG_tを有する転送サイリスタTは、しきい電圧が-4.8Vになって、「L」(-3.3V)の第1転送信号φ₁又は第2転送信号φ₂ではターンオンしなくなる。

時刻fの直後において、転送サイリスタT₂がオン状態にある。

[0106] (7) その他

時刻gにおいて、点灯信号φ_{l1}が「H」(0V)から「Lo」(-5V)に移行すると、時刻cでの設定サイリスタS₁及び発光ダイオードLED₁と同様に、設定サイリスタS₁がターンオンして、発光ダイオードLED₂が点灯(発光)する。

そして、時刻hにおいて、点灯信号φ_{l1}が「Lo」(-5V)から「H」(0V)に移行すると、時刻dでの設定サイリスタS₁及び発光ダイオードLED₁と同様に、設定サイリスタS₂がターンオフして、発光ダイオードLED₂が消灯する。

さらに、時刻iにおいて、第1転送信号φ₁が「H」(0V)から「L」(-3.3V)に移行すると、時刻bでの転送サイリスタT₁又は時刻eでの転送サイリスタT₂と同様に、しきい電圧が-3Vの転送サイリスタT₃がターンオンする。時刻iで、発光ダイオードLED₂を点灯制御する期間T(2)が終了し、発光ダイオードLED₃を点灯制御する期間T(3)が開始する。

以降は、これまで説明したことの繰り返しとなる。

[0107] なお、発光ダイオードLEDを点灯(発光)させないで、消灯(非点灯)のままとするときは、図11の発光ダイオードLED₄を点灯制御する期間T(4)における時刻jから時刻kに示す点灯信号φ_{l1}のように、点灯信号φ_lを「H」(0V)のままとすればよい。このようにすることで、設定サイリスタS₄のしきい電圧が-1.5Vであっても、設定サイリスタS₄はターンオンせず、発光ダイオードLED₄は消灯(非点灯)のままとなる。

。

[0108] 以上説明したように、転送サイリスタTのゲート端子G_tは結合ダイオードDによって相互に接続されている。よって、ゲートG_tの電位が変化すると、電位が変化したゲートG_tに、順バイアスの結合ダイオードDを介して接続されたゲートG_tの電位が変化する。そして、電位が変化したゲートを有する転送サイリスタTのしきい電圧が変化する。転送サイリスタTは、しきい電圧が「L」（−3.3V）より高い（絶対値が小さい負の値）と、第1転送信号φ₁又は第2転送信号φ₂が「H」（0V）から「L」（−3.3V）に移行するタイミングにおいてターンオンする。

そして、オン状態の転送サイリスタTのゲートG_tにゲートG_sが接続された設定サイリスタSは、しきい電圧が−1.5Vであるので、点灯信号φ₁が「H」（0V）から「L_o」（−5V）に移行するとターンオンし、設定サイリスタSに直列接続された発光ダイオードLEDが点灯（発光）する。

[0109] すなわち、転送サイリスタTはオン状態になることで、点灯制御の対象である発光ダイオードLEDを指定し、「L_o」（−5V）の点灯信号φ₁は、点灯制御の対象である発光ダイオードLEDに直列接続された設定サイリスタSをターンオンするとともに、発光ダイオードLEDを点灯させる。

なお、「H」（0V）の点灯信号φ₁は、設定サイリスタSをオフ状態に維持するとともに、発光ダイオードLEDを非点灯に維持する。すなわち、点灯信号φ₁は、発光ダイオードLEDの点灯／非点灯を設定する。

このように、画像データに応じて点灯信号φ₁を設定して、各発光ダイオードLEDの点灯又は非点灯を制御する。

[0110] （発光チップCの製造方法）

発光チップCの製造方法について説明する。ここでは、図7に示した設定サイリスタSと発光ダイオードLEDとが積層されたアイランド301の断面図で説明する。

[0111] 図12は、発光チップCの製造方法を説明する図である。図12の（a）

は、半導体積層体形成工程、図12の(b)は、nオーミック電極321及び光出射口保護層89形成工程、図12の(c)は、トンネル接合層85出しエッチング工程、図12の(d)は、電流狭窄層86bにおける電流阻止部 β 形成工程、図12の(e)は、pゲート層83出しエッチング工程、図12の(f)は、pオーミック電極331及び裏面電極92形成工程である。

なお、図12の(a)～(f)では、複数の工程をまとめて示す場合がある。

以下順に説明する。

[0112] 図12の(a)に示す半導体積層体形成工程では、p型の基板80上に、pアノード層81、電圧低減層90、nゲート層82、pゲート層83、nカソード層84、トンネル接合層85、pアノード層86、発光層87、nカソード層88を順にエピタキシャル成長させて、半導体積層体を形成する。

ここでは、基板80は、p型のGaAsを例として説明するが、n型のGaAs、i型のGaAsでもよい。また、InP、GaN、InAs、サファイア、Siなどでもよい。基板を変更した場合、基板上にモノリシックに積層される(エピタキシャル成長する)材料は基板の格子定数に略整合(歪構造、歪緩和層、メタモルフィック成長を含む。)する材料を用いる。一例として、InAs基板上には、InAs、InAsSb、GaInAsSbなどを使用し、InP基板上にはInP、InGaAsPなどを使用し、GaN基板上又はサファイア基板上には、GaN、AlGaN、InGaNを使用し、Si基板上にはSi、SiGe、GaPなどを使用する。ただし、結晶成長後に他の支持基板に貼りつける場合は、支持基板に対して半導体材料が略格子整合している必要はない。支持基板としては上記以外にも、六方晶窒化ホウ素(BN)、窒化アルミニウム(AlN)、ダイヤモンド、グラファイト等の熱伝導性が高い基板などがあげられる。

[0113] pアノード層81は、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のp型のAl₀.

$_{0.9}\text{GaAs}$ である。 Al 組成は、 $0\sim 1$ の範囲で変更してもよい。なお、 GaInP などでもよい。

電圧低減層90は、例えば Ge 又は Ge を含む AlGaAs である。なお、バンドギャップエネルギーが小さい、 GaAs と InP との化合物、 InN と InSb との化合物、 InN と InAs との化合物、4元以上の混合物であれば GaInNAs をベースとした化合物半導体などでもよい。なお、電圧低減層90は量子線（量子ワイヤ）、量子箱（量子ドット）であってもよい。

n ゲート層82は、例えば不純物濃度 $1\times 10^{17}/\text{cm}^3$ の n 型の $\text{Al}_{0.9}\text{GaAs}$ である。 Al 組成は、 $0\sim 1$ の範囲で変更してもよい。なお、 GaInP などでもよい。

p ゲート層83は、例えば不純物濃度 $1\times 10^{17}/\text{cm}^3$ の p 型の $\text{Al}_{0.9}\text{GaAs}$ である。 Al 組成は、 $0\sim 1$ の範囲で変更してもよい。なお、 GaInP などでもよい。

n カソード層84は、例えば不純物濃度 $1\times 10^{18}/\text{cm}^3$ の n 型の $\text{Al}_{0.9}\text{GaAs}$ である。 Al 組成は、 $0\sim 1$ の範囲で変更してもよい。なお、 GaInP などでもよい。

[0114] トンネル接合層85は、 n 型の不純物を高濃度に添加した n^{++} 層85aと n 型の不純物を高濃度に添加した p^{++} 層85bとの接合（図10の（b）参照。）で構成されている。 n^{++} 層85a及び p^{++} 層85bは、例えば不純物濃度 $1\times 10^{20}/\text{cm}^3$ と高濃度である。なお、通常の接合の不純物濃度は、 $10^{17}/\text{cm}^3$ 台 $\sim 10^{18}/\text{cm}^3$ 台である。 n^{++} 層85aと p^{++} 層85bとの組み合わせ（以下では、 n^{++} 層85a/ p^{++} 層85bで表記する。）は、例えば $n^{++}\text{GaInP}/p^{++}\text{GaAs}$ 、 $n^{++}\text{GaInP}/p^{++}\text{AlGaAs}$ 、 $n^{++}\text{GaAs}/p^{++}\text{GaAs}$ 、 $n^{++}\text{AlGaAs}/p^{++}\text{AlGaAs}$ 、 $n^{++}\text{InGaAs}/p^{++}\text{InGaAs}$ 、 $n^{++}\text{GaInAsP}/p^{++}\text{GaInAsP}$ 、 $n^{++}\text{GaAsSb}/p^{++}\text{GaAsSb}$ である。なお、組み合わせを相互に変更したものでもよい。

[0115] pアノード層86は、下側p層86a、電流狭窄層86b、上側p層86cを順に積層して構成されている（図12の（c）参照）。

下側p層86a、上側p層86cは、例えば、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のp型の $\text{Al}_{0.9}\text{GaAs}$ である。Al組成は、0～1の範囲で変更してもよい。なお、 GaInP などでもよい。

電流狭窄層86bは、例えば AlAs 又はAlの不純物濃度が高いp型の AlGaAs である。Alが酸化されて Al_2O_3 が形成されることにより、電気抵抗が高くなって、電流経路を狭窄するものであればよい。

[0116] 発光層87は、井戸（ウエル）層と障壁（バリア）層とが交互に積層された量子井戸構造である。井戸層は、例えば GaAs 、 AlGaAs 、 InGaAs 、 GaAsP 、 GaInAs 、 AlGaInP 、 GaInAsP 、 GaInP などであり、障壁層は、 AlGaAs 、 GaAs 、 GaInP 、 GaInAsP などである。なお、発光層87は量子線（量子ワイヤ）、量子箱（量子ドット）であってもよい。

[0117] nカソード層88は、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のn型の $\text{Al}_{0.9}\text{GaAs}$ である。Al組成は、0～1の範囲で変更してもよい。なお、 GaInP などでもよい。

[0118] これらの半導体層は、例えば有機金属気相成長法（MOCVD：Metal Organic Chemical Vapor Deposition）、分子線エピタキシー法（MBE：Molecular Beam Epitaxy）などによって積層され、半導体積層体が形成される。

[0119] 図12の（b）に示すnオーミック電極321及び光出射口保護層89形成工程では、まず、nカソード層88上に、nオーミック電極321が形成される。

nオーミック電極321は、例えばnカソード層88などn型の半導体層とオーミックコンタクトが取りやすいGeを含むAu（AuGe）などである。

そして、nオーミック電極321は、例えばリフトオフ法などにより形成

される。

[0120] 次に、 n オーミック電極 3 2 1 で囲まれた光出射開口上に、出射する光に対して透光性の材料により光出射口保護層 8 9 が形成される。

光出射口保護層 8 9 は、例えば SiO_2 、 SiON 、 SiN などである。

そして、光出射口保護層 8 9 は、例えばリフトオフ法などにより形成される。

[0121] 図 1 2 の (c) に示すトンネル接合層 8 5 出しエッチング工程では、発光ダイオード LED の周囲において、トンネル接合層 8 5 上の n カソード層 8 8、発光層 8 7、 p アノード層 8 6 がエッチングで除去される。

このエッチングは、硫酸系のエッチング液（重量比において硫酸：過酸化水素水：水 = 1 : 10 : 300）などを用いたウェットエッチングで行ってもよく、例えば塩化ホウ素などを用いた異方性ドライエッチング（RIE）で行ってもよい。

[0122] 図 1 2 の (d) に示す電流狭窄層 8 6 b における電流阻止部 β 形成工程では、トンネル接合層 8 5 出しエッチング工程により、側面が露出した電流狭窄層 8 6 b を側面から酸化して、電流を阻止する電流阻止部 β を形成する。酸化されないで残った部分が電流通過部 α となる。

電流狭窄層 8 6 b の側面からの酸化は、例えば、 $300 \sim 400^\circ\text{C}$ での水蒸気酸化により、 AlAs 、 AlGaAs などである電流狭窄層 8 6 b の Al を酸化させる。このとき、酸化は、露出した側面から進行し、発光ダイオード LED の周囲に Al の酸化物である Al_2O_3 による電流阻止部 β が形成される。

なお、電流阻止部 β は、酸化の代わりに、酸素イオン (O^+) の打ち込み（イオン打ち込み）により形成してもよい。すなわち、電流狭窄層 8 6 b を形成した後、上側 p 層 8 6 c を形成した後などにおいて、電流阻止部 β とする部分に O^+ を打ち込むことで、電流阻止部 β を形成してもよい。

また、電流狭窄層 8 6 b を設ける代わりに、電流通過部 α に対応する部分にトンネル接合層 8 5 が残るようにトンネル接合層 8 5 をエッチングした後

、pアノード層86、発光層87、nカソード層88を成長させてもよい。トンネル接合層85を介さないで積層されたnカソード層84とpアノード層86との接合は逆バイアスになるため、電流が流れにくい。すなわち、電流通過部 α に対応する部分に設けられたトンネル接合層85は、電流狭窄層として働く。

[0123] 図12の(e)に示すpゲート層83出しエッチング工程では、トンネル接合層85及びnカソード層84をエッチングして、pゲート層83を露出させる。

このエッチングは、硫酸系のエッチング液（重量比において硫酸：過酸化水素水：水＝1：10：300）を用いたウェットエッチングで行ってもよく、例えば塩化ホウ素を用いた異方性ドライエッチングで行ってもよい。

なお、図12の(c)に示したトンネル接合層85出しエッチング工程において、トンネル接合層85を露出させる代わりにpゲート層83を露出させると、図10の(d)における電流阻止部 β 形成工程において、pゲート層83に含まれるAlが酸化されるおそれがある。このため、pゲート層83に含まれるAlが酸化されると、表面が荒れたり、後述するpオーミック電極331の接着性が悪くなったりする。そこで、トンネル接合層85を露出させた状態で、電流阻止部 β 形成工程を行っている。

[0124] 図12の(f)に示すpオーミック電極331及び裏面電極92形成工程では、まず、pゲート層83上に、pオーミック電極331が形成される。

pオーミック電極331は、例えばpゲート層83などp型の半導体層とオーミックコンタクトが取りやすいZnを含むAu（AuZn）などである。

そして、pオーミック電極331は、例えばリフトオフ法などにより形成される。この際、他のpオーミック電極が同時に形成されてもよい。

[0125] 次に、基板80の裏面に裏面電極92が形成される。

裏面電極92は、pオーミック電極331と同様に、例えばAuZnである。

[0126] この他に、保護層 91 を形成する工程、保護層 91 にスルーホールを形成する工程、配線 75 を形成する工程などが含まれる。

上記では、設定サイリスタ S と発光ダイオード LED とが積層されたアイランド 301 において、発光チップ C の製造方法を説明した。

転送サイリスタ T、結合ダイオード D、電源線抵抗 R_g 、電流制限抵抗 R_1 、 R_2 が含まれるアイランド 302～306 は、上記の工程に、 n カソード層 84 の表面を露出させる工程と n オーミック電極 323、324、325 を形成する工程とを付加することで形成される。

[0127] なお、上記においては、 p ゲート層 83 に p オーミック電極 331 を設けて設定サイリスタ S のゲート端子 G_s としたが、 n ゲート層 82 に設定サイリスタ S のゲート端子としてもよい。

[0128] 以上説明したように、第 1 の実施の形態に係る発光チップ C は、設定サイリスタ S と発光ダイオード LED とを積層させている。これにより、発光チップ C は、転送サイリスタ T と設定サイリスタ S とにより、発光ダイオード LED を順に点灯させる自己走査型となる。これにより、発光チップ C に設けられる端子の数が少なくなり、発光チップ C 及び発光装置 65 が小型になる。

[0129] 発光ダイオード LED を設定サイリスタ S 上に設けず、設定サイリスタ S を発光素子として使用することがある。すなわち、設定サイリスタ S のオン状態における n ゲート層 82 と p ゲート層 83 との接合において発光を使用することがある。この場合、転送特性と発光特性とを別々に（独立して）設定しえない。このため、駆動の高速化、光の高出力化、高効率化、低消費電力化、低コスト化などが図りづらい。

[0130] 例えば、発光素子としてサイリスタ（設定サイリスタ S）を用い、780 nm の光を出射しようとする。この場合、AlGaAs を用いて量子井戸構造を構成しようとする、Al 組成を 30% にすることになる。この場合、ゲート出しエッチングをすると、Al が酸化され、ゲート端子が形成できなくなってしまう。

[0131] これに対し、第１の実施の形態では、発光ダイオードＬＥＤにより発光を行わせ、転送サイリスタＴ及び設定サイリスタＳにより転送を行わせている。発光と転送とを分離している。設定サイリスタＳは発光することを要しない。よって、発光ダイオードＬＥＤを量子井戸構造として発光特性などを向上させるととともに、転送サイリスタＴ及び設定サイリスタＳによる転送特性などを向上させ得る。すなわち、発光部１０２の発光ダイオードＬＥＤと、転送部１０１の転送サイリスタＴ及び設定サイリスタＳとを別々に（独立して）設定しうる。これにより、駆動の高速化、光の高出力化、高効率化、低消費電力化、低コスト化などが図りやすい。

[0132] また、第１の実施の形態では、発光ダイオードＬＥＤと設定サイリスタＳとを、トンネル接合層８５を介して積層している。この場合、発光ダイオードＬＥＤがトンネル接合層８５において逆バイアスとなるが、トンネル接合は、逆バイアス状態であっても、電流が流れる特性を有する。

なお、トンネル接合層８５を設けないと、発光ダイオードＬＥＤと設定サイリスタＳとの間の接合が逆バイアスになる。このため、発光ダイオードＬＥＤと設定サイリスタＳとに電流を流すためには、逆バイアスの接合が降伏する電圧を印加することになる。すなわち、駆動電圧が高くなってしまう。

すなわち、発光ダイオードＬＥＤと設定サイリスタＳとをトンネル接合層８５を介して積層することで、トンネル接合層８５を介さない場合に比べて、駆動電圧が低く抑えられる。

[0133] また、発光ダイオードＬＥＤのｐアノード層８６に設けた電流狭窄層８６ｂは、発光ダイオードＬＥＤのｎカソード層８８に設けてもよく、設定ダイオードＳのｐアノード層８１、ｎカソード層８４に設けてもよい。

[0134] 図１３は、設定サイリスタＳと発光ダイオードＬＥＤとが積層されたアイランド３０１の変形例の拡大断面図である。図１３の（ａ）は、電圧低減層９０を設定サイリスタＳのｐゲート層８３とｎカソード層８４との間に設けた場合、図１３の（ｂ）は、電圧低減層９０を設定サイリスタＳのｎゲート層８２とｐゲート層８３との間に設けた場合、図１３の（ｃ）は、電圧低減

層 90 を n ゲート層 82 とした場合、図 13 の (d) は、電圧低減層 90 を p ゲート層 83 とした場合である。

[0135] 図 13 の (a) の電圧低減層 90 を設定サイリスタ S の p ゲート層 83 と n カソード層 84 との間に設けた場合、電圧低減層 90 は、p ゲート層 83 の一部として、p ゲート層 83 と同様の不純物濃度の p 型としてもよく、n カソード層 84 の一部として、n カソード層 84 と同様の不純物濃度の n 型としてもよい。

[0136] 図 13 の (b) の電圧低減層 90 を設定サイリスタ S の n ゲート層 82 と p ゲート層 83 との間に設けた場合、電圧低減層 90 は、n ゲート層 82 の一部として、n ゲート層 82 と同様の不純物濃度の n 型としてもよく、p ゲート層 83 の一部として、p ゲート層 83 と同様の不純物濃度の p 型としてもよい。

[0137] 図 13 の (c) の電圧低減層 90 を n ゲート層 82 とした場合、電圧低減層 90 は、n ゲート層 82 の不純物濃度の p 型とすればよい。

図 13 の (d) の電圧低減層 90 を p ゲート層 83 とした場合、電圧低減層 90 は、p ゲート層 83 の不純物濃度の n 型とすればよい。

[0138] なお、図 7 に示した第 1 の実施の形態に係る発光チップ C のように、電圧低減層 90 を p アノード層 81 と n ゲート層 82 との間に設けると、上記の変形例に比べて、設定サイリスタ S のゲート Gs である p オーミック電極 331 から電圧低減層 90 が離れている。このため、設定サイリスタ S がターンオンした後に、電圧低減層 90 による立ち上がり電圧の低減効果が表れる。すなわち、電圧低減層 90 が設定サイリスタ S のターンオンに影響を与えにくい。

[0139] なお、電圧低減層 90 を p アノード層 81、n ゲート層 82、p ゲート層 83、n カソード層 84 において、それぞれの間部に設けてもよい。

また、第 1 の実施の形態では、電圧低減層 90 を一つ設けた例を示しているが、複数設けてもよい。例えば、p アノード層 81 と n ゲート層 82 との間、及び、p ゲート層 83 と n カソード層 84 との間にそれぞれ電圧低減層

90を設けた場合や、nゲート層82内に一つ、pゲート層83内にもう一つ設けてもよい。その他にも、pアノード層81、nゲート層82、pゲート層83及びnカソード層84の内から2、3層を選択し、それぞれの層内に設けてもよい。これらの電圧低減層の導電型は、電圧低減層を設けたアノード層、カソード層、ゲート層と合わせてもよいし、i型であってもよい。なお、他の実施の形態においても同様である。

[0140] [第2の実施の形態]

第2の実施の形態に係る発光チップCでは、第1の実施の形態における発光ダイオードLEDの代わりに、発光素子としてレーザダイオードを用いる。

なお、発光チップCを除いて、他の構成は第1の実施の形態と同様である。よって、発光チップCを説明し、同様な部分の説明を省略する。

[0141] 図14は、第3の実施の形態に係る自己走査型発光素子アレイ(SLED)が搭載された発光チップCの回路構成を説明する等価回路図である。第1の実施の形態における図5の発光ダイオードLED1~LED128がレーザダイオードLD1~LD128(区別しない場合は、レーザダイオードLDと表記する。)となっている。他の構成は、図5と同様であるので説明を省略する。

また、第1の実施の形態において、図6に示した発光チップCの平面レイアウト図及び断面図においても、発光ダイオードLEDをレーザダイオードLDに置換ればよい。よって、第2の実施の形態に係る発光チップCの平面レイアウト図及び断面図を省略する。

[0142] 第2の実施の形態に係る発光チップCでは、設定サイリスタSとレーザダイオードLDとが積層されている(Laser Diode on Thyristor)。

レーザダイオードLDは、発光層87を2つのクラッド層(以下では、クラッド層と表記する。)で挟んでいる。クラッド層は、発光層87より屈折率が大きい層である。発光層87とクラッド層との界面で発光層87から出

射した光を反射させ、発光層 87 内に光を閉じ込める。そして、発光層 87 の側面間で構成される共振器で共振させて、レーザ発振させる。発光層 87 は、活性層と表記されることがある。

[0143] 図 15 は、第 2 の実施の形態に係る発光チップ C の設定サイリスタ S とレーザダイオード LD とが積層されたアイランド 301 の拡大断面図である。

発光チップ C は、p アノード層 86 が、電流狭窄層 86b を含む p 型のクラッド層で構成されている。すなわち、p アノード層 86 は、下側 p 層 86a、上側 p 層 86c がクラッド層として構成されている。そして、n カソード層 88 がクラッド層として構成されている。なお、下側 p 層 86a、上側 p 層 86c、n カソード層 88 を、下側 p (クラッド) 層 86a、上側 p (クラッド) 層 86c、n カソード (クラッド) 層 88 と表記することがある。なお、p アノード層 86 を全体として、p アノード (クラッド) 層 86 と表記することがある。

[0144] p アノード (クラッド) 層 86 の下側 p (クラッド) 層 86a、上側 p (クラッド) 層 86c は、例えば不純物濃度 $5 \times 10^{17} / \text{cm}^3$ の p 型の Al_{0.9}GaAs である。Al 組成は、0~1 の範囲で変更してもよい。なお、GaInP などでもよい。

n カソード (クラッド) 層 88 は、例えば不純物濃度 $5 \times 10^{17} / \text{cm}^3$ の n 型の Al_{0.9}GaAs である。Al 組成は、0~1 の範囲で変更してもよい。なお、GaInP などでもよい。

[0145] 発光層 87 から出射する光が p アノード (クラッド) 層 86 と n カソード (クラッド) 層 88 との間に閉じ込められるとともに、発光層 87 の側面 (端面) 間でレーザ発振するように、p アノード (クラッド) 層 86、n カソード (クラッド) 層 88 及び発光層 87 が設定されている。この場合、光は、発光層 87 の側面 (端面) から出射する。

よって、n オーミック電極 321 は、n カソード (クラッド) 層 88 上の全面に設けられている。

[0146] なお、図 15 では、光の出射方向は、y 方向と直交する方向、つまり図 6

の（a）に示す－x方向と示している。これは、説明の都合によるものであって、－y方向に出射させてもよい。また、ミラーなどを介して、基板80に垂直な方向に向けてもよい。他の発光チップC及び変形例も同様である。

[0147] そして、電流狭窄層86bを設けて、非発光再結合に消費される電力が抑制しているので、低消費電力化及び光取り出し効率が向上する。

[0148] 第2の実施の形態に係る発光チップCは、第1の実施の形態において図12に示した製造方法を一部変更することで製造される。すなわち、図12の（a）の半導体積層体形成工程において、pアノード層86の下側p層86a及び上側p層86cを、クラッド層として形成する。同様に、nカソード層88をクラッド層として形成する。

[0149] 第2の実施の形態に係る発光チップCは、第1の実施の形態で説明したように、図11のタイミングチャートにしたがって動作する。

[0150] なお、レーザダイオードLDのpアノード（クラッド）層86に設けた電流狭窄層86bは、レーザダイオードLDのnカソード（クラッド）層88に設けてもよく、設定サイリスタSのpアノード層81又はnカソード層84に設けてもよい。

[0151] [第3の実施の形態]

第3の実施の形態に係る発光チップCでは、第1の実施の形態における発光ダイオードLED、第2の実施の形態におけるレーザダイオードLDの代わりに、発光素子として垂直共振器面発光レーザ（VCSEL：Vertical Cavity Surface Emitting LASER）を用いている。

なお、発光チップCを除いて、他の構成は第1の実施の形態と同様である。よって、発光チップCを説明し、同様な部分の説明を省略する。

[0152] 図16は、第3の実施の形態に係る自己走査型発光素子アレイ（SLED）が搭載された発光チップCの回路構成を説明するための等価回路図である。第1の実施の形態における図5の発光ダイオードLED1～LED128が垂直共振器面発光レーザVCSEL1～VCSEL128（区別しない場

合は、垂直共振器面発光レーザVCSELと表記する。)となっている。他の構成は、図5と同様であるので説明を省略する。

また、第1の実施の形態において、図6に示した発光チップCの平面レイアウト図及び断面図においても、発光ダイオードLEDを垂直共振器面発光レーザVCSELに置き換えればよい。よって、第4の実施の形態に係る発光チップCの平面レイアウト図及び断面図を省略する。

[0153] 図17は、第3の実施の形態に係る発光チップCの設定サイリスタSと垂直共振器面発光レーザVCSELとが積層されたアイランド301の拡大断面図である。

設定サイリスタSと垂直共振器面発光レーザVCSELとが積層されている(VCSEL on Thyristor)。

[0154] 第3の実施の形態に係る発光チップCは、pアノード層86及びnカソード層88が分布ブラッグ反射層(DBR:Distributed Bragg Reflector)(以下では、DBR層と表記する。)として構成されている。pアノード層86は、電流狭窄層86bを含んでいる。すなわち、pアノード層86は、下側p層86a、電流狭窄層86b、上側p層86cの順で積層され、下側p層86a、上側p層86cがDBR層として構成されている。

なお、下側p層86a、上側p層86c、nカソード層88を、下側p(DBR)層86a、上側p(DBR)層86c、n(DBR)カソード層88と表記することがある。

[0155] DBR層は、例えば $\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ の高Al組成の低屈折率層と、例えば $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ の低Al組成の高屈折率層との組み合わせで構成されている。低屈折率層及び高屈折率層のそれぞれの膜厚(光路長)は、例えば中心波長の $0.25(1/4)$ に設定されている。なお、低屈折率層と高屈折率層とのAlの組成比は、0~1の範囲で変更してもよい。

なお、電流狭窄層86bの膜厚(光路長)は、採用する構造によって決定される。取り出し効率やプロセス再現性を重要視する場合は、DBR層を構

成する低屈折率層及び高屈折率層の膜厚（光路長）の整数倍に設定されるのがよく、例えば中心波長の $0.75(3/4)$ に設定されている。なお、奇数倍の場合は、電流狭窄層86bは、高屈折率層と高屈折率層とで挟まれるとよい。また、偶数倍の場合は、電流狭窄層86bは、高屈折率層と低屈折率層とで挟まれるとよい。すなわち、電流狭窄層86bは、DBR層による屈折率の周期の乱れを抑制するように設けられるとよい。逆に、酸化された部分の影響（屈折率や歪）を低減したい場合は、電流狭窄層86bの膜厚は数十nmが好ましく、DBR層内にたつ定在波の節の部分に挿入されるのがよい。

なお、DBR層は、 Si_xN_y 、 SiO_2 、 Ti_xO_y などを組み合わせた誘電体多層膜反射鏡であってもよい。また、DBR層は、高コントラストの回折格子（High Contrast Grating）であってもよい。また、pアノード層86やnカソード層88のそれぞれの一部など、半導体層の一部をDBR層としてもよい。他の実施の形態においても、同様である。

[0156] 垂直共振器面発光レーザVCSELは、2つのDBR層（pアノード（DBR）層86とnカソード（DBR）層88）とで挟まれた発光層87において、光を共振させてレーザ発振させている。2つのDBR層（pアノード（DBR）層86とnカソード（DBR）層88）との反射率が例えば99%以上になるとレーザ発振する。

[0157] 垂直共振器面発光レーザVCSELでは、トンネル接合層85と発光層87との間にpアノード（DBR）層86があるため、トンネル接合層85まで光が届かない。よって、トンネル接合層85のバンドギャップは発振波長よりも小さくてもよい。よって、低抵抗化できる。

[0158] 第3の実施の形態に係る発光チップCは、第1の実施の形態で説明したように、図11のタイミングチャートにしたがって動作する。

[0159] なお、垂直共振器面発光レーザVCSELのpアノード（DBR）層86に設けた電流狭窄層86bは、垂直共振器面発光レーザVCSELのnカソード（DBR）層88に設けてもよく、設定サイリスタSのpアノード層8

1又はnカソード層84に設けてもよい。この場合、光は、トンネル接合層85をある一定量通過する。そこで、トンネル接合層85での光吸収を低減するために、トンネル接合層85にバンドギャップが発振波長よりも大きい材料を用いたり、トンネル接合層85の膜厚を薄くしたり、トンネル接合層85を定在波の節に位置させたりしてもよい。また、電圧低減層90も光吸収を有するため、ある一定量の光が通過する構造を用いる場合は、電圧低減層90の膜厚を薄くしたり、電圧低減層90を定在波の節に位置させたりしてもよい。

[0160] 以上の第1の実施の形態から第3の実施の形態において、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）と設定サイリスタSとは、直列接続されるように、トンネル接合層85を介して積層されていた。発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）と設定サイリスタSとは、トンネル接合層85の代わりに、配線などで直列接続されていてもよい。また、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）と設定サイリスタSとの間でエピタキシャル成長して、pn接合が逆バイアスになることが抑制されるものを用いてもよい。

[0161] また、第1の実施の形態から第3の実施の形態において、主にp型のGaAsを基板80の例として説明した。他の基板を用いた場合における各半導体層（図12の（a）の半導体積層体形成工程で形成する半導体積層体）の例を説明する。

[0162] まず、GaN基板を用いた場合における半導体積層体の一例は以下の通りである。

pアノード層81は、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のp型のAl_{0.9}GaNである。Al組成は、0～1の範囲で変更してもよい。

電圧低減層90は、例えばInN量子ドットである。

nゲート層82は、例えば不純物濃度 $1 \times 10^{17} / \text{cm}^3$ のn型のAl_{0.9}

GaNである。Al組成は、0～1の範囲で変更してもよい。

pゲート層83は、例えば不純物濃度 $1 \times 10^{17} / \text{cm}^3$ のp型のAl_{0.9}GaNである。Al組成は、0～1の範囲で変更してもよい。

nカソード層84は、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のn型のAl_{0.9}GaNである。Al組成は、0～1の範囲で変更してもよい。

[0163] トンネル接合層85は、n型の不純物を高濃度に添加したn⁺⁺層85aとn型の不純物を高濃度に添加したp⁺⁺層85bとの接合（図12の（b）参照。）で構成されている。n⁺⁺層85a及びp⁺⁺層85bは、例えば不純物濃度 $1 \times 10^{20} / \text{cm}^3$ と高濃度である。なお、通常の接合の不純物濃度は、 $10^{17} / \text{cm}^3$ 台～ $10^{18} / \text{cm}^3$ 台である。n⁺⁺層85aとp⁺⁺層85bとの組み合わせ（以下では、n⁺⁺層85a／p⁺⁺層85bで表記する。）は、例えばn⁺⁺GaN／p⁺⁺GaN、n⁺⁺GaInN／p⁺⁺GaInN、n⁺⁺AlGaN／p⁺⁺AlGaNである。なお、組み合わせを相互に変更したものでもよい。

[0164] pアノード層86は、下側p層86a、電流狭窄層86b、上側p層86cを順に積層して構成されている（図12の（c）参照）。

下側p層86a、上側p層86cは、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のp型のAl_{0.9}GaNである。Al組成は、0～1の範囲で変更してもよい。

GaN基板上では酸化による狭窄層（酸化狭窄層）を電流狭窄層として使用することが困難であるため、トンネル接合やリッジ型構造、埋め込み型構造を電流狭窄層とするのがよい。又は、イオン注入により電流狭窄層を形成してもよい。

[0165] 発光層87は、井戸（ウエル）層と障壁（バリア）層とが交互に積層された量子井戸構造である。井戸層は、例えばGaN、InGaN、AlGaNなどであり、障壁層は、AlGaN、GaNなどである。なお、発光層87は、量子線（量子ワイヤ）や量子箱（量子ドット）であってもよい。

[0166] nカソード層88は、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のn型のAl_{0.9}GaNである。

g GaNである。Al組成は、0～1の範囲で変更してもよい。

[0167] 次に、InP基板を用いた場合における半導体積層体の一例は以下の通りである。

pアノード層81は、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のp型のInGaAsPである。Ga組成、Al組成は、0～1の範囲で変更してもよい。

電圧低減層90は、例えばバンドギャップエネルギーが小さい、GaAsとInPとの化合物、InNとInSbとの化合物、InNとInAsとの化合物などである。なお、4元以上の混合物であればGaInNAsをベースとした化合物半導体などでもよい。

nゲート層82は、例えば不純物濃度 $1 \times 10^{17} / \text{cm}^3$ のn型のInGaAsPである。Ga組成、Al組成は、0～1の範囲で変更してもよい。

pゲート層83は、例えば不純物濃度 $1 \times 10^{17} / \text{cm}^3$ のp型のInGaAsPである。Ga組成、Al組成は、0～1の範囲で変更してもよい。

nカソード層84は、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のn型のInGaAsPである。Ga組成、Al組成は、0～1の範囲で変更してもよい。

[0168] トンネル接合層85は、n型の不純物を高濃度に添加した n^{++} 層85aとn型の不純物を高濃度に添加した p^{++} 層85bとの接合（図12の（b）参照。）で構成されている。 n^{++} 層85a及び p^{++} 層85bは、例えば不純物濃度 $1 \times 10^{20} / \text{cm}^3$ と高濃度である。なお、通常の接合の不純物濃度は、 $10^{17} / \text{cm}^3$ 台～ $10^{18} / \text{cm}^3$ 台である。 n^{++} 層85aと p^{++} 層85bとの組み合わせ（以下では、 n^{++} 層85a/ p^{++} 層85bで表記する。）は、例えば $n^{++}\text{InP}/p^{++}\text{InP}$ 、 $n^{++}\text{InAsP}/p^{++}\text{InAsP}$ 、 $n^{++}\text{InGaAsP}/p^{++}\text{InGaAsP}$ 、 $n^{++}\text{InGaAsPSb}/p^{++}\text{InGaAsPSb}$ である。なお、組み合わせを相互に変更したものでもよい。

[0169] pアノード層86は、下側p層86a、電流狭窄層86b、上側p層86cを順に積層して構成されている（図12の（c）参照）。

下側p層86a、上側p層86cは、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のp型のInGaAsPである。Ga組成、Al組成は、0～1の範囲で変

更してもよい。

InP基板上では酸化による狭窄層（酸化狭窄層）を電流狭窄層として使用することが困難であるため、トンネル接合やリッジ型構造、埋め込み型構造を電流狭窄層とするのがよい。又は、イオン注入により電流狭窄層を形成してもよい。

[0170] 発光層87は、井戸（ウエル）層と障壁（バリア）層とが交互に積層された量子井戸構造である。井戸層は、例えばInAs、InGaAsP、AlGaInAs、GaInAsPSbなどであり、障壁層は、InP、InAsP、InGaAsP、AlGaInAsPなどである。なお発光層87は、量子線（量子ワイヤ）や量子箱（量子ドット）であってもよい。

[0171] nカソード層88は、例えば不純物濃度 $1 \times 10^{18} / \text{cm}^3$ のn型のInGaAsPである。Ga組成、Al組成は、0～1の範囲で変更してもよい。

[0172] これらの半導体層は、例えば有機金属気相成長法（MOCVD）、分子線エピタキシー法（MBE）などによって積層され、半導体積層体が形成される。

[0173] [第4の実施の形態]

第1の実施の形態から第4の実施の形態では、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）と設定サイリスタSとは、直列接続されるように、トンネル接合層85を介して積層されていた。

トンネル接合層85の代わりに、金属的な導電性を有するIII-V族化合物層を用いてもよい。

図18は、金属的導電性III-V族化合物層85を構成する材料を説明する図である。図18の（a）は、InNの組成比xに対するInNAsのバンドギャップ、図18の（b）は、InNの組成比xに対するInNSbのバンドギャップ、図18の（c）は、VI族元素及びIII-V族化合物の格子定数をバンドギャップに対して示す図である。

図18の（a）は、組成比x（ $x = 0 \sim 1$ ）のInNと組成比（ $1 - x$ ）

の InAs との化合物である InNAS に対するバンドギャップエネルギー (eV) を示す。

図18の (b) は、組成比 x ($x = 0 \sim 1$) の InN と組成比 $(1 - x)$ の InSb との化合物である InNSb に対するバンドギャップエネルギー (eV) を示す。

[0174] 金属的導電性 III-V 族化合物層 85 の材料の一例として説明する InNAS 及び InNSb は、図18の (a)、(b) に示すように、ある組成比 x の範囲において、バンドギャップエネルギーが負になることが知られている。バンドギャップエネルギーが負になることは、バンドギャップを持たないことを意味する。よって、金属と同様な導電特性（伝導特性）を示すことになる。すなわち、金属的な導電特性（導電性）とは、金属と同様に電位に勾配があれば電流が流れることをいう。

図18の (a) に示すように、 InNAS は、例えば InN の組成比 x が約 0.1 ～ 約 0.8 の範囲において、バンドギャップエネルギーが負になる。

図18の (b) に示すように、 InNSb は、例えば InN の組成比 x が約 0.2 ～ 約 0.75 の範囲において、バンドギャップエネルギーが負になる。

すなわち、 InNAS 及び InNSb は、上記の範囲において、金属的な導電特性（導電性）を示すことになる。

なお、上記の範囲外のバンドギャップエネルギーが小さい領域では、熱エネルギーによって電子がエネルギーを有するため、わずかなバンドギャップを遷移することが可能であり、バンドギャップエネルギーが負の場合や金属と同様に電位に勾配がある場合には電流が流れやすい特性を有している。

そして、 InNAS 及び InNSb に、 Al 、 Ga 、 Ag 、 P などが含まれても、組成次第でバンドギャップエネルギーを 0 近傍もしくは負に維持することができ、電位に勾配があれば電流が流れる。

さらに、 InNAS 及び InNSb は、 GaAs などの III-V 族化合物（半導体）の層に対してエピタキシャル成長させうる。また、 InNAS

の層上に、GaAsなどのIII-V族化合物（半導体）の層をエピタキシャル成長させる。

[0175] よって、トンネル接合層85の代わりに、金属的導電性III-V族化合物層を介して、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）と設定サイリスタSとが直列接続されるように積層すれば、発光素子と設定サイリスタSとの間のnカソード層84と発光ダイオードLEDのpアノード層86とが逆バイアスになることが抑制される。

[0176] なお、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）と設定サイリスタSとを、トンネル接合層85や金属的導電性III-V族化合物層を介することなく積層すると、設定サイリスタSのnカソード層84と発光ダイオードLEDのpアノード層86とが、逆バイアスになる。このため、逆バイアスの接合（nカソード層84とpアノード層86との接合）を降伏させる高い電圧の印加を要することになる。

すなわち、金属的導電性III-V族化合物層を用いれば、トンネル接合層85を用いた場合と同様に、逆バイアスの接合（nカソード層84とpアノード層86との接合）を降伏させる高い電圧の印加を要しない。

[0177] そして、金属的導電性III-V族化合物層は、第1の実施の形態から第3の実施の形態における発光チップCに適用されうる。すなわち、トンネル接合層85を金属的導電性III-V族化合物層に置き換えればよい。また、前述したp型のGaAsの代わりに他の基板を用いた場合における各半導体層についても、同様に適用されうる。よって、詳細な説明を省略する。

[0178] [第5の実施の形態]

第5の実施の形態は、光サイリスタPである。光が照射されると、光サイリスタPがターンオンする。

図19は、第5の実施の形態に係る光サイリスタPの拡大断面図である。光サイリスタPの断面構造を示す図である。

光サイリスタPは、p型の基板80上に、pアノード層81、電圧低減層90、nゲート層82、pゲート層83、nカソード層84が積層されて構成される。そして、基板80の裏面に裏面電極92が設けられ、nカソード層84上にnオーミック電極326が設けられている。

[0179] 光サイリスタPは、nゲート層82、pゲート層83の一方又は両方が光を吸収すると、ターンオンする。

そして、光サイリスタPは、電圧低減層90を備えるので、立ち上がり電圧が低い。すなわち、光サイリスタPは、オン状態を維持する電圧が低い。よって、光サイリスタPの消費電力が抑制される。

また、電圧低減層90は、バンドギャップエネルギーが小さいので、光の吸収層としても機能する。よって、光サイリスタPは、入力光の強度が低くても動作しやすい。

[0180] このような光サイリスタPは、光コンピューティング、光演算処理などに適用しうる。これらの場合、第5の実施の形態に係る光サイリスタPを用いることで、消費電力が抑制される。

[0181] さらに、電力用など電気回路に用いられるサイリスタに、第1の実施の形態から第5の実施の形態で説明した電圧低減層90を設けることで、オン状態における消費電力が抑制されたサイリスタとなる。その構造は、図6の(a)、(b)に示した転送サイリスタTと同様であるので、説明を省略する。

[0182] 第1の実施の形態から第4の実施の形態において、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）、サイリスタ（転送サイリスタT、設定サイリスタS）の導電型を逆にするとともに、回路の極性を変更してもよい。すなわち、アノードコモンをカソードコモンとしてもよい。

[0183] なお、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）のターンオン時の発光遅延や緩和振動を抑制するため、予め発光素子に閾値電流以上の微小な電流を注入して僅かに発光

状態又は発振状態としておいてもよい。すなわち、設定サイリスタSがターンオンする前から発光素子を僅かに発光又は発振させておき、設定サイリスタSがターンオンした時に、発光素子の発光量を増加させて、予め定められた発光量にするように構成してもよい。このような構成としては、例えば、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）のアノード層に電極を形成し、この電極に電圧源又は電流源を接続しておき、設定サイリスタSがターンオンする前から、この電圧源または電流源から発光素子に微弱な電流を注入するようにすればよい。

[0184] さらに、上記においては、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）とサイリスタ（転送サイリスタT、設定サイリスタS）とから構成される自己走査型発光素子アレイ（SLED）で説明したが、自己走査型発光素子アレイ（SLED）は、上記の他に、制御用のサイリスタ、ダイオード、抵抗などの他の部材を含んでもよい。

また、転送サイリスタTの間を結合ダイオードDで接続したが、抵抗など電位の変化を伝達できる部材で接続してもよい。

[0185] 第1の実施の形態から第4の実施の形態における設定サイリスタSの構造としては、各実施の形態における設定サイリスタSの機能を有する構造であればpnpnの4層構造以外であってもよい。例えば、サイリスタ特性を有するpinin構造、pipin構造、npip構造またはpnin構造などであってもよい。同様に、転送サイリスタTも各実施の形態における転送サイリスタTの機能を有する構造であればpnpnの4層構造以外であってもよい。例えば、サイリスタ特性を有するpinin構造、pipin構造、npip構造またはpnin構造などであってもよい。この場合、pinin構造のp層とn層とに挟まれたi層、n層、i層、pnin構造のp層とn層とに挟まれたn層、i層のいずれかがゲート層となり、ゲート層上に設けられたnオーミック電極332をゲートGt（ゲートGs）の端子とすればよい。又は、nipip構造のn層とp層とに挟まれたi層、p層、i

層、 $n p i p$ 構造の n 層と p 層とに挟まれた p 層、 i 層のいずれかがゲート層となり、ゲート層上に設けられた p オーミック電極332をゲート G_t （ゲート G_s ）の端子とすればよい。

さらに、電圧低減層90は各層のどれかの層の一部として挿入してもよく、挿入した層と同様の不純物を有してもよく、同様の導電型であってもよく、又は、 i 型であってもよい。

また、第5の実施の形態に記載した光サイリスタPも同様である。

[0186] 第1の実施の形態から第4の実施の形態において、発光素子（発光ダイオードLED、レーザダイオードLD、垂直共振器面発光レーザVCSEL）、サイリスタ（転送サイリスタT、設定サイリスタS）の導電型を逆にするとともに、回路の極性を変更してもよい。すなわち、アノードコモンをカソードコモンとしてもよい。

[0187] そして、各実施の形態における、サイリスタを構成する、電圧低減層90を含む複数の半導体層と、発光素子を構成する複数の半導体層とが、トンネル接合層85又は金属的導電性III-V族化合物層を構成する半導体層を介して積層されている半導体構造は、自己走査型発光素子アレイ（SLED）以外の用途にも使用できる。例えば、外部からの電気信号や光信号などの入力によって点灯する発光素子単体として、または自己走査型発光素子アレイ以外の発光素子アレイとして使用できる。

[0188] 本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

本出願は、2016年3月29日出願の日本特許出願（特願2016-066816）に基づくものであり、それらの内容はここに参照として取り込まれる。

符号の説明

[0189] 1…画像形成装置、10…画像形成プロセス部、11…画像形成ユニット、12…感光体ドラム、14…プリントヘッド、30…画像出力制御部、40

…画像処理部、62…回路基板、63…光源部、64…ロッドレンズアレイ、65…発光装置、80…基板、81…pアノード層、82…nゲート層、83…pゲート層、84…nカソード層、85…トンネル接合層、85a… n^{++} 層、85b… p^{++} 層、86…pアノード層、86b…電流狭窄層、87…発光層、88…nカソード層、89…光出射口保護層、90…電圧低減層、91…保護層、92…裏面電極、101…転送部、102…発光部、110…信号発生回路、120…転送信号発生部、140…点灯信号発生部、160…基準電位供給部、170…電源電位供給部、301～306…アイランド、 $\phi 1$ …第1転送信号、 $\phi 2$ …第2転送信号、 ϕl ($\phi l 1 \sim \phi l 40$)…点灯信号、 α …電流通過部(領域)、 β …電流阻止部(領域)、C ($C 1 \sim C 40$)…発光チップ、D ($D 1 \sim D 127$)…結合ダイオード、LED ($LED 1 \sim LED 128$)…発光ダイオード、LD ($LD 1 \sim LD 128$)…レーザダイオード、SD…スタートダイオード、T ($T 1 \sim T 128$)…転送サイリスタ、VCSEL ($VCSEL 1 \sim VCSEL 128$)…垂直共振器面発光レーザ、Vga…電源電位、Vsub…基準電位

請求の範囲

- [請求項1] 順にオン状態になる複数の転送素子と、
複数の前記転送素子にそれぞれが接続され、当該転送素子がオン状態になることにより、オン状態への移行が可能な状態になる複数の設定サイリスタと、
複数の前記設定サイリスタにそれぞれが直列接続され、当該設定サイリスタがオン状態になると発光又は発光量が増加する複数の発光素子と、を備え、
前記設定サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する電圧低減層を含んで構成されていることを特徴とする発光部品。
- [請求項2] 前記転送素子は、前記電圧低減層を含むサイリスタで構成されていることを特徴とする請求項1に記載の発光部品。
- [請求項3] 前記発光素子と前記設定サイリスタとは、トンネル接合を介して積層され、
前記トンネル接合は、前記発光素子が順バイアスに設定された際に、逆バイアスに設定されるように構成されていることを特徴とする請求項1又は2に記載の発光部品。
- [請求項4] 前記設定サイリスタを構成する複数の半導体層と、前記発光素子を構成する複数の半導体層と、前記トンネル接合を構成する半導体層とのいずれかの半導体層が、当該発光素子における電流経路を狭窄することを特徴とする請求項3に記載の発光部品。
- [請求項5] 前記発光素子と前記設定サイリスタとは、金属的な導電性を有するⅢ－Ⅴ族化合物層を介して積層されていることを特徴とする請求項1又は2に記載の発光部品。
- [請求項6] 前記設定サイリスタを構成する複数の半導体層と、前記発光素子を構成する複数の半導体層と、前記金属的な導電性を有するⅢ－Ⅴ族化合物層を構成する半導体層とのいずれかの半導体層が、当該発光

素子における電流経路を狭窄することを特徴とする請求項5に記載の発光部品。

[請求項7] 前記設定サイリスタを構成する複数の半導体層と、前記発光素子を構成する複数の半導体層における少なくとも1つの半導体層の少なくとも一部が、分布ブラッグ反射層であることを特徴とする請求項1乃至6のいずれか1項に記載の発光部品。

[請求項8] 順にオン状態になる複数の転送素子と、複数の当該転送素子にそれぞれが接続され、当該転送素子がオン状態になることにより、オン状態への移行が可能な状態になる複数の設定サイリスタと、複数の当該設定サイリスタにそれぞれが直列接続され、当該設定サイリスタがオン状態になると発光又は発光量が増加する複数の発光素子と、を含む発光部と、

前記発光部から出射される光を結像させる光学部と、を備え、

前記設定サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する電圧低減層を含んで構成されていることを特徴とするプリントヘッド。

[請求項9] 像保持体と、

前記像保持体を帯電する帯電部と、

順にオン状態になる複数の転送素子と、複数の当該転送素子にそれぞれが接続され、当該転送素子がオン状態になることにより、オン状態への移行が可能な状態になる複数の設定サイリスタと、複数の当該設定サイリスタにそれぞれが直列接続され、当該設定サイリスタがオン状態になると発光又は発光量が増加する複数の発光素子と、を含み、光学部を介して前記像保持体を露光する露光部と、

前記露光部により露光され前記像保持体に形成された静電潜像を現像する現像部と、

前記像保持体に現像された画像を被転写体に転写する転写部と、を備え、

前記設定サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する電圧低減層を含んで構成されていることを特徴とする画像形成装置。

[請求項10]

サイリスタと、

前記サイリスタとトンネル接合を介して接続された発光素子と、を備え、

前記サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する層を含み、

前記トンネル接合は、前記発光素子が順バイアスに設定された際に、逆バイアスに設定されるように構成されていることを特徴とする発光部品。

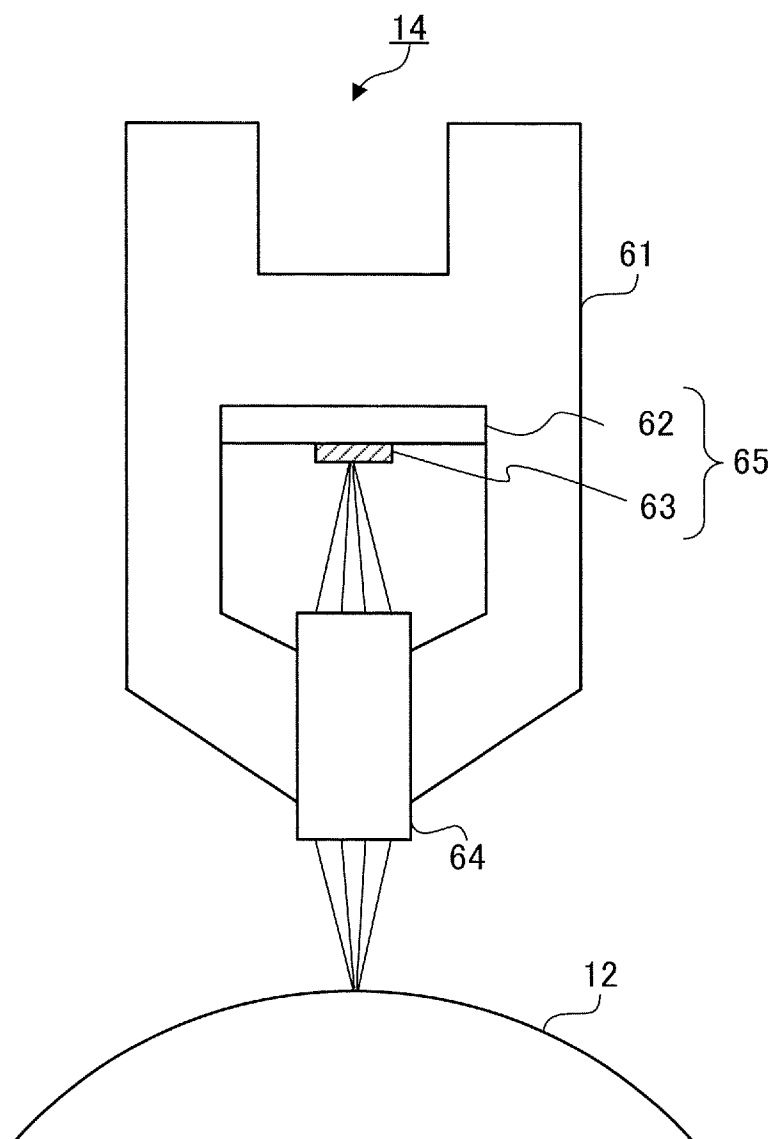
[請求項11]

サイリスタと、

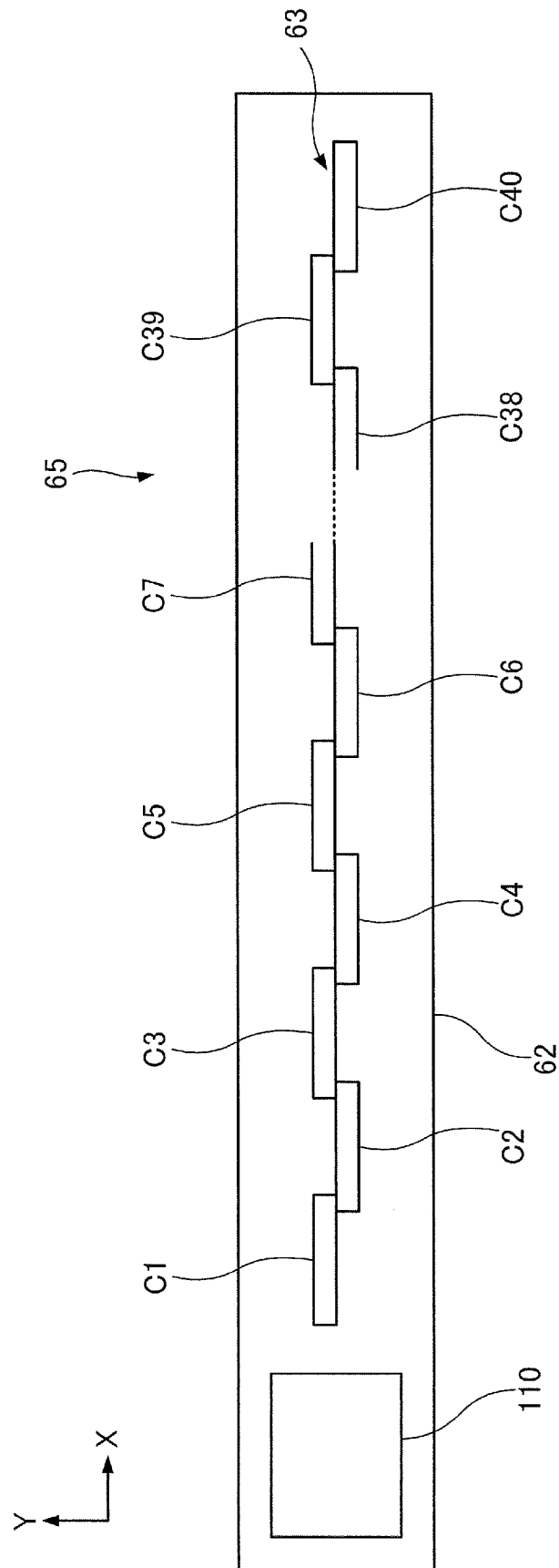
前記サイリスタと金属的な導電性を有するⅢⅢⅢ－Ⅴ族化合物層を介して接続された発光素子と、を備え、

前記サイリスタは、前記発光素子の発光層のバンドギャップよりも小さいバンドギャップを有する層を含んでいることを特徴とする発光部品。

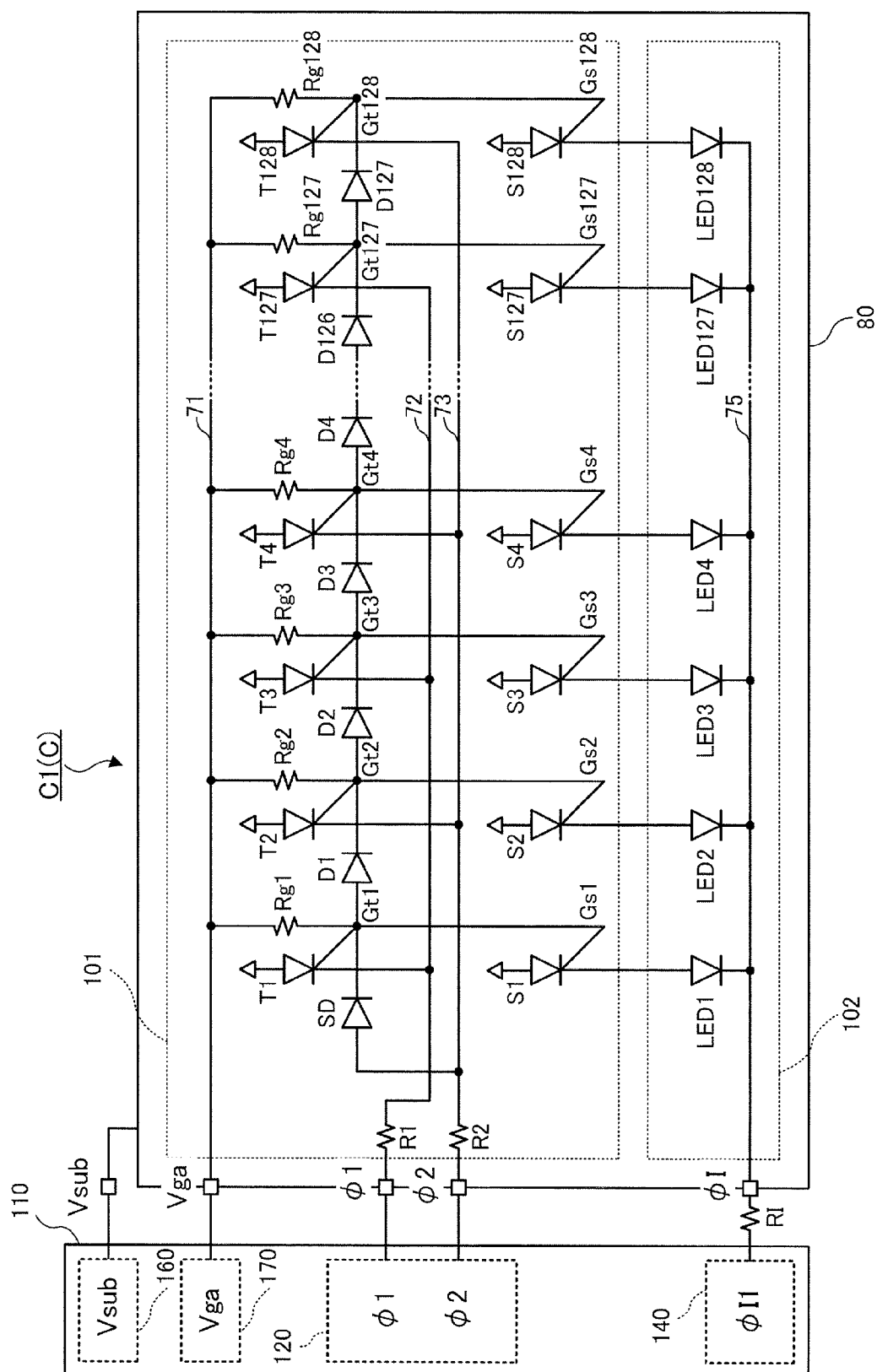
[図2]



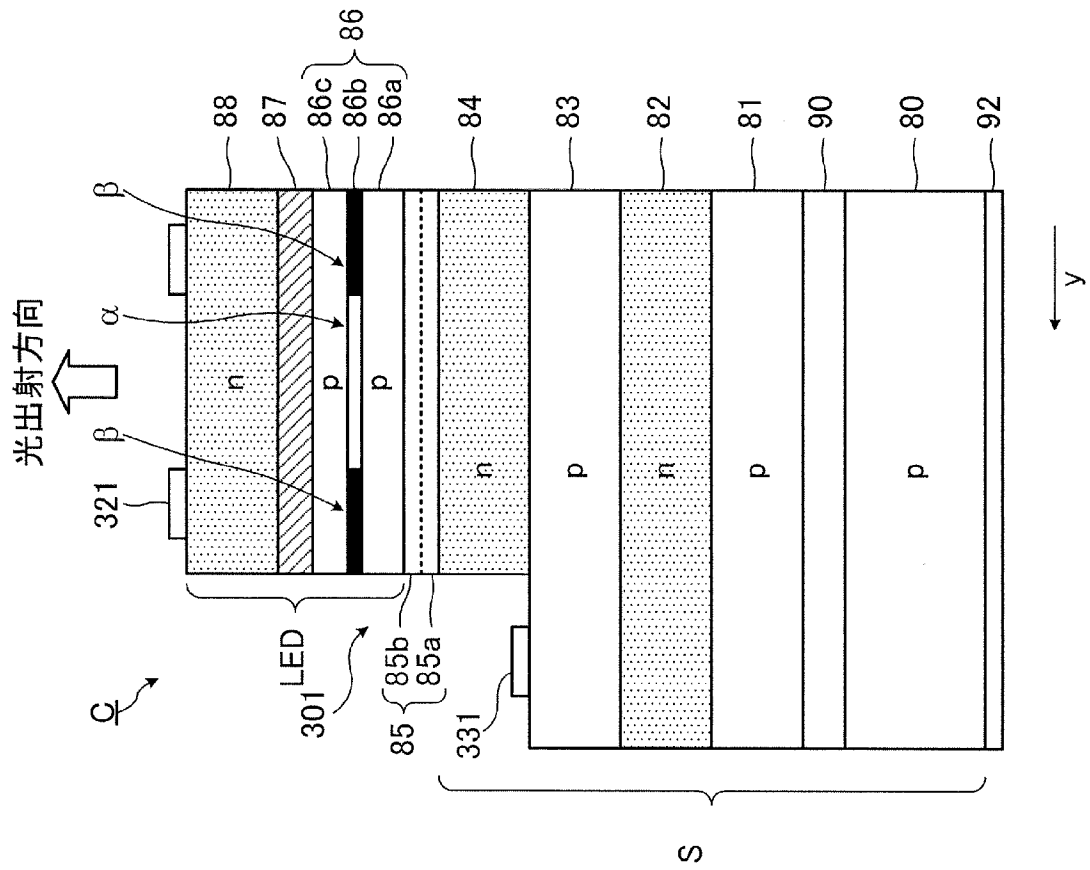
[図3]



[図5]

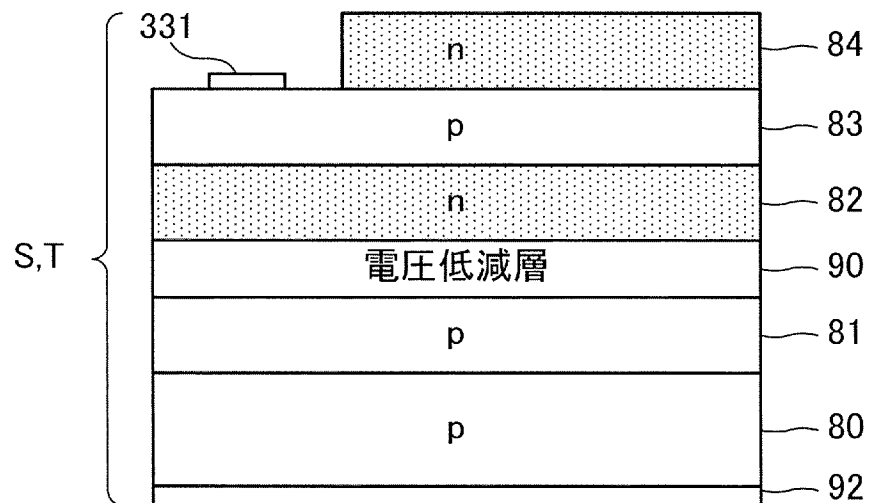


[図7]

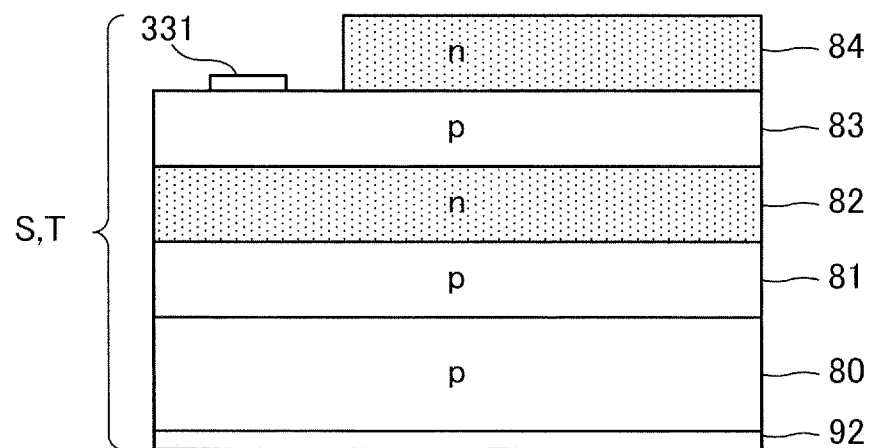


[図8]

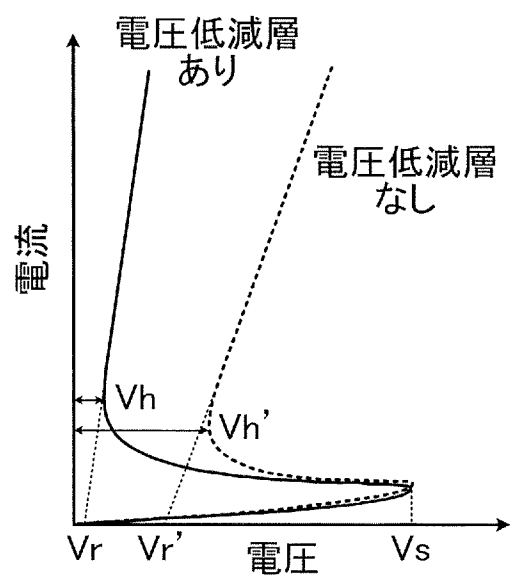
(a)



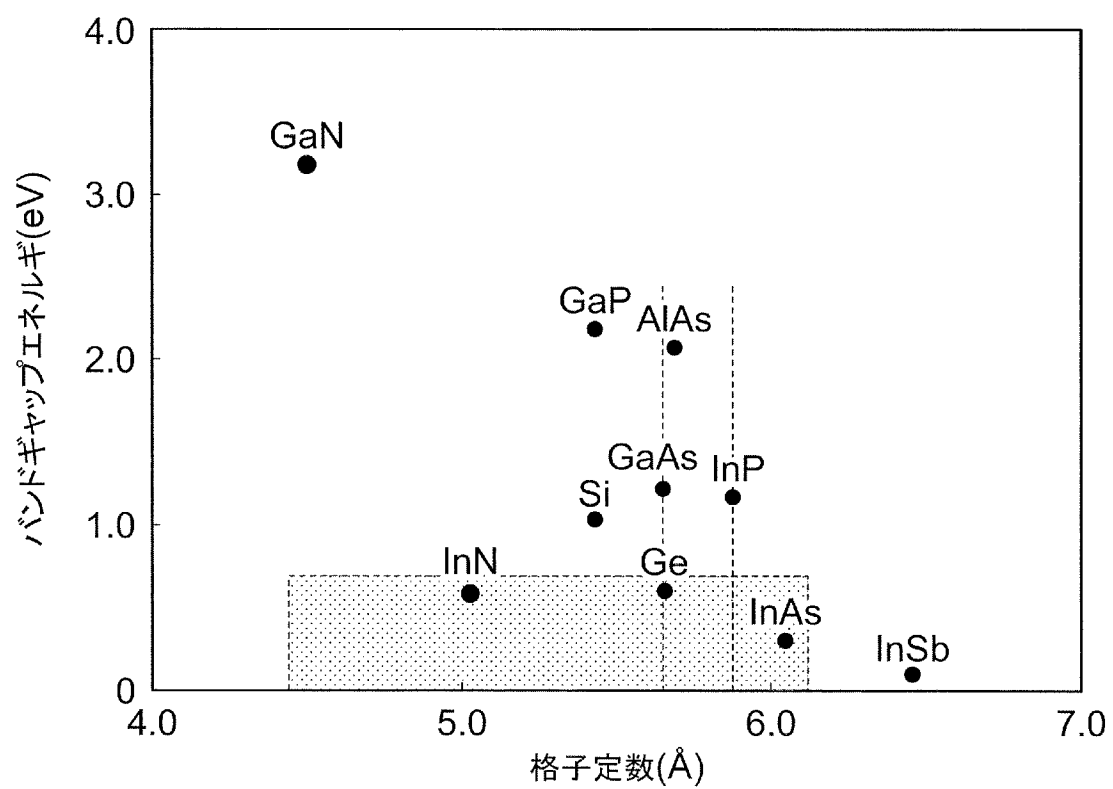
(b)



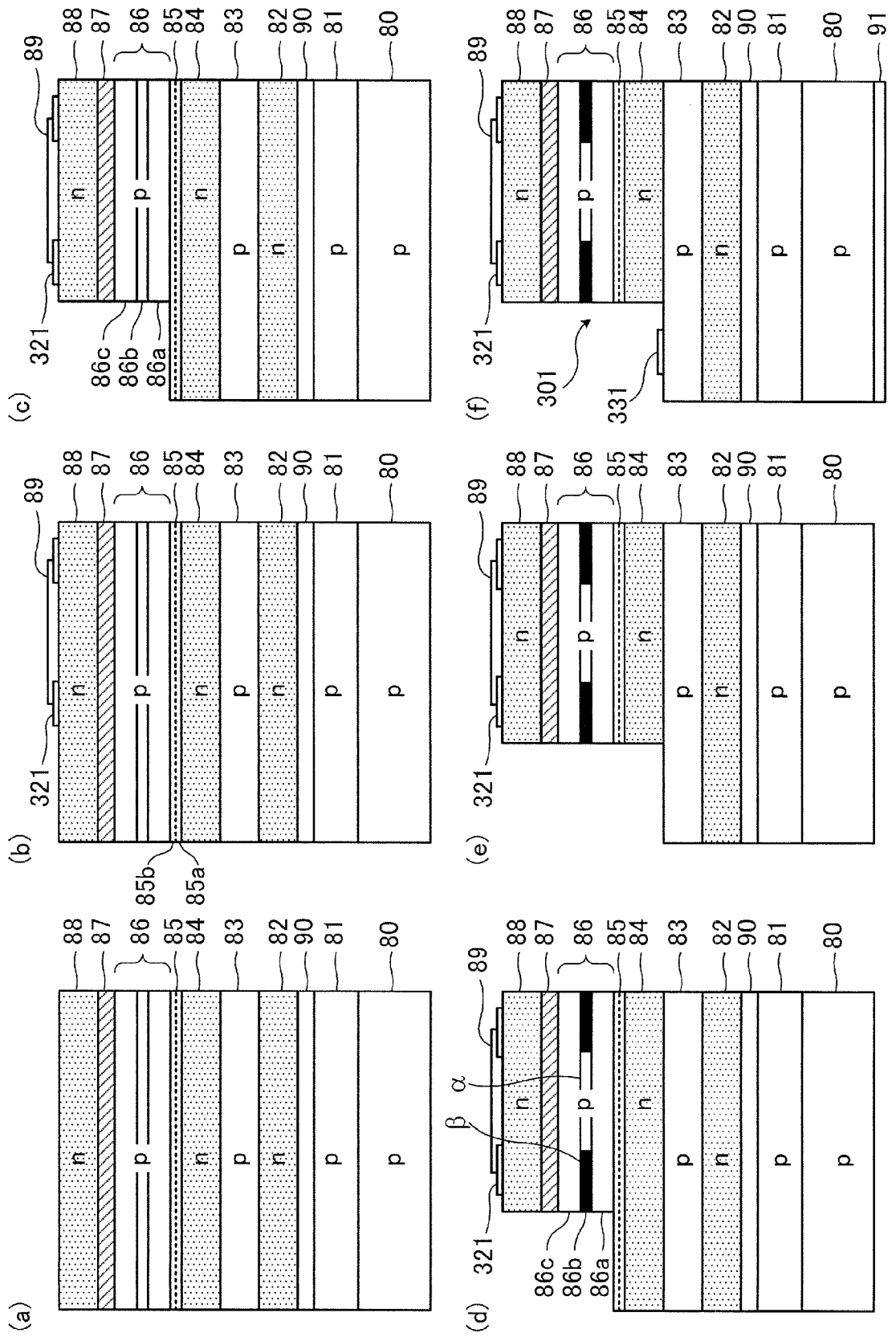
(c)



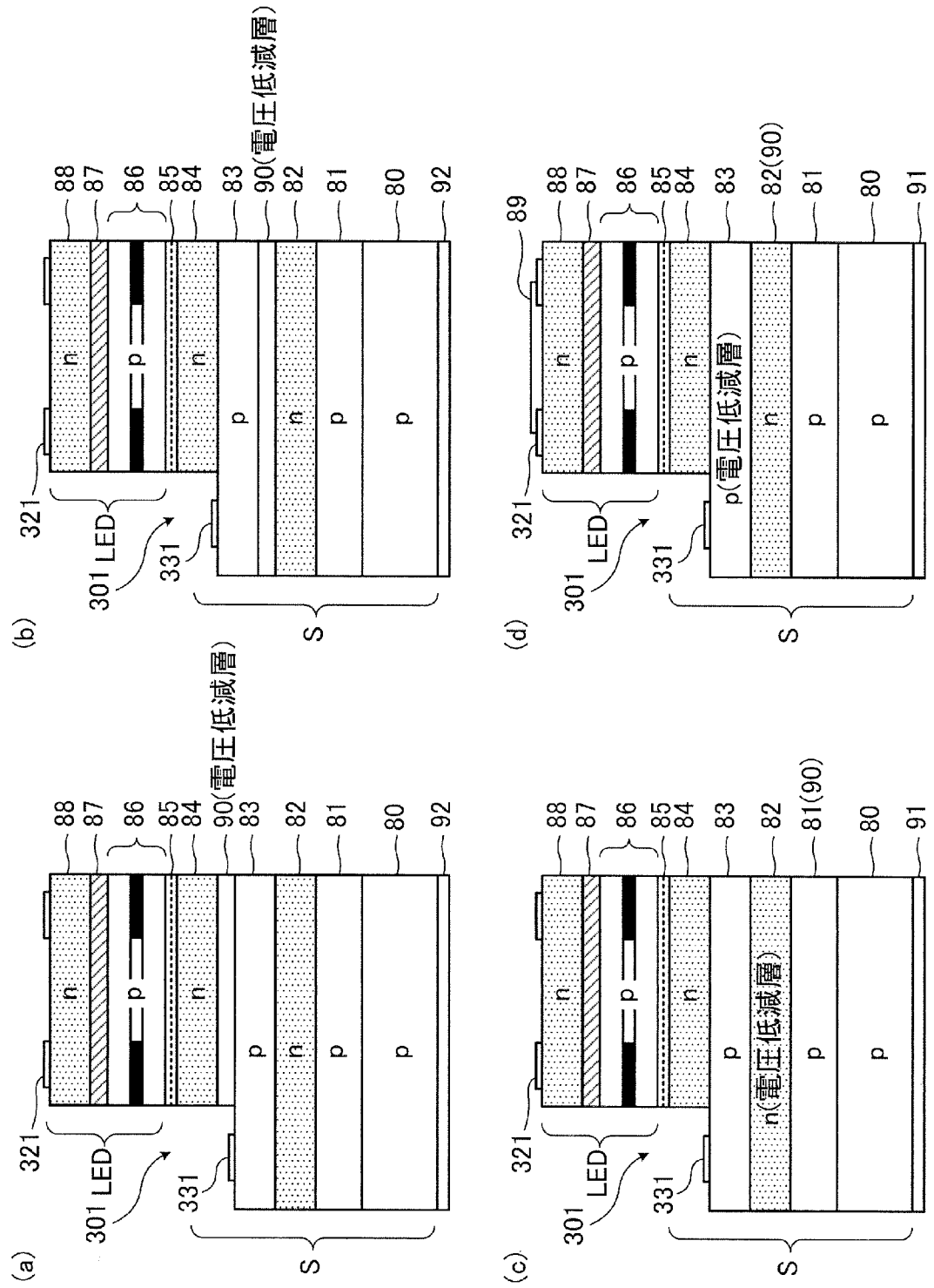
[図9]



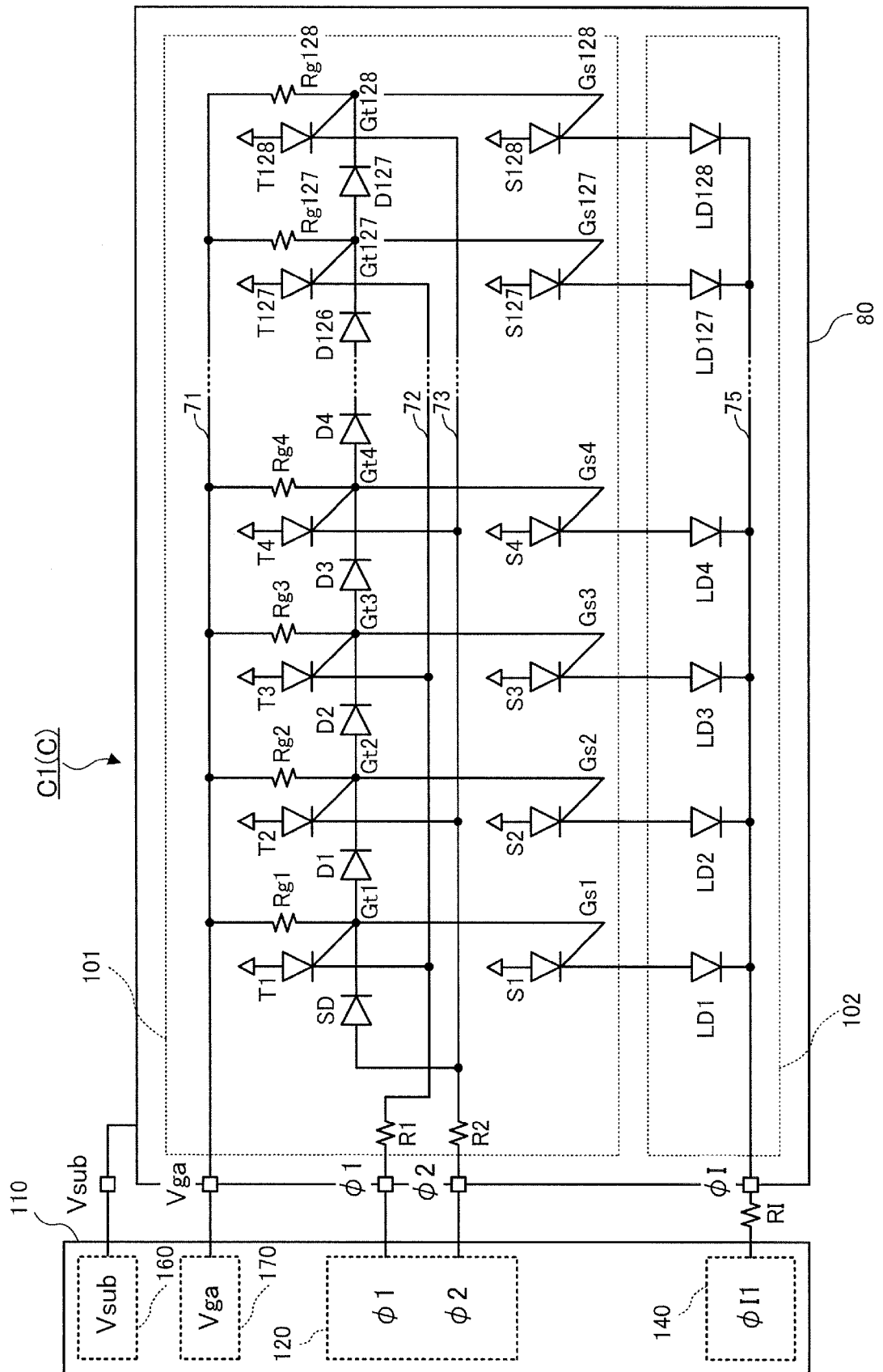
[図12]

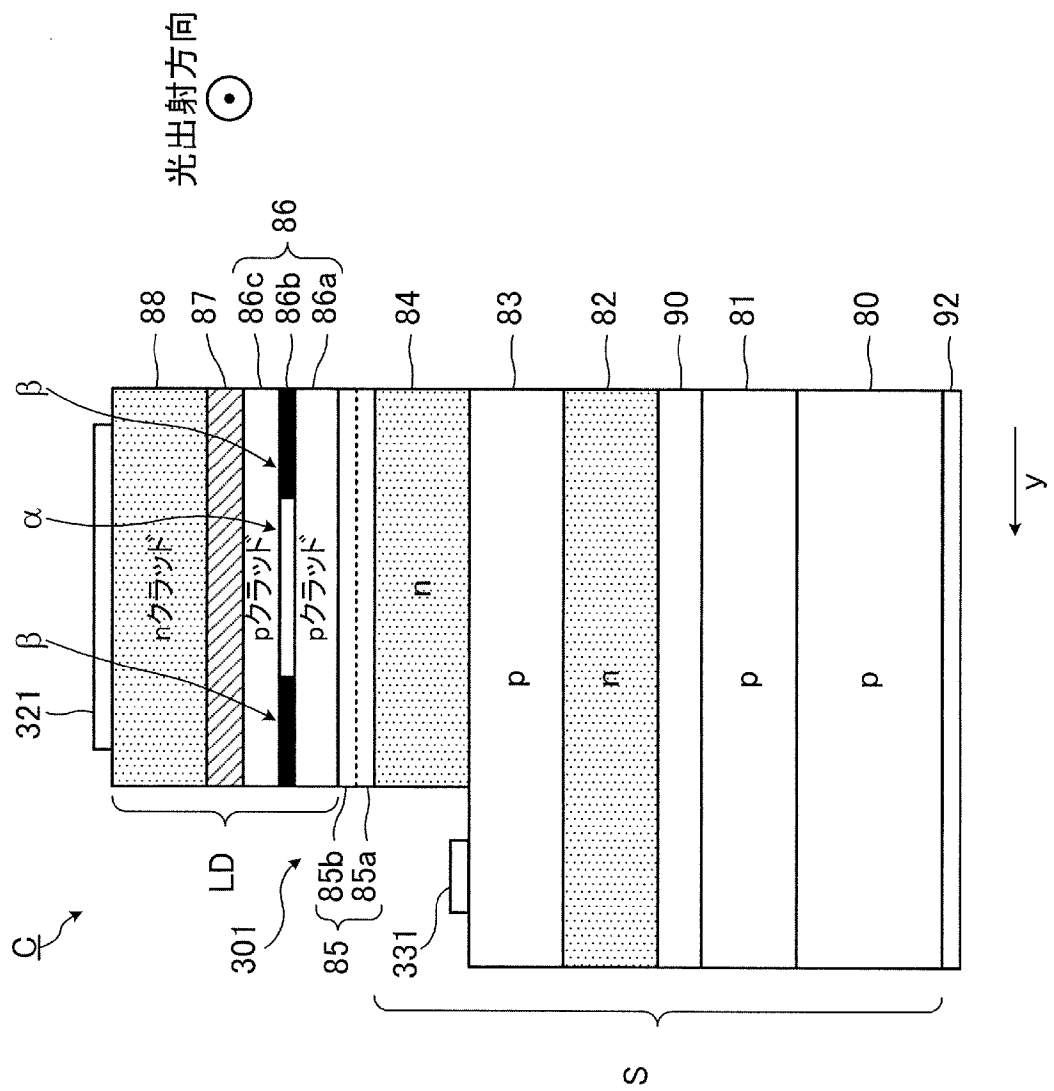


[図13]



[図14]

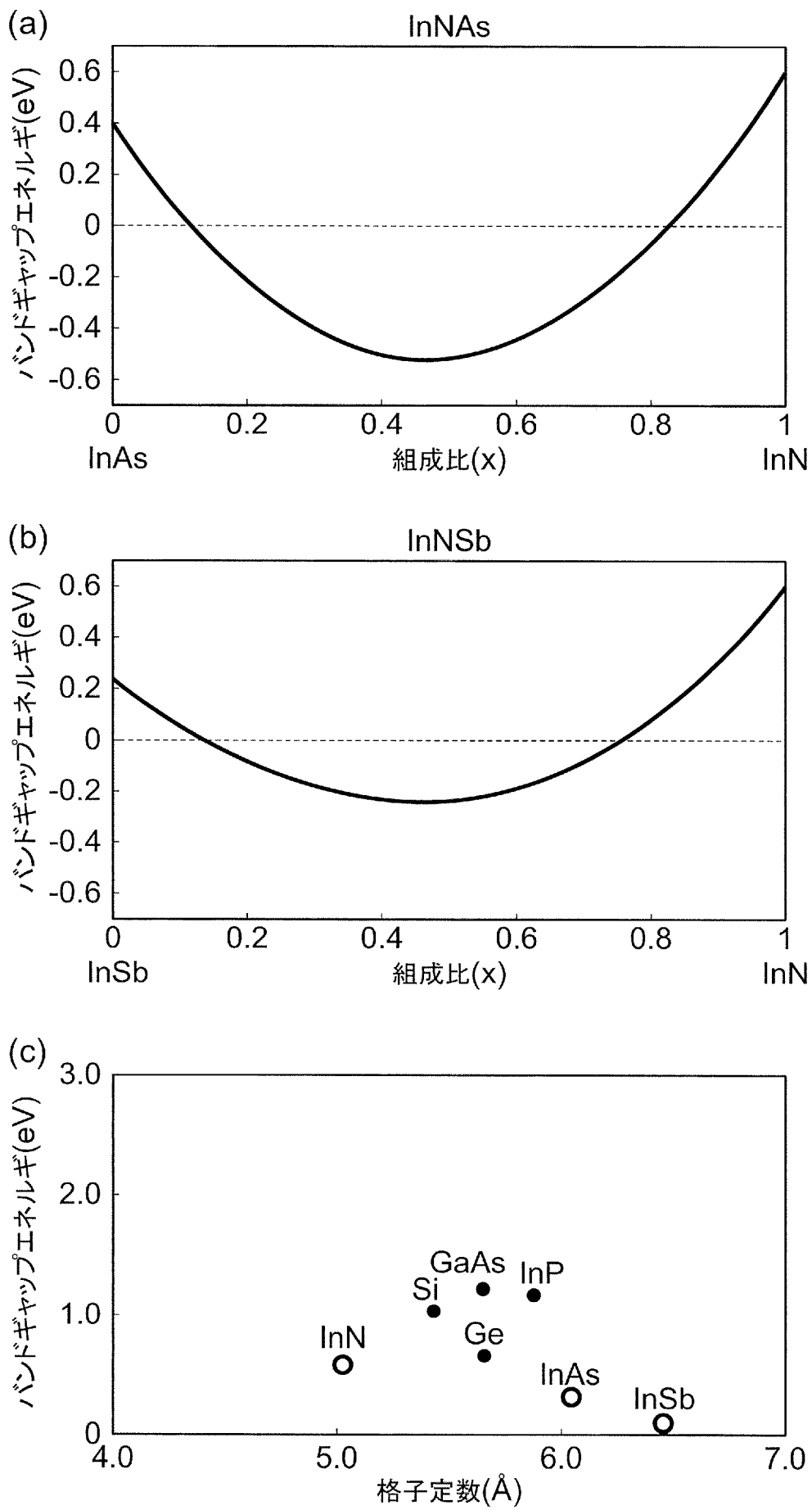




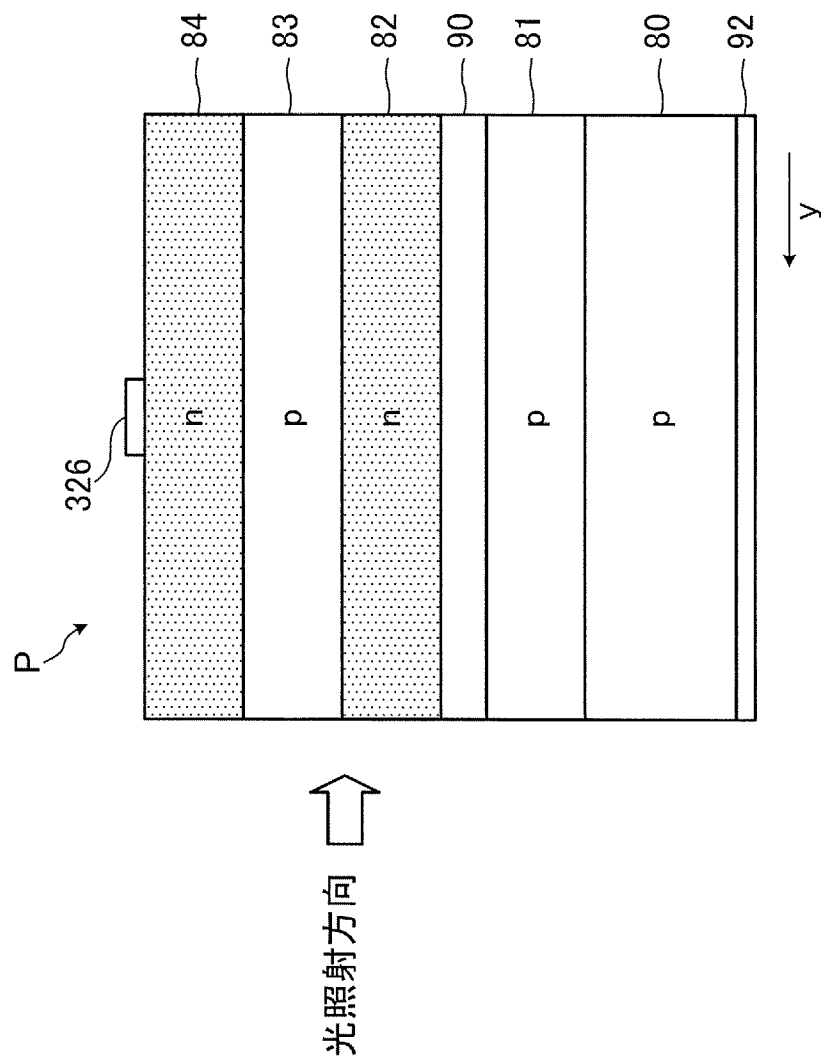
[illegible]

Figure 1 is a cross-sectional view of a semiconductor device 100. The device includes a VCSEL 301 and a substrate S. The VCSEL 301 consists of an nDBR 88, a pDBR 87, and a pDBR 86. The substrate S includes layers 83, 82, 90, 81, 80, and 92. A light emission direction arrow is shown pointing upwards.

[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/009835

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/08(2010.01)i, B41J2/447(2006.01)i, B41J2/45(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64, B41J2/447, B41J2/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-308385 A (Nippon Sheet Glass Co., Ltd.), 02 November 2001 (02.11.2001), paragraphs [0018] to [0021], [0035]; fig. 5 to 7 (Family: none)	1-11
Y	JP 2016-039338 A (Fuji Xerox Co., Ltd.), 22 March 2016 (22.03.2016), paragraphs [0025] to [0057]; fig. 5 (Family: none)	1-11
Y	JP 10-321957 A (Hitachi, Ltd.), 04 December 1998 (04.12.1998), paragraphs [0034] to [0041], [0046] to [0053]; fig. 4 (Family: none)	3-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
26 April 2017 (26.04.17)

Date of mailing of the international search report
16 May 2017 (16.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/009835

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-032812 A (Fuji Xerox Co., Ltd.), 16 February 2015 (16.02.2015), paragraphs [0008] to [0059]; fig. 1 to 2, 17 to 18 (Family: none)	4, 6-9
A	JP 2013-168581 A (Fuji Xerox Co., Ltd.), 29 August 2013 (29.08.2013), paragraphs [0021] to [0052]; fig. 1 to 6 (Family: none)	1-11
A	JP 2005-340471 A (Kyocera Corp.), 08 December 2005 (08.12.2005), paragraphs [0025] to [0087]; fig. 1 to 5 (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L33/08(2010.01)i, B41J2/447(2006.01)i, B41J2/45(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L33/00-33/64, B41J2/447, B41J2/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-308385 A（日本板硝子株式会社） 2001.11.02, 段落[0018]-[0021], [0035], 図5-7 (ファミリーなし)	1-11
Y	JP 2016-039338 A（富士ゼロックス株式会社） 2016.03.22, 段落[0025]-[0057], 図5 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

26.04.2017

国際調査報告の発送日

16.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

島田 英昭

2 K

6006

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-321957 A (株式会社日立製作所) 1998. 12. 04, 段落[0034]-[0041], [0046]-[0053], 図 4 (ファミリーなし)	3-11
Y	JP 2015-032812 A (富士ゼロックス株式会社) 2015. 02. 16, 段落[0008]-[0059], 図 1-2, 17-18 (ファミリーなし)	4, 6-9
A	JP 2013-168581 A (富士ゼロックス株式会社) 2013. 08. 29, 段落[0021]-[0052], 図 1-6 (ファミリーなし)	1-11
A	JP 2005-340471 A (京セラ株式会社) 2005. 12. 08, 段落[0025]-[0087], 図 1-5 (ファミリーなし)	1-11