



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0128880
(43) 공개일자 2021년10월27일

(51) 국제특허분류(Int. Cl.)
G11C 11/4076 (2006.01) G11C 11/4093 (2021.01)
H03L 7/24 (2006.01)
(52) CPC특허분류
G11C 11/4076 (2013.01)
G11C 11/4093 (2018.05)
(21) 출원번호 10-2020-0069035
(22) 출원일자 2020년06월08일
심사청구일자 2020년06월08일
(30) 우선권주장
1020200046649 2020년04월17일 대한민국(KR)

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
변경수
서울특별시 서초구 도구로 73, 801호(방배동, 대성아파트)
(74) 대리인
양성보

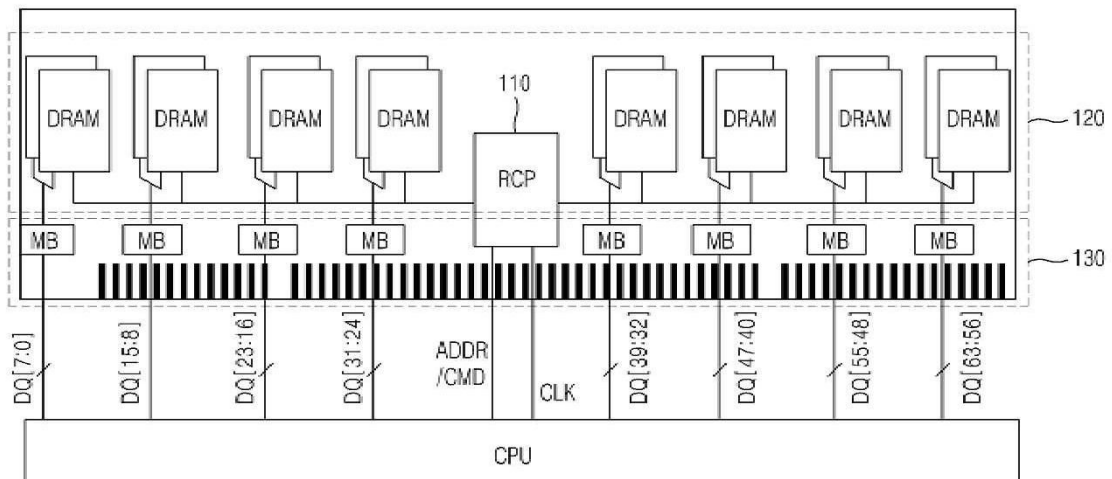
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 차세대 DDR6/7 LR-DIMM 서버 플랫폼 애플리케이션을 위한 고속 데이터 버퍼

(57) 요약

차세대 DDR6/7 LR-DIMM 서버 플랫폼 애플리케이션을 위한 고속 데이터 버퍼가 제시된다. 본 발명에서 제안하는 차세대 DDR6/7 LR-DIMM 서버 플랫폼 애플리케이션을 위한 고속 데이터 버퍼 시스템은 CPU로부터 저속 클럭을 입력 받고, 고속 클럭을 위한 추가 클럭 버퍼를 포함하는 저전력 클럭킹 인터페이스, 저전력 클럭킹 인터페이스로부터 클럭을 입력 받아 ILFM을 통해 고속 클럭으로 변환하는 복수의 D램 및 각각의 D램으로부터 클럭을 입력 받고, 송신부와 수신부를 포함하는 복수의 데이터 버퍼를 포함하고, 복수의 데이터 버퍼 각각은 데이터 전송 대역폭을 증가시키기 위해 데이터 버퍼에 대해 복수의 단의 인덕티브 차동 증폭기를 사용한다.

대표도



(52) CPC특허분류
H03L 7/24 (2013.01)

명세서

청구범위

청구항 1

CPU로부터 저속 클럭을 입력 받고, 고속 클럭을 위한 추가 클럭 버퍼를 포함하는 저전력 클럭킹 인터페이스;
저전력 클럭킹 인터페이스로부터 클럭을 입력 받아 ILFM을 통해 고속 클럭으로 변환하는 복수의 D램; 및
각각의 D램으로부터 클럭을 입력 받고, 송신부와 수신부를 포함하는 복수의 데이터 버퍼
를 포함하고,
복수의 데이터 버퍼 각각은,
데이터 전송 대역폭을 증가시키기 위해 데이터 버퍼에 대해 복수의 단의 인덕티브 차동 증폭기를 사용하는
고속 데이터 버퍼 시스템.

청구항 2

제1항에 있어서,
복수의 D램은,
입력 받은 저속 클럭을 ILFM을 통해 고주파 클럭으로 변환하고,
ILFM은 칩 크기를 감소시키고, 라우팅 금속의 저항과 기생 캐패시턴스를 감소시키기 위해 단일 분산 인덕터를
사용하는
고속 데이터 버퍼 시스템.

청구항 3

제1항에 있어서,
복수의 D램은,
모든 D램 간의 전송 지연시간 클럭킹의 동기화를 수행하여 입력 받은 저속 클럭을 동기식 고속 클럭으로 변환하
는
고속 데이터 버퍼 시스템.

청구항 4

제1항에 있어서,
복수의 데이터 버퍼 각각은,
제로(zero) 내지 투-폴(two poles) 시스템을 사용함으로써 데이터 전송의 대역폭을 확대하기 위하여 인덕터가
복수의 단의 인덕티브 차동 증폭기에 통합되는
고속 데이터 버퍼 시스템.

청구항 5

제4항에 있어서,
복수의 데이터 버퍼의 각각의 수신부는,
데이터 전송의 대역폭을 확대하기 위하여 인덕터가 통합된 세 개의 단의 인덕티브 차동 증폭기를 사용하는
고속 데이터 버퍼 시스템.

청구항 6

제4항에 있어서,

복수의 데이터 버퍼의 각각의 송신부는,

데이터 전송의 대역폭을 확대하기 위하여 인덕터가 통합된 두 개의 단의 인덕티브 차동 증폭기를 사용하는 고속 데이터 버퍼 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 차세대 DDR6/7 LR-DIMM 서버 플랫폼 애플리케이션을 위한 고속 데이터 버퍼에 관한 것이다.

배경 기술

[0002] 최근에는 미래 클라우드, 서버, 모바일 기기를 위한 고속 LR-DIMM 데이터 버퍼의 필요성이 대두되고 있다. 그러나 기존의 데이터 버퍼는 임피던스 매칭을 위해 저항기가 있는 CMOS 트랜지스터를 사용한 단순한 출력 드라이버를 기반으로 한다. 단순한 아키텍처로 기존의 데이터 버퍼는 속도 제한과 데이터 신호를 구동하기 위한 높은 전력 소비로 어려움을 겪고 있다. 따라서, 데이터-대역폭 확대와 에너지 효율을 크게 향상시키기 위해 인덕티브 기반 입력 및 출력 드라이버를 갖는 새로운 데이터 버퍼를 필요로 한다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 기술적 과제는 데이터-대역폭 확대와 에너지 효율을 크게 향상시키기 위해 인덕티브 기반 입력 및 출력 드라이버를 갖는 새로운 데이터 버퍼를 제공 하는데 있다. 또한 D램 내부의 ILFM(Injection-Lock-Frequency-Multipliers)을 통해 동기화에 필요한 고주파 클럭을 생성하고자 한다.

과제의 해결 수단

[0004] 일 측면에 있어서, 본 발명에서 제안하는 차세대 DDR6/7 LR-DIMM 서버 플랫폼 애플리케이션을 위한 고속 데이터 버퍼 시스템은 CPU로부터 저속 클럭을 입력 받고, 고속 클럭을 위한 추가 클럭 버퍼를 포함하는 저전력 클럭킹 인터페이스, 저전력 클럭킹 인터페이스로부터 클럭을 입력 받아 ILFM을 통해 고속 클럭으로 변환하는 복수의 D램 및 각각의 D램으로부터 클럭을 입력 받고, 송신부와 수신부를 포함하는 복수의 데이터 버퍼를 포함하고, 복수의 데이터 버퍼 각각은 데이터 전송 대역폭을 증가시키기 위해 데이터 버퍼에 대해 복수의 단의 인덕티브 차동 증폭기를 사용한다.

[0005] 복수의 D램은 입력 받은 저속 클럭을 ILFM을 통해 고주파 클럭으로 변환하고, ILFM은 칩 크기를 감소시키고, 라우팅 금속의 저항과 기생 캐패시턴스를 감소시키기 위해 단일 분산 인덕터를 사용한다.

[0006] 복수의 D램은 모든 D램 간의 전송 지연시간 클럭킹의 동기화를 수행하여 입력 받은 저속 클럭을 동기식 고속 클럭으로 변환한다.

[0007] 복수의 데이터 버퍼 각각은 제로(zero) 내지 두-폴(two poles) 시스템을 사용함으로써 데이터 전송의 대역폭을 확대하기 위하여 인덕터가 복수의 단의 인덕티브 차동 증폭기에 통합된다.

[0008] 본 발명의 실시예에 따른 복수의 데이터 버퍼의 각각의 수신부는 데이터 전송의 대역폭을 확대하기 위하여 인덕터가 통합된 세 개의 단의 인덕티브 차동 증폭기를 사용할 수 있다.

[0009] 본 발명의 실시예에 따른 복수의 데이터 버퍼의 각각의 송신부는 데이터 전송의 대역폭을 확대하기 위하여 인덕터가 통합된 두 개의 단의 인덕티브 차동 증폭기를 사용할 수 있다.

발명의 효과

[0010] 본 발명의 실시예들에 따르면 인덕티브 기반 입력 및 출력 드라이버를 갖는 고속 데이터 버퍼를 통해 데이터-대역폭 확대와 에너지 효율을 크게 향상시킬 수 있고, D램 내부의 ILFM(Injection-Lock-Frequency-

Multipliers)을 통해 동기화에 필요한 고주파 클럭을 생성할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 일 실시예에 따른 차세대 DDR6/7 LR-DIMM 서버 플랫폼 애플리케이션을 위한 고속 데이터 버퍼의 전체 아키텍처를 나타내는 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 저전력 클럭킹 인터페이스를 나타내는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 D램의 내부 구조를 나타내는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 저전력 고속 ILFM의 회로를 나타내는 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 데이터 버퍼의 내부 구조를 나타내는 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 시뮬레이션 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0014] 도 1은 본 발명의 일 실시예에 따른 차세대 DDR6/7 LR-DIMM 서버 플랫폼 애플리케이션을 위한 고속 데이터 버퍼의 전체 아키텍처를 나타내는 도면이다.
- [0015] 기존의 데이터 버퍼는 임피던스 매칭 저항기가 있는 간단한 CMOS 인버터를 기반으로 한다. 증폭기가 기생 저항과 정전 용량으로 인해 어려움을 겪으므로 이 아키텍처는 데이터 버퍼의 속도 제한을 야기한다.
- [0016] 도 1과 같이 제안된 아키텍처는 CPU에서 D램으로의 데이터 전송 대역폭을 증가시키기 위해 데이터 버퍼에 대해 복수의 단의 인덕티브 차동 증폭기를 사용한다. 이것은 인덕터가 기존의 차동 증폭기에 구현될 때 인덕티브 피킹(inductive peaking) 원리로부터 비롯된다.
- [0017] 주파수 영역에서 기존의 차동 증폭기는 고주파 영역에서 점점 감쇄되는 기생 캐패시턴스와 저항을 가진 원-폴(one pole) 또는 투-폴(two poles) 시스템으로 작동한다. 따라서, 제로(zero) 내지 투-폴 시스템을 사용함으로써 데이터 전송의 대역폭을 크게 확대하기 위하여 인덕터가 제안된 데이터 버퍼 증폭기에 통합된다. 하지만, 높은 데이터 전송률 동작의 경우, 동기식 데이터 통신의 향상을 위해 각 D램 내부에 고주파 클럭을 필요로 한다. 따라서, ILFM 기반 클럭킹 아키텍처는 각 D램에 더 높은 클럭 주파수 신호를 제공할 수도 있다. ILFM 기반 클럭킹의 주요 장점은 제안된 데이터에 고효율 고주파 클럭 신호를 제공할 수 있다는 것이다.
- [0018] 본 발명의 일 실시예에 따른 차세대 DDR6/7 LR-DIMM 서버 플랫폼 애플리케이션을 위한 고속 데이터 버퍼의 전체 아키텍처는 저전력 클럭킹 인터페이스(110), 복수의 D램(120) 및 복수의 데이터 버퍼(130)를 포함한다.
- [0019] 저전력 클럭킹 인터페이스(110)는 CPU로부터 저속 클럭을 입력 받고, 고속 클럭을 위한 추가 클럭 버퍼를 포함한다.
- [0020] 복수의 D램(120)은 저전력 클럭킹 인터페이스로부터 클럭을 입력 받아 ILFM을 통해 고속 클럭으로 변환한다.
- [0021] 복수의 D램(120)은 입력 받은 저속 클럭을 ILFM을 통해 고주파 클럭으로 변환하고, ILFM은 칩 크기를 감소시키고, 라우팅 금속의 저항과 기생 캐패시턴스를 감소시키기 위해 단일 분산 인덕터를 사용한다. 모든 D램 간의 전송 지연시간 클럭킹의 동기화를 수행하여 입력 받은 저속 클럭을 동기식 고속 클럭으로 변환한다.
- [0022] 복수의 데이터 버퍼(130)는 각각의 D램으로부터 클럭을 입력 받고, 송신부와 수신부를 포함한다. 복수의 데이터 버퍼 각각은 데이터 전송 대역폭을 증가시키기 위해 데이터 버퍼에 대해 복수의 단의 인덕티브 차동 증폭기를 사용한다.
- [0023] 복수의 데이터 버퍼 각각은 제로(zero) 내지 투-폴(two poles) 시스템을 사용함으로써 데이터 전송의 대역폭을 확대하기 위하여 인덕터가 복수의 단의 인덕티브 차동 증폭기에 통합된다.
- [0024] 본 발명의 실시예에서, 복수의 데이터 버퍼의 각각의 수신부는 데이터 전송의 대역폭을 확대하기 위하여 인덕터가 통합된 세 개의 단의 인덕티브 차동 증폭기를 사용할 수 있다.
- [0025] 본 발명의 실시예에서, 복수의 데이터 버퍼의 각각의 송신부는 데이터 전송의 대역폭을 확대하기 위하여 인덕터

가 통합된 두 개의 단의 인덕티브 차동 증폭기를 사용할 수 있다.

- [0027] 도 2는 본 발명의 일 실시예에 따른 저전력 클럭킹 인터페이스를 나타내는 도면이다.
- [0028] 제안하는 저전력 클럭킹 인터페이스(210)는 CPU로부터 저속 클럭을 입력 받고, 고속 클럭을 위한 추가 클럭 버퍼를 포함한다. 저전력 클럭킹 인터페이스는 CPU로부터 저속 클럭을 입력 받기 위한 클럭 버퍼 및 클럭을 복구하기 위한 측면의 클럭 버퍼를 포함한다.
- [0030] 도 3은 본 발명의 일 실시예에 따른 D램의 내부 구조를 나타내는 도면이다.
- [0031] 제안하는 D램(300)은 입력 버퍼(310)를 통해 저속 클럭을 입력 받는다. 각 D램(300)에서는 ILFM(320)을 통해 저속 클럭(예를 들어, 1GHz)을 고속 클럭(예를 들어, 저주파 클럭 신호의 n배, 5GHz ~ 36GHz)으로 변환한다. 이후, DFF(330)를 통해 고속 클럭을 출력한다. 제안된 아키텍처의 장점은 모든 D램 간의 전송 지연시간 클럭킹의 동기화이다.
- [0032] 각 D램 내부(300)에서 저주파 클럭은 ILFM(320)에 의해 예상되는 고주파 클럭(예를 들어, 36GHz)으로 변환된다. 시뮬레이션 결과, 저주파 클럭 송수신기의 전력 비용은 스케일업된 기준 송수신기(즉, 12.8Ghz 11.4mW)보다 8~10배 낮다(즉, 1GHz 1.2mW).
- [0034] 도 4는 본 발명의 일 실시예에 따른 저전력 고속 ILFM의 회로를 나타내는 도면이다.
- [0035] 도 4(a)은 본 발명의 일 실시예에 따른 개선된 클럭킹 애플리케이션을 위한 저전력 고속 ILFM의 회로이고, 도 4(b)은 본 발명의 일 실시예에 따른 분산형 단일 인덕터(Distributed Single Inductor)의 레이아웃 및 회로를 나타내는 도면이다.
- [0036] 개선된 클럭킹 애플리케이션을 위한 저전력 고속 ILFM(Injection-Locked Frequency Multipliers)은 입력 신호를 입력 받는 입력 트랜지스터(M3, M4), 고주파 클럭 생성을 위한 복수의 인덕터(L1, L2, L3 및 L4) 및 생성된 고주파 클럭을 출력하기 위한 출력 트랜지스터(M1, M2)를 포함한다.
- [0037] 복수의 인덕터(L1, L2, L3 및 L4)는 고주파 클럭 생성을 위해 온칩 인덕터를 결합하여 분산형 단일 인덕터(Distributed Single Inductor)로 레이아웃된다.
- [0038] 본 발명의 실시예에 따르면, 복수의 인덕터(L1, L2, L3 및 L4) 중 제1 인덕터(L1) 및 제2 인덕터(L2)는 제1 메탈 레이어(Metal8)에 레이아웃되고, 제3 인덕터(L3) 및 제4 인덕터(L4)는 제2 메탈 레이어(Metal7)에 레이아웃될 수 있다.
- [0039] 복수의 인덕터(L1, L2, L3 및 L4)는 칩 면적을 감소시키고 인접한 인덕터들 간의 긴 금속 라우팅 와이어를 제거하기 위해 분산형 단일 인덕터로 레이아웃된다.
- [0040] 복수의 인덕터(L1, L2, L3 및 L4)는 고주파 클럭 생성을 위해 온칩 인덕터를 결합하여 분산형 단일 인덕터로 레이아웃되고, 신호 커플링의 효율성을 증가시키고 신호 저하를 방지하며 활성 회로에 대칭 임피던스를 제공한다.
- [0041] 본 발명의 실시예에 따른 저전력 고속 ILFM은 NTV(Near-Threshold Voltage) 작동 영역에서 작동함으로써 전력 소비량을 감소시킬 수 있다. 분산형 단일 인덕터로 레이아웃되는 복수의 인덕터의 크기를 스케일링함으로써 고주파 클럭을 생성할 수 있다.
- [0042] 고주파 클럭 생성의 경우 많은 인덕터를 활용할 필요가 있다. 그러나 제안된 ILFM은 도 4(b)과 같이 온칩 인덕터를 결합하여 분산형 단일 인덕터를 활용한다. 제안된 ILFM 토폴로지의 이점은 칩 면적 효율을 향상시키고 인접한 인덕터들 사이의 긴 금속 라우팅 와이어를 제거할 수 있다는 것이다. 따라서 제안된 ILFM은 신호 커플링의 효율성을 높이고 신호 저하를 방지하며 활성 회로에 완벽한 대칭 임피던스를 제공한다. 또한 제안된 ILFM은 전원 공급이 낮은 공급 전압(예를 들어, 0.5V ~ 0.6V)에서 작동하는 NTV(Near-Threshold Voltage) 작동 영역에서 작동한다. 전원이 공급 전압의 제공에 비례하기 때문에 ILFM의 전력 소비량을 크게 줄일 수 있기 때문이다. 또한 분산 인덕터의 크기를 스케일링(scaling)함으로써, 제안하는 ILFM은 차세대 고속 통신 시스템을 위하여 저주파 입력 신호(예를 들어, 0.8GHz ~ 3.6GHz)를 주입함으로써 매우 높은 주파수 출력 클럭 신호(예를 들어, 5GHz

에서 36GHz까지)를 생성할 수 있다.

- [0044] 도 5는 본 발명의 일 실시예에 따른 데이터 버퍼의 내부 구조를 나타내는 도면이다.
- [0045] 본 발명의 일 실시예에 따른 데이터 버퍼는 도 5(a)와 같이 송신부(TX)와 수신부(RX)를 포함한다. 송신부(TX)와 수신부(RX)의 내부 구조를 도 5(b)에 더욱 상세히 나타내었다.
- [0046] 도 5(b)를 참조하면, 제안하는 데이터 버퍼는 수신부(510) 및 송신부(520)를 포함한다.
- [0047] 복수의 데이터 버퍼 각각은 데이터 전송 대역폭을 증가시키기 위해 데이터 버퍼에 대해 복수의 단의 인덕티브 차동 증폭기를 사용한다.
- [0048] 복수의 데이터 버퍼 각각은 제로(zero) 내지 투-폴(two poles) 시스템을 사용함으로써 데이터 전송의 대역폭을 확대하기 위하여 인덕터가 복수의 단의 인덕티브 차동 증폭기에 통합된다.
- [0049] 본 발명의 실시예에서, 복수의 데이터 버퍼의 각각의 수신부는 데이터 전송의 대역폭을 확대하기 위하여 인덕터가 통합된 세 개의 단의 인덕티브 차동 증폭기를 사용할 수 있다.
- [0050] 본 발명의 실시예에서, 복수의 데이터 버퍼의 각각의 송신부는 데이터 전송의 대역폭을 확대하기 위하여 인덕터가 통합된 두 개의 단의 인덕티브 차동 증폭기를 사용할 수 있다.
- [0051] 기존의 데이터 버퍼는 임피던스 매칭 저항기가 있는 간단한 CMOS 인버터를 기반으로 한다. 증폭기가 기생 저항과 정전 용량으로 인해 어려움을 겪으므로 이 아키텍처는 데이터 버퍼의 속도 제한을 야기한다.
- [0052] 도 5와 같이 제안된 아키텍처는 CPU에서 D램으로의 데이터 전송 대역폭을 증가시키기 위해 데이터 버퍼에 대해 복수의 단의 인덕티브 차동 증폭기를 사용한다. 이것은 인덕터가 기존의 차동 증폭기에 구현될 때 인덕티브 피킹(inductive peaking) 원리로부터 비롯된다.
- [0053] 주파수 영역에서 기존의 차동 증폭기는 고주파 영역에서 점점 감쇄되는 기생 캐패시턴스와 저항을 가진 원-폴(one pole) 또는 투-폴(two poles) 시스템으로 작동한다. 따라서, 제로(zero) 내지 투-폴 시스템을 사용함으로써 데이터 전송의 대역폭을 크게 확대하기 위하여 인덕터가 제안된 데이터 버퍼 증폭기에 통합된다.
- [0055] 도 6은 본 발명의 일 실시예에 따른 시뮬레이션 결과를 나타내는 도면이다.
- [0056] 도 6(a)는 12.8Gb/s 데이터 속도에서 제안된 데이터 버퍼 송수신기에 대한 시뮬레이션 결과이다. 데이터 입력 스트림은 피슈도랜덤 이진 시퀀스에서 CPU 측의 송신부로 전달되고, 데이터 버퍼 블록에 의해 복구된 후, 데이터 신호가 D램 내부의 수신부로 전달된다. 수신부의 출력에서 측정된 신호는 도 6(b)와 같이 명확한 아이디어어그램으로 나타난다.

[0058] <표 1>

Reference	JSCC2013[1]	This work
CMOS Technology	28nm	28nm
Data-rate	10Gbps	16Gbps
Power	9.5mW	4.03mW
Power efficiency	0.95pJ/b	0.25pJ/b

- [0059]
- [0061] 표 1과 같이 제안된 데이터 버퍼의 성능은 종래기술과 비교했을 때 데이터-대역폭과 에너지 효율 모두 향상되었다.
- [0062] 인덕티브 피킹의 신호 부스팅을 사용하는 제안된 데이터 버퍼는 CPU와 미래의 DDR6/7 LR-DIMM 애플리케이션 간에 고속 및 저전력 데이터 통신을 가능하게 한다.
- [0064] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어

구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0065] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

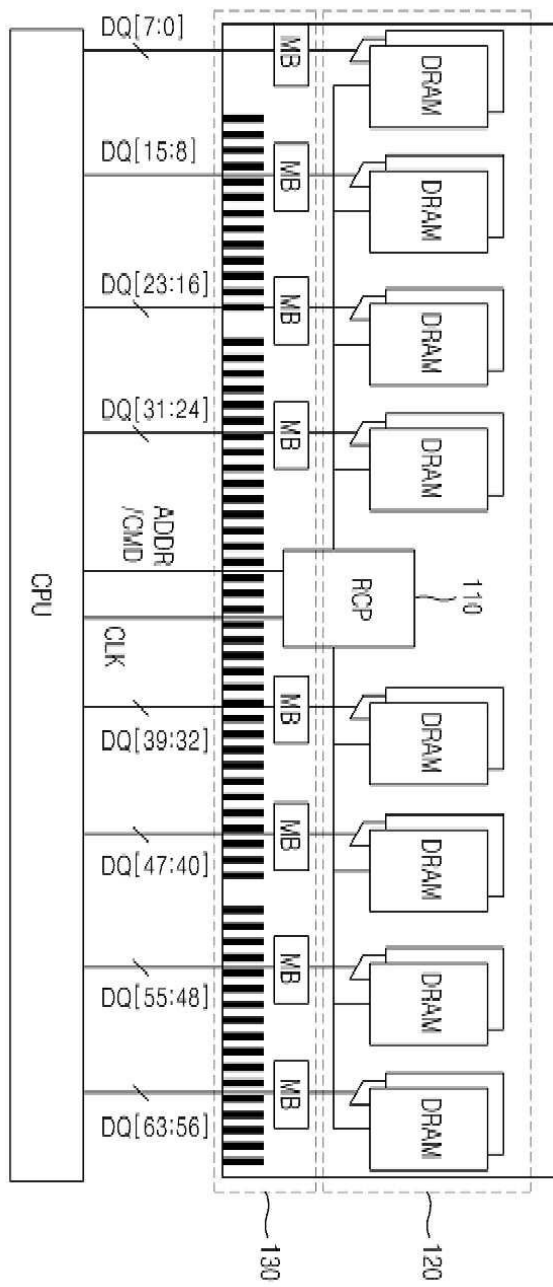
[0066] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0067] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

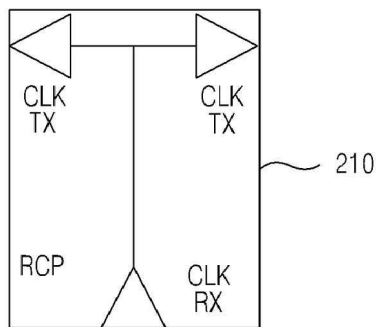
[0068] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

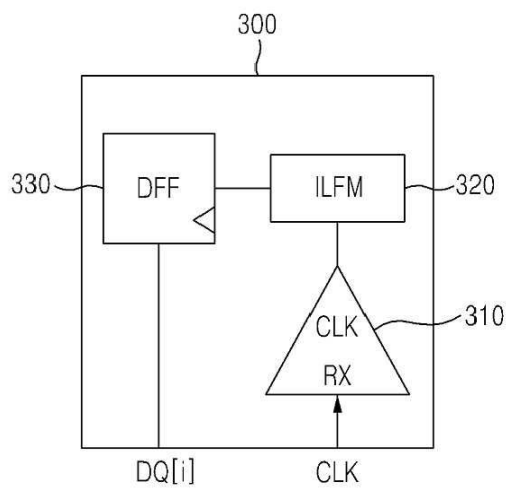
도면1



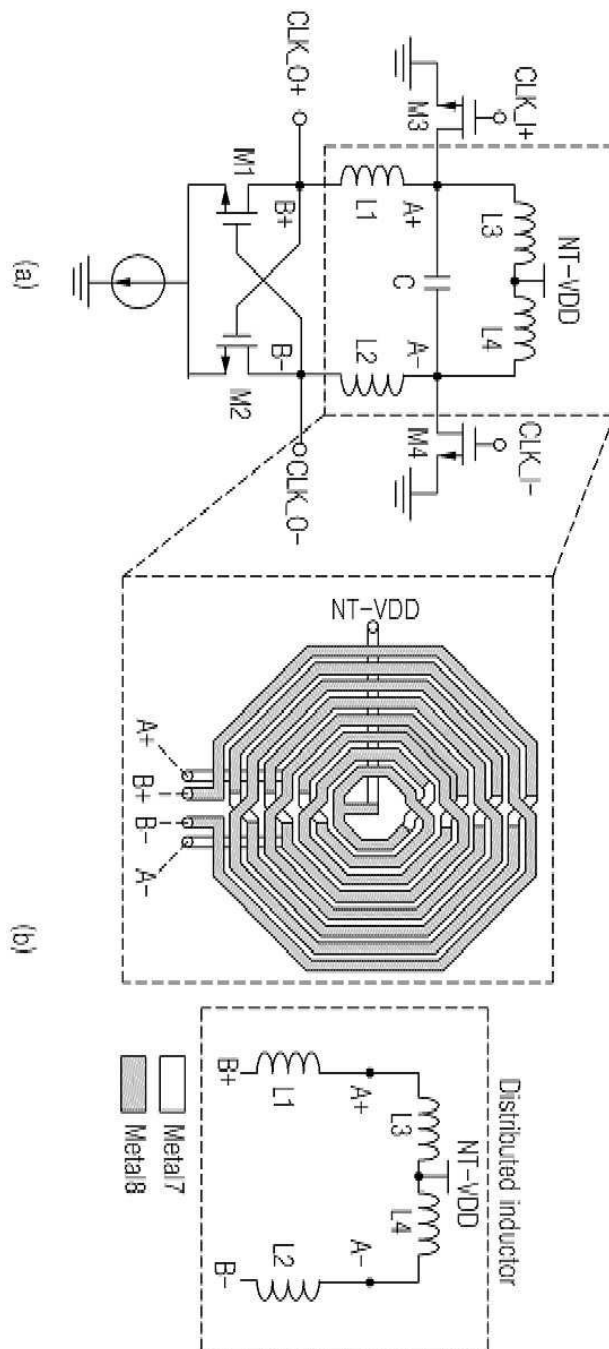
도면2



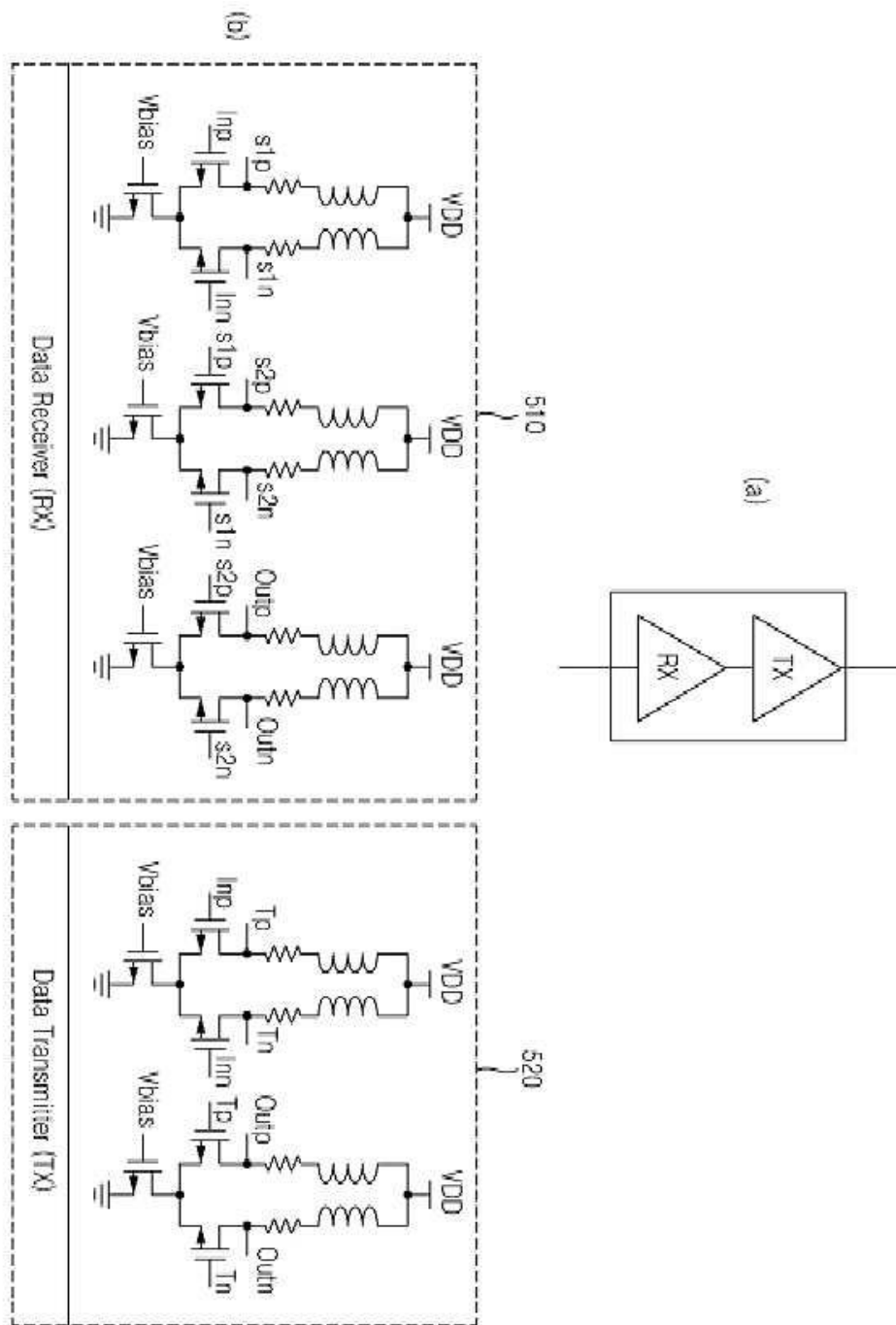
도면3



도면4



도면5



도면6

