



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월21일
 (11) 등록번호 10-0796298
 (24) 등록일자 2008년01월14일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2002-0052020
 (22) 출원일자 2002년08월30일
 심사청구일자 2006년06월02일
 (65) 공개번호 10-2004-0020421
 (43) 공개일자 2004년03월09일

(56) 선행기술조사문헌
 KR1019990003509 A

(뒷면에 계속)

전체 청구항 수 : 총 20 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

문승환

경기도용인시수지읍상현리만현마을현대I-PARK6차
 아파트205-1504

(74) 대리인

박영우

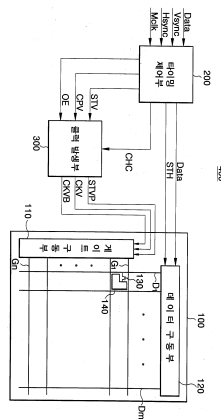
심사관 : 이동윤

(54) 액정표시장치

(57) 요약

고속 동작을 가능하게 하면서 게이트 구동신호의 지연을 방지할 수 있고 리턴던시 기능을 갖는 액정표시장치가 개시된다. 클럭 발생부는 게이트 구동신호를 결정하는 제1 구간과 서로 충전을 공유하는 제2 구간을 갖는 제1 및 제2 클럭을 발생하여 게이트 구동부로 인가함으로써 게이트 구동신호의 펄스폭을 조절한다. 또한, 게이트 라인의 일단에 방전 트랜지스터를 형성하여 다음 게이트 라인이 동작되기 이전에 현재 게이트 라인을 방전시킨다. 게이트 라인의 일단에는 제1 게이트 구동부가 배치되고 게이트 라인의 타단에는 제1 게이트 구동부가 오동작을 일으킬 때 동작되어 게이트 라인을 구동하는 제2 게이트 구동부가 배치된다. 따라서, 고속 동작을 가능하게 하면서 게이트 지연을 방지할 수 있고 리턴던시 기능을 갖으면서 게이트 구동신호의 지연을 방지할 수 있다.

대표도 - 도1



(56) 선행기술조사문헌
JP10253940 A
KR1019990059983 A
KR1019990062458 A
KR1020020056706 A
KR1020020059476 A

특허청구의 범위

청구항 1

외부로부터의 신호에 응답하여 화상신호, 제1 및 제2 타이밍 신호, 클럭발생 제어신호를 출력하는 타이밍 제어부;

상기 클럭발생 제어신호에 응답하여 서로 반진된 위상을 갖는 제1 및 제2 클럭을 발생하고, 상기 제1 및 제2 클럭 각각이 게이트 구동신호를 결정하는 제1 구간과 상기 제1 및 제2 클럭의 전압이 서로 역방향으로 변동하는 제2 구간을 갖도록 제어하는 클럭 발생부;

중속적으로 연결된 복수의 스테이지로 이루어지고, 상기 제1 타이밍 신호와 상기 제1 및 제2 클럭에 응답하여 각 스테이지에 순차적으로 상기 게이트 구동신호를 출력하는 게이트 구동부;

상기 제2 타이밍 신호에 응답하여 상기 화상 신호를 출력하는 데이터 구동부; 및

상기 화상신호를 제공받는 복수의 데이터 라인, 상기 게이트 구동신호를 제공받는 복수의 게이트 라인, 상기 데이터 라인과 게이트 라인에 연결되고 상기 게이트 구동신호에 응답하여 상기 화상신호를 출력하는 스위칭 소자를 갖는 액정 패널을 포함하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 제1 클럭은 상기 제1 구간에서 제1 전압을 유지하고, 상기 제2 구간에서 제1 극성의 일정 기울기를 갖고,

상기 제2 클럭은 상기 제1 구간에서 상기 제1 전압과 위상이 반진된 제2 전압을 유지하고, 상기 제2 구간에서 상기 제1 극성과 위상이 반진된 제2 극성의 일정 기울기를 갖는 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서, 현재 스테이지는 다음 스테이지의 출력전압이 일정 전압 이상이 될 때 방전동작을 수행하여 현재 스테이지의 출력신호를 방전시키는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서, 상기 클럭발생 제어신호는 상기 전압인가회로를 턴-온시키기 위한 제3 구간, 상기 충전공유회로를 턴-온시키기 위한 제4 구간, 상기 전압인가회로와 상기 충전공유회로를 턴-오프시키기 위한 제5 구간을 갖는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서, 상기 클럭발생 제어신호는 상기 제1 및 제2 클럭이 반복적으로 하이구간을 갖도록 제어하는 CPV 신호, 연속적으로 출력되는 상기 게이트 구동신호들이 서로 위상차를 갖도록 제어하는 OE 신호, 상기 제1 및 제2 클럭이 충전을 공유하도록 충전공유회로를 제어하는 CHC 신호를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제5항에 있어서, 상기 클럭 발생부는,

상기 제1 타이밍 신호를 입력받고 상기 OE 신호에 동기하여, 제1 단을 통해 OCS 신호를 출력하고 제2 단을 통해 ECS 신호를 출력하는 D-플립플롭;

상기 CPV 신호, OE 신호 및 OCS 신호에 응답하여 상기 제1 구간동안 일정 전압을 유지하는 상기 제1 클럭을 출력하는 제1 클럭 전압인가회로;

상기 CPV 신호, OE 신호 및 ECS 신호에 응답하여 상기 제1 구간동안 일정 전압을 유지하는 상기 제2 클럭을 출력하는 제2 클럭 전압인가회로; 및

상기 CPV 신호와 CHC 신호를 입력받고, 상기 제1 및 제2 클럭 전압인가회로의 턴-오프시 구동되어 상기 제1 및

제2 클럭을 충전 공유시키기 위한 충전공유회로를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제6항에 있어서, 상기 제1 클럭 전압인가회로는,

상기 OCS 신호의 하이구간에 응답하여 상기 제1 클럭에 제1 전원전압을 출력하기 위한 제1 전원전압 공급부; 및
 상기 OCS 신호의 로우구간에 응답하여 상기 제1 클럭에 제2 전원전압을 출력하기 위한 제2 전원전압 공급부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제6항에 있어서, 상기 제2 클럭 전압인가회로는,

상기 ECS 신호의 하이구간에 응답하여 상기 제2 클럭에 제1 전원전압을 출력하기 위한 제1 전원전압 공급부; 및
 상기 ECS 신호의 로우구간에 응답하여 상기 제2 클럭에 제2 전원전압을 출력하기 위한 제2 전원전압 공급부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9

제6항에 있어서, 상기 충전공유회로는,

상기 제2 클럭의 방전시 상기 제1 클럭의 충전하고 상기 제1 클럭의 방전시 상기 제2 클럭을 충전하는 클럭 충전부; 및

상기 제1 및 제2 클럭 전압인가회로의 턴오프시 상기 CPV 신호와 CHC 신호에 응답하여 상기 클럭 충전부를 온/오프시키고, 상기 클럭 충전부의 동작 시간을 제어하는 충전 제어부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제1 방향으로 연장된 다수의 게이트 라인, 상기 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인, 제1 전극이 상기 게이트 라인에 연결되며 제2 전극이 상기 데이터 라인에 연결되는 스위칭 소자, 상기 스위칭 소자의 제3 전극에 연결된 화소 전극을 갖는 액정패널;

상기 게이트 라인들의 제1 단부에 연결되고 상기 다수의 게이트 라인에 순차적으로 게이트 구동신호를 인가하기 위한 게이트 구동부;

상기 데이터 라인에 연결되고 상기 데이터 라인에 데이터 구동신호를 인가하기 위한 데이터 구동부; 및

상기 제1 단부와 대향하는 상기 게이트 라인들의 제2 단부에 연결되고, 다음 게이트 라인에 인가되는 제1 게이트 구동신호에 응답하여 현재 게이트 라인에 인가된 제2 게이트 구동신호를 방전시키기 위한 방전부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제10항에 있어서, 상기 방전부는 제1 전극이 상기 현재 게이트 라인에 연결되고 제2 전극이 방전전압 입력단자에 연결되며, 상기 제1 게이트 구동신호에 의해 구동되어 상기 제2 게이트 구동신호를 상기 방전전압으로 방전시키는 트랜지스터로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 12

제10항에 있어서, 상기 게이트 구동부는 제1 클럭과, 상기 제1 클럭과 반대되는 위상을 갖는 제2 클럭을 제공하고,

상기 제1 및 제2 클럭은 상기 게이트 구동신호를 결정하는 제1 구간과, 상기 제1 및 제2 클럭의 충전 공유를 위한 제2 구간으로 구분되는 것을 특징으로 하는 액정표시장치.

청구항 13

제12항에 있어서, 상기 제1 클럭은 상기 제1 구간에서 제1 전압을 유지하고, 상기 제2 구간에서 제1 극성의 일

정 기울기를 갖고,

상기 제2 클럭은 상기 제1 구간에서 상기 제1 전압과 위상이 반전된 제2 전압을 유지하고, 상기 제2 구간에서 상기 제1 극성과 위상이 반전된 제2 극성의 일정 기울기를 갖는 것을 특징으로 하는 액정표시장치.

청구항 14

제1 방향으로 연장된 다수의 게이트 라인, 상기 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인, 제1 전극이 상기 게이트 라인에 연결되며 제2 전극이 상기 데이터 라인에 연결되는 스위칭 소자, 상기 스위칭 소장의 제3 전극에 연결된 화소 전극을 갖는 액정 패널;

상기 게이트 라인들의 제1 단부에 연결되어 상기 게이트 라인들에 순차적으로 게이트 구동신호를 인가하기 위한 제1 게이트 구동부;

상기 제1 게이트 구동부의 오동작시 구동되고, 상기 게이트 라인들의 제2 단부에 연결되어 상기 게이트 라인들에 순차적으로 상기 게이트 구동신호를 인가하기 위한 제2 게이트 구동부;

상기 데이터 라인들에 연결되고 상기 데이터 라인들에 데이터 신호를 인가하기 위한 데이터 구동부;

상기 제1 게이트 구동부의 동작시 다음 게이트 라인에 인가되는 제1 게이트 구동신호에 응답하여 현재 게이트 라인에 인가된 제2 게이트 구동신호를 방전시키기 위한 제1 방전부; 및

상기 제2 게이트 구동부의 동작시 상기 제2 게이트 구동신호에 의해 구동되어 상기 제2 게이트 구동신호를 방전시키기 위한 제2 방전부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 15

제14항에 있어서, 상기 제1 게이트 구동부에 연결된 외부연결단자는 개시신호가 입력되는 제1 입력단자, 제1 클럭이 입력되는 제2 입력단자, 제1 클럭과 반전된 위상을 갖는 제2 클럭이 입력되는 제3 입력단자, 제1 전원전압이 입력되는 제4 입력단자, 제2 전원전압이 입력되는 제5 입력단자로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 16

제15항에 있어서, 상기 제1 및 제2 클럭은 상기 게이트 구동신호를 결정하는 제1 구간과 상기 제1 및 제2 클럭의 충전 공유를 위한 제2 구간으로 구분되는 것을 특징으로 하는 액정표시장치.

청구항 17

제14항에 있어서, 상기 제2 게이트 구동부에 연결된 외부연결단자는 개시신호가 입력되는 제1 입력단자, 제1 클럭과 제1 전원전압이 선택적으로 인가되는 제2 입력단자, 제1 클럭과 반전된 위상을 갖는 제2 클럭과 제1 전원전압이 선택적으로 인가되는 제3 입력단자, 제1 전원전압과 제2 전원전압이 선택적으로 인가되는 제4 입력단자, 제2 전원전압이 입력되는 제5 입력단자로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 18

제17항에 있어서, 상기 제1 및 제2 클럭은 상기 게이트 구동신호를 결정하는 제1 구간과, 상기 제1 및 제2 클럭의 충전 공유를 위한 제2 구간으로 구분되는 것을 특징으로 하는 액정표시장치.

청구항 19

제14항에 있어서, 상기 제1 방전부는 제1 전극이 상기 현재 게이트 라인에 연결되고 제2 전극이 방전전압 입력단자에 연결되며, 상기 제1 게이트 구동신호에 의해 구동되어 상기 제2 게이트 구동신호를 상기 방전전압으로 방전시키는 제1 트랜지스터로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 20

제14항에 있어서, 상기 제2 방전부는 제1 전극이 상기 현재의 게이트 라인에 연결되고 제2 전극이 방전전압 입력단자에 연결되며, 상기 제1 게이트 구동신호에 의해 구동되어 상기 제2 게이트 구동신호를 상기 방전전압으로 방전시키는 제2 트랜지스터로 이루어진 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <32> 본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 고속 동작을 가능하게 하면서 게이트 지연을 방지할 수 있고 리턴던시 기능을 갖는 액정표시장치에 관한 것이다.
- <33> 최근 들어 정보처리기기는 다양한 형태, 다양한 기능, 더욱 빨라진 정보 처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 따라서, 사용자는 정보처리장치에서 처리된 정보를 육안으로 확인하기 위해서 디스플레이 장치를 필요로 한다.
- <34> 이러한 디스플레이 장치 중 액정 표시 장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정셀의 복굴절성, 선광성, 2색성 및 광산란특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정셀에 의한 빛의 변조를 이용한 디스플레이 장치이다.
- <35> 이러한 액정표시장치 중에서도 두 장의 기판에 각각 전극이 형성되고, 각 전극에 인가되는 전압을 스위칭하기 위한 박막 트랜지스터를 구비하는 장치가 주로 사용된다. 이와 같이 박막 트랜지스터를 이용하는 액정표시장치는 a-si 액정표시장치와 poly-si 액정표시장치로 구분된다.
- <36> poly-si 액정표시장치는 소자 동작을 고속화할 수 있고 소자의 저전력 구동이 가능한 장점이 있는 반면, 박막 트랜지스터 제조 공정이 복잡한 단점이 있다. 따라서, poly-si 액정표시장치는 소형 디스플레이 장치에 주로 적용되고, a-si 액정표시장치는 주로 노트북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.
- <37> 최근에는 a-si 액정표시장치에서도 poly-si 액정표시장치와 같이 액정표시패널의 유리 기판 상에 데이터 구동회로 및 게이트 구동회로를 형성함으로써 조립공정의 수를 감소하고자 하는 기술 개발에 힘쓰고 있다.
- <38> 한편, 사용자들의 요구에 따라 액정표시장치는 점차 대형 사이즈를 갖으면서, 고해상도를 추구하는 방향으로 연구 개발되고 있다. 이러한, 문제를 해결하기 위해서는 주어진 시간 즉, 1frame 내에 좀더 많은 수의 신호선들을 동작시키는 기술이 요구된다.

발명이 이루고자 하는 기술적 과제

- <39> 따라서, 본 발명의 제1 목적은 고속 동작을 가능하게 하는 액정표시장치를 제공하는 것이다
- <40> 본 발명의 제2 목적은 게이트 구동신호의 지연을 방지할 수 있는 액정표시장치를 제공하는 것이다.
- <41> 본 발명의 제3 목적은 리턴던시 기능을 갖으면서 게이트 구동신호의 지연을 방지할 수 있는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <42> 상술한 목적을 달성하기 위한 본 발명의 제1 목적에 따른 액정표시장치는, 외부로부터의 신호에 응답하여 화상 신호, 제1 및 제2 타이밍 신호, 클럭발생 제어신호를 출력하는 타이밍 제어부; 상기 클럭발생 제어신호에 응답하여 서로 반전된 위상을 갖는 제1 및 제2 클럭을 발생하고, 상기 제1 및 제2 클럭 각각이 게이트 구동신호를 결정하는 제1 구간과 서로 충전을 공유하는 제2 구간을 갖도록 제어하는 클럭 발생부; 종속적으로 연결된 복수의 스테이지로 이루어지고, 상기 제1 타이밍 신호와 상기 제1 및 제2 클럭에 응답하여 각 스테이지에 순차적으로 상기 게이트 구동신호를 출력하는 게이트 구동부; 상기 제2 타이밍 신호에 응답하여 상기 화상 신호를 출력하는 데이터 구동부; 및 상기 화상신호를 제공받는 복수의 데이터 라인, 상기 게이트 구동신호를 제공받는 복수의 게이트 라인, 상기 데이터 라인과 게이트 라인에 연결되고 상기 게이트 구동신호에 응답하여 상기 화상신호를 출력하는 스위칭 소자를 갖는 액정 패널을 포함한다.
- <43> 또한, 본 발명의 제2 목적에 따른 액정표시장치는, 제1 방향으로 연장된 다수의 게이트 라인, 상기 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인, 제1 전극이 상기 게이트 라인에 연결되며 제2 전극이 상기 데이터 라인에 연결되는 스위칭 소자, 상기 스위칭 소자의 제3 전극에 연결된 화소 전극을 갖는 액정패널; 상기

게이트 라인들의 제1 단부에 연결되고 상기 다수의 게이트 라인에 순차적으로 게이트 구동신호를 인가하기 위한 게이트 구동부; 상기 데이터 라인에 연결되고 상기 데이터 라인에 데이터 구동신호를 인가하기 위한 데이터 구동부; 및 다음 게이트 라인에 인가되는 제1 게이트 구동신호에 응답하여 현재 게이트 라인에 인가된 제2 게이트 구동신호를 방전시키기 위한 방전부를 포함한다.

- <44> 또한, 본 발명의 제3 목적에 따른 액정표시장치는, 제1 방향으로 연장된 다수의 게이트 라인, 상기 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인, 제1 전극이 상기 게이트 라인에 연결되며 제2 전극이 상기 데이터 라인에 연결되는 스위칭 소자, 상기 스위칭 소자의 제3 전극에 연결된 화소 전극을 갖는 액정 패널; 상기 게이트 라인들의 제1 단부에 연결되어 상기 게이트 라인들에 순차적으로 게이트 구동신호를 인가하기 위한 제1 게이트 구동부; 상기 제1 게이트 구동부의 오동작시 구동되고, 상기 게이트 라인들의 제2 단부에 연결되어 상기 게이트 라인들에 순차적으로 상기 게이트 구동신호를 인가하기 위한 제2 게이트 구동부; 상기 데이터 라인들에 연결되고 상기 데이터 라인들에 데이터 신호를 인가하기 위한 데이터 구동부; 상기 제1 게이트 구동부의 동작시 다음 게이트 라인에 인가되는 제1 게이트 구동신호에 응답하여 현재 게이트 라인에 인가된 제2 게이트 구동신호를 방전시키기 위한 제1 방전부; 및 상기 제2 게이트 구동부의 동작시 상기 제2 게이트 구동신호에 의해 구동되어 상기 제2 게이트 구동신호를 방전시키기 위한 제2 방전부를 포함한다.
- <45> 이러한 액정표시장치에 따르면, 게이트 구동신호를 결정하는 제1 구간과 서로 충전을 공유하는 제2 구간을 갖는 제1 및 제2 클럭에 의해 액정표시장치의 고속 동작을 구현할 수 있다.
- <46> 또한, 게이트 라인의 일단에 방전 트랜지스터를 형성하여 다음 게이트 라인이 동작되기 이전에 현재 게이트 라인을 방전시킴으로써 액정표시장치의 게이트 구동신호의 지연을 방지할 수 있다.
- <47> 또한, 게이트 라인의 일단에는 제1 게이트 구동부가 배치되고 게이트 라인의 타단에는 제1 게이트 구동부가 오동작을 일으킬 때 동작되어 게이트 라인을 구동하는 제2 게이트 구동부가 배치함으로써 액정표시장치의 리턴던시 기능을 구현할 수 있다.
- <48> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- <49> <제1 실시예>
- <50> 도 1은 본 발명의 제1 실시예에 따른 액정표시장치를 나타낸 블럭도이다.
- <51> 도 1을 참조하면, 액정표시장치(400)는 게이트 구동부(110)와 데이터 구동부(120)가 형성된 액정 패널(100), 외부로부터의 신호에 응답하여 액정 패널(100)을 제어하는 타이밍 제어부(200) 및 게이트 구동부(110)로 제공되는 제1 및 제2 클럭(CKV, CKVB)을 발생하는 클럭 발생부(300)를 포함한다.
- <52> 타이밍 제어부(200)는 각 종 타이밍 신호를 발생하여 게이트 구동부(110)와 데이터 구동부(120)를 제어한다. 즉, 외부로부터 제공되는 수평 동기 신호인 Hsync(Horizontal synchronizer) 신호에 동기되어 데이터 구동부에서 영상 데이터 신호(DATA)를 아날로그 값으로 변환하여 아날로그 값인 데이터 신호를 데이터 라인에 인가할 것을 명령하는 수평 개시 신호인 STH(Start Horizontal) 신호를 데이터 구동부로 출력한다. 또한, 수직 동기 신호인 Vsync(Vertical synchronizer) 신호에 동기되어 수직 개시 신호인 STV(Start vertical) 신호를 클럭 발생부로 출력한다.
- <53> 게이트 구동신호의 주기를 결정하는 게이트 클럭신호인 CPV(Clock Pulse Vertical) 신호, 게이트 구동신호를 인에이블시키는 게이트 온 인에이블 신호인 OE(Output Enable) 신호, 제1 및 제2 클럭의 충전 공유를 제어하는 충전공유 제어신호인 CHC 신호를 클럭 발생부로 출력한다.
- <54> 한편, 액정 패널(100)은 제1 방향으로 연장된 다수의 게이트 라인(G1~Gn), 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인(D1~Dm), 게이트 라인들과 데이터 라인들(D1~Dm)에 연결된 TFT(130) 및 TFT(130)에 연결된 화소전극(140)으로 이루어진다.
- <55> 또한, 액정 패널(100)에는 게이트 라인들(G1~Gn)에 순차적으로 구동신호를 인가하기 위한 게이트 구동부(110)와 데이터 라인들(D1~Dm)에 데이터 신호를 인가하기 위한 데이터 구동부(120)가 구비된다. 구체적으로, 액정 패널은 TFT 기관, 컬러필터기관(미도시), TFT 기관 및 컬러필터기관 사이에 형성된 액정층(미도시)으로 이루어지고, 게이트 라인들(G1~Gn), 데이터 라인들(D1~Dm), TFT(130) 및 화소전극(140)은 TFT 기관 상에 형성된다.
- <56> 데이터 구동부(120)는 STH 신호에 응답하여 액정 패널(100)의 각 화소에 인가되는 데이터 신호를 생성한다. 여기서, 데이터 신호는 각 화소를 충전시키기 위한 충전 전압이다.

- <57> 게이트 구동부(110)는 복수의 스테이지가 종속적으로 연결된 하나의 쉬프트 레지스터로 이루어지고, 각 게이트 라인은 각 스테이지의 출력 단자와 결합된다. 따라서, 각 스테이지가 순차적으로 구동되면서 게이트 라인들(G1~Gn)에 순차적으로 게이트 구동신호를 출력한다. 즉, STVP 신호에 응답하여 게이트 라인(G1~Gn)에 순차적으로 하이 레벨 구간을 갖는 게이트 구동신호를 인가하여 데이터 신호가 각 화소에 인가되는 것을 제어한다. 여기서, 게이트 신호는 게이트 라인들(G1~Gn)에 연결되어 있는 TFT(130)를 구동하기에 충분한 전압레벨을 갖는다. TFT(130)가 게이트 신호에 의해 구동되면, 데이터 신호는 TFT(130)를 통해 화소 전극(140)으로 인가되어 액정층을 충전시킨다.
- <58> 클럭 발생부(300)는 타이밍 제어부(200)로부터 제공되는 CPV 신호 및 OE 신호에 응답하여 서로 반전된 위상을 갖는 제1 및 제2 클럭(CKV, CKVB)을 출력한다. 여기서, 제1 클럭(CKV)은 게이트 구동부(110)의 홀수번째 스테이지에 제공되고, 제2 클럭(CKVB)은 게이트 구동부(110)의 짝수번째 스테이지에 제공된다.
- <59> 이러한, 클럭 발생부(300)는 CPV 신호, OE 신호 및 STV 신호에 응답하여 제1 및 제2 클럭(CKV, CKVB)이 게이트 구동신호를 결정하는 일정 전압을 갖도록 발생시키는 제1 및 제2 클럭 전압인가회로(미도시)와, CPV 신호와 CHC 신호에 응답하여 제1 및 제2 클럭(CKV, CKVB)이 서로 충전을 공유할 수 있도록 제어하는 충전공유회로(미도시)를 포함한다. 또한, 클럭 발생부(300)는 STV 신호를 게이트 구동부(110)에서 순차적으로 게이트 구동신호를 출력할 것을 명령하는 STVP 신호로 변경하여 출력한다.
- <60> 따라서, 제1 클럭(CKV)과 제2 클럭(CKVB)은 제1 구간에서는 일정 전압을 유지하고, 제2 구간에서는 서로 충전을 공유한다. 이로써, 제1 및 제2 클럭(CKV, CKVB)에 의해 게이트 구동신호의 펄스 폭이 감소되어 고속 동작을 가능하게 한다.
- <61> 또한, 이러한 구조는 제1 및 제2 클럭(CKV, CKVB)을 발생시키기 위하여 클럭 발생부(300)로 제공되는 별도의 제어 신호를 사용하지 않고, 기존에 타이밍 제어부(200)로부터 출력되는 CPV 신호와 OE 신호를 그대로 사용할 수 있다.
- <62> 도 2는 도 1에 도시된 클럭 발생부의 구체적인 회로도이고, 도 3은 클럭 발생부로 제공되는 CPV 신호와 OE 신호의 파형도이다.
- <63> 도 2를 참조하면, 클럭 발생부(300)는 제1 클럭 인에이블 신호인 OCS(Odd Clock Pulse) 신호와 제2 클럭 인에이블 신호인 ECS(Even Clock Pulse) 신호를 출력하기 위한 D-플립플롭(310), OCS 신호에 응답하여 제1 클럭(CKV)을 출력하기 위한 제1 클럭 전압인가회로(320), ECS 신호에 응답하여 제2 클럭(CKVB)을 출력하기 위한 제2 클럭 전압인가회로(330) 및 제1 클럭(CKV)과 제2 클럭(CKVB)을 서로 충전 공유시키기 위한 충전공유회로(340)를 포함한다.
- <64> 구체적으로, D-플립플롭(310)은 STV 신호를 입력받고 OE 신호에 동기하여, 제1 단(QB)을 통해 ECS 신호를 출력하고 제2 단(Q)을 통해 OCS 신호를 출력한다. 여기서, OE 신호는 게이트 파형의 지연 현상 만큼 게이트 구동부(110)의 출력을 억제시키는 역할을 수행한다. 즉, OE 신호는 게이트 파형이 지연되는 시간동안 하이 상태를 갖고 발생하는 1H 주기의 펄스이다.
- <65> 제1 클럭 전압인가회로(320)는 CPV 신호, OE 신호 및 OCS 신호에 응답하여 제1 구간동안 일정 전압을 유지하는 제1 클럭(CKV)을 출력한다. 또한, 제2 클럭 전압인가회로(330)는 CPV 신호, OE 신호 및 ECS 신호에 응답하여 제1 구간동안 일정 전압을 유지하는 제2 클럭(CKVB)을 출력한다. 충전공유회로(340)는 CPV 신호를 입력받고, 제1 및 제2 클럭 전압인가회로의 턴-오프시 구동되어 제1 및 제2 클럭(CKV, CKVB)을 충전 공유시킨다.
- <66> 도 3에 도시된 바와 같이, CPV 신호는 1H 주기로 발생되고, OE 신호는 게이트 파형 지연시간동안 일정 듀티의 하이 상태를 갖도록 1H 주기로 발생된다.
- <67> 이때, CPV 신호가 하이상태이고 OE 신호의 로우상태일 때 정의되는 제3 구간(t3)에서는 제1 및 제2 클럭 전압인가회로(320, 330)가 구동되고, CPV 신호의 로우상태이고 OE 신호의 로우상태이거나 하이상태일 때 정의되는 제4 구간(t4)에서는 충전공유회로(340)가 구동된다. 제3 및 제4 구간(t3, t4) 사이에는 제1 및 제2 클럭 전압인가회로(320, 330)와 충전공유회로(340)가 모두 구동되지 않는 제5 구간(t5)이 마련된다. 즉, 제5 구간(t5)은 CPV 신호가 하이상태이고 OE 신호가 하이상태인 구간으로 정의되고, 충전공유회로(340)의 구동시간을 지연시켜 형성되는 제4 구간(t4)의 일부로 정의된다.
- <68> 충전공유회로(340)의 구동시간의 지연에 대해서는 이후 충전공유회로(340)의 회로도를 설명할 때 상세하게 살펴보기로 한다.

- <69> 이하, 도면을 참조하여 클럭 발생부(300)의 내부를 구성 회로들에 대하여 구체적으로 설명한다.
- <70> 도 4는 도 2에 도시된 D-플립플롭의 구체적인 구성도이고, 도 5는 도 4의 출력 파형도이다.
- <71> 도 4를 참조하면, STV의 반전된 위상을 갖는 STVB 신호에 의해 D-플립플롭(310)이 클리어 되어 QB는 하이 레벨이 되며, OE 신호의 상승 에지에 토글되는 2H 주기의 신호가 발생하게 된다. 즉, 클리어 단에 STV 신호를 입력 받은 후 클럭단에 입력되는 OE 신호에 동기하여 2H를 1 주기로 하는 Q 신호와 QB 신호를 각각 출력한다. 이때, 발생된 QB 신호는 게이트 구동부의 홀수번째 스테이지에 제공되는 제1 클럭(CKV)을 출력하는 제1 클럭 전압인가회로(320)를 인에이블시키기 위한 OCS 신호로 사용된다. 또한, Q 신호는 게이트 구동부의 짝수번째 스테이지에 제공되는 제2 클럭(CKVB)을 출력하는 제2 클럭 전압인가회로(330)를 인에이블시키기 위한 ECS 신호로 사용된다.
- <72> 도 6에서는 CPV, OE 및 OCS에 의하여 제1 클럭(CKV)을 발생하는 제1 클럭 전압인가회로(320)를 설명하고, 도 7에서는 CPV, OE 및 ECS에 의하여 제2 클럭(CKVB)을 발생하는 제2 클럭 전압인가회로(330)를 설명한다.
- <73> 도 6은 도 2에 도시된 제1 클럭 전압인가회로의 회로도이고, 도 7은 도 2에 도시된 제2 클럭 전압인가회로의 회로도이다.
- <74> 도 6을 참조하면, 제1 클럭 전압인가회로(320)는 하이구간을 갖고 발생된 상기 OCS 신호에 응답하여 상기 제1 클럭(CKV)에 제1 전원전압(Von)을 출력하기 위한 제1 전원전압 공급부(321)와 로우구간을 갖고 발생된 OCS 신호에 응답하여 상기 제1 클럭(CKV)에 제2 전원전압(Voff)을 출력하기 위한 제2 전원전압 공급부(323)를 포함한다.
- <75> 제1 전원전압 공급부(321)는 온 전압 발생부(321a)와 온 전압 발생부(321a)의 구동을 제어하는 제1 제어부(321b)로 이루어진다.
- <76> 제1 제어부(321b)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제1 저항(R1) 및 제2 저항(R2)으로 이루어진다.
- <77> 구체적으로, 제1 트랜지스터(T1)는 에미터단이 OE 신호 입력단자에 연결되고 콜렉터단이 제2 트랜지스터(T2)의 에미터단에 연결된다. 제1 저항(R1)은 제1 트랜지스터(T1)의 베이스단과 OCS 신호 입력단자 사이에 연결된다. 또한, 제2 트랜지스터(T2)는 콜렉터단이 온 전압 발생부(321a)에 연결된다. 제2 저항(R2)은 제2 트랜지스터(T2)의 베이스단과 CPV 신호 입력단자 사이에 연결된다.
- <78> 따라서, 제1 트랜지스터(T1)는 OCS 신호와 OE 신호의 전압차에 의해 동작되고, 제2 트랜지스터(T2)는 제1 트랜지스터(T1)가 구동됨에 따라 인가되는 OE 신호와 CPV 신호의 전압차에 의해 구동됨으로써 온 전압 발생부(321a)의 동작을 제어한다.
- <79> 한편, 온 전압 발생부(321a)는 제3 트랜지스터(T3), 제3 내지 제 5 저항(R3~R5)으로 이루어진다.
- <80> 구체적으로, 제3 트랜지스터(T3)는 에미터단이 제1 전원전압(Von)에 연결되고, 콜렉터단이 출력단(CKV)에 연결된다. 또한, 제3 저항(R3)은 제3 트랜지스터(T3)의 에미터단과 제3 트랜지스터(T3)의 베이스단 사이에 연결되고, 제4 및 제5 저항(R4, R5)은 제3 트랜지스터(T3)의 베이스단과 제2 트랜지스터(T2)의 콜렉터단 사이에서 직렬 연결된다.
- <81> 따라서, 제3 트랜지스터(T3)는 제1 제어부(321b)에 의해 온/오프되어 제1 전원전압(Von)을 출력단(CKV)에 인가한다.
- <82> 제2 전원전압 공급부(323)는 오프전압 발생부(323a)와, 오프전압 발생부(323a)를 제어하는 제2 제어부(323b)를 갖는다.
- <83> 제2 제어부(323b)는 제4 및 제5 트랜지스터(T4, T5), 제6 내지 제11 저항(R6~R11)으로 이루어진다.
- <84> 구체적으로, 제4 트랜지스터(T4)는 에미터단이 CPV 신호 입력단자에 연결되고 콜렉터단이 제5 트랜지스터(T5)에 연결된다. 또한, 제6 저항(R6)은 제4 트랜지스터(T4)의 에미터단과 베이스단 사이에 연결되고, 제7 및 제8 저항(R7, R8)은 제4 트랜지스터(T4)의 베이스단과 OE 신호 입력단자 사이에 직렬 연결된다. 한편, 제5 트랜지스터(T5)는 콜렉터단이 오프전압 발생부(323a)에 연결된다. 제9 저항(R9)은 제5 트랜지스터(T5)의 에미터단과 베이스단 사이에 연결되고, 제10 및 제11 저항(R10, R11)은 제5 트랜지스터(T5)의 베이스단과 OCS 신호 입력단자 사이에서 직렬 연결된다.
- <85> 제4 트랜지스터(T4)는 CPV 신호와 OE 신호의 전압차에 의해 구동되어 CPV 신호를 출력하고 출력된 신호와 OCS 신호의 전압차에 의하여 제5 트랜지스터(T5)가 구동되어 CPV 신호를 출력한다. 이때, 출력된 CPV 신호는 오프 전압 발생부(323a)로 제공된다.

- <86> 한편, 오프전압 발생부(323a)는 제6 트랜지스터(T6), 제12 내지 제14 저항(R12~R14)으로 이루어진다.
- <87> 구체적으로, 제6 트랜지스터(T6)는 에미터단이 제2 전원전압(Voff)에 연결되고 콜렉터단이 출력단(CKV)에 연결된다. 또한, 제12 저항(R12)은 제5 트랜지스터(T5)의 에미터단과 제13 및 제14 저항(R13, R14)의 제1 단에 병렬 연결되고, 제13 저항(R13)의 제2 단은 제6 트랜지스터(T6)의 에미터단에 연결되며 제14 저항(R14)의 제2 단은 제6 트랜지스터(T6)의 베이스단에 연결된다. 따라서, 제6 트랜지스터(T6)가 제2 제어부(323b)로부터 출력되는 CPV 신호에 의해 구동되면 출력단(CKV)에는 제2 전원전압(Voff)이 출력된다.
- <88> 도 6에서 제시된 제1 내지 제6 트랜지스터(T1~T6)는 바이폴라 접합 전계 트랜지스터(Bipolar Junction Transistor; BJT) 인 것이 바람직하다.
- <89> 도 7을 참조하면, 제2 클럭 전압인가회로(330)는 ECS 신호의 하이구간에 응답하여 상기 제2 클럭(CKVB)에 제1 전원전압(Von)을 출력하기 위한 제1 전원전압 공급부(331)와 ECS 신호의 로우구간에 응답하여 상기 제2 클럭(CKVB)에 제2 전원전압(Voff)을 출력하기 위한 제2 전원전압 공급부(333)를 포함한다.
- <90> 제1 전원전압 공급부(331)는 온 전압 발생부(331a)와 온 전압 발생부(331a)의 구동을 제어하는 제1 제어부(331b)로 이루어진다.
- <91> 제1 제어부(331b)는 제1 및 제2 트랜지스터(T1, T2), 제1 및 제2 저항(R1, R2)으로 이루어진다.
- <92> 구체적으로, 제1 트랜지스터(T1)은 에미터단이 OE 신호 입력단자에 연결되고 콜렉터단이 제2 트랜지스터(T2)에 연결된다. 제1 저항(R1)은 제1 트랜지스터(T1)의 베이스단과 ECS 신호 입력단자 사이에 연결된다. 또한, 제2 트랜지스터(T2)는 에미터단이 제1 트랜지스터(T1)에 연결되고 콜렉터단이 온 전압 발생부(331a)에 연결되고, 제2 저항(R2)은 제2 트랜지스터(T2)의 베이스단과 CPV 신호 입력단자 사이에 연결된다.
- <93> 따라서, 제1 트랜지스터(T1)는 ECS 신호와 OE 신호의 전압차에 의해 동작되고, 제2 트랜지스터(T2)는 제1 트랜지스터(T1)가 구동됨에 따라 인가되는 OE 신호와 CPV 신호의 전압차에 의해 구동됨으로써 온 전압 발생부(331a)의 동작을 제어한다.
- <94> 한편, 온 전압 발생부(331a)는 제3 트랜지스터(T3), 제3 내지 제5 저항(R3~R5)으로 이루어진다. 구체적으로, 제3 트랜지스터(T3)은 에미터단이 제1 전원전압(Von)에 연결되고, 콜렉터단이 출력단(CKVB)에 연결된다. 또한, 제3 저항(R3)은 제3 트랜지스터(T3)의 에미터단과 베이스단 사이에 연결되고, 제4 및 제5 저항(R4, R5)은 제3 트랜지스터(T3)의 베이스단과 제2 트랜지스터(T2)의 콜렉터단 사이에서 직렬 연결된다.
- <95> 따라서, 제1 트랜지스터(T1)는 제1 제어부(331b)에 의해 온/오프되어 제1 전원전압(Von)을 출력단(CKV)에 인가한다.
- <96> 제2 전원전압 공급부(333)는 오프전압 발생부(333a)와, 오프전압 발생부(333a)를 제어하는 제2 제어부(333b)를 갖는다.
- <97> 제2 제어부(333b)는 제4 및 제5 트랜지스터(T4, T5), 제6 내지 제11 저항(R6~R11)으로 이루어진다.
- <98> 구체적으로, 제4 트랜지스터(T4)는 에미터단이 CPV 신호 입력단자에 연결되고 콜렉터단이 제5 트랜지스터(T5)의 에미터단에 연결된다. 또한, 제6 저항(R6)의 제4 트랜지스터(T4)의 에미터단과 베이스단 사이에 연결되고, 제7 및 제8 저항(R7, R8)은 제4 트랜지스터(T4)의 베이스단과 OE 신호 입력단자 사이에서 직렬 연결된다. 한편, 제5 트랜지스터(T5)은 콜렉터단이 오프전압 발생부(333a)에 연결된다. 제9 저항(R9)은 제5 트랜지스터(T5)의 에미터단과 베이스단 사이에 연결되고, 제10 및 제11 저항(R10, R11)은 제5 트랜지스터(T5)의 베이스단과 ECS 신호 입력단자 사이에서 직렬 연결된다.
- <99> 제4 트랜지스터(T4)는 CPV 신호와 OE 신호의 전압차에 의해 구동되어 CPV 신호를 출력하고 출력된 신호와 ECS 신호의 전압차에 의하여 제5 트랜지스터(T5)가 구동되어 CPV 신호를 출력한다. 이때, 출력된 CPV 신호는 오프전압 발생부(333a)로 제공된다.
- <100> 한편, 오프전압 발생부(333a)는 제6 트랜지스터(T6), 제12 내지 제14 저항(R12~R14)으로 이루어진다.
- <101> 구체적으로, 제6 트랜지스터(T6)은 에미터단이 제2 전원전압(Voff)에 연결되고 콜렉터단이 출력단(CKVB)에 연결된다. 제12 저항(R12)은 제5 트랜지스터(T5)의 에미터단과 제13 및 제14 저항(R13, R14)의 제1 단에 병렬 연결되고, 제13 저항(R13)의 제2 단은 제6 트랜지스터(T6)의 에미터단에 연결되고 제14 저항(R14)의 제2 단은 제6 트랜지스터(T6)의 베이스단에 연결된다. 따라서, 제6 트랜지스터(T6)가 제2 제어부(333b)로부터 출력되는 CPV

신호에 의해 구동되면 출력단(CKVB)에는 제2 전원전압(Voff)이 출력된다.

- <102> 도 7에 제시된 제1 내지 제6 트랜지스터(T1~T6)는 BJT인 것이 바람직하다.
- <103> 도 8은 도 2에 도시된 충전공유회로를 나타낸 회로도이다.
- <104> 도 8을 참조하면, 충전공유회로(340)는 제1 및 제2 클럭(CKV, CKVB)을 충/방전시키는 충전부(341), 충전부(341)를 구동하는 충전 구동부(342), 충전 구동부(342)를 제어하는 충전 제어부(343)를 갖는다.
- <105> 충전 제어부(343)는 제1 내지 제3 트랜지스터(T1~T3), 제1 내지 제10 저항(R1~R10)으로 이루어진다.
- <106> 구체적으로, 제1 트랜지스터(T1)는 에미터단이 CPV 신호 입력단자에 연결되고 콜렉터단은 제4 저항(R4)의 제1 단에 연결된다. 제1 저항(R1)은 제1 트랜지스터(T1)의 에미터단과 베이스단 사이에 연결되고, 제2 및 제3 저항(R2, R3)은 제1 트랜지스터(T1)의 베이스단과 접지전압 입력단자(Vo) 사이에서 직렬 연결된다. 또한, 제4 저항(R4)은 제2 트랜지스터(T2)의 베이스단에 연결된 제5 저항(R5)과 제2 트랜지스터(T2)의 에미터단에 연결된 제6 저항(R6)에 병렬 연결된다.
- <107> 제3 트랜지스터(T3)는 에미터단이 제1 전원전압 입력단자(Von)에 연결되고, 콜렉터단이 제10 저항(R10)을 경유하여 제2 트랜지스터(T2)의 콜렉터단에 연결된다. 제7 저항(R7)은 제3 트랜지스터(T3)의 에미터단과 베이스단 사이에 연결되고, 제8 및 제9 저항(R8, R9)은 제3 트랜지스터(T3)의 베이스단과 CPV 신호 입력단자 사이에서 직렬 연결된다.
- <108> 충전 구동부(342)는 제4 및 제5 트랜지스터(T4, T5), 제11 내지 제14 저항(R11~R14)으로 이루어진다.
- <109> 구체적으로, 제4 트랜지스터(T4)는 에미터단이 제2 클럭 단자(CKVB)에 연결되고 콜렉터단이 제12 저항(R12)을 거쳐서 제1 클럭 단자(CKV)에 연결된다. 제11 저항(R11)은 제4 트랜지스터(T4)의 베이스단과 CHC 신호 입력단자 사이에 연결된다. 또한, 제5 트랜지스터(T5)는 에미터단이 제12 저항(R12)에 연결되고 콜렉터단이 제13 저항(R13)을 거쳐 제1 클럭 단자(CKV)에 연결된다. 제14 저항(R14)은 제5 트랜지스터(T5)의 베이스단과 CHC 신호 입력단자 사이에 연결된다.
- <110> 충전부(341)는 제1 클럭 단자(CKV)와 접지전압 입력단자(Vo) 사이에 연결된 제1 커패시터(C1)와 제2 클럭 단자(CKVB)와 접지전압 입력단자(Vo) 사이에 연결된 제2 커패시터(C2)로 이루어진다.
- <111> 따라서, 충전공유회로(340)는 제1 및 제2 클럭 전압인가회로(320, 330)의 제3 및 제6 트랜지스터(T3, T6)가 턴오프된 상태에서 CPV 신호가 로우상태일 때 구동된다. 즉, CPV 신호가 로우이면 제1 트랜지스터(T1)가 턴오프되고 그에 따라 제2 트랜지스터(T2)도 턴오프된다. 이때, CPV 신호와 제1 전원전압(Voff)에 의해 턴온된 제3 트랜지스터(T3)를 통해 제1 전원전압(Voff)은 충전 구동부(342)로 인가된다.
- <112> 따라서, 충전 구동부(342)의 제4 트랜지스터(T4)는 제1 전원전압(Voff)과 CHC 신호에 의해 턴온되어 제2 커패시터(C2)를 충전시킨다. 이때, 충전 전압이 제2 클럭 단자(CKVB)로 출력된다. 한편, 제1 커패시터(C1)는 방전 동작을 수행함으로써 방전 전압을 제1 클럭 단자(CKV)로 출력한다.
- <113> 한편, 제5 트랜지스터(T5)는 CHC 신호에 의해 턴온되어 제1 노드의 전위가 상승되면서 제1 커패시터(C1)가 충전된다. 따라서, 제1 클럭 단자(CKV)에 충전전압을 출력한다. 그와 동시에 제2 커패시터(C2)가 방전되면서 제2 클럭 단자(CKVB)에 방전전압을 출력한다.
- <114> 이와 같이, 제1 및 제2 클럭 전압인가회로(320, 330)가 턴오프된 상태에서 CPV 신호가 로우로 발생되면, 제1 및 제2 클럭(CKV, CKVB)이 서로 충방전을 공유하면서 출력된다.
- <115> 이때, 충전공유회로(340)는 제1 및 제2 클럭 전압인가회로(320, 330)가 동작되지 않는 시간에 구동되기 위하여 충전 제어부(343)로부터 제1 전원전압(Von)이 입력되기 이전에 제10 저항(R10) 배치하여 제10 저항(R10)에 의해 제1 전원전압(Von)이 충전 구동부(342)로 제공되는 시간을 지연시킨다. 따라서 도 3에 도시된 제5 구간(t5)을 확보할 수 있으므로써 제1 및 제2 클럭 전압인가회로(320, 330)와 충전공유회로(340)가 동시에 구동되는 것을 방지할 수 있다.
- <116> 도 9는 도 2에 도시된 클럭 발생부로부터 출력되는 제1 및 제2 클럭을 시뮬레이션한 파형도이고, 도 10은 제1 및 제2 클럭을 출력하는데 필요한 전류를 시뮬레이션한 파형도이다. 단, 제1 전원전압(Von)은 20V이고, 제2 전원전압(Voff)은 -14V이다.
- <117> 도 9 및 도 10을 참조하면, 제1 클럭(CKV)은 제1 구간(t1)에서는 제1 전원전압(Voff)을 유지하고, 제2 구간(t

2)에서는 제1 극성의 일정 기울기를 갖고 출력된다. 한편, 제2 클럭(CKVB)은 제1 구간(t1)에서는 제1 전원전압(Voff)과 위상이 반전된 제2 전원전압(Von)을 유지하고, 제2 구간(t2)에서는 제1 극성과 위상이 반전된 제2 극성의 일정 기울기를 갖고 출력된다.

<118> 각 클럭(CKV, CKVB)의 $t_1 + t_2 = 1H$ 로서, t_2 시간 동안에 위상이 다른 제1 및 제2 클럭(CKV, CKVB)을 충전 공유(CHARGE SHARING)하게 되면 클럭 발생부(300)에서는 종래의 파형에서 보다 절반 가량의 전압 천이를 시키게 되므로 클럭 발생부(300)에서의 소비 전력을 절반 이하로 줄일 수 있다.

<119> 소비 전력(P)은 다음과 같이 정의된다.

수학식 1

$$P \propto f \Delta V^2 C$$

<120>

<121> 전압 천이가 절반 가량으로 감소될 때, 소비 전력은 수학식 1과 같이 전압 천이의 제곱에 비례하기 때문에 클럭 발생부(300)에서의 소비 전력이 1/4 정도로 감소된다. 즉, 제1 및 제2 클럭(CKV, CKVB)을 발생하기 위한 클럭 발생부(300)의 소비 전력이 감소된다.

<122> 도 11은 제1 및 제2 클럭에 따른 각 스테이지의 출력 파형을 나타낸 파형도이다.

<123> 도 11을 참조하면, 제2 클럭(CKV)의 상승 에지에서 i번째 스테이지로부터 i번째 게이트 구동신호가 출력된다. 이후, i+1번째 스테이지로부터 출력된 i+1번째 게이트 구동신호가 제1 전압(V1) 레벨에 이르렀을 때 i번째 게이트 구동신호가 방전되면서 제1 전압(V1)의 시간 폭만큼 i번째 게이트 구동신호의 하이레벨 유지시간이 감소된다.

<124> 이와 같이, 게이트 구동부(110)로 제1 및 제2 클럭(CKV, CKVB)을 인가하면 게이트 구동신호의 펄스폭이 조절됨으로써 제1 및 제2 클럭(CKV, CKVB)은 액정표시장치(400)의 고속동작을 가능하게 한다.

<125> 도 1 내지 도 11에서는 클럭 발생부(300)로 제공되어 제1 및 제2 클럭 전압인가회로(320, 330)와 충전공유회로(340)를 제어하는 클럭발생 제어신호가 CPV 신호와 OE 신호인 경우를 본 발명의 실시예로써 설명하였다. 그러나, 클럭발생 제어신호는 여기에 한정되지 않고 다양한 형태로 구현될 수 있다.

<126> 이후 도 12 및 도 13에서는 클럭발생 제어신호의 다른 형태를 나타낸 도면들이다.

<127> 도 12 및 도 13은 본 발명의 다른 형태에 따른 클럭 발생 제어신호를 나타낸 파형도이다.

<128> 도 12를 참조하면, 클럭발생 제어신호는 1H 주기를 갖는 제1 제어신호(CT1)와 1H 주기를 갖고 제1 제어신호(CT1)와 부분적으로 반전된 위상을 갖는 제2 제어신호(CT2)를 포함한다. 여기서, 제1 및 제2 제어신호(CT1, CT2)는 제1 및 제2 클럭 전압인가회로와 충전공유회로의 구동을 제어한다.

<129> 구체적으로, 제1 제어신호(CT1)가 하이상태이고 제2 제어신호(CT2)가 로우상태일 때 정의되는 제3 구간(t3)에서는 제1 및 제2 클럭 전압인가회로가 구동되고, 제1 제어신호(CT1)가 로우상태이고 제2 제어신호(CT2)가 하이상태일 때 정의되는 제4 구간(t4)에서는 충전공유회로가 구동된다. 또한, 제3 및 제4 구간(t3, t4)의 사이에 존재하고 제1 제어신호(CT1)와 제2 제어신호(CT2)가 모두 로우상태일 때 정의되는 제5 구간(t5)에서는 제1 및 제2 전압인가회로와 충전공유회로가 모두 동작하지 않는다. 따라서, 제1 및 제2 클럭 전압인가회로의 동작과 충전공유회로의 동작이 동시에 구동되는 현상을 방지할 수 있다.

<130> 한편, 도 13에 도시된 바와 같이 클럭 발생회로는 1H 주기를 갖는 제3 제어신호와 1H 주기를 갖고 제3 제어신호가 로우상태일 때 하이상태로 발생하는 제4 제어신호로 이루어질 수 있다. 여기서, 제3 및 제4 제어신호(CT3, CT4)는 제1 및 제2 클럭 전압인가회로와 충전공유회로의 구동을 제어한다.

<131> 구체적으로, 제3 제어신호(CT3)가 하이상태이고 제4 제어신호(CT4)가 로우상태일 때 정의되는 제3 구간(t3)에서는 제1 및 제2 클럭 전압인가회로가 동작한다. 또한, 제3 제어신호(CT3)가 로우상태이고 제4 제어신호(CT4)가 로우상태일 때 정의되는 제4 구간(t4)에서는 충전공유회로가 동작한다. 제3 구간(t3)과 제4 구간(t4)사이에 존재하고 제3 제어신호(CT3)가 로우상태이고 제4 제어신호(CT4)가 하이상태일 때 정의되는 제5 구간(t5)에서는 제1 및 제2 클럭 전압인가회로와 충전공유회로가 모두 동작하지 않는다. 따라서, 제1 및 제2 클럭 전압인가회로의 동작과 충전공유회로의 동작이 동시에 구동되는 현상을 방지할 수 있다.

<132> <제2 실시예>

- <133> 도 14는 본 발명의 제2 실시예에 따른 액정표시장치를 나타낸 도면이고, 도 15는 도 14에 도시된 지연 방지부의 구체적인 회로 구성도이다. 도 16은 지연 방지부의 전류의 시뮬레이션 결과를 나타낸 파형도이고, 도 17은 게이트 구동신호의 시뮬레이션 결과를 나타낸 파형도이다.
- <134> 도 14를 참조하면, 액정표시장치(500)는 게이트 구동부(110), 데이터 구동부(120) 및 방전부(150)가 형성된 액정 패널(100)을 포함한다.
- <135> 액정 패널(100)에는 제1 방향으로 연장된 다수의 게이트 라인(G1~Gn)과 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인(D1~Dm)이 형성된다. 상기 게이트 라인들(G1~Gn)과 데이터 라인들(D1~Dm)에 의해 정의되는 영역에는 제1 전극(131)이 상기 게이트 라인(G1~Gn)에 연결되며 제2 전극(132)이 상기 데이터 라인(D1~Dm)에 연결되는 TFT(130)가 형성된다. TFT(130)는 제1 전극(131)으로 제공되는 게이트 구동신호에 의해 구동되어 제2 전극(132)으로 제공되는 데이터 신호를 화소 전극(140)으로 출력하는 스위칭 소자이다.
- <136> 게이트 구동부(110)는 게이트 라인들(G1~Gn)의 제1 단부에 연결되어 상기 게이트 라인들(G1~Gn)에 순차적으로 게이트 구동신호를 인가한다. 또한, 데이터 구동부(120)는 데이터 라인들(D1~Dm)에 연결되어 게이트 구동신호가 인가됨에 따라 데이터 라인들(D1~Dm)에 데이터 신호를 인가한다.
- <137> 한편, 방전부(150)는 제1 단부와 마주보는 게이트 라인들(G1~Gn)의 제2 단부 각각에 연결된다. 도 15에 도시된 바와 같이, 방전부(150)는 다음 게이트 라인(Gi+1)으로 인가되는 제1 게이트 구동신호에 의해 구동되어 현재 게이트 라인(Gi)으로 인가된 제2 게이트 구동신호를 방전전압 즉, 제2 전원전압(Voff)으로 방전시킨다. 여기서, i는 1보다는 크고 n보다는 작은 자연수이다.
- <138> 방전부(150)는 제1 전극(155a)이 현재 게이트 라인(Gi)에 연결되고, 제2 전극(155b)이 제2 전원전압 입력단자(Voff)에 연결되며, 제3 전극(155c)이 다음 게이트 라인(Gi+1)에 연결된 방전 트랜지스터(155)로 이루어진다.
- <139> 즉, 제1 게이트 구동신호가 방전 트랜지스터(155)의 문턱전압 이상으로 증가되면 방전 트랜지스터(155)가 구동되면서 제2 게이트 구동신호를 제2 전원전압(Voff)으로 방전시킨다.
- <140> 도 16 및 도 17에 도시된 바와 같이, 제1 게이트 구동신호가 방전 트랜지스터(155)의 문턱 전압이상으로 상승되면, 방전 트랜지스터(155)가 구동되면서 제2 게이트 구동신호를 제2 전원전압(Voff)으로 방전시킨다. 따라서, 방전 트랜지스터(155)는 제1 게이트 구동신호가 풀 업되기 이전에 제2 게이트 구동신호를 충분히 방전시켜 제2 게이트 구동신호가 지연되는 현상을 방지할 수 있다.
- <141> 도 18은 종래의 게이트 구동신호를 시뮬레이션한 파형도이고, 도 19는 도 14에 도시된 액정 패널에 따른 게이트 구동신호를 시뮬레이션한 파형도이다. 도 18 및 도 19에서는 한 게이트 라인에 연결된 첫 스위칭 소자에 인가되는 첫 게이트 구동신호(Vfirst), 가운데 스위칭 소자에 인가되는 가운데 게이트 구동신호(Vcenter), 마지막 스위칭 소자에 인가되는 마지막 게이트 구동신호(Vend)를 나타낸 것이다.
- <142> 도 18을 참조하면, 첫, 가운데, 마지막 게이트 구동신호들(Vfirst, Vcenter, Vend)은 '140 μ s' 부근에서 완전하게 방전된다. 또한, 각 게이트 구동신호들(Vfirst, Vcenter, Vend)이 제2 전원전압(Voff)에 도달하는 시간도 각각 다른 것으로 나타난다.
- <143> 한편, 도 19를 참조하면, 첫, 가운데, 마지막 게이트 구동신호(Vfirst, Vcenter, Vend)의 에 각각 인가되는 게이트 구동신호들은 '136 μ s' 부근에서 완전하게 방전된다. 즉, 종래보다 '4 μ s' 정도 게이트 구동신호의 지연을 단축시킬 수 있다. 또한, 게이트 구동신호들이 제2 전원전압(Voff)에 도달하는 시간도 각각 일치함으로써 게이트 구동신호의 전체적인 지연 특성을 개선할 수 있다.
- <144> <제3 실시예>
- <145> 도 20 및 도 21은 본 발명의 제3 실시예에 따른 액정표시장치를 나타낸 도면이다.
- <146> 도 20을 참조하면, 액정표시장치(600)는 제1 게이트 구동부(160), 제2 게이트 구동부(170), 데이터 구동부(120), 제1 방전부(180) 및 제2 방전부(190)를 포함한다.
- <147> 구체적으로, 액정 패널(100)에는 제1 방향으로 연장된 다수의 게이트 라인(G1~Gn)과 제1 방향과 직교하는 제2 방향으로 연장된 다수의 데이터 라인(D1~Dm)이 형성된다. 게이트 라인들(G1~Gn)과 데이터 라인들(D1~Dm)에 정의되는 영역에는 제1 전극이 게이트 라인(G1~Gn)에 연결되며 제2 전극이 데이터 라인(D1~Dm)에 연결되는 TFT(130)가 형성된다. TFT(130)는 제1 전극으로부터 제공되는 게이트 구동신호에 의해 구동되어 제2 전극을 통해 제공

되는 데이터 신호를 화소 전극(140)으로 인가하는 스위칭 소자이다.

- <148> 또한, 액정 패널(100) 상에는 게이트 라인들(G1~Gn)의 제1 단부에 연결되어 게이트 라인들(G1~Gn)에 순차적으로 게이트 구동신호를 인가하기 위한 제1 게이트 구동부(160)와, 데이터 라인들(D1~Dm)의 일단부에 연결되어 게이트 구동신호가 인가됨과 동시에 데이터 라인들(D1~Dm)에 데이터 신호를 출력하는 데이터 구동부(120)가 구비된다.
- <149> 한편, 액정 패널(100)에는 제1 게이트 구동부(160)의 오동작시 구동되고, 게이트 라인들(G1~Gn)의 제2 단부에 연결되어 게이트 라인들(G1~Gn)에 순차적으로 게이트 구동신호를 인가하기 위한 제2 게이트 구동부(170)가 더 구비된다. 따라서, 제1 게이트 구동부(160)가 오동작하는 경우 제2 게이트 구동부(170)가 동작됨으로써 액정 패널(100)을 정상적으로 구동할 수 있다.
- <150> 제1 및 제2 게이트 구동부(160, 170) 각각은 종속적으로 연결된 다수의 스테이지로 이루어진 하나의 쉬프트 레지스터로 구성되고, 서로 동일한 구성을 갖는다.
- <151> 도 20에 도시된 바와 같이, 제1 게이트 구동부(160)는 외부로부터 제공되는 신호를 입력받는 5개의 외부입력단자를 구비한다. 구체적으로, 외부입력단자는 STV 신호 입력단자, 제1 클럭 입력단자(CKV), 제2 클럭 입력단자(CKVB), 제1 전원전압 입력단자(Von), 및 제2 전원전압 입력단자(Voff)를 포함한다.
- <152> 또한, 상기 제2 게이트 구동부(170)는 5개의 외부입력단자를 구비한다. 이때, 제1 게이트 구동부(160)가 정상적으로 구동될 경우에는 상기 외부입력단자들을 통해 STV 신호, 제1 전원전압(Von), 및 제2 전원전압(Voff)만을 제공받는다. 즉, 제1 클럭 입력단자(CKV)에는 제1 전원전압(Von)이 인가되고, 제2 클럭 입력단자(CKVB)에도 제1 전원전압(Von)이 인가된다. 또한, 제1 전원전압 입력단자(Von)에는 제2 전원전압(Voff)이 인가된다. 따라서, 제1 게이트 구동부(160)가 정상적으로 구동될 경우에 제2 게이트 구동부(170)는 바이어스 상태를 유지한다.
- <153> 그러나, 제1 게이트 구동부(160)가 오동작을 일으키면 제1 클럭 입력단자(CKV)에는 제1 클럭(CKV)이 제공되고, 제2 클럭 입력단자(CKVB)는 제2 클럭(CKVB)이 제공되며, 제1 전원전압 입력단자(Von)에는 제1 전원전압(Von)이 제공됨으로써 정상적인 게이트 구동 신호를 출력한다.
- <154> 한편, 제1 게이트 구동부(160)의 동작시 게이트 구동신호의 지연을 방지하기 위하여 게이트 라인들(G1~Gn)의 제2 단부에는 제1 방전부(180)가 연결되고, 제2 게이트 구동부(170)의 동작시 게이트 구동신호의 지연을 방지하기 위하여 게이트 라인들(G1~Gn)의 제1 단부에는 제2 방전부(190)가 연결된다.
- <155> 구체적으로, 제1 방전부(180)는 제1 전극이 현재 게이트 라인의 제1 단부에 연결되고 제2 전극이 제2 전원전압 입력단자(Voff)에 연결되며 제3 전극이 다음 게이트 라인의 제1 단부에 연결된 제1 방전 트랜지스터로 이루어진다. 따라서, 제1 방전 트랜지스터는 제1 게이트 구동부(160)로부터 출력되어 다음 게이트 라인에 인가되는 제1 게이트 구동신호에 의해 구동되어 현재 게이트 라인에 인가된 제2 게이트 구동신호를 제2 전원전압(Voff)으로 방전시킨다.
- <156> 한편, 제2 방전부(190)는 제1 전극이 현재 게이트 라인의 제2 단부에 연결되고 제2 전극이 제2 전원전압 입력단자(Vof)에 연결되고 제3 전극이 다음 게이트 라인의 제2 단부에 연결된 제2 방전 트랜지스터로 이루어진다. 따라서, 제2 방전 트랜지스터는 제2 게이트 구동부(170)로부터 출력되어 다음 게이트 라인에 인가되는 제1 게이트 구동신호에 의해 구동되어 현재 게이트 라인에 인가된 제2 게이트 구동신호를 제2 전원전압(Voff)으로 방전시킨다.
- <157> 도 20에서는 게이트 라인들(G1~Gn)의 제1 단부에 제1 게이트 구동부(160)가 배치되고, 제2 단부에 제2 게이트 구동부(170)가 배치된 구조를 제시하였다. 그러나, 제1 및 제2 게이트 구동부(160, 170)를 서로 반대로 배치될 수 있다. 이러한 구조는 도 20에 도시된다.
- <158> 도 21에 도시된 액정표시장치(700)에서 게이트 라인들(G1~Gn)의 제1 단부에는 제1 게이트 구동부(160)가 배치되고, 제2 단부에는 제1 게이트 구동부(160)가 오동작을 일으킬 경우 동작되는 제2 게이트 구동부(170)가 배치된다.
- <159> 도 22는 도 20에 도시된 제1 게이트 구동부의 내부 구성을 나타낸 회로도이고, 도 23은 도 22에 도시된 제1 게이트 구동부의 출력을 시뮬레이션한 파형도이다. 단, 제1 게이트 구동부(160)는 각 스테이지가 종속적으로 연결된 하나의 쉬프트 레지스터로 이루어지고, 각 스테이지는 동일한 구성을 갖는다.
- <160> 도 22를 참조하면, 쉬프트 레지스터의 각 스테이지(161)는 풀업부(161a), 풀다운부(161b), 풀업 구동부(161c)

및 풀다운 구동부(161d)를 포함한다.

- <161> 풀업부(161a)는 클럭 입력단자(CK)에 드레인이 연결되고, 제1 노드(N1)에 게이트가 연결되고, 현재단 출력단자(Gout i)에 소오스가 연결된 제1 NMOS 트랜지스터(NT1)로 구성된다. 풀다운부(161b)는 출력단자(OUT)에 드레인이 연결되고, 제2 노드(N2)에 게이트가 연결되고, 소오스가 제2 전원전압(Voff)에 연결된 제2 NMOS 트랜지스터(NT2)로 구성된다.
- <162> 풀업 구동부(161c)는 캐패시터(C), 제3 내지 제5 NMOS 트랜지스터(NT3-NT5)로 구성된다. 캐패시터(C)는 제1 노드(N1)와 출력단자(Gout i) 사이에 연결된다. 제3 트랜지스터(NT13)는 제1 전원전압(Von)에 드레인이 연결되고, 입력단자(IN)에 게이트가 연결되고, 제1 노드(N1)에 소오스가 연결된다. 제4 NMOS 트랜지스터(NT4)는 제1 노드(N1)에 드레인이 연결되고, 다음단 출력단자(Gout i+1)에 게이트가 연결되고, 소오스가 제2 전원전압(Voff)에 연결된다. 제5 NMOS 트랜지스터(NT5)는 제1 노드(N1)에 드레인이 연결되고, 제2 노드(N2)에 게이트가 연결되고, 소오스가 제2 전원전압(Voff)에 연결된다. 이때, 제3 NMOS 트랜지스터(NT3)의 사이즈는 제5 NMOS 트랜지스터(NT5)의 사이즈보다 약 2배 정도 크게 형성된다.
- <163> 풀다운 구동부(196)는 제6 및 제7 NMOS 트랜지스터들(NT6, NT7)로 구성된다. 제6 NMOS 트랜지스터(NT6)는 제1 전원전압(Von)에 드레인과 게이트가 공통으로 결합되고, 제2 노드(N2)에 소오스가 연결된다. 제7 NMOS 트랜지스터(NT7)는 제2 노드(N2)에 드레인이 연결되고, 제2 노드(N2)에 게이트가 연결되고, 소오스가 제2 전원전압(Voff)에 결합된다. 이때, 제6 NMOS 트랜지스터(NT6)의 사이즈는 제7 NMOS 트랜지스터(NT7)의 사이즈보다 약 16 배 정도 크게 형성된다.
- <164> 제1 클럭, 제2 클럭(CKV, CKVB) 및 STV 신호가 쉬프트 레지스터에 공급되면, 각 스테이지로부터 순차적으로 게이트 구동신호가 출력된다. 구체적으로, 각 스테이지에서는 이전 스테이지의 출력신호에 응답하여 제1 클럭(CKV)의 하이레벨구간을 출력단자에 게이트 구동신호(Gout i)로 발생한다.
- <165> 현재단 출력단자(Gout i)에 제1 클럭의 하이레벨구간이 나타나기 시작하면, 이 출력전압이 캐패시터(C)에 부트스트랩(BOOTSTRAP)되어 풀업 트랜지스터(NT11)의 게이트 전압이 턴-온 전압(VDD) 이상으로 상승하게 된다. 따라서, 제1 NMOS 트랜지스터(NT1)가 완전(FULL) 도통상태를 유지하게 된다. 이때, 제3 NMOS 트랜지스터(NT3)의 사이즈는 제5 NMOS 트랜지스터(NT5)의 사이즈보다 약 2배 정도 크기 때문에 STV 신호에 의해 제5 NMOS 트랜지스터(NT5)가 턴-온되더라도 제1 NMOS 트랜지스터(NT1)를 턴-온 상태로 천이시킨다.
- <166> 한편, 풀다운 구동부(161d)는 입력신호에 의하여 제7 NMOS 트랜지스터(NT7)가 턴-오프되어 제2 노드(N2)가 제1 전원전압(Von)으로 상승되어 제2 NMOS 트랜지스터(NT2)를 턴-온시킨다. 따라서 출력단자(OUT)의 출력신호의 전압이 제2 전원전압(Voff) 상태에 있다. 이때, 이전 스테이지의 출력신호(Gout i-1)에 의하여 제7 NMOS 트랜지스터(NT7)가 턴-오프므로 제2 노드(N2)의 전위가 제2 전원전압(Voff)으로 다운된다.
- <167> 이후 제6 NMOS 트랜지스터(N6)가 턴-온되더라도, 제7 NMOS 트랜지스터(N7)의 사이즈가 제6 NMOS 트랜지스터(N6)의 사이즈 보다 약 16배 정도 크기 때문에 제2 노드(N2)는 제2 전원전압(Voff) 상태로 계속 유지된다. 따라서, 제2 NMOS 트랜지스터(NT2)는 턴-온상태에서 턴-오프상태로 천이된다.
- <168> 현재단 출력단자(Gout i)의 전압이 제2 전원전압(Voff)상태로 떨어지게 되면, 제7 NMOS 트랜지스터(NT7)가 턴-오프되므로 이에, 제6 NMOS 트랜지스터(NT6)를 통하여 제2 노드(N2)에 제1 전원전압(Von)만 공급되는 상태이므로 제2 노드(N2)의 전위는 제2 전원전압(Voff)에서 제1 전원전압(Von)으로 상승되기 시작한다. 제2 노드(N2)의 전위가 상승되기 시작하면, 제5 NMOS 트랜지스터(NT5)가 턴-온되기 시작하고, 이에 캐패시터의 충전전압은 제5 NMOS 트랜지스터(NT5)를 통하여 방전되기 시작한다. 그러므로, 제1 NMOS 트랜지스터(NT1)도 턴-오프되기 시작한다.
- <169> 이어서, 다음단 출력신호(Gout i+1)가 턴-온 전압으로 상승하게 됨으로 인해, 제4 NMOS 트랜지스터(NT4)가 턴-온된다. 이때, 제4 NMOS 트랜지스터(NT4)의 사이즈는 제5 NMOS 트랜지스터(NT5)보다 약 2배 정도 크기 때문에 제1 노드(N1)의 전위는 제5 NMOS 트랜지스터(NT5)만 턴-온되었을 때보다 더욱 빠르게 제2 전원전압(Voff)으로 다운되게 된다. 그러므로, 제1 NMOS 트랜지스터(NT1)는 턴-오프되고, 제2 NMOS 트랜지스터(NT2)는 턴-온되어 현재단 출력단자(Gout i)는 턴-온 전압(Von)에서 제1 전원전압(Von)으로 다운된다.
- <170> 다음단의 출력신호(Gout i+1)가 로우 레벨로 하강되어 제4 NMOS 트랜지스터(NT4)가 턴-오프되더라도 제2 노드(N2)는 제6 NMOS 트랜지스터(NT6)를 통하여 제1 전원전압(Von)으로 바이어스 상태를 유지하게 되고, 제1 노드(N1)는 턴-온상태를 유지하는 제5 NMOS 트랜지스터(NT5)를 제2 전원전압(Voff)으로 바이어스 상태를 유지한다. 그러므로, 제2 노드(N2)의 전위가 제1 전원전압(Von)으로 유지되므로 제2 NMOS 트랜지스터(NT2)가 턴-오프되는

오동작의 우려가 없이 안정된 동작된다.

- <171> 도 24는 도 20에 도시된 제2 게이트 구동부의 제1 전원전압 입력단자에 제1 전원전압을 인가한 경우 제1 게이트 구동부의 출력을 시뮬레이션한 파형도이다. 도 25는 도 20에 도시된 제2 게이트 구동부의 제1 및 제2 클럭 입력 단자에 제2 전원전압을 인가한 경우 제1 게이트 구동부의 출력을 시뮬레이션한 파형도이다.
- <172> 도 24를 참조하면, 제2 게이트 구동부(170)의 외부입력단자들 중 제1 전원전압 입력단자(Von)에 제1 전원전압 (Von)을 그대로 제공한 경우 제1 게이트 구동부(160)로부터 출력되는 각 스테이지의 출력 파형이 불량하게 된다. 따라서, 액정표시장치의 표시특성이 저하된다.
- <173> 한편, 도 25에 도시된 바와 같이 제2 게이트 구동부(170)의 외부입력단자들 중 제1 및 제2 클럭 입력단자(CKV, CKVB)에 제2 전원전압(Voff)을 제공한 경우 제1 게이트 구동부(160)로부터 출력되는 각 스테이지의 출력 파형의 전압 레벨이 다운된다. 이러한 전압 강하는 제1 게이트 구동부(160)를 구동시키기 위한 소비 전력이 증가시킨다.
- <174> 따라서, 제1 게이트 구동부(160)의 정상 구동시 제2 게이트 구동부(170)의 제1 및 제2 클럭 입력단자(CKV, CKVB)에 제1 전원전압(Von)을 인가하고, 제1 전원전압 입력단자(Von)에 제2 전원전압(Voff)을 인가하는 것이 바람직하다.

발명의 효과

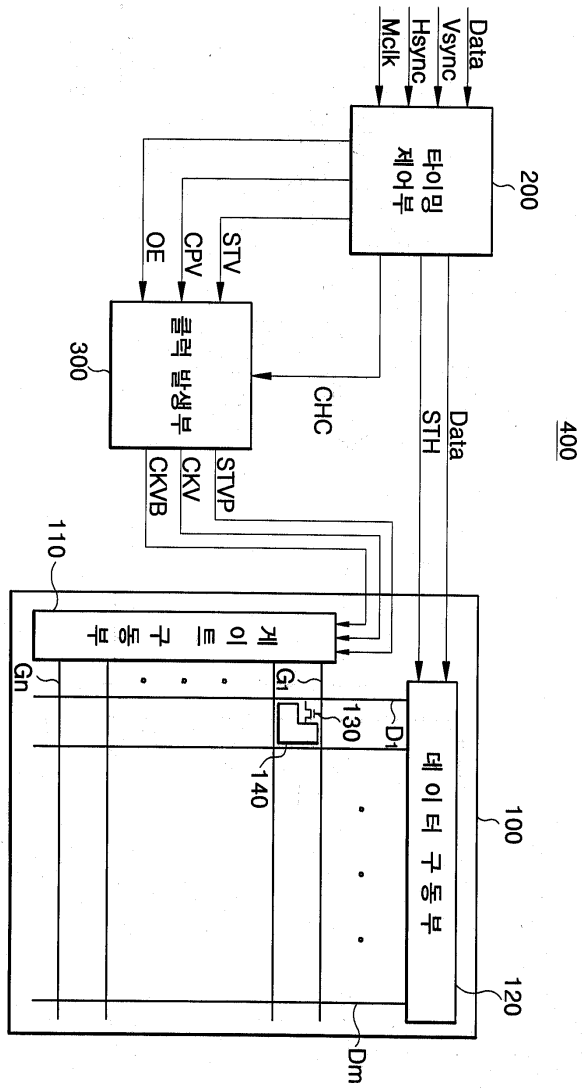
- <175> 상술한 액정표시장치에 따르면, 클럭 발생부는 게이트 구동신호를 결정하는 제1 구간과 서로 충전을 공유하는 제2 구간을 갖는 제1 및 제2 클럭을 발생하여 게이트 구동부로 인가함으로써 게이트 구동신호의 펄스폭을 조절한다. 따라서, 게이트 라인이 고속으로 동작되어 주어진 시간 즉, 1frame 동안에 해당 게이트 라인을 모두 구동할 수 있음으로써 고해상도를 갖는 액정표시장치를 구현할 수 있다.
- <176> 또한, 게이트 라인의 일단에 방전 트랜지스터를 형성하여 다음 게이트 라인이 동작되기 이전에 현재 게이트 라인을 방전시킨다. 따라서, 게이트 구동신호의 지연을 방지할 수 있다.
- <177> 또한, 게이트 라인의 일단에는 제1 게이트 구동부가 배치되고 게이트 라인의 타단에는 제1 게이트 구동부가 오동작을 일으킬 때 동작되어 게이트 라인을 구동하는 제2 게이트 구동부가 배치된다. 따라서, 제1 게이트 구동부가 제대로 동작하지 못하더라도 제2 게이트 구동부에 의해 액정표시장치가 정상적으로 구동됨으로써 리턴던시 기능을 구현할 수 있다.
- <178> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

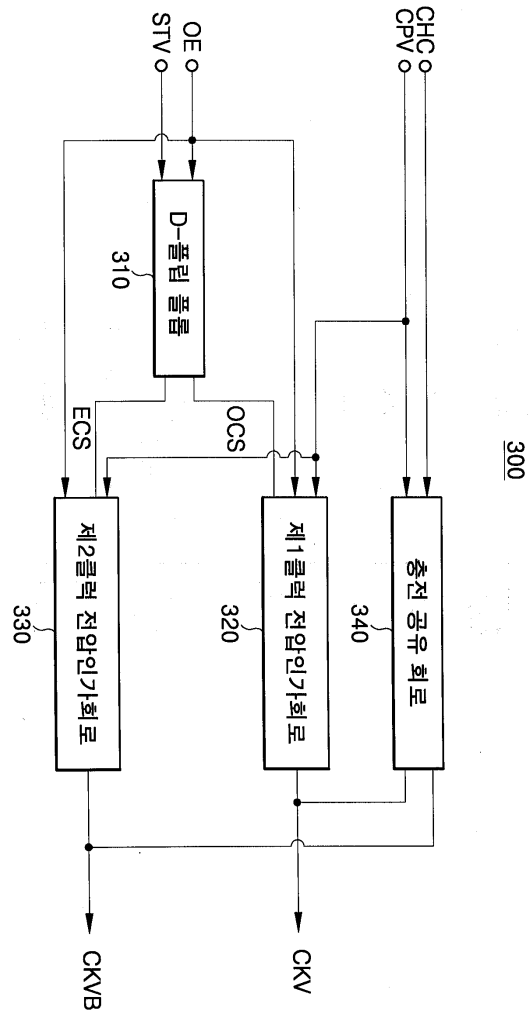
- <1> 도 1은 본 발명의 제1 실시예에 따른 액정표시장치를 나타낸 블록도이다.
- <2> 도 2는 도 1에 도시된 클럭 발생부의 구체적인 회로도이다.
- <3> 도 3은 도 2에 도시된 입력신호의 파형을 나타낸 파형도이다.
- <4> 도 4는 도 2에 도시된 D-플립플롭의 구체적인 구성도이다.
- <5> 도 5는 도 4의 출력 파형도이다.
- <6> 도 6은 도 2에 도시된 제1 클럭 전압인가회로의 회로도이다.
- <7> 도 7은 도 2에 도시된 제2 클럭 전압인가회로의 회로도이다.
- <8> 도 8은 도 2에 도시된 충전공유회로를 나타낸 회로도이다.
- <9> 도 9는 도 2에 도시된 클럭 발생부로부터 출력되는 제1 및 제2 클럭을 시뮬레이션한 파형도이다.
- <10> 도 10은 제1 및 제2 클럭을 출력하는데 필요한 전류를 시뮬레이션한 파형도이다.
- <11> 도 11은 제1 및 제2 클럭에 따른 각 스테이지의 출력 파형을 나타낸 파형도이다.
- <12> 도 12 및 도 13은 본 발명의 다른 형태에 따른 클럭 발생 제어신호를 나타낸 파형도이다.

도면

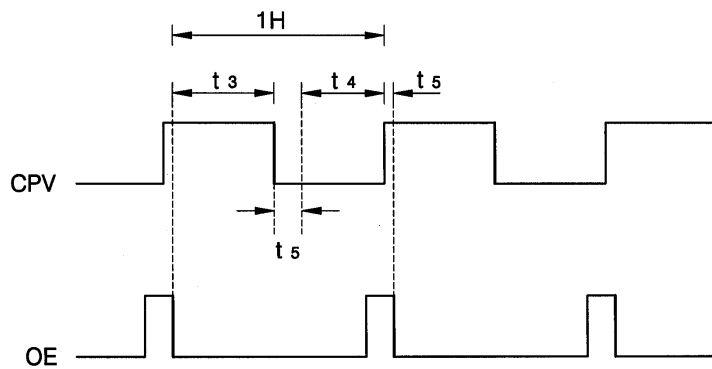
도면1



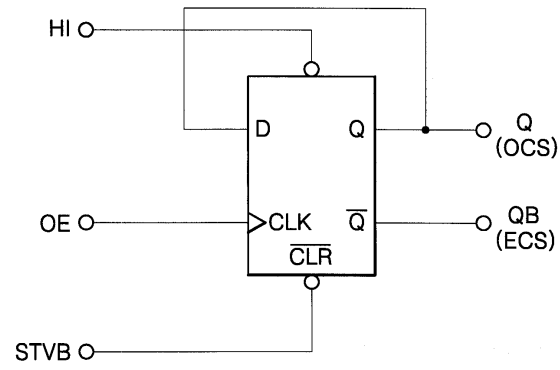
도면2



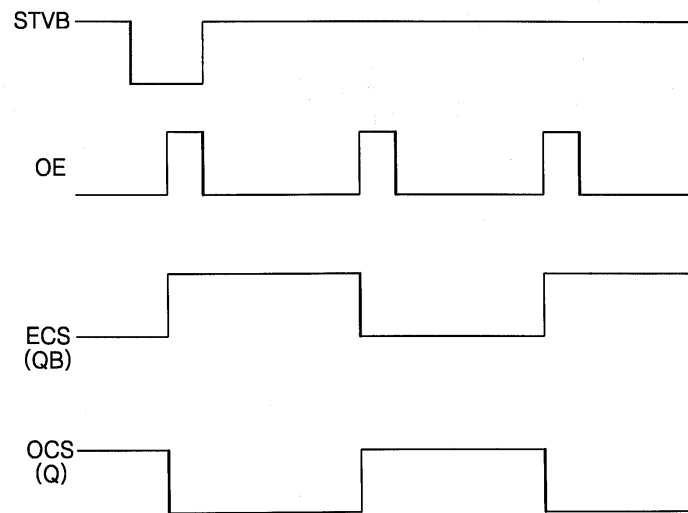
도면3



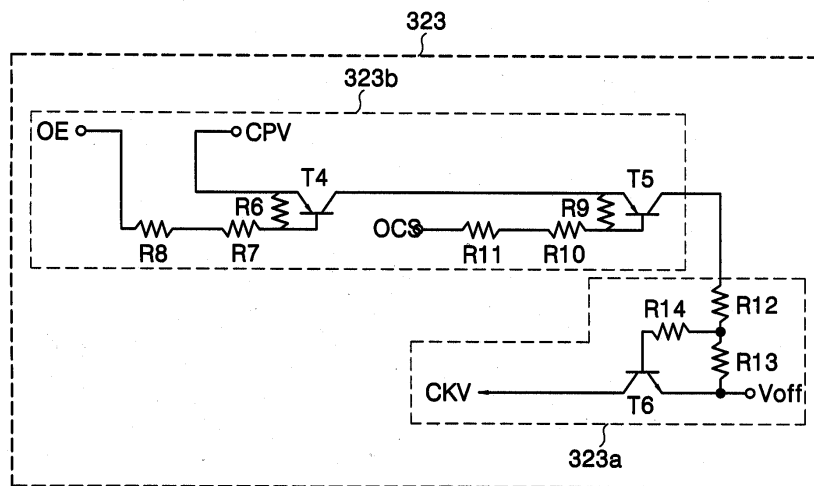
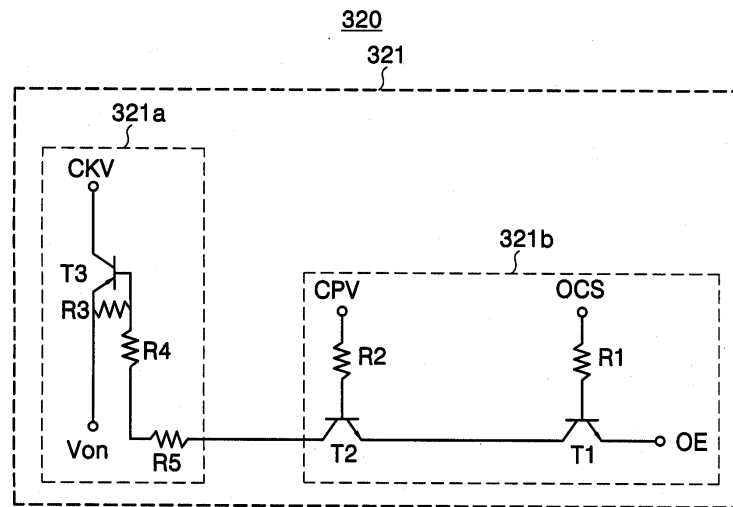
도면4



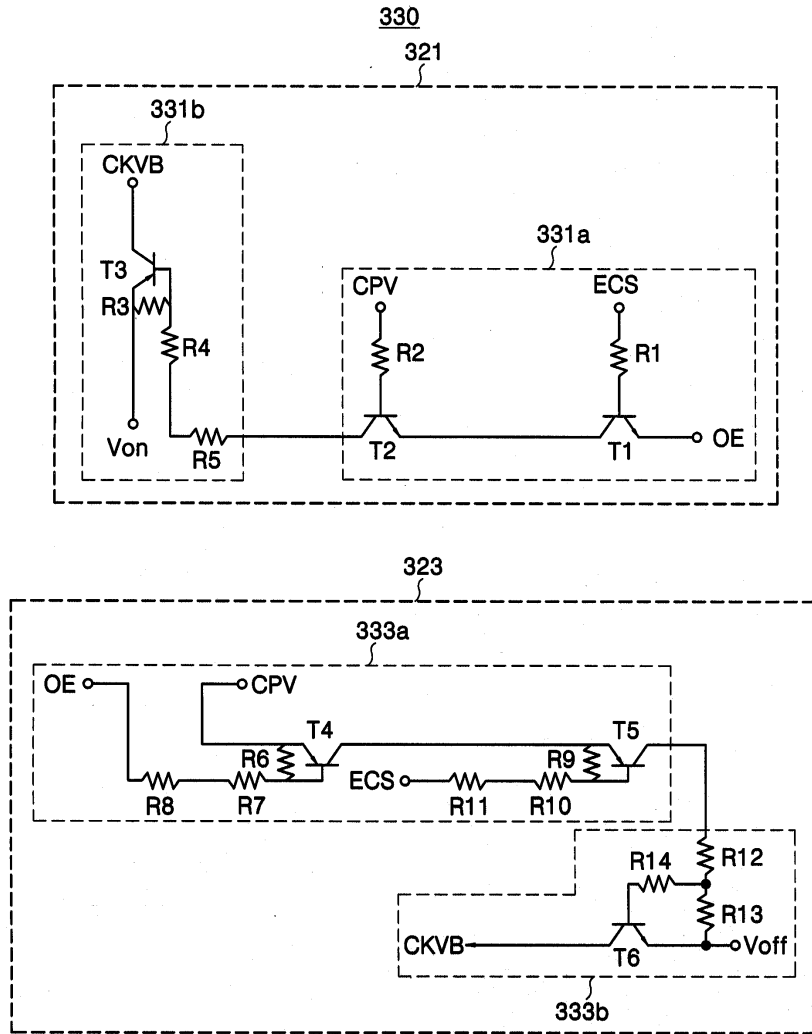
도면5



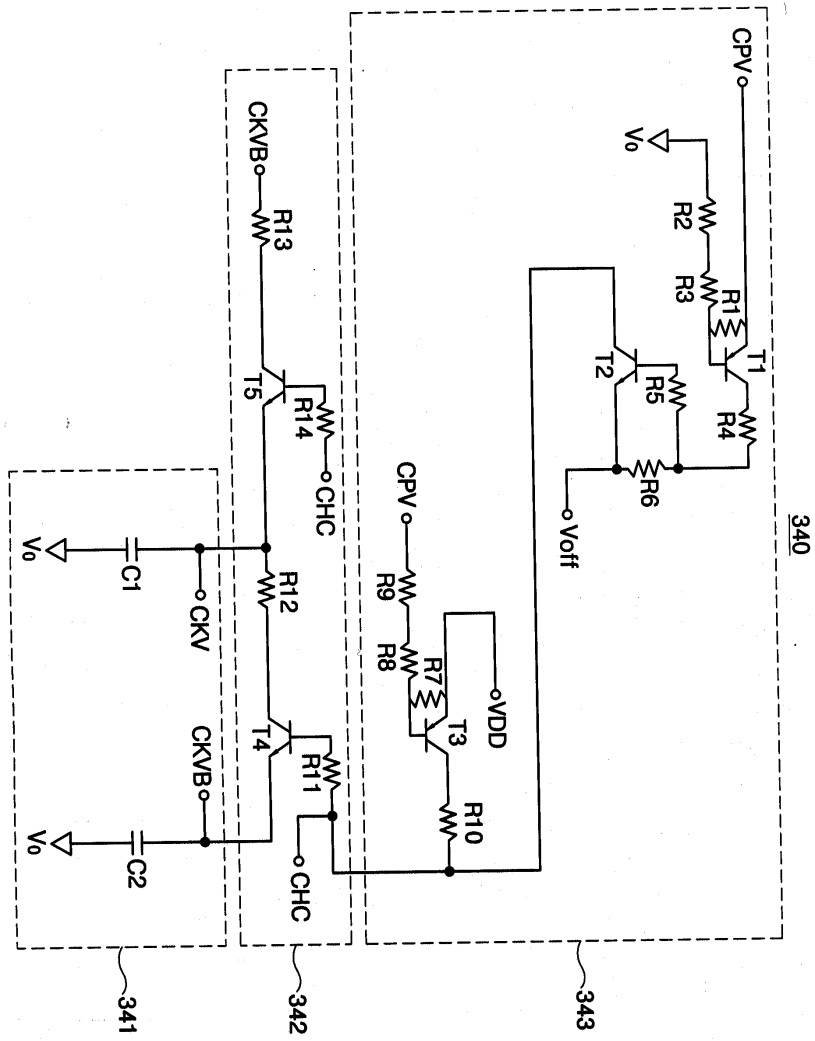
도면6



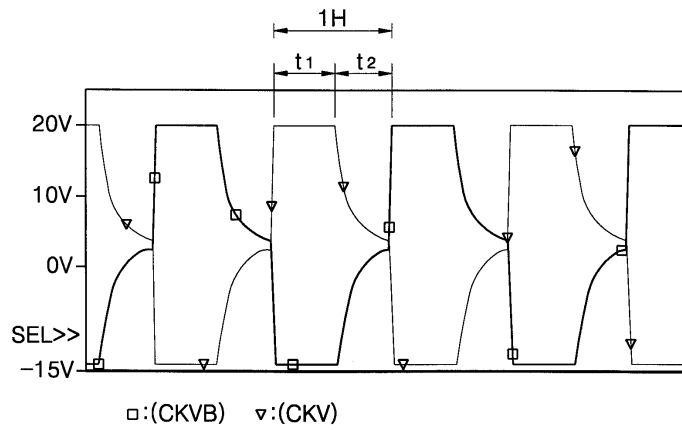
도면7



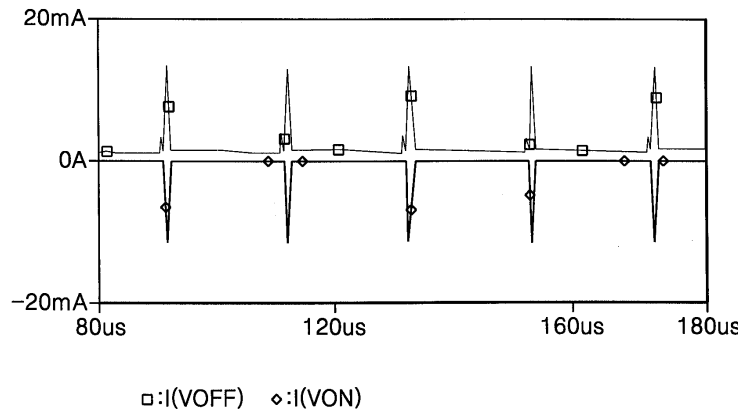
도면8



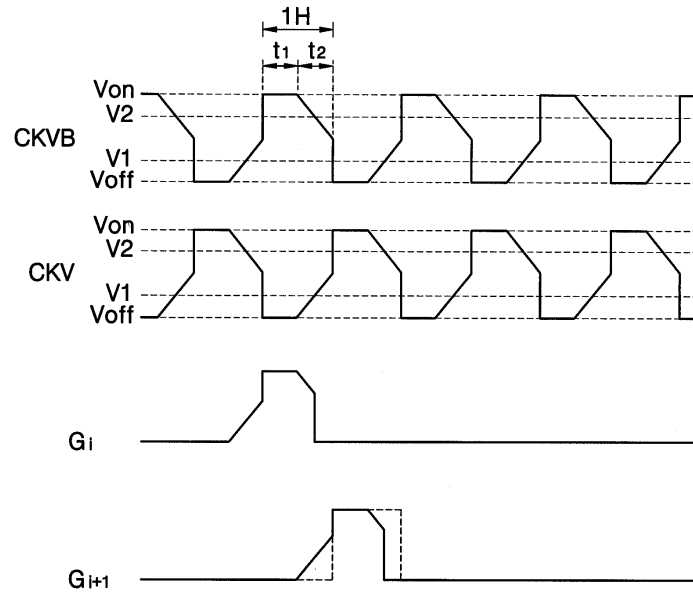
도면9



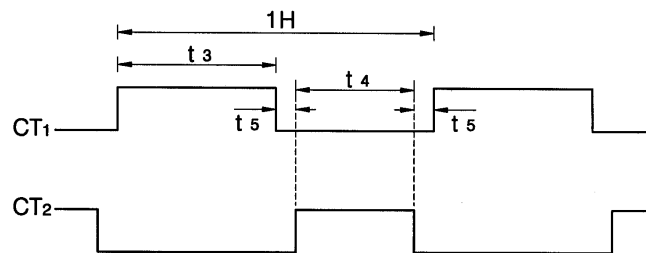
도면10



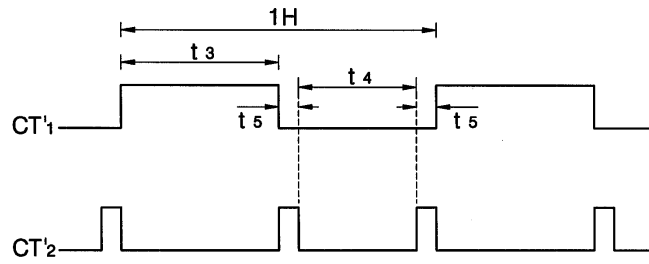
도면11



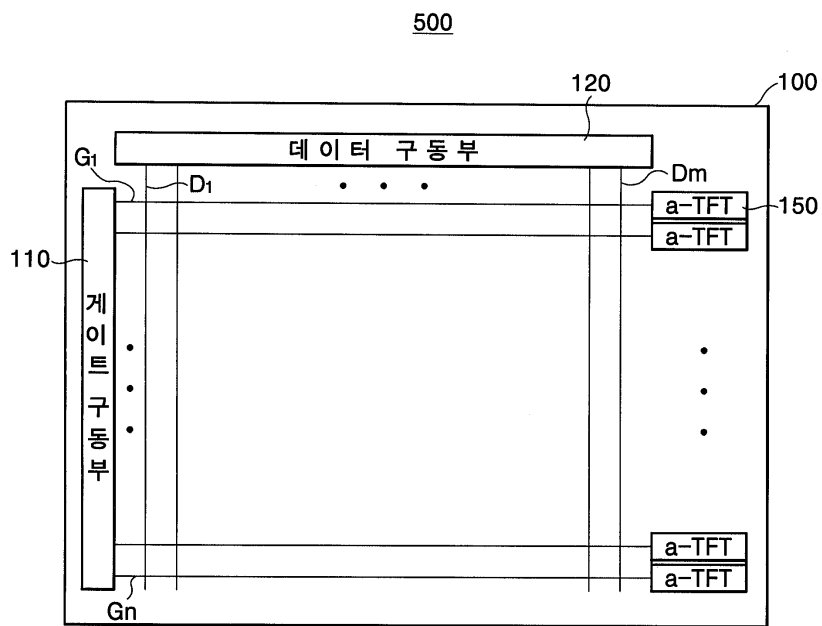
도면12



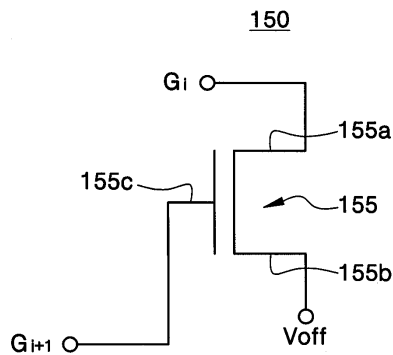
도면13



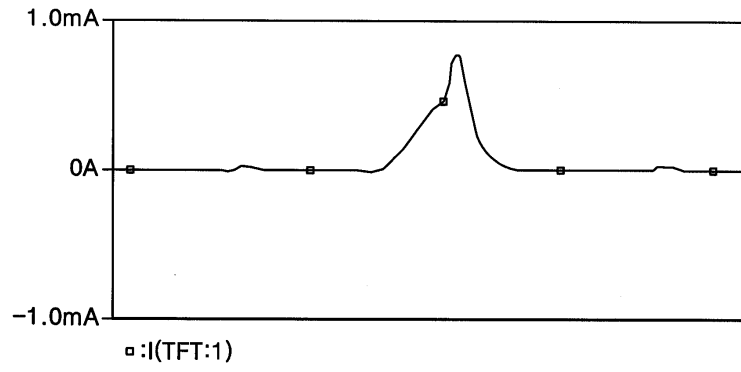
도면14



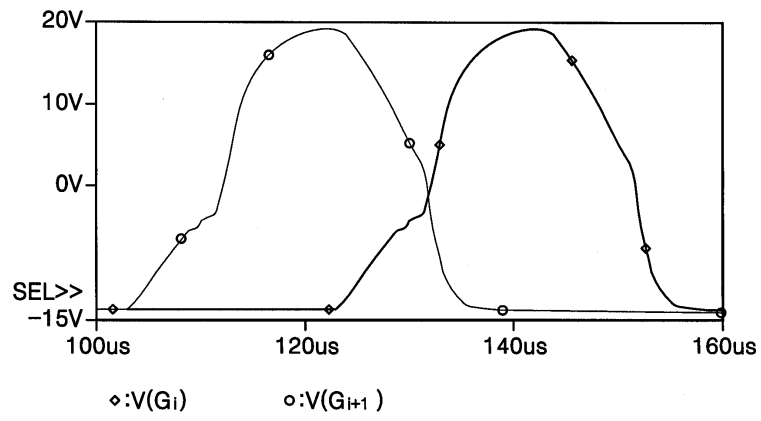
도면15



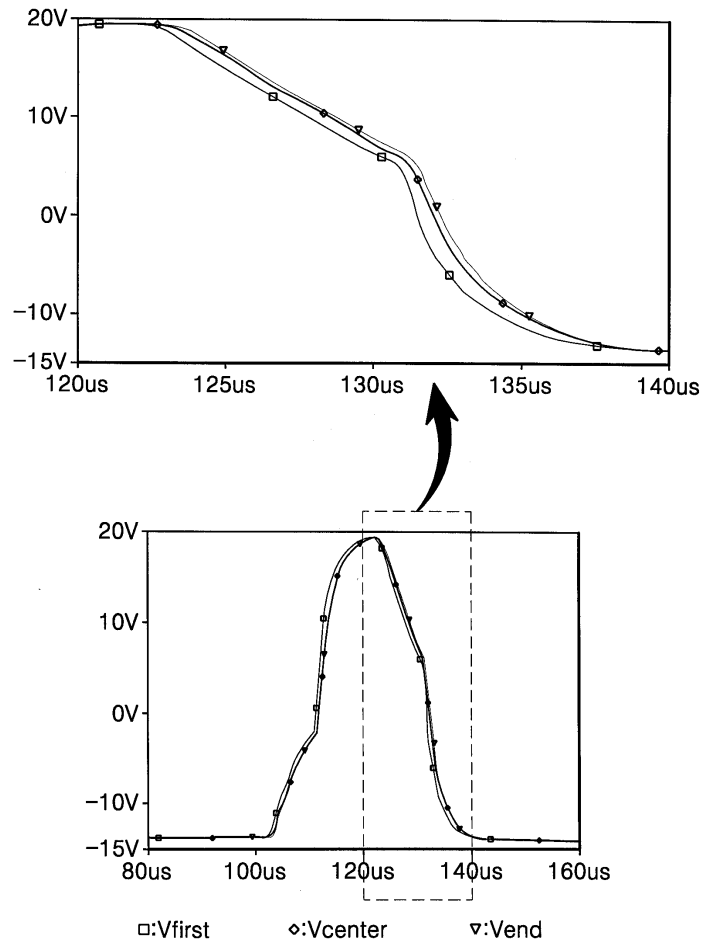
도면16



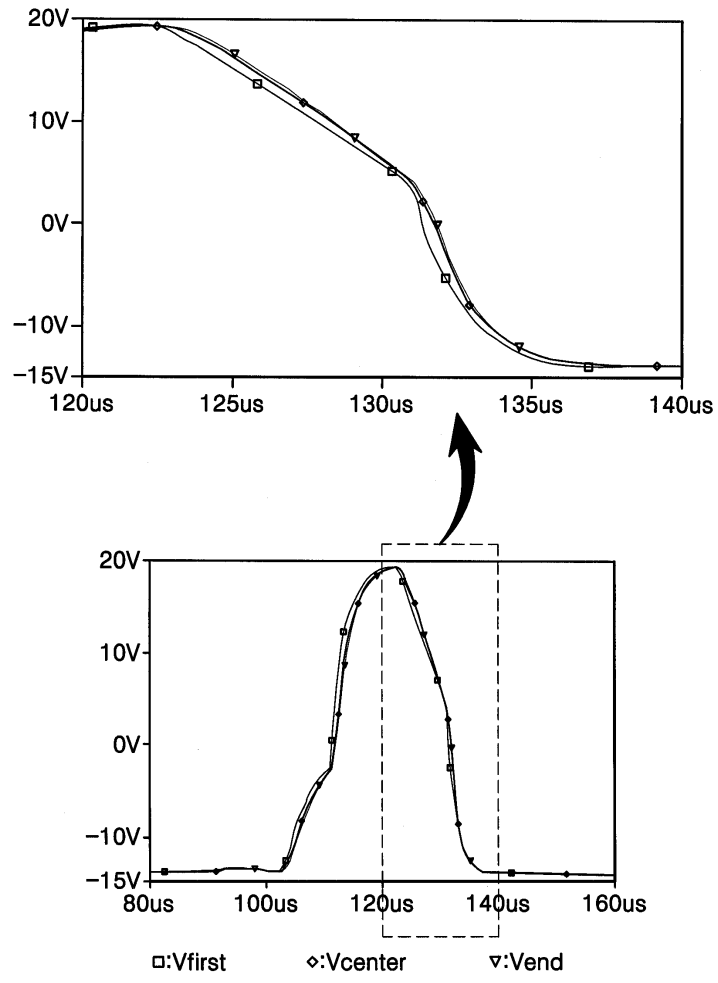
도면17



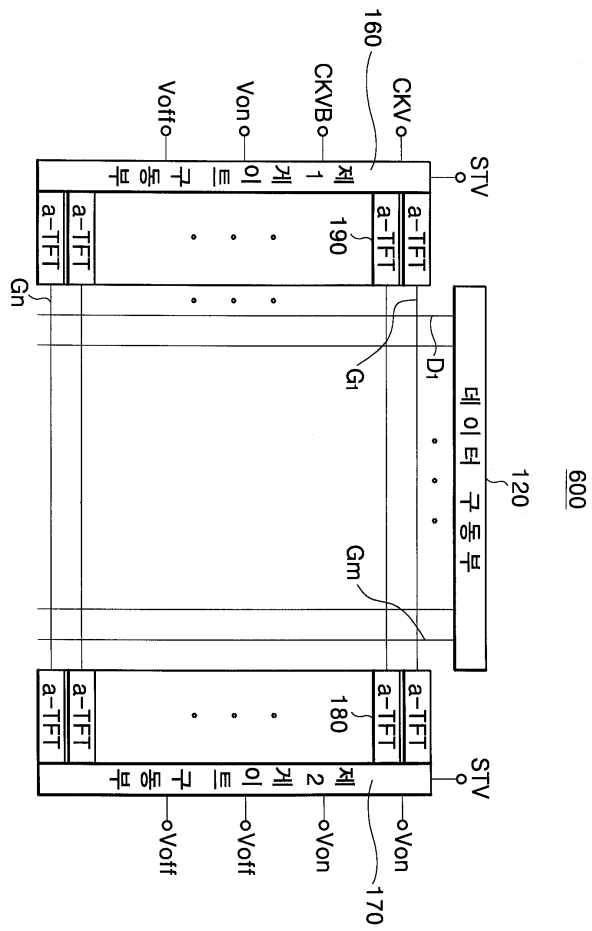
도면18



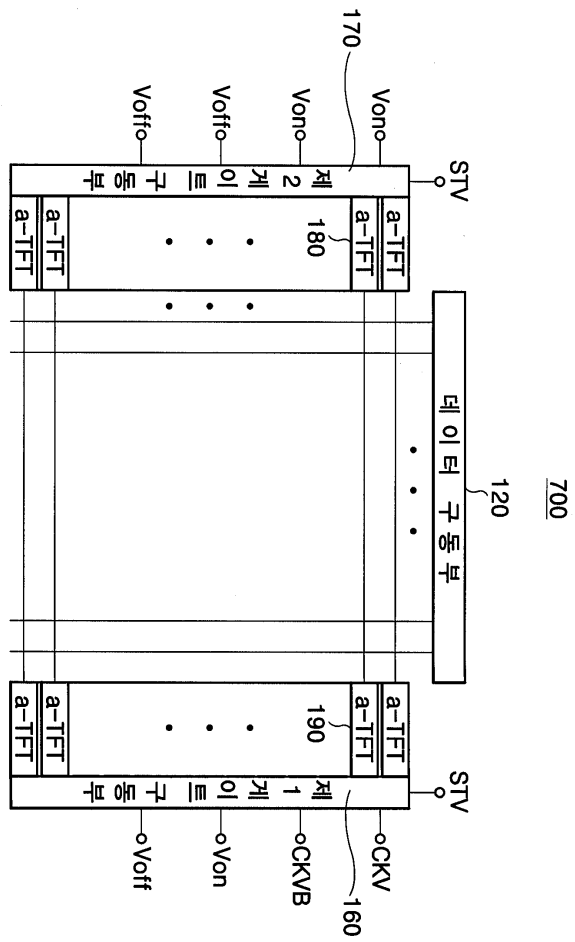
도면19



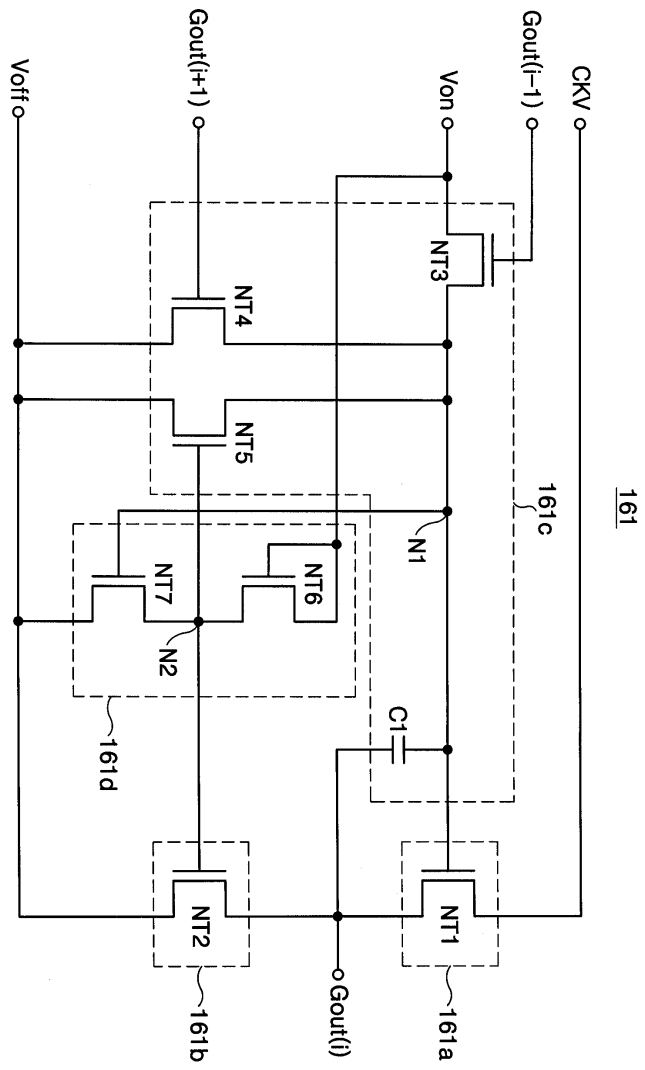
도면20



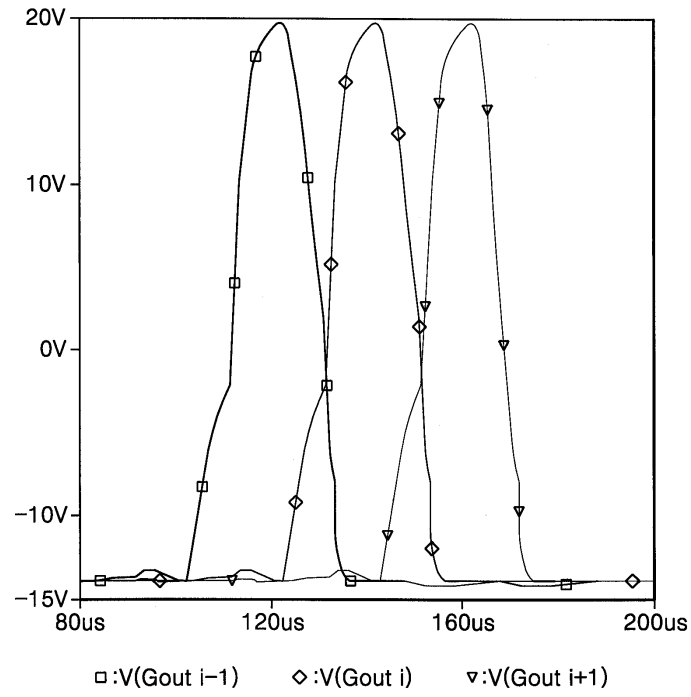
도면21



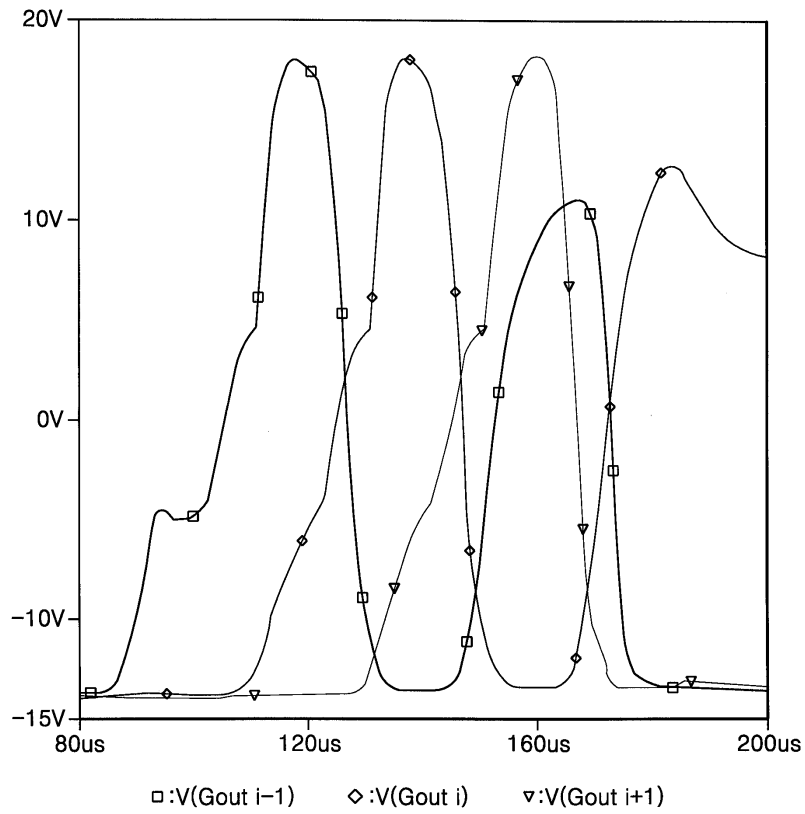
도면22



도면23



도면24



도면25

