

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6903469号
(P6903469)

(45) 発行日 令和3年7月14日(2021.7.14)

(24) 登録日 令和3年6月25日(2021.6.25)

(51) Int.Cl.	F I
G09G 3/20 (2006.01)	G09G 3/20 622A
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/3233 (2016.01)	G09G 3/20 622E
H01L 51/50 (2006.01)	G09G 3/20 622G
H05B 33/14 (2006.01)	G09G 3/20 622C
請求項の数 7 (全 84 頁) 最終頁に続く	

(21) 出願番号	特願2017-73565 (P2017-73565)	(73) 特許権者	000153878
(22) 出願日	平成29年4月3日(2017.4.3)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2017-198978 (P2017-198978A)		神奈川県厚木市長谷398番地
(43) 公開日	平成29年11月2日(2017.11.2)	(72) 発明者	森 英典
審査請求日	令和2年4月1日(2020.4.1)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2016-74956 (P2016-74956)		半導体エネルギー研究所内
(32) 優先日	平成28年4月4日(2016.4.4)	(72) 発明者	福留 貴浩
(33) 優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2016-87359 (P2016-87359)		半導体エネルギー研究所内
(32) 優先日	平成28年4月25日(2016.4.25)	審査官	塚本 丈二
(33) 優先権主張国・地域又は機関	日本国(JP)		
		最終頁に続く	

(54) 【発明の名称】 表示装置、表示モジュール、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

ゲートドライバと、表示部と、選択信号出力回路と、を有する表示装置であって、
 前記表示部は、第1の領域と第2の領域と、を有し、
 前記第1の領域は、全面の表示が更新される機能を有し、
 前記第2の領域は、部分的に表示が更新される機能を有し、
 前記第1の領域および前記第2の領域は、それぞれ画素回路と、走査線と、を有し、
 前記画素回路は、表示素子を有し、
 前記ゲートドライバは、前記走査線と電気的に接続され、
 前記走査線は、前記画素回路と電気的に接続され、
 前記第1の領域に含まれる走査線は、第1の走査信号が与えられる機能を有し、
 前記第2の領域に含まれる走査線は、第2の走査信号が与えられる機能を有し、
 前記選択信号出力回路は、走査線を選択する第1の選択信号および第2の選択信号を出力する機能を有し、
 前記第1の選択信号は、選択された前記第1の領域に含まれる走査線に前記第1の走査信号を与える機能を有し、
 前記第1の領域に含まれる表示素子は、前記第1の走査信号によって表示が更新される機能を有し、
 前記第2の選択信号は、選択された前記第2の領域に含まれる走査線に前記第2の走査信号を与える機能を有し、

前記第2の領域に含まれる表示素子は、前記第2の走査信号によって表示が更新される機能を有し、

前記第1の領域に含まれる表示素子の表示が更新される頻度は、前記第2の領域に含まれる表示素子の表示が更新される頻度と異なる表示装置。

【請求項2】

請求項1において、

前記第1の走査信号は、前記第2の走査信号とは異なる電圧振幅を有する表示装置。

【請求項3】

請求項1または請求項2において、

前記選択信号出力回路は、前記第1の選択信号と、前記第2の選択信号を切り替えて出力する機能を有する表示装置。 10

【請求項4】

請求項2において、

前記第1の領域は、第1の信号線を有し、

前記第2の領域は、第2の信号線を有し、

前記第1の信号線は、前記第1の領域に含まれる画素回路に、第1の階調信号を与える機能を有し、

前記第2の信号線は、前記第2の領域に含まれる画素回路に、第2の階調信号を与える機能を有し、

前記第1の領域に含まれる表示素子は、第1の階調を表示する機能を有し、 20

前記第2の領域に含まれる表示素子は、第2の階調を表示する機能を有し、

前記第1の領域に含まれる走査線は、第1の電圧および前記第1の電圧より小さい第2の電圧を出力する機能を有し、

前記第2の領域に含まれる走査線は、第3の電圧および前記第3の電圧より小さい第4の電圧を出力する機能を有し、

前記第1の階調信号により生成された最大電圧は、前記第1の電圧よりも小さい電圧であり、

前記第1の階調信号により生成された最小電圧は、前記第2の電圧よりも大きい電圧であり、

前記第2の階調信号により生成された最大電圧は、前記第3の電圧よりも小さい電圧であり、 30

前記第2の階調信号により生成された最小電圧は、前記第4の電圧よりも大きい電圧であり、

前記第1の階調信号により生成された最大電圧は、前記第2の階調信号により生成された最大電圧よりも大きい電圧であり、

前記第1の階調信号により生成された最小電圧は、前記第2の階調信号により生成された最小電圧よりも小さい電圧である表示装置。

【請求項5】

請求項1乃至4のいずれか一において、

前記第1の領域に含まれる表示素子は、液晶素子を有し、 40

前記第2の領域に含まれる表示素子は、自発光素子を有する表示装置。

【請求項6】

請求項1乃至5のいずれか一の表示装置と、

タッチセンサと、

を有する表示モジュール。

【請求項7】

請求項1乃至5のいずれか一の表示装置、または請求項6の表示モジュールと、

操作キーまたはバッテリーと、

を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、表示装置、表示モジュール、及び電子機器に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、またはそれらの製造方法に関する。

【背景技術】

10

【0003】

スマートフォン、タブレット等のモバイル機器が普及している。モバイル機器は、屋外環境や室内環境など利用する環境の明るさに適した表示をすることが求められている。

【0004】

自然光や室内照明光など、十分な明るさの光がある環境では反射光を利用した表示を行い、十分な明るさを得られない環境では発光素子を利用した表示を行う表示装置が開示されている。

【0005】

例えば特許文献1乃至3では、1つの画素に、液晶素子を制御する画素回路と、発光素子を制御する画素回路とが設けられている、ハイブリッド（複合型）表示装置が開示されている。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許出願公開第2003/0107688号明細書

【特許文献2】国際公開第2007/041150号公報

【特許文献3】特開2008-225381号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

30

外光を利用して表示を行う方法として、反射型液晶表示装置がある。反射型液晶表示装置ではバックライトを必要としないため低消費電力であるが、明るい外光が得られる場所でないと良好な表示を行えない。EL（Electroluminescence）素子は自発光素子であるため、発光表示装置は暗い場所で良好な表示ができる一方、明るい場所では、視認性が低下してしまう。特許文献1乃至3で開示されるハイブリッド表示装置は、反射型液晶表示装置と発光表示装置の特長が生かされており、使用場所の明るさによらず使用することができる。

【0008】

液晶素子と発光素子とでは光学的な応答速度が異なる。そのため表示内容に応じた所望の表示品質を得ることが難しかった。さらに階調信号が逐次更新されるため、消費電力の低減を図ることが難しかった。

40

【0009】

上記問題に鑑み、本発明の一態様は、表示装置を駆動するための新規な回路により、表示内容に応じた画素回路を選択する方法が最適化された、新規な表示装置等を提供することを課題の一とする。または、本発明の一態様は、表示内容に応じた表示素子の階調信号が更新されることで、表示品質が向上する表示装置等を提供することを課題の一とする。または、本発明の一態様は、表示内容に応じた表示素子の階調信号が更新されることにより消費電力が低減された、新規な構成の表示装置等を提供することを課題の一とする。

【0010】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は

50

、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

【課題を解決するための手段】

【0011】

本発明の一態様は、ゲートドライバと、表示部と、選択信号出力回路と、を有する表示装置であって、表示部は、第1の領域と第2の領域と、を有し、第1の領域および第2の領域は、それぞれ画素回路と、走査線と、を有し、画素回路は、表示素子を有し、ゲートドライバは、走査線と電気的に接続され、走査線は、画素回路と電気的に接続され、走査線は、第1の走査信号が与えられる機能を有し、選択信号出力回路は、第1の走査信号が与えられる走査線を選択する第1の選択信号を出力する機能を有し、第1の選択信号は、選択された走査線に第1の走査信号を与える機能を有し、表示素子は、第1の走査信号によって表示が更新される機能を有し、第1の領域に含まれる表示素子の表示が更新される頻度は、第2の領域に含まれる表示素子と異なることを特徴とする表示装置である。

10

【0012】

本発明の一態様において、表示素子は、液晶素子を有することを特徴とする表示装置が好ましい。

【0013】

本発明の一態様において、表示素子は、自発光素子を有することを特徴とする表示装置が好ましい。

20

【0014】

本発明の一態様は、ゲートドライバと、表示部と、選択信号出力回路と、を有する表示装置であって、表示部は、画素回路と、第1の走査線と、第2の走査線と、を有し、画素回路は、第1の表示素子および第2の表示素子を有し、第1の走査線は、第1の走査信号が与えられる機能を有し、第2の走査線は、第2の走査信号が与えられる機能を有し、ゲートドライバは、シフトレジスタ回路と、選択回路とを有し、シフトレジスタ回路は、出力信号を出力する機能を有し、選択信号出力回路は、第1の選択信号および第2の選択信号を出力する機能を有し、選択回路は、出力信号、第1の選択信号および第2の選択信号により、第1の走査信号および第2の走査信号を生成する機能を有する表示装置である。

30

【0015】

本発明の一態様において、表示部は、第1の信号線と、第2の信号線を有し、第1の信号線は、第1の階調信号が与えられる機能を有し、第2の信号線は、第2の階調信号が与えられる機能を有し、第1の走査信号の電圧振幅は、第1の階調信号の電圧振幅より大きく、選択回路は、出力信号および第2の選択信号により、第2の走査信号を生成し、第2の走査信号の電圧振幅は、第2の階調信号の電圧振幅より大きく、第1の走査信号は、第2の走査信号とは異なる電圧振幅を有する表示装置が好ましい。

【0016】

本発明の一態様において、選択信号出力回路は、第1の選択信号と、第2の選択信号を切り替えて出力する機能を有する表示装置が好ましい。

40

【0017】

本発明の一態様は、信号線と、第1の走査線と、第2の走査線と、画素回路とを有する表示装置であって、画素回路は、第1の回路と、第2の回路とを有し、第1の回路は、第1の表示素子を有し、第2の回路は、第2の表示素子を有し、信号線は、第1の回路に第1の階調信号を与える機能を有し、信号線は、第2の回路に第2の階調信号を与える機能を有し、第1の表示素子は、第1の階調を表示する機能を有し、第2の表示素子は、第2の階調を表示する機能を有し、第1の走査線は、第1の電圧および、第1の電圧より小さい第2の電圧を出力する機能を有し、第2の走査線は、第3の電圧および、第3の電圧より小さい第4の電圧を出力する機能を有し、第1の階調信号により生成された最大電圧は

50

、第１の電圧よりも小さい電圧であり、第１の階調信号により生成された最小電圧は、第２の電圧よりも大きい電圧であり、第２の階調信号により生成された最大電圧は、第３の電圧よりも小さい電圧であり、第２の階調信号により生成された最小電圧は、第４の電圧よりも大きい電圧であり、第１の階調信号により生成された最大電圧は、第２の階調信号により生成された最大電圧よりも大きい電圧であり、第１の階調信号により生成された最小電圧は、第２の階調信号により生成された最小電圧よりも小さい電圧である。

【００１８】

本発明の一態様において、信号線と、第１の電源線と、画素回路とを有する表示装置であって、第１の回路は、第１の表示素子と、第１のトランジスタと、第１の容量素子とを有し、第２の回路は、第２の表示素子と、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、を有し、第１の表示素子は、第１の画素電極と、第１の対向電極とを有し、第２の表示素子は、第２の画素電極と、第２の対向電極とを有し、信号線は、第１のトランジスタのソースまたはドレインの一方に電氣的に接続され、第１のトランジスタのソースまたはドレインの他方は、第１の画素電極に電氣的に接続され、第１のトランジスタのソースまたはドレインの他方は、第１の容量素子の電極の一方に電氣的に接続され、第１の容量素子の電極の他方は、第１の電源線が電氣的に接続され、第１の走査線は、第１のトランジスタのゲートに電氣的に接続され、信号線は、第２のトランジスタのソースまたはドレインの一方に電氣的に接続され、第２のトランジスタのソースまたはドレインの他方は、第３のトランジスタのゲートに電氣的に接続され、第３のトランジスタのソースまたはドレインの一方は、第２の画素電極と電氣的に接続され、第３のトランジスタのソースまたはドレインの一方は、第４のトランジスタのソースまたはドレインの一方に電氣的に接続され、第２の走査線は、第２のトランジスタのゲートに電氣的に接続され、第１の電源線と、第４のトランジスタのソースまたはドレインの他方が電氣的に接続され、第１の階調信号を、第１のトランジスタを介して、第１の容量素子の電極の一方に与えている期間に、第１の電源線に与えられる電圧を、第４のトランジスタを介して、第２の画素電極に与える機能を有する表示装置が好ましい。

【００１９】

上記態様において、第１の表示素子は、液晶素子を有し、第２の表示素子は、自発光素子を有すると好ましい。

【００２０】

本発明の一態様において、画素回路は、トランジスタを有し、トランジスタは、チャネル形成領域に酸化物半導体を有する表示装置が好ましい。

【発明の効果】

【００２１】

本発明の一態様は、表示装置を駆動するための新規な回路により、表示内容に応じた画素回路を選択する方法が最適化された、新規な表示装置等を提供することができる。または、本発明の一態様は、表示内容に応じた表示素子の階調信号が更新されることにより、表示品質が向上する表示装置等を提供することができる。または、本発明の一態様は、表示内容に応じた表示素子の階調信号が更新されることにより消費電力が低減された、新規な構成の表示装置等を提供することができる。

【００２２】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び／又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【００２３】

【図 1】表示装置の構成を説明するための図。

【図 2】画素の構成を説明するための図。

【図 3】画素の構成を説明するための図。

【図 4】(A)：選択回路のブロック図。(B)：(A)の選択回路のタイミングチャート。

【図 5】(A)：図 1 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 6】(A)：図 1 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 7】表示装置の構成を説明するための図。

10

【図 8】(A)：図 7 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 9】(A)：図 7 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 10】表示装置の構成を説明するための図。

【図 11】(A)：図 10 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 12】(A)：図 10 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 13】(A)：図 10 の表示装置のタイミングチャート。(B)：動作を説明するための図。

20

【図 14】(A)乃至(D)：表示例を説明するための図。

【図 15】画素の構成を説明するための図。

【図 16】表示装置の構成を説明するための図。

【図 17】(A)：図 16 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 18】(A)：画素の構成を説明するための図。(B)：(A)の画素のタイミングチャート。(C)：信号の電圧関係を説明する図。

【図 19】画素の構成を説明するための図。

【図 20】表示装置の構成を説明するための図。

30

【図 21】(A)：図 20 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 22】表示装置の構成を説明するための図。

【図 23】(A)：図 22 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 24】(A)：図 22 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 25】(A)：図 22 の表示装置のタイミングチャート。(B)：動作を説明するための図。

【図 26】(A)：図 22 の表示装置のタイミングチャート。(B)：動作を説明するための図。

40

【図 27】実施の形態に係る表示パネルの構成を説明する図。

【図 28】実施の形態に係る画素の構成を説明する図。

【図 29】実施の形態に係る表示パネルの構成を説明する図。

【図 30】実施の形態に係る画素回路の開口部を説明する図。

【図 31】実施の形態に係る表示パネルの構成を説明する図。

【図 32】(A)：電子部品の作製方法例を示すフローチャート。(B)：半導体ウエハの上面図。(C)：(B)の部分拡大図。(D)：チップの構成例を示す模式図。(E)：電子部品の構成例を示す斜視模式図。

【図 33】OSトランジスタの構成例を示す上面図および断面図。

50

【図34】O Sトランジスタの構成例を示す上面図および断面図。

【図35】エネルギーバンド構造の模式図。

【図36】表示モジュールの例を示す図。

【図37】タッチパネルの構成例を示す模式図。

【図38】電子機器および照明装置の一例を示す図。

【図39】電子機器の一例を示す図。

【図40】電子機器の一例を示す図。

【発明を実施するための形態】

【0024】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0025】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。

【0026】

また、本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0027】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0028】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

【0029】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【0030】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0031】

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

【0032】

10

20

30

40

50

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0033】

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

10

【0034】

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従って、トランジスタのオフ電流が I 以下である、とは、トランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを言う場合がある。トランジスタのオフ電流は、所定の V_{gs} におけるオフ状態、所定の範囲内の V_{gs} におけるオフ状態、または、十分に低減されたオフ電流が得られる V_{gs} におけるオフ状態、等におけるオフ電流を指す場合がある。

【0035】

一例として、しきい値電圧 V_{th} が 0.5 V であり、 V_{gs} が 0.5 V におけるドレイン電流が $1 \times 10^{-9}\text{ A}$ であり、 V_{gs} が 0.1 V におけるドレイン電流が $1 \times 10^{-13}\text{ A}$ であり、 V_{gs} が -0.5 V におけるドレイン電流が $1 \times 10^{-19}\text{ A}$ であり、 V_{gs} が -0.8 V におけるドレイン電流が $1 \times 10^{-22}\text{ A}$ であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が -0.5 V において、または、 V_{gs} が -0.5 V 乃至 -0.8 V の範囲において、 $1 \times 10^{-19}\text{ A}$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19}\text{ A}$ 以下である、と言う場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22}\text{ A}$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22}\text{ A}$ 以下である、と言う場合がある。

20

【0036】

また、本明細書等では、チャネル幅 W を有するトランジスタのオフ電流を、チャネル幅 W あたりを流れる電流値で表す場合がある。また、所定のチャネル幅（例えば $1\text{ }\mu\text{m}$ ）あたりを流れる電流値で表す場合がある。後者の場合、オフ電流の単位は、電流 / 長さの次元を持つ単位（例えば、 $\text{A} / \mu\text{m}$ ）で表される場合がある。

30

【0037】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、 60°C 、 85°C 、 95°C 、または 125°C におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5°C 乃至 35°C のいずれか一の温度）におけるオフ電流、を表す場合がある。トランジスタのオフ電流が I 以下である、とは、室温、 60°C 、 85°C 、 95°C 、 125°C 、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5°C 乃至 35°C のいずれか一の温度）、におけるトランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを指す場合がある。

40

【0038】

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} が 0.1 V 、 0.8 V 、 1 V 、 1.2 V 、 1.8 V 、 2.5 V 、 3 V 、 3.3 V 、 10 V 、 12 V 、 16 V 、または 20 V におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置

50

等において使用される V_{ds} におけるオフ電流、を表す場合がある。トランジスタのオフ電流が I 以下である、とは、 V_{ds} が 0.1 V 、 0.8 V 、 1 V 、 1.2 V 、 1.8 V 、 2.5 V 、 3 V 、 3.3 V 、 10 V 、 12 V 、 16 V 、 20 V 、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} 、におけるトランジスタのオフ電流が I 以下となる V_{gs} の値が存在することを指す場合がある。

【0039】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

【0040】

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

【0041】

(実施の形態1)

本実施の形態では、ゲートドライバの有する選択回路が、第1の表示素子を有する画素回路、または第2の表示素子を有する画素回路を選択する走査信号を生成する機能を有する表示装置について、図1乃至図6を用いて説明する。

【0042】

図1は、表示装置700の構成を示すブロック図である。表示装置700はゲートドライバ110、選択信号出力回路30、および表示部120を有する。ゲートドライバ110は、シフトレジスタ回路111および選択回路20を有する。選択回路20は、判定回路21および22を有する。表示部120は、画素回路710C(1,1)乃至画素回路710C(m,n)を有する。画素回路710C(m,n)は、第1の表示素子を有する画素回路750C(m,n)、および第2の表示素子を有する画素回路650C(m,n)を有する。mおよびnは1以上の整数である。

【0043】

本実施の形態で説明する表示部120は、画素回路710C(1,1)乃至画素回路710C(m,n)と、第1の走査線G1と、第2の走査線G2と、第1の信号線S1と、第2の信号線S2とを有する。

【0044】

図2に、画素回路710Cの構成を示す。図1の表示装置700の表示部120の、画素の一つを、画素回路710C(i,j)として説明する。なお、iは1以上m以下の整数であり、jは1以上n以下の整数である。

【0045】

画素回路710C(i,j)は、画素回路750C(i,j)を有し、画素回路750C(i,j)は、第1の表示素子750(i,j)を有する。第1の表示素子750(i,j)は、一例として焼き付きを防止するために交流駆動される液晶素子が好ましい。

【0046】

画素回路710C(i,j)は、画素回路650C(i,j)を有し、画素回路650C(i,j)は、第2の表示素子650(i,j)を有する。第2の表示素子650(i,j)は、一例として直流駆動される発光素子が好ましい。

【0047】

画素回路750C(i,j)および画素回路650C(i,j)は、階調を表示できる最少の単位であり、階調は、電圧または電流による階調信号で制御される。

【0048】

画素回路750C(i,j)は、トランジスタSW1、容量素子C1、および第1の表示素子750(i,j)を有する。

【0049】

画素回路750C(i,j)のトランジスタSW1のゲートは、第1の走査線G1(j

10

20

30

40

50

）と電氣的に接続される。トランジスタ $SW1$ のソースまたはドレインの一方は、第 1 の信号線 $S1(i)$ と電氣的に接続される。

【0050】

トランジスタ $SW1$ のソースまたはドレインの他方は、容量素子 $C1$ の一方の電極および第 1 の表示素子 $750(i, j)$ の一方の電極と電氣的に接続される。容量素子 $C1$ の他方の電極には、容量素子 $C1$ の基準電圧が $CSCOM$ 端子を介して与えられる。第 1 の表示素子 $750(i, j)$ の他方の電極には、コモン電圧が $VCOM$ 端子を介して与えられる。

【0051】

画素回路 $650C(i, j)$ は、トランジスタ $SW2$ 、トランジスタ M 、容量素子 $C2$ 、および第 2 の表示素子 $650(i, j)$ を有する。

10

【0052】

画素回路 $650C(i, j)$ のトランジスタ $SW2$ のゲートは、第 2 の走査線 $G2(j)$ と電氣的に接続される。トランジスタ $SW2$ のソースまたはドレインの一方が第 2 の信号線 $S2(i)$ と電氣的に接続される。

【0053】

トランジスタ $SW2$ のソースまたはドレインの他方は、容量素子 $C2$ の一方の電極およびトランジスタ M のゲートと電氣的に接続される。トランジスタ M のドレインには ANO 端子を介してアノード電圧が与えられる。トランジスタ M のドレインには、容量素子 $C2$ の他方の電極が接続される。トランジスタ M のソースには第 2 の表示素子 $650(i, j)$ の一方の電極が接続される。第 2 の表示素子 $650(i, j)$ の他方の電極は、カソード電圧が $Vcath$ 端子を介して与えられる。容量素子 $C2$ の電極の他方がトランジスタ M のドレインと電氣的に接続された例を示したが、ソースと電氣的に接続してもよいし、他の電圧が与えられる端子と電氣的に接続してもよい。

20

【0054】

なお本発明の一様態は図 2 の画素回路 $710C(i, j)$ の回路構成に限らない。図 2 とは異なる画素回路 $710C(i, j)$ の回路構成の一例について図 3 (A) 乃至 (C) に図示する。

【0055】

図 3 (A) 乃至 (C) は、トランジスタがバックゲートを有する画素を図示している。トランジスタ以外の構成については図 2 に示す回路と同様である。

30

【0056】

図 2 と異なる点を示す。図 3 (A) では画素回路 $710C(i, j)$ が有するトランジスタは、バックゲートを有するトランジスタを図示している。トランジスタ $SW1_1$ のゲートはトランジスタ $SW1_1$ のバックゲートと接続されている。トランジスタ $SW2_1$ およびトランジスタ M_1 のゲートも同様にバックゲートと電氣的に接続されている。トランジスタ $SW1_1$ のゲート電圧と同じ電圧が、トランジスタ $SW1_1$ のバックゲートに与えられている。トランジスタ $SW2_1$ およびトランジスタ M_1 も同様である。

【0057】

40

図 3 (A) と異なる点を示す。図 3 (B) のトランジスタ M_2 は、バックゲートがトランジスタ M_2 のソースと接続されている。トランジスタ M_2 のソース電圧と同じ電圧が、トランジスタ M_2 のバックゲートに与えられる。

【0058】

図 3 (A) と異なる点を示す。図 3 (C) のトランジスタ M_3 のバックゲートは、 BGL 端子と接続されている。バックゲートの電圧を BGL 端子から与えることができる。

【0059】

なお本発明の一様態は図 3 の画素回路 $710C(i, j)$ の回路構成に限らない。他の端子をバックゲートと電氣的に接続もできるし、接続の方法を組み合わせることもできる。

50

【 0 0 6 0 】

トランジスタは、ゲート電極（第 1 のゲート電極）およびバックゲート電極（第 2 のゲート電極）の電界により、チャネル領域が形成される酸化半導体膜を電気的に取り囲むトランジスタのデバイス構造とすることができる。このようなデバイス構造を、*surrounded channel (s-channel)* 構造と呼ぶ。

【 0 0 6 1 】

図 4 (A) に選択回路 2 0 の構成を示す。選択回路 2 0 は、判定回路 2 1 および判定回路 2 2 を有する。判定回路 2 1 および判定回路 2 2 は、入力信号の条件を判定する回路 2 5 と、バッファ回路 2 6 を有する。

【 0 0 6 2 】

回路 2 5 の入力端子の一方には、選択回路 2 0 を選択するためのシフトレジスタ回路 1 1 1 の出力信号 *S R* が入力される。判定回路 2 1 の回路 2 5 の入力端子の他方には、選択信号出力回路 3 0 の選択信号 *M D _ L* が入力される。判定回路 2 2 の回路 2 5 の入力端子の他方には、選択信号出力回路 3 0 の選択信号 *M D _ E* が入力される。

【 0 0 6 3 】

図 4 (B) に選択回路 2 0 が有する判定回路 2 1 の動作をタイミングチャート F 2 1 で示す。シフトレジスタ回路 1 1 1 の出力信号 *S R* および選択信号 *M D _ L* が *H i g h* のとき、第 1 の走査線 *G 1* に *H i g h* の信号を出力する。それ以外の入力条件の時は、第 1 の走査線 *G 1* に *L o w* の信号が出力される。

【 0 0 6 4 】

図 4 (B) に選択回路 2 0 が有する判定回路 2 2 の動作をタイミングチャート F 2 2 で示す。シフトレジスタ回路 1 1 1 の出力信号 *S R* および選択信号 *M D _ E* が *H i g h* のとき、第 2 の走査線 *G 2* に *H i g h* の信号を出力する。それ以外の入力条件の時は、第 2 の走査線 *G 2* に *L o w* の信号が出力される。

【 0 0 6 5 】

判定回路 2 1 のバッファ回路 2 6 は、第 1 の表示素子 7 5 0 の階調信号の電圧振幅より大きな電圧振幅の信号を第 1 の走査線 *G 1* に出力する。

【 0 0 6 6 】

判定回路 2 2 のバッファ回路 2 6 は、第 2 の表示素子 6 5 0 の階調信号の電圧振幅より大きな電圧振幅の信号を第 2 の走査線 *G 2* に出力する。

【 0 0 6 7 】

第 1 の表示素子 7 5 0 の階調信号の電圧振幅と、第 2 の表示素子 6 5 0 の階調信号の電圧振幅は異なるため、第 1 の走査線 *G 1* と、第 2 の走査線 *G 2* とは出力電圧の振幅が異なる。

【 0 0 6 8 】

なお本発明の一様態は図 4 (B) の動作条件を満足すればよく、図 4 (A) の選択回路 2 0 の回路構成に限らない。

【 0 0 6 9 】

図 5 (A) は、図 1 の表示装置 7 0 0 の動作についてタイミングチャートを示す。図 1 のゲートドライバ 1 1 0 は、シフトレジスタ回路 1 1 1 から出力信号 *S R* (1) 乃至 *S R* (*n*) が順次出力される。

【 0 0 7 0 】

第 1 の走査線 *G 1* (*j*) に出力する走査信号は、シフトレジスタ回路 1 1 1 の出力信号 *S R* (*j*) および選択信号出力回路 3 0 の選択信号 *M D _ L* を用いて、選択回路 2 0 の判定回路 2 1 により生成される。

【 0 0 7 1 】

第 2 の走査線 *G 2* (*j*) に出力する走査信号は、シフトレジスタ回路 1 1 1 の出力信号 *S R* (*j*) および選択信号出力回路 3 0 の選択信号 *M D _ E* を用いて、選択回路 2 0 の判定回路 2 2 により生成される。

【 0 0 7 2 】

10

20

30

40

50

図5(A)に示すタイミングチャートを用いて、出力信号SR(1)がHighの期間における、シフトレジスタ回路111の動作について説明する。

【0073】

出力信号SR(1)がHighの期間において、選択信号MD_LがHighの期間に、第1の走査線G1(1)の走査信号がHighになり、画素回路750C(i,1)と電氣的に接続された第1の信号線S1(1)乃至S1(m)により、画素回路750C(i,1)へ階調信号を書き込むことができる。

【0074】

出力信号SR(1)がHighの期間において、選択信号MD_EがHighの期間に、第2の走査線G2(1)の走査信号がHighになり、画素回路650C(i,1)と電氣的に接続された第2の信号線S2(1)乃至S2(m)により、画素回路650C(i,1)へ階調信号を書き込みができる。

10

【0075】

図5(B)は、表示部120の駆動状態を模式的に示す。画素回路750C(i,j)により表示された領域を液晶表示領域121とし、画素回路650C(i,j)により表示された領域を発光表示領域122とする。

【0076】

図5(B)は、出力信号SR(j)、選択信号MD_L、選択信号MD_E、および選択回路20によって、第1の走査線G1(j)に走査信号が出力されたことで液晶表示領域121の表示内容が更新される。さらに第2の走査線G2(j)に走査信号が出力されたことで発光表示領域122の表示内容が更新される。したがって表示が更新される順番は、図5(A)のタイミングチャートと対応している。

20

【0077】

一例として、図1のシフトレジスタ回路111の出力信号SR(1)がHighのときについて説明する。選択信号MD_LがHighのときに、選択回路20によって第1の走査線G1(1)に与えられる走査信号がHighになる。表示内容は、画素回路750C(1,1)乃至画素回路750C(m,1)に与えられた階調信号により更新される。

【0078】

出力信号SR(1)がHighのとき、選択信号MD_EがHighになる。選択信号MD_EがHighのときに、選択回路20によって第2の走査線G2(1)に与えられる走査信号がHighになる。表示内容は、画素回路650C(1,1)乃至画素回路650C(m,1)に与えられた階調信号により更新される。

30

【0079】

図5(A)では、出力信号SR(1)がHighの期間に、先に選択信号MD_LがHighになり、続いて選択信号MD_EがHighになる。図5(B)では、選択信号MD_LがHighの期間に、液晶表示領域121の表示が先に更新される。続いて、選択信号MD_EがHighの期間に発光表示領域122の表示が更新される。

【0080】

第1の走査線G1(1)、および第2の走査線G2(1)は、シフトレジスタ回路111、および選択回路20を有するゲートドライバで、走査線の選択を制御することができる。

40

【0081】

図1の例では、選択信号MD_Lおよび選択信号MD_Eの信号を用いるので、判定回路21および判定回路22はnチャンネル型トランジスタを有している。判定回路21および判定回路22は、相補型MOSスイッチ(CMOSスイッチ、アナログスイッチ)で構成することも可能である。相補型MOSスイッチで構成することで、選択条件を正論理および負論理で判定できるようになり、選択信号の数を減らすことができる。

【0082】

図6(A)に示すタイミングチャートを用いて、図1の表示装置700を、図5(A)とは異なるタイミングで動作させる。出力信号SR(1)がHighの期間における、シ

50

フトレジスタ回路 111 の動作について説明する。

【0083】

出力信号 $SR(1)$ が $High$ の期間において、選択信号 MD_L が $High$ の期間に、第 1 の走査線 $G1(1)$ の走査信号が $High$ になり、第 1 の信号線 $S1(1)$ 乃至 $S1(m)$ により、画素回路 $750C(i, 1)$ へ階調信号を書き込むことができる。

【0084】

出力信号 $SR(1)$ が $High$ の期間において、選択信号 MD_E が $High$ の期間に、第 2 の走査線 $G2(1)$ の走査信号が $High$ になり、第 2 の信号線 $S2(1)$ 乃至 $S2(m)$ により、画素回路 $650C(i, 1)$ へ階調信号を書き込みができる。

【0085】

図 6 (B) は、表示部 120 の駆動状態を模式的に示す。出力信号 $SR(j)$ 、選択信号 MD_L 、および選択信号 MD_E によって、第 1 の走査線 $G1(j)$ の走査信号が $High$ になることで液晶表示領域 121 の表示内容が更新される。さらに第 2 の走査線 $G2(j)$ の走査信号が $High$ になることで発光表示領域 122 の表示内容が更新される。したがって表示が更新される順番は、図 6 (A) のタイミングチャートと対応している。

【0086】

一例として、図 1 のシフトレジスタ回路 111 の出力信号 $SR(1)$ が $High$ のときについて説明する。選択信号 MD_L が $High$ のときに、選択回路 20 によって第 1 の走査線 $G1(1)$ に与えられる走査信号が $High$ になる。表示内容は、画素回路 $750C(1, 1)$ 乃至画素回路 $750C(m, 1)$ に与えられた階調信号により更新される。

【0087】

出力信号 $SR(1)$ が $High$ のとき、選択信号 MD_E が $High$ になる。選択信号 MD_E が $High$ のときに、選択回路 20 によって第 2 の走査線 $G2(1)$ に与えられる走査信号が $High$ になる。表示内容は、画素回路 $650C(1, 1)$ 乃至画素回路 $650C(m, 1)$ に与えられた階調信号により更新される。

【0088】

図 6 (A) は図 5 (A) とは異なり、出力信号 $SR(1)$ が $High$ の期間に、選択信号 MD_L および MD_E が同時に $High$ になる。図 6 (B) では、選択信号 MD_L および MD_E が同時に $High$ のため、液晶表示領域 121 の表示と、発光表示領域 122 の表示が同時に更新される。

【0089】

図 5 (A) では、画素回路 $710C(i, j)$ の画素回路 $750C(i, j)$ および画素回路 $650C(i, j)$ は異なるタイミングで階調信号が更新されるのに対し、図 6 (A) では、画素回路 $750C(i, j)$ および画素回路 $650C(i, j)$ は、シフトレジスタ回路 111 の出力信号 $SR(j)$ と同じ期間に、第 1 の走査線 $G1(j)$ の走査信号および第 2 の走査線 $G2(j)$ の走査信号が $High$ になり、階調信号が更新される。図 6 (A) は、図 5 (A) に比べて長い書き込み時間を確保できる。

【0090】

画素回路 $750C(i, j)$ のトランジスタ $SW1$ のゲートと電氣的に接続する第 1 の走査線 $G1(j)$ 、および画素回路 $650C(i, j)$ のトランジスタ $SW2$ のゲートと電氣的に接続する第 2 の走査線 $G2(j)$ は、シフトレジスタ回路 111、および選択回路 20 を有するゲートドライバで、走査線の選択を制御することができる。

【0091】

以上、本実施の形態で示す構成、方法、駆動タイミングは、他の実施の形態で示す構成、方法、駆動タイミングと適宜組み合わせ用いることができる。

【0092】

(実施の形態 2)

本実施の形態では、画素回路 $710C$ を有する高精細な表示を行う表示装置において、ゲートドライバを、奇数行と偶数行とに構成を分けて制御する方法について、図 7 乃至図

10

20

30

40

50

9を用いて説明する。

【0093】

図7は、表示装置701の構成を示すブロック図である。図1と異なるのは、ゲートドライバ110が、図7では奇数行の走査線を制御するゲートドライバ110Aと、偶数行の走査線を制御するゲートドライバ110Bとに構成が分かれている点である。

【0094】

図7の表示装置701が有するゲートドライバ110Aおよびゲートドライバ110Bが有するシフトレジスタ回路111Aおよびシフトレジスタ回路111Bは、図1のゲートドライバ110が有するシフトレジスタ回路111の出力信号SRとは異なるタイミングの出力信号SR_{ODD}およびSR_{EVEN}を生成する。

10

【0095】

図7の表示装置701は、ゲートドライバを奇数行制御および偶数行制御に構成を分けることで、ゲートドライバの段数が半分にになり、回路の面積も半分にになる。第1の走査線G1の走査信号および第2の走査線G2の走査信号を駆動する選択回路20のバッファ回路26を大きくすることができ、電流供給能力を上げることができる。

【0096】

図8(A)では、図7の表示装置701の動作についてタイミングチャートを示す。図8(A)に示すタイミングチャートでは、図5(A)に示すタイミングチャートと同じように選択信号MD_L及び選択信号MD_Eを入力している。これにより、図5(A)に示すタイミングチャートと同じタイミングで第1の走査線G1(1)乃至G1(n)、第2の走査線G2(1)乃至G2(n)に電圧が与えられる。

20

【0097】

図8(B)は、表示部120の駆動状態を模式的に示す。図5(B)とは異なり、図7のシフトレジスタ回路111Aの出力信号SR_{ODD}(1)乃至SR_{ODD}(n/2)、シフトレジスタ回路111Bの出力信号SR_{EVEN}(1)乃至SR_{EVEN}(n/2)、選択信号MD_L、および選択信号MD_Eによって、第1の走査線G1(1)乃至G1(n)の走査信号がHighになることで液晶表示領域121の表示内容が更新され、さらに第2の走査線G2(1)乃至G2(n)の走査信号がHighになることで発光表示領域122の表示内容が更新される。したがって表示が更新される順番は、図8(A)のタイミングチャートと対応している。

30

【0098】

一例として、図7のシフトレジスタ回路111Aの出力信号SR_{ODD}(1)がHighのときについて説明する。選択信号MD_LがHighのときに、選択回路20によって第1の走査線G1(1)の走査信号がHighになる。画素回路750C(1,1)乃至画素回路750C(m,1)に与えられた階調信号により表示内容が更新される。

【0099】

シフトレジスタ回路111Aの出力信号SR_{ODD}(1)がHigh、かつ、選択信号MD_EがHighのときに、選択回路20によって第2の走査線G2(1)の走査信号がHighになる。画素回路650C(1,1)乃至画素回路650C(m,1)に与えられた階調信号により表示内容が更新される。

40

【0100】

図8(A)では、シフトレジスタ回路111Aの出力信号SR_{ODD}(1)がHighの期間に、先に選択信号MD_LがHighになり、続いて選択信号MD_EがHighになる。図8(B)では、選択信号MD_LがHighの期間に、液晶表示領域121の表示が先に更新される。続いて、選択信号MD_EがHighの期間に発光表示領域122の表示が更新される。

【0101】

図9(A)では、図7の表示装置701の動作についてタイミングチャートを示す。図9(A)に示すタイミングチャートでは、図6(A)に示すタイミングチャートと同じように選択信号MD_L及び選択信号MD_Eを入力している。これにより、図6(A)に

50

示すタイミングチャートと同じタイミングで第1の走査線G1(1)乃至G1(n)、第2の走査線G2(1)乃至G2(n)に電圧が与えられる。

【0102】

図9(B)は、表示部120の駆動状態を模式的に示す。図7のシフトレジスタ回路111Aの出力信号SR_{ODD}(1)乃至SR_{ODD}(n/2)、シフトレジスタ回路111Bの出力信号SR_{EVEN}(1)乃至SR_{EVEN}(n/2)、選択信号MD_L、および選択信号MD_Eによって、第1の走査線G1(1)乃至G1(n)の走査信号がHighになることで液晶表示領域121の表示内容が更新される。さらに第2の走査線G2(1)乃至G2(n)の走査信号がHighになることで発光表示領域122の表示内容が更新される。したがって表示が更新される順番は、図9(A)のタイミングチャートと対応している。

10

【0103】

一例として、図7のゲートドライバ110Aが有するシフトレジスタ回路111Aの出力信号SR_{ODD}(1)がHighのときについて説明する。選択信号MD_LがHighのときに、選択回路20によって第1の走査線G1(1)に与えられる走査信号がHighになる。表示内容は、画素回路750C(1,1)乃至画素回路750C(m,1)に与えられた階調信号により更新される。

【0104】

シフトレジスタ回路111Aの出力信号SR_{ODD}(1)がHighのとき、選択信号MD_EがHighになる。選択信号MD_EがHighのときに、選択回路20によって第2の走査線G2(1)に与えられる走査信号がHighになる。表示内容は、画素回路650C(1,1)乃至画素回路650C(m,1)に与えられた階調信号により更新される。

20

【0105】

図9(A)は図8(A)とは異なり、シフトレジスタ回路111Aの出力信号SR_{ODD}(1)がHighの期間に、選択信号MD_LおよびMD_Eが同時にHighになる。図9(B)では、選択信号MD_LおよびMD_Eが同時にHighのため、液晶表示領域121の表示と、発光表示領域122の表示が同時に更新される。

【0106】

画素回路750C(i,j)のトランジスタSW1のゲートと電氣的に接続する第1の走査線G1(j)または画素回路650C(i,j)のトランジスタSW2のゲートと電氣的に接続する第2の走査線G2(j)は、シフトレジスタ回路111A又はシフトレジスタ回路111B、および選択回路20を有するゲートドライバで、走査線の選択を制御することができる。

30

【0107】

図7の表示装置701は、奇数行を制御するゲートドライバ110Aおよび偶数行を制御するゲートドライバ110Bに分けた構成においても、選択信号MD_Lおよび選択信号MD_Eを制御することで、図1の表示装置700と同じタイミングで動作させることができる。電流供給能力が向上することで、画素回路710Cを有する高精細な表示を行う表示装置を駆動することができる。

40

【0108】

以上、本実施の形態で示す構成、方法、駆動タイミングは、他の実施の形態で示す構成、方法、駆動タイミングと適宜組み合わせ用いることができる。

【0109】

(実施の形態3)

本実施の形態では、高精細な表示を行う表示装置において、液晶表示領域121および発光表示領域122を、異なる更新頻度で制御するゲートドライバの駆動方法について、図10乃至図14を用いて説明する。

【0110】

図10は、表示装置702の構成を示すブロック図である。図1と異なるのは、ゲート

50

ドライバ１１０が、図１０では液晶表示領域１２１の走査線を制御するゲートドライバ１１０Ｃと、発光表示領域１２２の走査線を制御するゲートドライバ１１０Ｄとに構成が分かれている点である。さらに、選択回路２０の出力信号は、奇数行の走査線と偶数行の走査線に出力される。

【０１１１】

図１０の有する表示装置７０２のゲートドライバ１１０Ｃは液晶表示領域１２１の走査線を、ゲートドライバ１１０Ｄは発光表示領域１２２の走査線を、独立して選択制御することができる。

【０１１２】

図１１（Ａ）は、図１０の表示装置７０２の動作についてタイミングチャートを示す。一例として、ゲートドライバ１１０Ｃの有するシフトレジスタ回路１１１Ｃの出力信号ＳＲＬ（１）、およびゲートドライバ１１０Ｄの有するシフトレジスタ回路１１１Ｄの出力信号ＳＲＥ（１）がＨｉｇｈの期間について、タイミングチャートの動作を説明する。

10

【０１１３】

シフトレジスタ回路１１１Ｃの出力信号ＳＲＬ（１）がＨｉｇｈの期間において、選択信号ＭＤ＿Ｌ＿Ｏ＿Ｄ＿ＤがＨｉｇｈの期間に第１の走査線Ｇ１（１）の走査信号がＨｉｇｈになり、第１の信号線Ｓ１（１）乃至Ｓ１（ｍ）により、画素回路７５０Ｃ（ｉ，１）へ階調信号を書き込むことができる。

【０１１４】

シフトレジスタ回路１１１Ｃの出力信号ＳＲＬ（１）がＨｉｇｈの期間において、選択信号ＭＤ＿Ｌ＿Ｅ＿Ｖ＿Ｅ＿ＮがＨｉｇｈの期間に第１の走査線Ｇ１（２）の走査信号がＨｉｇｈになり、第１の信号線Ｓ１（１）乃至Ｓ１（ｍ）により、画素回路７５０Ｃ（ｉ，２）へ階調信号を書き込むことができる。

20

【０１１５】

シフトレジスタ回路１１１Ｄの出力信号ＳＲＥ（１）がＨｉｇｈの期間において、選択信号ＭＤ＿Ｅ＿Ｏ＿Ｄ＿ＤがＨｉｇｈの期間に第２の走査線Ｇ２（１）の走査信号がＨｉｇｈになり、第２の信号線Ｓ２（１）乃至Ｓ２（ｍ）により、画素回路６５０Ｃ（ｉ，１）へ階調信号を書き込みができる。

【０１１６】

シフトレジスタ回路１１１Ｄの出力信号ＳＲＥ（１）がＨｉｇｈの期間において、選択信号ＭＤ＿Ｅ＿Ｅ＿Ｖ＿Ｅ＿ＮがＨｉｇｈの期間に第２の走査線Ｇ２（２）の走査信号がＨｉｇｈになり、第２の信号線Ｓ２（１）乃至Ｓ２（ｍ）により、画素回路６５０Ｃ（ｉ，２）へ階調信号の書き込みができる。

30

【０１１７】

図１１（Ｂ）は、液晶表示領域１２１と発光表示領域１２２の駆動状態を模式的に示す。シフトレジスタ回路１１１Ｃの出力信号ＳＲＬ（１）乃至ＳＲＬ（ $n/2$ ）と、選択信号ＭＤ＿Ｌ＿Ｏ＿Ｄ＿ＤとＭＤ＿Ｌ＿Ｅ＿Ｖ＿Ｅ＿Ｎと、シフトレジスタ回路１１１Ｄの出力信号ＳＲＥ（１）乃至ＳＲＥ（ $n/2$ ）と、選択信号ＭＤ＿Ｅ＿Ｏ＿Ｄ＿ＤとＭＤ＿Ｅ＿Ｅ＿Ｖ＿Ｅ＿Ｎとにより、液晶表示領域１２１および発光表示領域１２２の表示内容が更新される順番を示す。

【０１１８】

40

図１１（Ｂ）は、表示部１２０の駆動状態を模式的に示す。シフトレジスタ回路１１１Ｃの出力信号ＳＲＬ（１）乃至ＳＲＬ（ $n/2$ ）と、選択信号ＭＤ＿Ｌ＿Ｏ＿Ｄ＿Ｄと、ＭＤ＿Ｌ＿Ｅ＿Ｖ＿Ｅ＿Ｎとによって第１の走査線Ｇ１（１）乃至Ｇ１（ n ）の走査信号にＨｉｇｈが出力されたことで液晶表示領域１２１の表示内容が更新され、シフトレジスタ回路１１１Ｄの出力信号ＳＲＥ（１）乃至ＳＲＥ（ $n/2$ ）と、選択信号ＭＤ＿Ｅ＿Ｏ＿Ｄ＿Ｄと、ＭＤ＿Ｅ＿Ｅ＿Ｖ＿Ｅ＿Ｎとにより、第２の走査線Ｇ２（１）乃至Ｇ２（ n ）の走査信号にＨｉｇｈが出力されたことで発光表示領域１２２の表示内容が更新される。したがって表示が更新される順番は、図１１（Ａ）のタイミングチャートと対応している。

【０１１９】

一例として、図１０のシフトレジスタ回路１１１Ｃの出力信号ＳＲＬ（１）がＨｉｇｈ

50

のときについて説明する。選択信号 MD_L_{ODD} が $High$ のときに、選択回路 20 によって第 1 の走査線 $G1(1)$ の走査信号が $High$ になり、画素回路 $750C(1,1)$ 乃至画素回路 $750C(m,1)$ が階調信号により表示内容が更新されることを示す。さらに選択信号 MD_L_{EVEN} が $High$ のときに、選択回路 20 によって第 1 の走査線 $G1(2)$ の走査信号が $High$ になる。画素回路 $750C(1,2)$ 乃至画素回路 $750C(m,2)$ が階調信号により表示内容が更新されることを示す。

【0120】

同様に、シフトレジスタ回路 111D の出力信号 $SRE(1)$ が $High$ のときについて説明する。選択信号 MD_E_{ODD} が $High$ のときに、選択回路 20 によって第 2 の走査線 $G2(1)$ の走査信号が $High$ になり、画素回路 $650C(1,1)$ 乃至画素回路 $650C(m,1)$ が階調信号により表示内容が更新されることを示す。さらに選択信号 MD_E_{EVEN} が $High$ のときに、選択回路 20 によって第 2 の走査線 $G2(2)$ の走査信号が $High$ になる。画素回路 $650C(1,2)$ 乃至画素回路 $650C(m,2)$ が階調信号により表示内容が更新されることを示す。

【0121】

図 11(A) は、図 10 のシフトレジスタ回路 111C の出力信号 $SRL(1)$ およびシフトレジスタ回路 111D の出力信号 $SRE(1)$ が $High$ の期間に、選択信号 MD_L_{ODD} および MD_E_{ODD} が同時に $High$ になる。図 11(B) では、選択信号 MD_L_{ODD} および MD_E_{ODD} が同時に $High$ のため、液晶表示領域 121 の表示と、発光表示領域 122 の表示が同時に更新されることを示す。

【0122】

表示装置 702 のゲートドライバは、液晶表示領域 121 または発光表示領域 122 を独立して制御するために構成をわけた。さらに奇数行と、偶数行とを選択回路 20 で制御する構成とした。さらに選択信号 MD_L_{ODD} 、 MD_L_{EVEN} 、選択信号 MD_E_{ODD} 、および MD_E_{EVEN} の駆動タイミングによって、画素回路 $750C(i,j)$ と、画素回路 $650C(i,j)$ に接続される走査線の選択制御ができる。

【0123】

図 12(A) では図 10 の表示装置 702 の動作について図 11(A) とは異なるタイミングチャートを示す。ここでは、液晶表示領域 121 の表示と、発光表示領域 122 の表示が異なるタイミングで更新される例を示す。即ち、液晶表示領域 121 の表示と、発光表示領域 122 の表示の更新頻度が異なる例を示す。第 1 のフレーム $F1$ 、第 2 のフレーム $F2$ を用いて説明する。シフトレジスタ回路 111C の出力信号 $SRL(1)$ と、シフトレジスタ回路 111D の出力信号 $SRE(1)$ とが $High$ の期間について、タイミングチャートの動作を説明する。

【0124】

一例として、第 1 のフレーム $F1$ では、ゲートドライバ 110C とゲートドライバ 110D は同じタイミングで動作しているため、シフトレジスタ回路 111C の出力信号 $SRL(1)$ と、シフトレジスタ回路 111D の出力信号 $SRE(1)$ は同じタイミングで出力されている。

【0125】

シフトレジスタ回路 111C の出力信号 $SRL(1)$ と、選択信号 MD_L_{ODD} とが $High$ の期間は、判定回路 21 により第 1 の走査線 $G1(1)$ の走査信号に $High$ が出力される。第 1 の走査線 $G1(1)$ の走査信号が $High$ のとき、第 1 の表示素子 $750(i,1)$ を有する画素回路 $750C(i,1)$ の階調信号が更新される。

【0126】

シフトレジスタ回路 111C の出力信号 $SRL(1)$ および選択信号 MD_L_{EVEN} が $High$ の期間は、判定回路 22 によって第 1 の走査線 $G1(2)$ の走査信号に $High$ が出力される。第 1 の走査線 $G1(2)$ の走査信号が $High$ のとき、画素回路 $750C(i,2)$ の階調信号が更新される。

【0127】

選択信号 MD_E_{ODD} が Low の期間は、判定回路 21 により、出力信号 $SRE(1)$ の状態によらず、第 2 の走査線 $G2(1)$ の走査信号の出力は Low になる。選択信号 MD_E_{EVEN} が Low の期間は、判定回路 21 により、出力信号 $SRE(1)$ の状態によらず、第 2 の走査線 $G2(1)$ の走査信号の出力は Low になる。

【0128】

一例として、第 2 のフレーム $F2$ では、ゲートドライバ 110C とゲートドライバ 110D は同じタイミングで動作しているため、シフトレジスタ回路 111C の出力信号 $SRL(1)$ と、シフトレジスタ回路 111D の出力信号 $SRE(1)$ は同じタイミングで出力されている。

【0129】

シフトレジスタ回路 111D の出力信号 $SRE(1)$ と、選択信号 MD_E_{ODD} とが $High$ の期間は、判定回路 21 によって第 2 の走査線 $G2(1)$ の走査信号に $High$ が出力される。第 2 の走査線 $G2(1)$ の走査信号が $High$ のとき、画素回路 650C($i, 1$) の階調信号が更新される。

【0130】

シフトレジスタ回路 111D の出力信号 $SRE(1)$ および選択信号 MD_E_{EVEN} が $High$ の期間は、判定回路 22 によって第 2 の走査線 $G2(2)$ の走査信号に $High$ が出力される。第 2 の走査線 $G2(2)$ の走査信号が $High$ のとき、第 2 の表示素子 650($i, 2$) を有する画素回路 650C($i, 2$) の階調信号だけ更新される。

【0131】

選択信号 MD_L_{ODD} が Low の期間は、判定回路 21 により、出力信号 $SRL(1)$ の状態によらず、第 1 の走査線 $G1(1)$ の走査信号の出力は Low になる。選択信号 MD_L_{EVEN} が Low の期間は、判定回路 21 によって、出力信号 $SRL(1)$ の状態によらず、第 1 の走査線 $G1(1)$ の走査信号の出力は Low になる。

【0132】

図 12(B) では、第 1 のフレーム $F1$ と第 2 のフレーム $F2$ のタイミングで駆動したときの、液晶表示領域 121 と発光表示領域 122 の駆動状態を模式的に示す。

【0133】

第 1 のフレーム $F1$ では、液晶表示領域 121 は表示内容が更新され、発光表示領域 122 は表示内容が更新されない。第 2 のフレーム $F2$ では、液晶表示領域 121 は表示内容が更新されないが、発光表示領域 122 は表示内容が更新される。

【0134】

図 12(B) は、表示部 120 の駆動状態を模式的に示す。シフトレジスタ回路 111C の出力信号 $SRL(1)$ 乃至 $SRL(n/2)$ と、選択信号 MD_L_{ODD} と、 MD_L_{EVEN} とによって第 1 の走査線 $G1(1)$ 乃至 $G1(n)$ の走査信号が $High$ になることで液晶表示領域 121 の表示内容が更新され、シフトレジスタ回路 111D の出力信号 $SRE(1)$ 乃至 $SRE(n/2)$ と、選択信号 MD_E_{ODD} と、 MD_E_{EVEN} とにより、第 2 の走査線 $G2(1)$ 乃至 $G2(n)$ の走査信号が $High$ になることで発光表示領域 122 の表示内容が更新される。したがって表示が更新される順番は、図 12(A) のタイミングチャートと対応している。

【0135】

第 1 のフレーム $F1$ では、液晶表示領域 121 は表示内容が更新され、発光表示領域 122 は表示内容が更新されない。

【0136】

一例として、シフトレジスタ回路 111C の出力信号 $SRL(1)$ が $High$ のときについて説明する。選択信号 MD_L_{ODD} が $High$ のときに、選択回路 20 によって第 1 の走査線 $G1(1)$ の走査信号が $High$ になり、画素回路 750C($1, 1$) 乃至画素回路 750C($m, 1$) が階調信号により表示内容が更新されることを示す。さらに選択信号 MD_L_{EVEN} が $High$ のときに、選択回路 20 によって第 1 の走査線 $G1(2)$ の走査信号が $High$ になる。画素回路 750C($1, 2$) 乃至画素回路 750C($m, 2$) が階調信号により表示内容が更新されることを示す。

10

20

30

40

50

$m, 2$) が階調信号により表示内容が更新されることを示す。

【0137】

同様に、シフトレジスタ回路111Dの出力信号 $SRE(1)$ が $High$ のときについて説明する。選択信号 MD_E_{ODD} が Low のときに、選択回路20によって第2の走査線 $G2(1)$ の走査信号が Low になり、画素回路 $650C(1, 1)$ 乃至画素回路 $650C(m, 1)$ の表示内容は更新されなかったことを示す。さらに選択信号 MD_E_{EVEN} が Low のときに、選択回路20によって第2の走査線 $G2(2)$ の走査信号が Low になる。画素回路 $650C(1, 2)$ 乃至画素回路 $650C(m, 2)$ の表示内容は更新されなかったことを示す。

【0138】

第2のフレーム $F2$ では、液晶表示領域121は表示内容が更新されないが、発光表示領域122は表示内容が更新される。

【0139】

一例として、シフトレジスタ回路111Cの出力信号 $SRL(1)$ が $High$ のときについて説明する。選択信号 MD_L_{ODD} が Low のときに、選択回路20によって第1の走査線 $G1(1)$ の走査信号が Low になり、画素回路 $750C(1, 1)$ 乃至画素回路 $750C(m, 1)$ の表示内容は更新されなかったことを示す。さらに選択信号 MD_L_{EVEN} が Low のときに、選択回路20によって第1の走査線 $G1(2)$ の走査信号が Low になる。画素回路 $750C(1, 2)$ 乃至画素回路 $750C(m, 2)$ の表示内容は更新されなかったことを示す。

【0140】

同様に、図10のシフトレジスタ回路111Dの出力信号 $SRE(1)$ が $High$ のときについて説明する。選択信号 MD_E_{ODD} が $High$ のときに、選択回路20によって第2の走査線 $G2(1)$ の走査信号が $High$ になり、画素回路 $650C(1, 1)$ 乃至画素回路 $650C(m, 1)$ が階調信号により表示内容が更新されることを示す。さらに選択信号 MD_E_{EVEN} が $High$ のときに、選択回路20によって第2の走査線 $G2(2)$ の走査信号が $High$ になる。画素回路 $650C(1, 2)$ 乃至画素回路 $650C(m, 2)$ が階調信号により表示内容が更新されることを示す。

【0141】

図12(A)の第1のフレーム $F1$ では、シフトレジスタ回路111Cの出力信号 $SRL(1)$ または $SRL(2)$ が $High$ の期間に、選択信号 MD_L_{ODD} または MD_L_{EVEN} が $High$ のときに液晶表示領域121の表示が更新される。第2のフレーム $F2$ では、シフトレジスタ回路111Dの出力信号 $SRE(1)$ または $SRE(2)$ が $High$ の期間に、選択信号 MD_E_{ODD} または MD_E_{EVEN} が $High$ のときに発光表示領域122の表示が更新される。

【0142】

図12(A)では、選択信号による走査線の選択制御によって、液晶表示領域121または発光表示領域122をフレーム単位で停止させる例を示したが、同様にフレーム単位でシフトレジスタ回路を停止させても同じ効果を得ることができる。

【0143】

さらに、画素回路 $750C(i, j)$ では静止画を、画素回路 $650C(i, j)$ では動画を再生するときに、静止画の場合は動画の場合に比べて表示内容の更新頻度を下げて駆動を行うなど、表示の内容に応じた最適な駆動を選択することができる。

【0144】

さらに、画素回路 $750C(i, j)$ および画素回路 $650C(i, j)$ をもつ高精細な表示部120を、最適な駆動を行うことにより消費電力の低減ができる。

【0145】

なお本発明の一樣態は、選択回路20にて、偶数行と奇数行とを選択制御できるように示したが、選択回路にて選択できる行の数は2以上の整数でもよい。

【0146】

10

20

30

40

50

図13(A)では図10の表示装置702の動作について、図12(A)とは異なるタイミングチャートを示す。ここでは、表示装置において、第1の表示領域と第2の表示領域とを有し、第1の表示領域に含まれる表示素子の表示の更新頻度は、第2の表示領域に含まれる表示素子と異なる例を示す。具体的には、液晶表示領域121または発光表示領域122の一方は、全面において表示が順次更新されるが、他方は、部分的に表示が更新される例を示す。一例として第3のフレームF3を用いて説明する。シフトレジスタ回路111Cおよびシフトレジスタ回路111Dのj行目を中心に前後1行の動作をタイミングチャートで示す。

【0147】

一例として、シフトレジスタ回路111Cの出力信号SRL(j-1)、SRL(j)、およびSRL(j+1)と、シフトレジスタ回路111Dの出力信号SRE(j-1)、SRE(j)、およびSRE(j+1)が、Highの期間について、タイミングチャートの動作を説明する。

【0148】

第3のフレームF3では、ゲートドライバ110Cとゲートドライバ110Dは同じタイミングで動作している。シフトレジスタ回路111Cの出力信号SRL(j)と、シフトレジスタ回路111Dの出力信号SRE(j)とは同じタイミングで出力されている。

【0149】

図10のシフトレジスタ回路111Cが出力信号SRL(j-1)を選択回路20に与えたときの動作を説明する。選択信号MD_{LOAD}がHighのときに、選択回路20によって第1の走査線G1(K-2)の走査信号がHighになり、画素回路750C(1, K-2)乃至画素回路750C(m, K-2)が階調信号により表示内容が更新されることを示す。さらに、選択信号MD_{LEVEN}がHighのときに、選択回路20によって第1の走査線G1(K-1)の走査信号がHighになり、画素回路750C(1, K-1)乃至画素回路750C(m, K-1)が階調信号により表示内容が更新されることを示す。

【0150】

図10のシフトレジスタ回路111Dが出力信号SRE(j-1)を選択回路20に与えたときの動作を説明する。選択信号MD_{EOD}がLowのときは、選択回路20によって第2の走査線G2(K-2)とG2(K-1)の走査信号がLowになり、画素回路650C(1, K-2)乃至画素回路650C(m, K-2)の表示内容が更新されなかったことを示す。さらに画素回路650C(1, K-1)乃至画素回路650C(m, K-1)の表示内容が更新されなかったことを示す。

【0151】

図10のシフトレジスタ回路111Cが出力信号SRL(j)を選択回路20に与えたときの動作を説明する。選択信号MD_{LOAD}がHighのときに、選択回路20によって第1の走査線G1(K)の走査信号がHighになり、画素回路750C(1, K)乃至画素回路750C(m, K)が階調信号により表示内容が更新されることを示す。さらに、選択信号MD_{LEVEN}がHighのときに、選択回路20によって第1の走査線G1(K+1)の走査信号がHighになり、画素回路750C(1, K+1)乃至画素回路750C(m, K+1)が階調信号により表示内容が更新されることを示す。

【0152】

図10のシフトレジスタ回路111Dが出力信号SRE(j)を選択回路20に与えたときの動作を説明する。選択信号MD_{EOD}がHighのときに、選択回路20によって第2の走査線G2(K)の走査信号がHighになり、画素回路650C(1, K)乃至画素回路650C(m, K)が階調信号により表示内容が更新されることを示す。さらに、選択信号MD_{EOD}がHighのときに、選択回路20によって第2の走査線G2(K+1)の走査信号がHighになり、画素回路650C(1, K+1)乃至画素回路650C(m, K+1)が階調信号により表示内容が更新されることを示す。

【0153】

10

20

30

40

50

図10のシフトレジスタ回路111Cが出力信号 $SRL(j+1)$ を選択回路20に与えたときの動作を説明する。選択信号 MD_LODD が $High$ のときに、選択回路20によって第1の走査線 $G1(K+2)$ の走査信号が $High$ になり、画素回路 $750C(1, K+2)$ 乃至画素回路 $750C(m, K+2)$ が階調信号により表示内容が更新されることを示す。さらに、選択信号 MD_LEVEN が $High$ のときに、選択回路20によって第1の走査線 $G1(K+3)$ の走査信号が $High$ になり、画素回路 $750C(1, K+3)$ 乃至画素回路 $750C(m, K+3)$ が階調信号により表示内容が更新されることを示す。

【0154】

図10のシフトレジスタ回路111Dが出力信号 $SRE(j+1)$ を選択回路20に与えたときの動作を説明する。選択信号 MD_LODD が Low のときは、選択回路20によって第2の走査線 $G2(K+2)$ と $G2(K+1)$ の走査信号が Low になり、画素回路 $650C(1, K+2)$ 乃至画素回路 $650C(m, K+2)$ の表示内容が更新されなかったことを示す。さらに画素回路 $650C(1, K+3)$ 乃至画素回路 $650C(m, K+3)$ の表示内容が更新されなかったことを示す。

【0155】

第3のフレーム $F3$ では、液晶表示領域121は表示内容が順次更新されるが、発光表示領域122は、出力信号 $SRE(j)$ の表示内容だけが更新される。

【0156】

図13(B)は、表示部120の駆動状態を模式的に示す。シフトレジスタ回路111Cの出力信号 $SRL(1)$ 乃至 $SRL(n/2)$ と、選択信号 MD_LODD と、 MD_LEVEN とによって第1の走査線 $G1(1)$ 乃至 $G1(n)$ の走査信号が $High$ になることで液晶表示領域121の表示内容が更新され、シフトレジスタ回路111Dの出力信号 $SRE(1)$ 乃至 $SRE(n/2)$ と、選択信号 MD_LODD と、 MD_LEVEN とにより、第2の走査線 $G2(1)$ 乃至 $G2(n)$ の走査信号が $High$ になることで発光表示領域122の表示内容が更新される。したがって表示が更新される順番は、図13(A)のタイミングチャートと対応している。

【0157】

図13(B)では、選択信号により、特定の表示領域だけ表示内容を更新することができる。

【0158】

一例として、画素回路 $750C(i, j)$ では液晶表示領域121のすべてに静止画を表示し、画素回路 $650C(i, j)$ では特定の発光表示領域122Aのみ動画を再生することができる。静止画を表示するときは、動画を再生するときに比べて表示内容の更新頻度を下げて駆動を行うなど、表示の内容に合わせた最適な駆動を選択することができる。

【0159】

画素回路 $750C(i, j)$ および画素回路 $650C(i, j)$ を有する高精細な表示部120を、最適な駆動を行うことにより、表示内容の更新頻度を最適化することで消費電力の低減ができる。

【0160】

なお本発明の様態は、選択回路20にて、偶数行と奇数行とを選択制御できるように示したが、選択回路にて選択できる行の数は2以上の整数でもよい。

【0161】

図14(A)乃至(D)には、図1、図7、図10に示す回路で可能な動作パターンの一例を示す。

【0162】

図14(B)は、液晶表示領域121と発光表示領域122とを交互に1行ずつ間隔をあけて表示を更新することができる。液晶表示領域121または発光表示領域122のどちらかだけの表示を更新してもよい。高い階調を有し、画素サイズの精細度が高い表示装

10

20

30

40

50

置の場合、より長い書き込み時間を確保することで表示の品位を高めることができる。

【0163】

図14(C)は、液晶表示領域121と発光表示領域122とを4フレームに1回だけ表示内容を更新することができる。表示内容の更新頻度を下げて消費電力をより小さくすることができる。

【0164】

図14(D)は、図14(C)の動作に、さらに発光表示領域122の特定の領域の表示内容を更新する動作を組み合わせることができる。停止画を表示する液晶表示領域121では、表示内容の更新頻度を下げて消費電力を小さくし、特定の領域では動画表示に適した表示内容の更新をすることができる。動画再生を行う特定の領域は、図14(B)の駆動パターンを組み合わせることで、さらに消費電力を抑えることができる。

10

【0165】

画素回路750C(i, j)および画素回路650C(i, j)を有する高精細な表示部を、選択信号MD_{LODD}、選択信号MD_{LEVEN}、選択信号MD_{LODD}、選択信号MD_{LEVEN}、および選択回路20により、走査線の駆動するタイミングを制御することができる。さらに表示内容に応じた最適な更新頻度を制御することができる。さらに、図14(A)乃至(D)に示すように、液晶表示領域121および発光表示領域122の特定の領域における表示内容の更新を、走査線を選択制御により自由に制御することができる。

【0166】

20

以上、本実施の形態で示す構成、方法、駆動タイミングは、他の実施の形態で示す構成、方法、駆動タイミングと適宜組み合わせ用いることができる。

【0167】

(実施の形態4)

本実施の形態では、第1の表示素子を有する画素回路および第2の表示素子を有する画素回路に、電気的に接続される信号線から階調信号を与える機能を有する表示装置について、図15乃至図19を用いて説明する。

【0168】

図15に、画素回路720Cの構成例を示す。図16の表示装置700の表示部120の、画素の一つを、画素回路720C(i, j)として説明する。表示部120は、列方向にn個(nは1以上の整数)、行方向にm個(mは1以上の整数)、合計m×n個の画素がマトリクス状に配置されている。なおiは1以上m以下の整数であり、jは1以上n以下の整数である。

30

【0169】

画素回路720C(i, j)は、画素回路750C(i, j)を有し、画素回路750C(i, j)は、第1の表示素子750(i, j)を有する。第1の表示素子750(i, j)は、一例として焼き付きを防止するために交流駆動される液晶素子が好ましい。

【0170】

画素回路720C(i, j)は、画素回路650C(i, j)を有し、画素回路650C(i, j)は、第2の表示素子650(i, j)を有する。第2の表示素子650(i, j)は、一例として直流駆動される発光素子が好ましい。

40

【0171】

画素回路750C(i, j)のトランジスタSW1のゲートは、第1の走査線G1(j)と電気的に接続される。トランジスタSW1のソースまたはドレインの一方は、信号線S1(i)と電気的に接続される。

【0172】

信号線S1(i)から与えられる第1の階調信号により、第1の画素電極と、第1の対向電極との間に生成された電圧により、第1の表示素子750(i, j)の階調が制御される機能を有している。

【0173】

50

画素回路 650C(i, j) のトランジスタ SW2 のゲートは、第 2 の走査線 G2(j) と電氣的に接続される。トランジスタ SW2 のソースまたはドレインの一方が信号線 S1(i) と電氣的に接続される。

【0174】

信号線 S1(i) から与えられる第 2 の階調信号によって制御されるトランジスタ M により、駆動電流は制御される。第 2 の表示素子 650(i, j) に流れる駆動電流により、第 2 の表示素子 650(i, j) の階調が制御される機能を有している。

【0175】

図 16 は、表示装置 700 の構成を示すブロック図である。表示装置 700 はゲートドライバ 110、選択信号出力回路 30、および表示部 120 を有する。ゲートドライバ 110 は、シフトレジスタ回路 111 および選択回路 20 を有する。選択回路 20 は、判定回路 21 および 22 を有する。表示部 120 は、画素回路 720C(1, 1) 乃至画素回路 720C(m, n) を有する。画素回路 720C(m, n) は、画素回路 750C(m, n) および画素回路 650C(m, n) を有する。

【0176】

本実施の形態で説明する表示部 120 は、画素回路 720C(1, 1) 乃至画素回路 720C(m, n) と、第 1 の走査線 G1(1) 乃至 G1(n) と、第 2 の走査線 G2(1) 乃至 G2(n) と、信号線 S1(1) 乃至 S1(m) とを有する。

【0177】

選択回路 20 は、図 4 と同じため説明を省略する。

【0178】

図 17(A) は、図 16 の表示装置 700 の動作についてタイミングチャートを示す。図 16 のゲートドライバ 110 は、シフトレジスタ回路 111 から出力信号 SR(1) 乃至 SR(n) が順次出力される。

【0179】

画素回路 750C(i, j) と電氣的に接続される第 1 の走査線 G1(j) に出力する走査信号は、シフトレジスタ回路 111 の出力信号 SR(j) および選択信号出力回路 30 の選択信号 MD_L から、選択回路 20 の判定回路 21 により生成される。

【0180】

画素回路 650C(i, j) と電氣的に接続される第 2 の走査線 G2(j) に出力する走査信号は、シフトレジスタ回路 111 の出力信号 SR(j) および選択信号出力回路 30 の選択信号 MD_E から、選択回路 20 の判定回路 22 により生成される。

【0181】

一例として、図 17(A) に示すタイミングチャートを用いて、出力信号 SR(1) が High の期間における、ゲートドライバ 110 の動作について説明する。

【0182】

シフトレジスタ回路 111 の出力信号 SR(1) が High の期間において、選択信号 MD_L が High の期間に、第 1 の走査線 G1(1) の走査信号が High になり、画素回路 750C(i, 1) と電氣的に接続された信号線 S1(1) 乃至 S1(m) により、画素回路 750C(i, 1) へ階調信号を書き込むことができる。

【0183】

シフトレジスタ回路 111 の出力信号 SR(1) が High の期間において、選択信号 MD_E が High の期間に、第 2 の走査線 G2(1) の走査信号が High になり、画素回路 650C(i, 1) と電氣的に接続された信号線 S1(1) 乃至 S1(m) により、画素回路 650C(i, 1) へ階調信号を書き込みができる。

【0184】

図 17(B) は、表示部 120 の駆動状態を模式的に示す。画素回路 750C(i, j) により表示された領域を液晶表示領域 121 とし、画素回路 650C(i, j) により表示された領域を発光表示領域 122 とする。

【0185】

10

20

30

40

50

図16のシフトレジスタ回路111の出力信号SR(j)、選択信号MD_L、選択信号MD_E、および選択回路20によって、第1の走査線G1(j)に走査信号を出力することで、液晶表示領域121の表示内容が更新され、さらに第2の走査線G2(j)に走査信号を出力することで発光表示領域122の表示内容が更新される。したがって表示が更新される順番は、図17(A)のタイミングチャートと対応している。

【0186】

図17(B)は、出力信号SR(1)がHighの期間について説明する。選択信号MD_LがHighの期間に、選択回路20によって第1の走査線G1(1)の走査信号がHighになる。したがって、画素回路750C(1,1)乃至画素回路750C(m,1)の表示内容は、階調信号によって更新される。

10

【0187】

出力信号SR(1)がHighの期間、かつ選択信号MD_EがHighの期間に、選択回路20によって第2の走査線G2(1)の走査信号がHighになる。したがって、画素回路650C(1,1)乃至画素回路650C(m,1)の表示内容は、階調信号によって更新される。

【0188】

図17(A)では、出力信号SR(1)がHighの期間に、先に選択信号MD_LがHighになり、続いて選択信号MD_EがHighになる。図17(B)では、選択信号MD_LがHighの期間に、液晶表示領域121の表示が先に更新されることを示す。続いて、選択信号MD_EがHighの期間に発光表示領域122の表示が更新されることを示す。

20

【0189】

図16に示す回路では、第1の走査線G1と、第2の走査線G2とは異なるタイミングで走査信号がHighになることで、信号線に与えられる第1の階調信号と、第2の階調信号とは、お互いに影響を及ぼさない。

【0190】

画素回路750C(i,1)のトランジスタSW1のゲートと電氣的に接続する第1の走査線G1(1)、および画素回路650C(i,1)のトランジスタSW2のゲートと電氣的に接続する第2の走査線G2(1)は、シフトレジスタ回路111、および選択回路20を有するゲートドライバ110で、走査線の選択を制御することができる。

30

【0191】

信号線S1(i)には、画素回路750C(i,1)の階調信号と、画素回路650C(i,1)の階調信号を与えることができる。

【0192】

図15に示す画素回路720C(i,j)では、画素回路650C(i,j)の有する第2の表示素子650(i,j)の抵抗成分がばらつくと、トランジスタMのドレインとソース間の電圧が追従してばらつく。トランジスタMのドレインはアノード電圧で固定され、第2の表示素子650(i,j)の対向電極はカソード電圧で固定されているため、トランジスタMのソース電圧にばらつきが生じる。トランジスタMのソース電圧にばらつきが生じると、トランジスタMのソースとゲート間にかかる電圧がばらつくため、駆動電流がばらつき、階調は正しく制御されない。

40

【0193】

表示素子650(i,j)を正しい階調で制御するためには、トランジスタMのソース電圧を基準として、トランジスタMのゲートに第2の階調信号によって生成された電圧を与える必要がある。

【0194】

図18(A)乃至図18(C)を用いて、画素回路650C(i,j)の有する第2の表示素子650(i,j)の抵抗成分のばらつきに影響を受けずに、駆動電流を制御する動作について説明する。図18(A)が図15と異なる点を示す。図18(A)では画素回路650C(i,j)が、トランジスタSW3を有している。

50

【 0 1 9 5 】

トランジスタ S W 3 のソースまたはドレインの一方は、トランジスタ M のソースと電氣的に接続されている。トランジスタ S W 3 のソースまたはドレインの他方は C S C O M 端子に電氣的に接続されている。トランジスタ S W 3 のゲートには、第 3 の走査線 G 3 (j) が電氣的に接続されている。

【 0 1 9 6 】

第 3 の走査線は、シフトレジスタ回路 1 1 1 の出力信号 S R が第 3 の走査信号として与えられている。

【 0 1 9 7 】

図 1 8 (B) を用いて、画素回路 6 5 0 C (i , j) が有する第 2 の表示素子 6 5 0 (i , j) の抵抗成分のばらつきに影響を受けずに、駆動電流を制御する動作についてタイミングチャートを用いて説明する。第 1 の走査信号が H i g h の期間、第 3 の走査線 G 3 にはシフトレジスタ回路 1 1 1 の出力信号 S R (j) が第 3 の走査信号として与えられる。トランジスタ S W 3 のゲートが H i g h となり、トランジスタ M のソースは C S C O M 端子を介してコモン電圧が与えられる。

10

【 0 1 9 8 】

トランジスタ M のソースと、第 2 の画素電極とは電氣的に接続されているため、第 2 の画素電極と、第 2 の対向電極との間には第 2 の表示素子 6 5 0 (i , j) を介して電流が流れる。第 2 の表示素子 6 5 0 (i , j) の発光に寄与しない大きさの電流になるように、第 2 の表示素子 6 5 0 (i , j) の電氣的特性からコモン電圧を決めることが望ましい。

20

【 0 1 9 9 】

出力信号 S R (j) が H i g h の期間、トランジスタ M のソースにコモン電圧が与えられる。画素回路 7 5 0 C (i , j) の有する第 1 の表示素子 7 5 0 (i , j) が、第 1 の階調信号により階調が変化する期間、画素回路 6 5 0 C (i , j) の第 2 の表示素子 6 5 0 (i , j) は発光に必要な電流が与えられないため、消灯している。

【 0 2 0 0 】

第 2 の走査信号が H i g h になり、画素回路 6 5 0 C (i , j) に階調信号を書き込む期間も、トランジスタ M のソースはコモン電圧で固定されている。そのため画素回路 6 5 0 C (i , j) にはコモン電圧を基準とした階調信号が正しく与えられる。

30

【 0 2 0 1 】

図 1 8 (C) に、図 1 8 (A) の信号の電圧関係を示す。まず、走査信号について説明をする。第 1 の走査信号の H i g h の期間に与えられる高い電圧を G 1 _ H とし、L o w の期間に与えられる低い電圧を G 1 _ L とする。第 2 の走査信号の H i g h の期間に与えられる高い電圧を G 2 _ H とし、L o w の期間に与えられる低い電圧を G 2 _ L とする。一例として G 1 _ H と G 2 _ H、および G 1 _ L と G 2 _ L が異なる電圧の例を示したが、それぞれを同じ電圧にすると電源の数を減らすことができるので回路規模を小さくできる。

【 0 2 0 2 】

階調信号について説明をする。一例として第 1 の表示素子 7 5 0 (i , j) が反転駆動を行う液晶素子について示す。第 1 の画素電極と、第 1 の対向電極が、ともにコモン電圧の時に表示が黒の階調を示すとき、第 1 の階調信号から生成されるもっとも大きな電圧を 7 5 0 _ H 1 とし、反転駆動時の第 1 の階調信号から生成されるもっとも小さな電圧を 7 5 0 _ H 2 とする。7 5 0 _ L は、コモン電圧とする。第 2 の階調信号から生成されるもっとも大きな電圧を 6 5 0 _ H とし、第 2 の階調信号から生成されるもっとも小さな電圧を 6 5 0 _ L とする。

40

【 0 2 0 3 】

図 1 8 (C) では、6 5 0 _ L には、7 5 0 _ L と同じコモン電圧を与えたが、6 5 0 _ L としては、カソード端子に流れる電流が第 2 の表示素子 6 5 0 (i , j) の発光に寄与しない大きさとなるような電圧が与えられることが好ましい。第 2 の表示素子 6 5 0 (

50

i, j)の電気的特性から650 __ Lに与えるコモン電圧が求められることが好ましい。

【0204】

図18(C)に示していない信号の電圧について示す。ANO端子に与えられるアノード電圧は、650 __ Hよりも大きな電圧が与えられ、V C a t h端子に与えられるカソード電圧は、650 __ Lよりも小さな電圧が与えられる。

【0205】

図18(A)で示した回路では、画素回路650 C(i, j)の有する第2の表示素子650(i, j)の抵抗成分のばらつきに影響を受けないよう駆動電流を制御する回路を追加しなくても、画素回路750 C(i, j)が有する容量素子C1の基準電圧であるコモン電圧を利用することで、新規な配線を追加せずに、表示品質を改善することができる。

10

【0206】

図18(A)で示した回路では、画素回路650 C(i, j)が有する第2の表示素子650(i, j)の抵抗成分のばらつきに影響を受けないよう駆動電流を制御する回路を追加しなくても、第1の走査線G1と、第2の走査線G2とは異なるタイミングで走査信号がHighになることで、信号線に与えられる第1の階調信号と、第2の階調信号とは、お互いに影響を及ぼさない。

【0207】

なお本発明の一様態は図15の画素回路720 C(i, j)の回路構成に限らない。図15とは異なる画素回路720 C(i, j)が有する、画素回路750 C(i, j)及び画素回路650 C(i, j)の回路構成の一例について図19に図示する。

20

【0208】

図19は、図3(C)が有する画素回路750 C(i, j)及び画素回路650 C(i, j)と異なる点を示す。図19のトランジスタSW1 __ 2のバックゲートと、トランジスタSW2 __ 2のバックゲートは、BGL1端子と接続されている。バックゲートの電圧をBGL1端子から与えることができる。BGL1端子に与える電圧は、BGL端子に与える電圧と同じでもよいし、異なる電圧でもよい。

【0209】

なお本発明の一様態は図19の画素回路720 C(i, j)の回路構成に限らない。他の端子をバックゲートと電氣的に接続もできるし、接続の方法を組み合わせることもできる。

30

【0210】

以上、本実施の形態で示す構成、方法、駆動タイミングは、他の実施の形態で示す構成、方法、駆動タイミングと適宜組み合わせ用いることができる。

【0211】

(実施の形態5)

本実施の形態では、画素回路720 Cを有する高精細な表示を行う表示装置において、ゲートドライバを、奇数行と偶数行とに構成を分けて制御する方法について、図20および図21を用いて説明する。

【0212】

図20は、表示装置701の構成を示すブロック図である。図16と異なるのは、ゲートドライバ110が、図20では奇数行の走査線を制御するゲートドライバ110 Aと、偶数行の走査線を制御するゲートドライバ110 Bとに構成が分かれている点である。

40

【0213】

図20の表示装置701が有するシフトレジスタ回路111 A、およびシフトレジスタ回路111 Bは、図16のシフトレジスタ回路111の出力信号SRとは異なるタイミングの出力信号SR_{ODD}およびSR_{EVEN}を生成する。

【0214】

図20の表示装置701は、ゲートドライバを奇数行制御および偶数行制御に構成を分けることで、ゲートドライバの段数が半分になり、回路の面積も半分になる。第1の走査

50

線 G 1 の走査信号および第 2 の走査線 G 2 の走査信号を駆動する選択回路 2 0 のバッファ回路 2 6 を大きくすることができ、電流供給能力を上げることができる。図 2 0 で示す n は整数で、かつ 2 以上の偶数とする。

【0215】

図 2 1 (A) では、図 2 0 の表示装置 7 0 1 の動作についてタイミングチャートを示す。図 2 1 (A) に示すタイミングチャートでは、図 1 7 (A) に示すタイミングチャートと同じように選択信号 MD_L および選択信号 MD_E を入力している。これにより、図 1 7 (A) に示すタイミングチャートと同じタイミングで第 1 の走査線 G 1 (1) 乃至 G 1 (n)、第 2 の走査線 G 2 (1) 乃至 G 2 (n) に電圧が与えられる。

【0216】

図 2 1 (B) は、表示部 1 2 0 の駆動状態を模式的に示す。図 1 7 (B) とは異なり、図 2 0 のゲートドライバ 1 1 0 A が有するシフトレジスタ回路 1 1 1 A の出力信号 $SR_{ODD}(1)$ 乃至 $SR_{ODD}(n/2)$ 、ゲートドライバ 1 1 0 B が有するシフトレジスタ回路 1 1 1 B の出力信号 $SR_{EVEN}(1)$ 乃至 $SR_{EVEN}(n/2)$ 、選択信号 MD_L 、および選択信号 MD_E によって、第 1 の走査線 G 1 (1) 乃至 G 1 (n) の走査信号が High になることで、液晶表示領域 1 2 1 の表示内容が更新される。さらに第 2 の走査線 G 2 (1) 乃至 G 2 (n) の走査信号が High になることで、発光表示領域 1 2 2 の表示内容が更新される。したがって表示が更新される順番は、図 2 1 (A) のタイミングチャートと対応している。

【0217】

一例として、図 2 0 のシフトレジスタ回路 1 1 1 A の出力信号 $SR_{ODD}(1)$ が High の期間について説明する。選択信号 MD_L が High の期間に、選択回路 2 0 によって第 1 の走査線 G 1 (1) の走査信号が High になる。画素回路 7 5 0 C (1 , 1) 乃至画素回路 7 5 0 C (m , 1) が階調信号により表示内容が更新されることを示す。

【0218】

図 2 0 のシフトレジスタ回路 1 1 1 A の出力信号 $SR_{ODD}(1)$ が High の期間かつ選択信号 MD_E が High の期間に、選択回路 2 0 によって第 2 の走査線 G 2 (1) の走査信号が High になる。画素回路 6 5 0 C (1 , 1) 乃至画素回路 6 5 0 C (m , 1) が階調信号により表示内容が更新されることを示す。

【0219】

図 2 1 (A) では、ゲートドライバ 1 1 0 A が有するシフトレジスタ回路 1 1 1 A の出力信号 $SR_{ODD}(1)$ が High の期間に、先に選択信号 MD_L が High になり、続いて選択信号 MD_E が High になる。図 2 1 (B) では、選択信号 MD_L が High の期間に、液晶表示領域 1 2 1 の表示が先に更新されることを示す。続いて、選択信号 MD_E が High の期間に発光表示領域 1 2 2 の表示が更新されることを示す。

【0220】

第 1 の走査線 G 1 (j) または第 2 の走査線 G 2 (j) は、シフトレジスタ回路 1 1 1 A、および選択回路 2 0 を有するゲートドライバ 1 1 0 A で、走査線の選択を制御することができる。

【0221】

図 2 0 の表示装置 7 0 1 は、奇数行を制御するゲートドライバ 1 1 0 A および偶数行を制御するゲートドライバ 1 1 0 B に分けた構成においても、選択信号出力回路 3 0 による選択信号 MD_L および選択信号 MD_E を制御することで、図 1 6 の表示装置 7 0 0 と同じタイミングで動作させることができる。

【0222】

画素回路 7 2 0 C は、画素回路 7 5 0 C (i , j) および画素回路 6 5 0 C (i , j) の信号線 $S(j)$ を共有することで、より高精細な表示を行う表示装置を駆動することができる。さらにバッファ回路を大きくすることで、電流供給能力が向上するため、4 K や 8 K などの大きな解像度と、表示領域とをもつ表示装置を駆動することができる。

【0223】

10

20

30

40

50

図 20 で示した回路では、第 1 の走査線 G 1 と、第 2 の走査線 G 2 とは異なるタイミングで走査信号が High になることで、信号線に与えられる第 1 の階調信号と、第 2 の階調信号とは、お互いに影響を及ぼさない。

【 0 2 2 4 】

以上、本実施の形態で示す構成、方法、駆動タイミングは、他の実施の形態で示す構成、方法、駆動タイミングと適宜組み合わせ用いることができる。

【 0 2 2 5 】

(実施の形態 6)

本実施の形態では、画素回路 7 2 0 C を有する高精細な表示を行う表示装置において、液晶表示領域 1 2 1 および発光表示領域 1 2 2 を、異なる更新頻度で制御するゲートドライバの駆動方法について、図 2 2 乃至図 2 6 を用いて説明する。

10

【 0 2 2 6 】

図 2 2 は、表示装置 7 0 2 の構成を示すブロック図である。図 1 6 と異なるのは、ゲートドライバ 1 1 0 が、図 2 2 では液晶表示領域 1 2 1 の走査線を制御するゲートドライバ 1 1 0 C と、発光表示領域 1 2 2 の走査線を制御するゲートドライバ 1 1 0 D とに構成が分かれている点である。さらに、選択回路 2 0 の出力信号は、奇数行の走査線と偶数行の走査線に出力される。

【 0 2 2 7 】

図 2 2 の有する表示装置 7 0 2 のゲートドライバ 1 1 0 C は液晶表示領域 1 2 1 の走査線を、ゲートドライバ 1 1 0 D は発光表示領域 1 2 2 の走査線を、独立して選択制御することができる。図 2 2 で示す n は整数で、かつ 2 以上の偶数とする。

20

【 0 2 2 8 】

図 2 3 (A) は、図 2 2 の表示装置 7 0 2 の動作について、タイミングチャートを示す。一例として、シフトレジスタ回路 1 1 1 C の出力信号 S R L (1)、およびシフトレジスタ回路 1 1 1 D の出力信号 S R E (1) が High の期間について、タイミングチャートの動作を説明する。

【 0 2 2 9 】

図 2 2 のシフトレジスタ回路 1 1 1 C の出力信号 S R L (1) が High の期間において、選択信号 M D _ L O D D が High の期間に第 1 の走査線 G 1 (1) の走査信号が High になり、信号線 S 1 (1) 乃至 S 1 (m) により、画素回路 7 5 0 C (i , 1) へ階調信号を書き込むことができる。

30

【 0 2 3 0 】

図 2 2 のシフトレジスタ回路 1 1 1 C の出力信号 S R L (1) が High の期間において、選択信号 M D _ L E V E N が High の期間に第 1 の走査線 G 1 (2) の走査信号が High になり、信号線 S 1 (1) 乃至 S 1 (m) により、画素回路 7 5 0 C (i , 2) へ階調信号を書き込むことができる。

【 0 2 3 1 】

図 2 2 のシフトレジスタ回路 1 1 1 D の出力信号 S R E (1) が High の期間において、選択信号 M D _ E O D D が High の期間に第 2 の走査線 G 2 (1) の走査信号が High になり、信号線 S 1 (1) 乃至 S 1 (m) により、画素回路 6 5 0 C (i , 1) へ階調信号を書き込みができる。

40

【 0 2 3 2 】

図 2 2 のシフトレジスタ回路 1 1 1 D の出力信号 S R E (1) が High の期間において、選択信号 M D _ E E V E N が High の期間に第 2 の走査線 G 2 (2) の走査信号が High になり、信号線 S 1 (1) 乃至 S 1 (m) により、画素回路 6 5 0 C (i , 2) へ階調信号の書き込みができる。

【 0 2 3 3 】

図 2 3 (B) は、液晶表示領域 1 2 1 と発光表示領域 1 2 2 の駆動状態を模式的に示す。シフトレジスタ回路 1 1 1 C の出力信号 S R L (1) 乃至 S R L (n / 2) と、選択信号 M D _ L O D D と M D _ L E V E N と、ゲートドライバ 1 1 0 D の有するシフトレジスタ

50

タ回路 111D の出力信号 $SRE(1)$ 乃至 $SRE(n/2)$ と、選択信号 MD_E_{ODD} と MD_E_{EVEN} とにより、液晶表示領域 121 および発光表示領域 122 の表示内容が更新される順番を示す。

【0234】

図 23 (B) は、表示部 120 の表示内容の更新状態を模式的に示す。シフトレジスタ回路 111C の出力信号 $SRL(1)$ 乃至 $SRL(n/2)$ と、選択信号 MD_L_{ODD} と、 MD_L_{EVEN} とによって第 1 の走査線 $G1(1)$ 乃至 $G1(n)$ の走査信号に $High$ が出力されたことで液晶表示領域 121 の表示内容が更新され、シフトレジスタ回路 111D の出力信号 $SRE(1)$ 乃至 $SRE(n/2)$ と、選択信号 MD_E_{ODD} と、 MD_E_{EVEN} とにより、第 2 の走査線 $G2(1)$ 乃至 $G2(n)$ の走査信号に $High$ を出力することで発光表示領域 122 の表示内容が更新される。したがって表示が更新される順番は、図 23 (A) のタイミングチャートと対応している。

10

【0235】

一例として、図 22 のシフトレジスタ回路 111C の出力信号 $SRL(1)$ が $High$ のときについて説明する。選択信号 MD_L_{ODD} が $High$ のときに、選択回路 20 によって第 1 の走査線 $G1(1)$ の走査信号が $High$ になり、画素回路 $750C(1,1)$ 乃至画素回路 $750C(m,1)$ が階調信号により表示内容が更新されることを示す。さらに選択信号 MD_L_{EVEN} が $High$ のときに、選択回路 20 によって第 1 の走査線 $G1(2)$ の走査信号が $High$ になる。画素回路 $750C(1,2)$ 乃至画素回路 $750C(m,2)$ が階調信号により表示内容が更新されることを示す。

20

【0236】

同様に、図 22 のシフトレジスタ回路 111D の出力信号 $SRE(1)$ が $High$ のときについて説明する。選択信号 MD_E_{ODD} が $High$ のときに、選択回路 20 によって第 2 の走査線 $G2(1)$ の走査信号が $High$ になり、画素回路 $650C(1,1)$ 乃至画素回路 $650C(m,1)$ が階調信号により表示内容が更新されることを示す。さらに選択信号 MD_E_{EVEN} が $High$ のときに、選択回路 20 によって第 2 の走査線 $G2(2)$ の走査信号が $High$ になる。画素回路 $650C(1,2)$ 乃至画素回路 $650C(m,2)$ が階調信号により表示内容が更新されることを示す。

【0237】

図 22 で示した回路では、第 1 の走査線 $G1$ と、第 2 の走査線 $G2$ とは異なるタイミングで走査信号が $High$ になることで、信号線 $S1$ に与えられる第 1 の階調信号と、第 2 の階調信号とは、お互いに影響を及ぼさないことを示す。

30

【0238】

表示装置 702 のゲートドライバは、液晶表示領域 121 または発光表示領域 122 を独立して制御するために構成をわけた。さらに奇数行と、偶数行とを選択回路 20 で制御する構成とした。さらに選択信号 MD_L_{ODD} 、 MD_L_{EVEN} 、選択信号 MD_E_{ODD} 、および MD_E_{EVEN} の駆動タイミングによって、画素回路 $750C(i,j)$ と、画素回路 $650C(i,j)$ に接続される走査線の選択制御ができる。

【0239】

図 24 (A) 及び図 25 (A) では図 22 の表示装置 702 の動作について図 23 (A) とは異なるタイミングチャートを示す。ここでは、液晶表示領域 121 の表示と、発光表示領域 122 の表示が異なるタイミングで更新される例を示す。即ち、液晶表示領域 121 の表示と、発光表示領域 122 の表示の更新頻度が異なる例を示す。図 24 (A) では、シフトレジスタ回路 111C の出力信号 $SRL(1)$ 、およびゲートドライバ 110D の有するシフトレジスタ回路 111D の出力信号 $SRE(1)$ がそれぞれ $High$ の期間について、タイミングチャートの動作を説明する。

40

【0240】

シフトレジスタ回路 111C の出力信号 $SRL(1)$ と、選択信号 MD_L_{ODD} とが $High$ の期間は、判定回路 21 により第 1 の走査線 $G1(1)$ の走査信号に $High$ を出力する。第 1 の走査線 $G1(1)$ の走査信号が $High$ の期間に、画素回路 $750C($

50

$i, 1$) の階調信号が更新される。

【0241】

シフトレジスタ回路111Cの出力信号 $SRL(1)$ および選択信号 MD_L_{EVEN} が $High$ の期間は、判定回路22によって第1の走査線 $G1(2)$ の走査信号に $High$ を出力する。第1の走査線 $G1(2)$ の走査信号が $High$ のとき、画素回路750C($i, 2$)の階調信号が更新される。

【0242】

選択信号 MD_E_{ODD} が Low の期間は、判定回路21により、出力信号 $SRE(1)$ の状態によらず、第2の走査線 $G2(1)$ の走査信号の出力は Low になる。選択信号 MD_E_{EVEN} が Low の期間は、判定回路21により、出力信号 $SRE(1)$ の状態によらず、第2の走査線 $G2(1)$ の走査信号の出力は Low になる。

10

【0243】

図24(B)では、液晶表示領域121と発光表示領域122の駆動状態を模式的に示す。

【0244】

図24(B)は、表示部120の駆動状態を模式的に示す。シフトレジスタ回路111Cの出力信号 $SRL(1)$ 乃至 $SRL(n/2)$ と、選択信号 MD_L_{ODD} と、 MD_L_{EVEN} とによって第1の走査線 $G1(1)$ 乃至 $G1(n)$ の走査信号が $High$ になることで液晶表示領域121の表示内容が更新される。

【0245】

20

シフトレジスタ回路111Dの出力信号 $SRE(1)$ 乃至 $SRE(n/2)$ と、選択信号 MD_E_{ODD} と、 MD_E_{EVEN} とにより、第2の走査線 $G2(1)$ 乃至 $G2(n)$ の走査信号は Low になることで、発光表示領域122の表示内容は更新されない。

【0246】

図24(B)では、液晶表示領域121は表示内容が更新され、発光表示領域122は表示内容が更新されないため、図24(A)のタイミングチャートと対応している。

【0247】

図25(A)では、シフトレジスタ回路111Cの出力信号 $SRL(1)$ と、シフトレジスタ回路111Dの出力信号 $SRE(1)$ とが $High$ の期間について、タイミングチャートの動作を説明する。

30

【0248】

一例として、シフトレジスタ回路111Dの出力信号 $SRE(1)$ と、選択信号 MD_E_{ODD} とが $High$ の期間は、判定回路21によって第2の走査線 $G2(1)$ の走査信号に $High$ が出力される。第2の走査線 $G2(1)$ の走査信号が $High$ のとき、画素回路650C($i, 1$)の階調信号が更新される。

【0249】

シフトレジスタ回路111Dの出力信号 $SRE(1)$ および選択信号 MD_E_{EVEN} が $High$ の期間は、判定回路22によって第2の走査線 $G2(2)$ の走査信号に $High$ が出力される。第2の走査線 $G2(2)$ の走査信号が $High$ のとき、画素回路650C($i, 2$)の階調信号だけ更新される。

40

【0250】

選択信号 MD_L_{ODD} が Low の期間は、判定回路21により、出力信号 $SRL(1)$ の状態によらず、第1の走査線 $G1(1)$ の走査信号の出力は Low になる。選択信号 MD_L_{EVEN} が Low の期間は、判定回路21によって、出力信号 $SRL(1)$ の状態によらず、第1の走査線 $G1(1)$ の走査信号の出力は Low になる。

【0251】

図25(B)では、液晶表示領域121と発光表示領域122の駆動状態を模式的に示す。

【0252】

図25(B)は、表示部120の駆動状態を模式的に示す。シフトレジスタ回路111

50

Cの出力信号SRL(1)乃至SRL(n/2)と、選択信号MD_{LOAD}と、MD_{LEVEN}とによって第1の走査線G1(1)乃至G1(n)の走査信号はLowになることで液晶表示領域121の表示内容が更新されない。

【0253】

シフトレジスタ回路111Dの出力信号SRE(1)乃至SRE(n/2)と、選択信号MD_{EOD}と、MD_{EVEN}とにより、第2の走査線G2(j)の走査信号がHighになることで発光表示領域122の表示内容が更新される。

【0254】

図25(B)では、発光表示領域122は表示内容が更新され、液晶表示領域121は表示内容が更新されないため、図25(A)のタイミングチャートと対応している。

10

【0255】

図24(A)では、シフトレジスタ回路111Cの出力信号SRL(1)またはSRL(2)がHighの期間に、選択信号MD_{LOAD}またはMD_{LEVEN}がHighのときに液晶表示領域121の表示が更新される。

【0256】

図25(A)では、シフトレジスタ回路111Dの出力信号SRE(1)またはSRE(2)がHighの期間に、選択信号MD_{EOD}またはMD_{EVEN}がHighのときに発光表示領域122の表示が更新される。

【0257】

図24(A)および図25(A)では、選択信号による走査線の選択制御によって、液晶表示領域121または発光表示領域122をフレーム単位で停止させる例を示したが、同様にフレーム単位でシフトレジスタ回路を停止させても同じ効果を得ることができる。

20

【0258】

さらに、画素回路750C(i, j)では静止画を、画素回路650C(i, j)では動画を再生するときに、静止画の場合は動画の場合に比べて表示内容の更新頻度を下げて駆動を行うなど、表示の内容に応じた最適な駆動を選択することができる。

【0259】

さらに、画素回路750C(i, j)および画素回路650C(i, j)をもつ高精細な表示部120を、最適な駆動を行うことにより消費電力の低減ができる。

【0260】

30

なお本発明の一様態は、選択回路20にて、偶数行と奇数行とを選択制御できるように示したが、選択回路にて選択できる行の数は2以上の整数でもよい。

【0261】

図26(A)では図22の表示装置702の動作について、図24(A)とは異なるタイミングチャートを示す。ここでは、表示装置において、第1の表示領域と第2の表示領域とを有し、第1の表示領域に含まれる表示素子の表示の更新頻度は、第2の表示領域に含まれる表示素子と異なる例を示す。具体的には、液晶表示領域121または発光表示領域122の一方は、全面において表示が順次更新されるが、他方は、部分的に表示が更新される例を示す。シフトレジスタ回路111Cおよびシフトレジスタ回路111Dの10行目を中心に前後の動作をタイミングチャートで示す。

40

【0262】

一例として、図26では、第1の走査線G1(7)乃至G1(12)と、第2の走査線G2(7)乃至G2(12)と、の動作を説明する。

【0263】

シフトレジスタ回路111Cの出力信号SRL(4)、SRL(5)、およびSRL(6)と、シフトレジスタ回路111Dの出力信号SRE(4)、SRE(5)、およびSRE(6)が、Highの期間について、タイミングチャートの動作を示す。

【0264】

図22のシフトレジスタ回路111Cが出力信号SRL(4)を選択回路20に与えたときの動作を説明する。選択信号MD_{LOAD}がHighのときに、選択回路20によ

50

って第1の走査線G1(7)の走査信号がHighになり、画素回路750C(1,7)乃至画素回路750C(m,7)が階調信号により表示内容が更新されることを示す。さらに、選択信号MD_LEVENがHighのときに、選択回路20によって第1の走査線G1(8)の走査信号がHighになり、画素回路750C(1,8)乃至画素回路750C(m,8)が階調信号により表示内容が更新されることを示す。

【0265】

図22のシフトレジスタ回路111Dが出力信号SRE(4)を選択回路20に与えたときの動作を説明する。選択信号MD_EODDおよびMD_EEVENがLowのときは、選択回路20によって第2の走査線G2(7)の走査信号がLowになり、画素回路650C(1,7)乃至画素回路650C(m,7)の表示内容が更新されなかったことを示す。さらに選択回路20によって第2の走査線G2(8)の走査信号がLowになり、画素回路650C(1,8)乃至画素回路650C(m,8)の表示内容が更新されなかったことを示す。

10

【0266】

図22のシフトレジスタ回路111Cが出力信号SRL(5)を選択回路20に与えたときの動作を説明する。選択信号MD_LODDがHighのときに、選択回路20によって第1の走査線G1(9)の走査信号がHighになり、画素回路750C(1,9)乃至画素回路750C(m,9)が階調信号により表示内容が更新されることを示す。さらに、選択信号MD_LEVENがHighのときに、選択回路20によって第1の走査線G1(10)の走査信号がHighになり、画素回路750C(1,10)乃至画素回路750C(m,10)が階調信号により表示内容が更新されることを示す。

20

【0267】

図22のシフトレジスタ回路111Dが出力信号SRE(5)を選択回路20に与えたときの動作を説明する。選択信号MD_EODDがHighのときに、選択回路20によって第2の走査線G2(9)の走査信号がHighになり、画素回路650C(1,9)乃至画素回路650C(m,9)が階調信号により表示内容が更新されることを示す。さらに、選択信号MD_EEVENがHighのときに、選択回路20によって第2の走査線G2(10)の走査信号がHighになり、画素回路650C(1,10)乃至画素回路650C(m,10)が階調信号により表示内容が更新されることを示す。

30

【0268】

図22のシフトレジスタ回路111Cが出力信号SRL(6)を選択回路20に与えたときの動作を説明する。選択信号MD_LODDがHighのときに、選択回路20によって第1の走査線G1(11)の走査信号がHighになり、画素回路750C(1,11)乃至画素回路750C(m,11)が階調信号により表示内容が更新されることを示す。さらに、選択信号MD_LEVENがHighのときに、選択回路20によって第1の走査線G1(12)の走査信号がHighになり、画素回路750C(1,12)乃至画素回路750C(m,12)が階調信号により表示内容が更新されることを示す。

【0269】

図22のシフトレジスタ回路111Dが出力信号SRE(6)を選択回路20に与えたときの動作を説明する。選択信号MD_EODDおよびMD_EEVENがLowのときは、選択回路20によって第2の走査線G2(11)の走査信号がLowになり、画素回路650C(1,11)乃至画素回路650C(m,11)の表示内容が更新されなかったことを示す。さらに選択回路20によって第2の走査線G2(12)の走査信号がLowになり、画素回路650C(1,12)乃至画素回路650C(m,12)の表示内容が更新されなかったことを示す。

40

【0270】

図26(B)では、液晶表示領域121は表示内容が順次更新されるが、発光表示領域122は、出力信号SRE(5)の表示内容だけが更新される。

【0271】

図26(B)は、表示部120の駆動状態を模式的に示す。出力信号SRL(1)乃至

50

SRL($n/2$)と、選択信号MD_{LODD}と、MD_{LEVEN}とによって第1の走査線G1(1)乃至G1(n)の走査信号がHighになることで液晶表示領域121の表示内容が更新され、シフトレジスタ回路111Dの出力信号SRE(1)乃至SRE($n/2$)と、選択信号MD_{EODD}と、MD_{EVEN}とにより、第2の走査線G2(1)乃至G2(n)の走査信号がHighになることで発光表示領域122の表示内容が更新される。したがって表示が更新される順番は、図26(A)のタイミングチャートと対応している。

【0272】

図26(B)では、選択信号により、特定の表示領域だけ表示内容を更新することができる。

10

【0273】

一例として、画素回路750C(i, j)では液晶表示領域121のすべてに静止画を表示し、画素回路650C(i, j)では特定の発光表示領域122Aのみ動画を再生することができる。静止画を表示するときは、動画を再生するときに比べて表示内容の更新頻度を下げて駆動を行うなど、表示の内容に合わせた最適な駆動を選択することができる。

【0274】

画素回路750C(i, j)および画素回路650C(i, j)を有する高精細な表示部120を、最適な駆動を行うことにより、表示内容の更新頻度を最適化することで消費電力の低減ができる。

20

【0275】

図22で示した回路では、第1の走査線G1と、第2の走査線G2とは異なるタイミングで走査信号がHighになることで、信号線に与えられる第1の階調信号と、第2の階調信号とは、お互いに影響を及ぼさない。

【0276】

なお本発明の一様態は、選択回路20にて、偶数行と奇数行とを選択制御できるように示したが、選択回路にて選択できる行の数は2以上の整数でもよい。

【0277】

図14(A)乃至(D)には、図16、図20、図22に示す回路で可能な表示パターンの一例を示す。なお、 p は1以上の整数であり、図14では、 $p+1$ フレーム乃至 $p+4$ フレームまでの、表示パターンの更新状態を示す。

30

【0278】

画素回路750C(i, j)および画素回路650C(i, j)を有する高精細な表示部を、選択信号MD_{LODD}、選択信号MD_{LEVEN}、選択信号MD_{EODD}、選択信号MD_{EVEN}、および選択回路20により、走査線の駆動するタイミングを制御することができる。さらに表示内容に応じた最適な更新頻度を制御することができる。さらに、図14(A)乃至(D)に示すように、液晶表示領域121および発光表示領域122の特定の領域における表示内容の更新を、走査線を選択制御により自由に制御することができる。

【0279】

40

以上、本実施の形態で示す構成、方法、駆動タイミングは、他の実施の形態で示す構成、方法、駆動タイミングと適宜組み合わせ用いることができる。

【0280】

(実施の形態7)

本実施の形態では、本発明の一様態の表示装置700の構成について、図27乃至図31を参照しながら説明する。

【0281】

図27は本発明の一様態の表示装置700の構成を説明する図である。図27(A)は本発明の一様態の表示装置700の上面図である。図27(B-1)は図27(A)の表示装置700が有する画素回路710C(i, j)の一部を説明する下面図であり、図2

50

7 (B - 2) は図 2 7 (B - 1) に図示する一部の構成を省略して説明する下面図である。

【 0 2 8 2 】

また、図 2 8 (A - 1) は図 2 7 (A) の表示装置 7 0 0 が有する画素回路 7 1 0 C (i , j) の一部を説明する下面図であり、図 2 8 (A - 2) は図 2 8 (A - 1) に図示する一部の構成を省略して説明する下面図である。図 2 8 (B - 1) は、図 2 8 (A - 1) と異なる開口位置について示した下面図である。図 2 8 (B - 2) は図 2 8 (B - 1) に図示する一部の構成を省略して説明する下面図である。

【 0 2 8 3 】

図 2 9 は本発明の一態様の表示装置 7 0 0 の構成を説明する図である。図 2 9 (A) は図 2 7 (A) の切断線 X 1 - X 2、X 3 - X 4、X 5 - X 6、X 7 - X 8、X 9 - X 1 0、X 1 1 - X 1 2 における断面図である。図 2 9 (B) は表示装置 7 0 0 の一部の構成を説明する断面図であり、図 2 9 (C) は表示装置 7 0 0 の他の一部の構成を説明する断面図である。

10

【 0 2 8 4 】

図 3 0 (A - 1) および図 3 0 (A - 2) は本発明の一態様の表示装置 7 0 0 に用いることができる開口部 7 5 1 H の配置を説明する模式図である。

【 0 2 8 5 】

< 表示装置の構成例 1 . >

本実施の形態で説明する表示装置 7 0 0 は、信号線 S 1 (i) と、画素回路 7 1 0 C (i , j) と、を有する (図 2 8 (A - 1) および図 2 8 (A - 2) 参照) 。

20

【 0 2 8 6 】

画素回路 7 1 0 C (i , j) は、信号線 S 1 (i) と電氣的に接続される。

【 0 2 8 7 】

画素回路 7 1 0 C (i , j) は、画素回路 7 5 0 C (i , j) と、画素回路 6 5 0 C (i , j) を有し、画素回路 7 5 0 C (i , j) が有する表示素子 7 5 0 (i , j) と、第 1 の導電膜と、第 2 の導電膜と、第 2 の絶縁膜 6 0 1 C と、画素回路 6 5 0 C (i , j) が有する表示素子 6 5 0 (i , j) と、を有する (図 2 9 (A) 参照) 。

【 0 2 8 8 】

第 1 の導電膜は、表示素子 7 5 0 (i , j) と電氣的に接続される (図 2 9 (A) 参照) 。例えば、第 1 の導電膜を、表示素子 7 5 0 (i , j) の第 1 の電極 7 5 1 (i , j) に用いることができる。

30

【 0 2 8 9 】

第 2 の導電膜は、第 1 の導電膜と重なる領域を備える。例えば、第 2 の導電膜を、トランジスタ S W 1 に用いることができるトランジスタのソースまたはドレインとして機能する導電膜 6 1 2 B に用いることができる。

【 0 2 9 0 】

第 2 の絶縁膜 6 0 1 C は、第 2 の導電膜と第 1 の導電膜の間に挟まれる領域を備える。

【 0 2 9 1 】

画素回路 7 1 0 C (i , j) は、第 2 の導電膜と電氣的に接続される。例えば、第 2 の導電膜をソースまたはドレインとして機能する導電膜 6 1 2 B に用いたトランジスタを、画素回路 7 1 0 C (i , j) のトランジスタ S W 1 に用いることができる (図 2 9 (A) および図 2 参照) 。

40

【 0 2 9 2 】

第 2 の絶縁膜 6 0 1 C は、開口部 6 9 1 A を備える (図 2 9 (A) 参照) 。

【 0 2 9 3 】

第 2 の導電膜は、開口部 6 9 1 A において第 1 の導電膜と電氣的に接続される。例えば、導電膜 6 1 2 B は、第 1 の電極 7 5 1 (i , j) と電氣的に接続される。

【 0 2 9 4 】

画素回路 7 1 0 C (i , j) は、信号線 S 1 (i) と電氣的に接続される (図 2 参照)

50

。なお、導電膜 6 1 2 A は、信号線 S 1 (i) と電氣的に接続される (図 2 9 (A) および図 2 参照) 。

【 0 2 9 5 】

第 1 の電極 7 5 1 (i , j) は、第 2 の絶縁膜 6 0 1 C に埋め込まれた側端部を備える。

【 0 2 9 6 】

また、本実施の形態で説明する表示装置 7 0 0 の画素回路 7 1 0 C (i , j) は、トランジスタ S W 1 を備える。トランジスタ S W 1 は、酸化物半導体を含む。

【 0 2 9 7 】

また、本実施の形態で説明する表示装置 7 0 0 の表示素子 6 5 0 (i , j) は、表示素子 7 5 0 (i , j) が表示をする方向と同一の方向に表示をする機能を備える。例えば、外光を反射する強度を制御して表示素子 7 5 0 (i , j) が表示をする方向を、破線の矢印で図中に示す。また、表示素子 6 5 0 (i , j) が表示をする方向を、実線の矢印で図中に示す (図 2 9 (A) 参照) 。

10

【 0 2 9 8 】

また、本実施の形態で説明する表示装置 7 0 0 の表示素子 6 5 0 (i , j) は、表示素子 7 5 0 (i , j) が表示をする領域に囲まれた領域に表示をする機能を備える (図 3 0 (A - 1) または図 3 0 (A - 2) 参照) 。なお、表示素子 7 5 0 (i , j) は、第 1 の電極 7 5 1 (i , j) と重なる領域に表示をし、表示素子 6 5 0 (i , j) は、開口部 7 5 1 H と重なる領域に表示をする。

20

【 0 2 9 9 】

また、本実施の形態で説明する表示装置 7 0 0 の表示素子 7 5 0 (i , j) は、入射する光を反射する機能を備える反射膜と、反射する光の強さを制御する機能と、を有する。そして、反射膜は、開口部 7 5 1 H を備える。なお、例えば、表示素子 7 5 0 (i , j) の反射膜に、第 1 の導電膜または第 1 の電極 7 5 1 (i , j) 等を用いることができる。

【 0 3 0 0 】

また、表示素子 6 5 0 (i , j) は、開口部 7 5 1 H に向けて光を射出する機能を有する。

【 0 3 0 1 】

また、本実施の形態で説明する表示装置 7 0 0 は、画素回路 7 1 0 C (i , j) と、一群の画素回路 7 1 0 C (i , 1) 乃至画素回路 7 1 0 C (i , n) と、他の一群の画素回路 7 1 0 C (1 , j) 乃至画素回路 7 1 0 C (m , j) と、第 1 の走査線 G 1 (j) と、を有する (図 1 参照) 。なお、 i は 1 以上 m 以下の整数であり、 j は 1 以上 n 以下の整数であり、 m および n は 1 以上の整数である。

30

【 0 3 0 2 】

また、本実施の形態で説明する表示装置 7 0 0 は、第 2 の走査線 G 2 (j) と、配線 C S C O M と、配線 A N O と、を有する。

【 0 3 0 3 】

一群の画素回路 7 1 0 C (i , 1) 乃至画素回路 7 1 0 C (i , n) は、画素回路 7 1 0 C (i , j) を含み、行方向と交差する列方向 (図中に矢印 C で示す方向) に配設される。

40

【 0 3 0 4 】

また、他の一群の画素回路 7 1 0 C (1 , j) 乃至画素回路 7 1 0 C (m , j) は、画素回路 7 1 0 C (i , j) を含み、行方向 (図中に矢印 R で示す方向) に配設される。

【 0 3 0 5 】

第 1 の走査線 G 1 (j) は、行方向に配設される他の一群の画素回路 7 1 0 C (1 , j) 乃至画素回路 7 1 0 C (m , j) と電氣的に接続される。

【 0 3 0 6 】

列方向に配設される一群の画素回路 7 1 0 C (i , 1) 乃至画素回路 7 1 0 C (i , n) は、信号線 S 1 (i) と電氣的に接続される。

50

【0307】

例えば、図30(A-1)および図30(A-2)に示すように、画素内に設けられる開口部の位置は、隣接する画素において異なることが好ましい。ここでいう隣接する画素とは、行方向および列方向のいずれか、または行方向および列方向の双方を含むものとする。なお、例えば、第1の電極751(i, j)を反射膜に用いることができる。

【0308】

図30(B-1)乃至図30(B-3)は本発明の一態様の表示装置700に用いることができる開口部751Hの配置例を示した模式図である。

【0309】

図30(B-1)は図28(B-1)で下面図を示したが、図28(A-1)と比べるとCSCOMの配線を減らすことができ、高精細化に対応した表示装置を提供することができる。

10

【0310】

図30(B-2)および図30(B-3)では三つの画素回路が有するそれぞれの第2の表示素子の開口部中心を線で結んだ距離が、図30(A-1)または図30(B-1)で示す配置より大きくすることで、第2の表示素子のように小さな開口でも、色を構成する3つの画素の表示面積を大きくすることで、色の表示品質を改善することができる。

【0311】

上記本発明の一態様の表示装置700は、表示素子750と、表示素子750と電氣的に接続される第1の導電膜と、第1の導電膜と重なる領域を備える第2の導電膜と、第2の導電膜と第1の導電膜の間に挟まれる領域を備える絶縁膜と、第2の導電膜と電氣的に接続される画素回路と、画素回路と電氣的に接続される表示素子650と、を含み、第2の絶縁膜は開口部を備え、第2の導電膜は第1の導電膜と開口部で電氣的に接続される。

20

【0312】

これにより、例えば同一の工程を用いて形成することができる画素回路を用いて、表示素子750と、表示素子750とは異なる方法を用いて表示をする表示素子650と、を駆動することができる。その結果、利便性または信頼性に優れた新規な表示装置を提供することができる。

【0313】

また、本実施の形態で説明する表示装置700は、端子619Bと、導電膜611Bと、を有する(図29(A)参照)。

30

【0314】

第2の絶縁膜601Cは、端子619Bおよび導電膜611Bの間に挟まれる領域を備える。また、第2の絶縁膜601Cは、開口部691Bを備える。

【0315】

端子619Bは、開口部691Bにおいて導電膜611Bと電氣的に接続される。また、導電膜611Bは、画素回路710C(i, j)と電氣的に接続される。なお、例えば、第1の電極751(i, j)または第1の導電膜を反射膜に用いる場合、端子619Bの接点として機能する面は、第1の電極751(i, j)の、表示素子750(i, j)に入射する光に向いている面と同じ方向に向いている。

40

【0316】

これにより、端子を介して電力または信号を、画素回路に供給することができる。その結果、利便性または信頼性に優れた新規な表示装置を提供することができる。

【0317】

また、本実施の形態で説明する表示装置700の表示素子750(i, j)は、液晶材料を含む層753と、第1の電極751(i, j)および第2の電極752と、を備える。なお、第2の電極752は、第1の電極751(i, j)との間に液晶材料の配向を制御する電界が形成されるように配置される。

【0318】

また、本実施の形態で説明する表示装置700は、配向膜AF1および配向膜AF2を

50

備える。配向膜 A F 2 は、配向膜 A F 1 との間に液晶材料を含む層 7 5 3 を挟むように配設される。

【 0 3 1 9 】

また、本実施の形態で説明する表示装置 7 0 0 の表示素子 6 5 0 (i , j) は、第 3 の電極 6 5 1 (i , j) と、第 4 の電極 6 5 2 と、発光性の有機化合物を含む層 6 5 3 (i) と、を備える。

【 0 3 2 0 】

第 4 の電極 6 5 2 は、第 3 の電極 6 5 1 (i , j) と重なる領域を備える。発光性の有機化合物を含む層 6 5 3 (i) は、第 3 の電極 6 5 1 および第 4 の電極 6 5 2 の間に配設される。そして、第 3 の電極 6 5 1 (i , j) は、接続部 6 2 2 において、トランジスタ M と電氣的に接続される。

10

【 0 3 2 1 】

また、本実施の形態で説明する表示装置 7 0 0 の画素回路 7 1 0 C (i , j) は、着色膜 C F 1 と、遮光膜 B M と、絶縁膜 7 7 1 と、機能膜 7 7 0 P と、を有する。

【 0 3 2 2 】

着色膜 C F 1 は、表示素子 7 5 0 (i , j) と重なる領域を備える。遮光膜 B M は、表示素子 7 5 0 (i , j) と重なる領域に開口部を備える。

【 0 3 2 3 】

絶縁膜 7 7 1 は、着色膜 C F 1 と液晶材料を含む層 7 5 3 の間または遮光膜 B M と液晶材料を含む層 7 5 3 の間に配設される。これにより、着色膜 C F 1 の厚さに基づく凹凸を平坦にすることができる。または、遮光膜 B M または着色膜 C F 1 等から液晶材料を含む層 7 5 3 への不純物の拡散を、抑制することができる。

20

【 0 3 2 4 】

機能膜 7 7 0 P は、表示素子 7 5 0 (i , j) と重なる領域を備える。機能膜 7 7 0 P は、表示素子 7 5 0 (i , j) との間に基板 7 7 0 を挟むように配設される。

【 0 3 2 5 】

また、本実施の形態で説明する表示装置 7 0 0 は、基板 6 7 0 と、基板 7 7 0 と、機能層 6 2 0 と、を有する。

【 0 3 2 6 】

基板 7 7 0 は、基板 6 7 0 と重なる領域を備える。機能層 6 2 0 は、基板 6 7 0 および基板 7 7 0 の間に配設される。

30

【 0 3 2 7 】

機能層 6 2 0 は、画素回路 7 1 0 C (i , j) と、表示素子 6 5 0 (i , j) と、絶縁膜 6 2 1 と、絶縁膜 6 2 8 と、を含む。また、機能層 6 2 0 は、絶縁膜 6 1 8 および絶縁膜 6 1 6 を含む。

【 0 3 2 8 】

絶縁膜 6 2 1 は、表示素子 7 5 0 (i , j) および表示素子 6 5 0 (i , j) の間に配設される。

【 0 3 2 9 】

絶縁膜 6 2 8 は、絶縁膜 6 2 1 および基板 6 7 0 の間に配設され、表示素子 6 5 0 (i , j) と重なる領域に開口部を備える。第 3 の電極 6 5 1 (i , j) の周縁に沿って形成される絶縁膜 6 2 8 は、第 3 の電極 6 5 1 (i , j) および第 4 の電極の短絡を防止することができる。

40

【 0 3 3 0 】

絶縁膜 6 1 8 は、絶縁膜 6 2 1 および表示素子 7 5 0 (i , j) の間に配設される領域を備え、絶縁膜 6 1 6 は、絶縁膜 6 1 8 および表示素子 7 5 0 (i , j) の間に配設される領域を備える。

【 0 3 3 1 】

また、本実施の形態で説明する表示装置 7 0 0 は、接合層 6 0 5 と、封止材 7 0 5 と、構造体 K B 1 と、を有する。

50

【0332】

接合層605は、機能層620および基板670の間に配設され、機能層620および基板670を貼り合わせる機能を備える。

【0333】

封止材705は、機能層620および基板770の間に配設され、機能層620および基板770を貼り合わせる機能を備える。

【0334】

構造体KB1は、機能層620および基板770の間に所定の間隙を設ける機能を備える。

【0335】

10

また、本実施の形態で説明する表示装置700は、端子619Cと、導電膜611Cと、導電体CPと、を有する。

【0336】

第2の絶縁膜601Cは、端子619Cおよび導電膜611Cの間に挟まれる領域を備える。また、第2の絶縁膜601Cは、開口部691Cを備える。

【0337】

端子619Cは、開口部691Cにおいて導電膜611Cと電氣的に接続される。また、導電膜611Cは、画素回路710C(i, j)と電氣的に接続される。

【0338】

導電体CPは、端子619Cと第2の電極752の間に挟まれ、端子619Cと第2の電極752を電氣的に接続する。例えば、導電性の粒子を導電体CPに用いることができる。

20

【0339】

また、本実施の形態で説明する表示装置700は、駆動回路GDと、駆動回路SDと、を有する(図27(A)参照)。

【0340】

駆動回路GDは、第1の走査線G1(j)と電氣的に接続される。駆動回路GDは、例えばトランジスタMDを備える。具体的には、画素回路710C(i, j)に含まれるトランジスタと同じ工程で形成することができる半導体膜を含むトランジスタをトランジスタMDに用いることができる(図29(A)および図29(C)参照)。

30

【0341】

駆動回路SDは、信号線S1(i)と電氣的に接続される。駆動回路SDは、例えば端子619Bまたは端子619Cと同一の工程で形成することができる端子に導電材料を用いて電氣的に接続される。

【0342】

以下に、表示装置を構成する個々の要素について説明する。なお、これらの構成は明確に分離できず、一つの構成が他の構成を兼ねる場合や他の構成の一部を含む場合がある。

【0343】

例えば第1の導電膜を、第1の電極751(i, j)に用いることができる。また、第1の導電膜を、反射膜に用いることができる。

40

【0344】

また、第2の導電膜を、トランジスタのソースまたはドレインの機能を備える導電膜612Bに用いることができる。

【0345】

《構成例1.》

本発明の一態様の表示装置700は、基板670、基板770、構造体KB1封止材705または接合層605、を有する。

【0346】

また、本発明の一態様の表示装置700は、機能層620、絶縁膜621、絶縁膜628、を有する。

50

【0347】

また、本発明の一態様の表示装置700は、信号線S1(i)、第1の走査線G1(j)、第2の走査線G2(j)、配線CSCOM、配線ANOを有する。

【0348】

また、本発明の一態様の表示装置700は、第1の導電膜または第2の導電膜を有する。

【0349】

また、本発明の一態様の表示装置700は、端子619B、端子619C、導電膜611Bまたは導電膜611Cを有する。

【0350】

また、本発明の一態様の表示装置700は、画素回路710C(i, j)、トランジスタSW1、を有する。

【0351】

また、本発明の一態様の表示装置700は、表示素子750(i, j)、第1の電極751(i, j)、反射膜、開口部751H、液晶材料を含む層753、第2の電極752、を有する。

【0352】

また、本発明の一態様の表示装置700は、配向膜AF1、配向膜AF2、着色膜CF1、遮光膜BM、絶縁膜771、機能膜770Pを有する。

【0353】

表示装置700では、着色膜CF1は絶縁膜621と、表示素子750(i, j)との間に、表示素子650(i, j)の光が通過する開口部751Hと重なる位置に配置されてもよい。

【0354】

また、本発明の一態様の表示装置700は、表示素子650(i, j)、第3の電極651(i, j)、第4の電極652または発光性の有機化合物を含む層653(i)を有する。

【0355】

また、本発明の一態様の表示装置700は、第2の絶縁膜601Cを有する。

【0356】

また、本発明の一態様の表示装置700は、駆動回路GDまたは駆動回路SDを有する。

【0357】

《基板670》

作製工程中の熱処理に耐えうる程度の耐熱性を有する材料を基板670等に用いることができる。具体的には厚さ0.7mmの無アルカリガラスを用いることができる。

【0358】

例えば、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2950mm×3400mm)等の面積が大きなガラス基板を基板670等に用いることができる。これにより、大型の表示装置を作製することができる。

【0359】

有機材料、無機材料または有機材料と無機材料等の複合材料等を基板670等に用いることができる。例えば、ガラス、セラミックス、金属等の無機材料を基板670等に用いることができる。

【0360】

具体的には、無アルカリガラス、ソーダ石灰ガラス、カリガラス、クリスタルガラス、石英またはサファイア等を、基板670等に用いることができる。具体的には、無機酸化物膜、無機窒化物膜または無機酸窒化物膜等を、基板670等に用いることができる。例

10

20

30

40

50

えば、酸化シリコン、窒化シリコン、酸窒化シリコン、アルミナ膜等を、基板 670 等に用いることができる。SUS またはアルミニウム等を、基板 670 等に用いることができる。

【0361】

例えば、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板等を基板 670 等に用いることができる。これにより、半導体素子を基板 670 等に形成することができる。

【0362】

例えば、樹脂、樹脂フィルムまたはプラスチック等の有機材料を基板 670 等に用いることができる。具体的には、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネートまたはアクリル樹脂等の樹脂フィルムまたは樹脂板を、基板 670 等に用いることができる。

10

【0363】

例えば、金属板、薄板状のガラス板または無機材料等の膜を樹脂フィルム等に貼り合わせた複合材料を基板 670 等に用いることができる。例えば、繊維状または粒子状の金属、ガラスもしくは無機材料等を樹脂フィルムに分散した複合材料を、基板 670 等に用いることができる。例えば、繊維状または粒子状の樹脂もしくは有機材料等を無機材料に分散した複合材料を、基板 670 等に用いることができる。

【0364】

また、単層の材料または複数の層が積層された材料を、基板 670 等に用いることができる。例えば、基材と基材に含まれる不純物の拡散を防ぐ絶縁膜等が積層された材料を、基板 670 等に用いることができる。具体的には、ガラスとガラスに含まれる不純物の拡散を防ぐ酸化シリコン層、窒化シリコン層または酸化窒化シリコン層等から選ばれた一または複数の膜が積層された材料を、基板 670 等に用いることができる。または、樹脂と樹脂を透過する不純物の拡散を防ぐ酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜等が積層された材料を、基板 670 等に用いることができる。

20

【0365】

具体的には、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート若しくはアクリル樹脂等の樹脂フィルム、樹脂板または積層体等を基板 670 等に用いることができる。

30

【0366】

具体的には、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミド等）、ポリイミド、ポリカーボネート、ポリウレタン、アクリル樹脂、エポキシ樹脂もしくはシロキサン結合を有する樹脂を含む材料を基板 670 等に用いることができる。

【0367】

具体的には、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）またはアクリル等を基板 670 等に用いることができる。

【0368】

また、紙または木材などを基板 670 等に用いることができる。

40

【0369】

例えば、可撓性を有する基板を基板 670 等に用いることができる。

【0370】

なお、トランジスタまたは容量素子等を基板に直接形成する方法を用いることができる。また、例えば作製工程中に加わる熱に耐熱性を有する工程用の基板にトランジスタまたは容量素子等を形成し、形成されたトランジスタまたは容量素子等を基板 670 等に転置する方法を用いることができる。これにより、例えば可撓性を有する基板にトランジスタまたは容量素子等を形成できる。

【0371】

《基板 770》

50

例えば、透光性を備える材料を基板 770 に用いることができる。具体的には、基板 670 に用いることができる材料から選択された材料を基板 770 に用いることができる。具体的には厚さ 0.7 mm または厚さ 0.1 mm 程度まで研磨した無アルカリガラスを用いることができる。

【0372】

《構造体 K B 1》

例えば、有機材料、無機材料または有機材料と無機材料の複合材料を構造体 K B 1 等に用いることができる。これにより、構造体 K B 1 等を挟む構成の間に所定の間隔を設けることができる。

【0373】

具体的には、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、ポリシロキサン若しくはアクリル樹脂等またはこれらから選択された複数の樹脂の複合材料などを構造体 K B 1 等に用いることができる。また、感光性を有する材料を用いて形成してもよい。

【0374】

《封止材 705》

無機材料、有機材料または無機材料と有機材料の複合材料等を封止材 705 等に用いることができる。

【0375】

例えば、熱溶融性の樹脂または硬化性の樹脂等の有機材料を、封止材 705 等に用いることができる。

【0376】

例えば、反応硬化型接着剤、光硬化型接着剤、熱硬化型接着剤またはノボキシ型接着剤等の有機材料を封止材 705 等に用いることができる。

【0377】

具体的には、エポキシ樹脂、アクリル樹脂、シリコン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂等を含む接着剤を封止材 705 等に用いることができる。

【0378】

《接合層 605》

例えば、封止材 705 に用いることができる材料を接合層 605 に用いることができる。

【0379】

《絶縁膜 621》

例えば、絶縁性の無機材料、絶縁性の有機材料または無機材料と有機材料を含む絶縁性の複合材料を、絶縁膜 621 等に用いることができる。

【0380】

具体的には、無機酸化物膜、無機窒化物膜または無機酸化窒化物膜等またはこれらから選ばれた複数の積層した積層材料を、絶縁膜 621 等に用いることができる。例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜等またはこれらから選ばれた複数の積層した積層材料を含む膜を、絶縁膜 621 等に用いることができる。

【0381】

具体的には、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、ポリシロキサン若しくはアクリル樹脂等またはこれらから選択された複数の樹脂の積層材料もしくは複合材料などを絶縁膜 621 等に用いることができる。また、感光性を有する材料を用いて形成してもよい。

【0382】

これにより、例えば絶縁膜 621 と重なるさまざまな構造に由来する段差を平坦化することができる。

10

20

30

40

50

【0383】

《絶縁膜628》

例えば、絶縁膜621に用いることができる材料を絶縁膜628等に用いることができる。具体的には、厚さ1 μ mのポリイミドを含む膜を絶縁膜628に用いることができる。

【0384】

《第2の絶縁膜601C》

例えば、絶縁膜621に用いることができる材料を第2の絶縁膜601Cに用いることができる。具体的には、シリコンおよび酸素を含む材料を第2の絶縁膜601Cに用いることができる。これにより、画素回路または表示素子等への不純物の拡散を抑制することができる。

10

【0385】

例えば、シリコン、酸素および窒素を含む厚さ200nmの膜を第2の絶縁膜601Cに用いることができる。

【0386】

なお、第2の絶縁膜601Cは、開口部691A、開口部691Bまたは開口部691Cを有する。

【0387】

《配線、端子、導電膜》

導電性を備える材料を配線等に用いることができる。具体的には、導電性を備える材料を、信号線S1(i)、第1の走査線G1(j)、第2の走査線G2(j)、配線CSCOM、配線ANO、端子619B、端子619C、導電膜611Bまたは導電膜611C等に用いることができる。

20

【0388】

例えば、無機導電性材料、有機導電性材料、金属または導電性セラミックスなどを配線等に用いることができる。

【0389】

具体的には、アルミニウム、金、白金、銀、銅、クロム、タンタル、チタン、モリブデン、タングステン、ニッケル、鉄、コバルト、パラジウムまたはマンガンから選ばれた金属元素などを、配線等に用いることができる。または、上述した金属元素を含む合金などを、配線等に用いることができる。特に、銅とマンガンの合金がウエットエッチング法を用いた微細加工に好適である。

30

【0390】

具体的には、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等を配線等に用いることができる。

【0391】

具体的には、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物を、配線等に用いることができる。

40

【0392】

具体的には、グラフェンまたはグラファイトを含む膜を配線等に用いることができる。

【0393】

例えば、酸化グラフェンを含む膜を形成し、酸化グラフェンを含む膜を還元することにより、グラフェンを含む膜を形成することができる。還元する方法としては、熱を加える方法や還元剤を用いる方法等を挙げることができる。

【0394】

具体的には、導電性高分子を配線等に用いることができる。

【0395】

《第1の導電膜、第2の導電膜》

50

例えば、配線等に用いることができる材料を第 1 の導電膜または第 2 の導電膜に用いることができる。

【 0 3 9 6 】

また、第 1 の電極 7 5 1 (i , j) または配線等を第 1 の導電膜に用いることができる。

【 0 3 9 7 】

また、トランジスタ S W 1 に用いることができるトランジスタの導電膜 6 1 2 B または配線等を第 2 の導電膜に用いることができる。

【 0 3 9 8 】

《トランジスタ S W 1、トランジスタ S W 2、トランジスタ M》

10

例えば、ボトムゲート型またはトップゲート型等のトランジスタをトランジスタ S W 1、トランジスタ S W 2、トランジスタ M 等に用いることができる。

【 0 3 9 9 】

例えば、1 4 族の元素を含む半導体を半導体膜に用いるトランジスタを利用することができる。具体的には、シリコンを含む半導体を半導体膜に用いることができる。例えば、単結晶シリコン、ポリシリコン、微結晶シリコンまたはアモルファスシリコンなどを半導体膜に用いたトランジスタを用いることができる。

【 0 4 0 0 】

例えば、酸化物半導体を半導体膜に用いるトランジスタを利用することができる。具体的には、インジウムを含む酸化物半導体またはインジウムとガリウムと亜鉛を含む酸化物半導体を半導体膜に用いることができる。

20

【 0 4 0 1 】

一例を挙げれば、アモルファスシリコンを半導体膜に用いたトランジスタと比較して、オフ状態におけるリーク電流が小さいトランジスタをトランジスタ S W 1、トランジスタ S W 2、トランジスタ M 等に用いることができる。具体的には、酸化物半導体を半導体膜 6 0 8 に用いたトランジスタをトランジスタ S W 1、トランジスタ S W 2、トランジスタ M 等に用いることができる。

【 0 4 0 2 】

これにより、アモルファスシリコンを半導体膜に用いたトランジスタを利用する画素回路と比較して、画素回路が画像信号を保持することができる時間を長くすることができる。具体的には、フリッカーの発生を抑制しながら、選択信号を 3 0 H z 未満、好ましくは 1 H z 未満より好ましくは一分に一回未満の頻度で供給することができる。その結果、情報処理装置の使用者に蓄積する疲労を低減することができる。また、駆動に伴う消費電力を低減することができる。

30

【 0 4 0 3 】

トランジスタ S W 1 に用いることができるトランジスタは、半導体膜 6 0 8 および半導体膜 6 0 8 と重なる領域を備える導電膜 6 0 4 を備える (図 2 9 (B) 参照)。また、トランジスタ S W 1 に用いることができるトランジスタは、導電膜 6 1 2 A および導電膜 6 1 2 B を備える。

【 0 4 0 4 】

40

なお、導電膜 6 0 4 はゲートの機能を備え、絶縁膜 6 0 6 はゲート絶縁膜の機能を備える。また、導電膜 6 1 2 A はソースの機能またはドレインの機能の一方を備え、導電膜 6 1 2 B はソースの機能またはドレインの機能の他方を備える。

【 0 4 0 5 】

また、導電膜 6 0 4 との間に半導体膜 6 0 8 を挟むように設けられた導電膜 6 2 4 を備えるトランジスタを、トランジスタ M に用いることができる (図 2 9 (C) 参照)。

【 0 4 0 6 】

タンタルおよび窒素を含む厚さ 1 0 n m の膜と、銅を含む厚さ 3 0 0 n m の膜と、をこの順で積層した導電膜を導電膜 6 0 4 に用いることができる。

【 0 4 0 7 】

50

シリコンおよび窒素を含む厚さ400nmの膜と、シリコン、酸素および窒素を含む厚さ200nmの膜と、を積層した材料を絶縁膜606に用いることができる。

【0408】

インジウム、ガリウムおよび亜鉛を含む厚さ25nmの膜を、半導体膜608に用いることができる。

【0409】

タングステンを含む厚さ50nmの膜と、アルミニウムを含む厚さ400nmの膜と、チタンを含む厚さ100nmの膜と、をこの順で積層した導電膜を、導電膜612Aまたは導電膜612Bに用いることができる。

【0410】

《表示素子750(i, j)》

例えば、光の反射または透過を制御する機能を備える表示素子を、表示素子750(i, j)等に用いることができる。例えば、液晶素子と偏光板を組み合わせた構成またはシャッター方式のMEMS表示素子等を用いることができる。反射型の表示素子を用いることにより、表示装置の消費電力を抑制することができる。具体的には、反射型の液晶表示素子を表示素子750に用いることができる。

【0411】

IPS(In-Plane-Switching)モード、TN(Twisted Nematic)モード、FFS(Fringe Field Switching)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどの駆動方法を用いて駆動することができる液晶素子を用いることができる。

【0412】

また、例えば垂直配向(VA)モード、具体的には、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ECB(Electrically Controlled Birefringence)モード、CPA(Continuous Pinwheel Alignment)モード、ASV(Advanced Super-View)モードなどの駆動方法を用いて駆動することができる液晶素子を用いることができる。

【0413】

例えば、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。または、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す液晶材料を用いることができる。または、ブルー相を示す液晶材料を用いることができる。

【0414】

《第1の電極751(i, j)》

例えば、配線等に用いる材料を第1の電極751(i, j)に用いることができる。具体的には、反射膜を第1の電極751(i, j)に用いることができる。

【0415】

《反射膜》

例えば、可視光を反射する材料を反射膜に用いることができる。具体的には、銀を含む材料を反射膜に用いることができる。例えば、銀およびパラジウム等を含む材料または銀および銅等を含む材料を反射膜に用いることができる。

【0416】

反射膜は、例えば、液晶材料を含む層753を透過してくる光を反射する。これにより、表示素子750(i, j)を反射型の液晶素子にすることができる。また、例えば、表

10

20

30

40

50

面に凹凸を備える材料を、反射膜に用いることができる。これにより、入射する光をさまざまな方向に反射して、白色の表示をすることができる。

【0417】

なお、第1の電極751(i, j)を反射膜に用いる構成に限られない。例えば、液晶材料を含む層753と第1の電極751(i, j)の間に反射膜を配設する構成を用いることができる。または、反射膜と液晶材料を含む層753の間に透光性を有する第1の電極751(i, j)を配置する構成を用いることができる。

【0418】

《開口部751H》

非開口部の総面積に対する開口部751Hの総面積の比の値が大きすぎると、表示素子750(i, j)を用いた表示が暗くなってしまう。また、非開口部の総面積に対する開口部751Hの総面積の比の値が小さすぎると、表示素子650(i, j)を用いた表示が暗くなってしまう。

【0419】

また、反射膜に設ける開口部751Hの面積が小さすぎると、表示素子650が射出する光から取り出せる光の効率が低下してしまう。

【0420】

多角形、四角形、楕円形、円形または十字等の形状を開口部751Hの形状に用いることができる。また、細長い筋状、スリット状、市松模様状の形状を開口部751Hの形状に用いることができる。また、開口部751Hを隣接する画素に寄せて配置してもよい。好ましくは、開口部751Hを同じ色を表示する機能を備える他の画素に寄せて配置する。これにより、表示素子650が射出する光が隣接する画素に配置された着色膜に入射してしまう現象(クロストークともいう)を抑制できる。

【0421】

《第2の電極752》

例えば、可視光について透光性を有し且つ導電性を備える材料を、第2の電極752に用いることができる。

【0422】

例えば、導電性酸化物、光が透過する程度に薄い金属膜または金属ナノワイヤーを第2の電極752に用いることができる。

【0423】

具体的には、インジウムを含む導電性酸化物を第2の電極752に用いることができる。または、厚さ1nm以上10nm以下の金属薄膜を第2の電極752に用いることができる。または、銀を含む金属ナノワイヤーを第2の電極752に用いることができる。

【0424】

具体的には、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛、アルミニウムを添加した酸化亜鉛などを、第2の電極752に用いることができる。

【0425】

《配向膜AF1、配向膜AF2》

例えば、ポリイミド等を含む材料を配向膜AF1または配向膜AF2に用いることができる。具体的には、所定の方に配向するようにラビング処理または光配向技術を用いて形成された材料を用いることができる。

【0426】

例えば、可溶性のポリイミドを含む膜を配向膜AF1または配向膜AF2に用いることができる。

【0427】

《着色膜CF1》

所定の色の光を透過する材料を着色膜CF1に用いることができる。これにより、着色膜CF1を例えばカラーフィルターに用いることができる。

【0428】

例えば、青色の光を透過する材料、緑色の光を透過する材料、赤色の光を透過する材料、黄色の光を透過する材料または白色の光を透過する材料などを着色膜CF1に用いることができる。

【0429】

《遮光膜BM》

光の透過を妨げる材料を遮光膜BMに用いることができる。これにより、遮光膜BMを例えばブラックマトリクスに用いることができる。

【0430】

《絶縁膜771》

例えば、ポリイミド、エポキシ樹脂、アクリル樹脂等を絶縁膜771に用いることができる。

10

【0431】

《機能膜770P》

例えば、偏光板、位相差板、拡散フィルム、反射防止膜または集光フィルム等を機能膜770Pに用いることができる。または、2色性色素を含む偏光板を機能膜770Pに用いることができる。

【0432】

また、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜などを、機能膜770Pに用いることができる。

20

【0433】

《表示素子650(i, j)》

例えば、発光素子を表示素子650(i, j)に用いることができる。具体的には、有機エレクトロルミネッセンス素子、無機エレクトロルミネッセンス素子または発光ダイオードなどを、表示素子650(i, j)に用いることができる。

【0434】

例えば、青色の光を射出するように積層された積層体、緑色の光を射出するように積層された積層体または赤色の光を射出するように積層された積層体等を、発光性の有機化合物を含む層653(i)に用いることができる。

【0435】

例えば、信号線S1(i)に沿って列方向に長い帯状の積層体を、発光性の有機化合物を含む層653(i)に用いることができる。また、発光性の有機化合物を含む層653(i)とは異なる色の光を射出する信号線S1(i+1)に沿って列方向に長い帯状の積層体を、発光性の有機化合物を含む層653(i+1)に用いることができる。

30

【0436】

また、例えば、白色の光を射出するように積層された積層体を、発光性の有機化合物を含む層653(i)および発光性の有機化合物を含む層653(i+1)に用いることができる。具体的には、青色の光を射出する蛍光材料を含む発光性の有機化合物を含む層と、緑色および赤色の光を射出する蛍光材料以外の材料を含む層または黄色の光を射出する蛍光材料以外の材料を含む層と、を積層した積層体を、発光性の有機化合物を含む層653(i)および発光性の有機化合物を含む層653(i+1)に用いることができる。

40

【0437】

例えば、配線等に用いることができる材料を第3の電極651(i, j)または第4の電極652に用いることができる。

【0438】

例えば、配線等に用いることができる材料から選択された、可視光について透光性を有する材料を、第3の電極651(i, j)に用いることができる。

【0439】

具体的には、導電性酸化物またはインジウムを含む導電性酸化物、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛など

50

を、第3の電極651(i, j)に用いることができる。または、光が透過する程度に薄い金属膜を第3の電極651(i, j)に用いることができる。

【0440】

例えば、配線等に用いることができる材料から選択された可視光について反射性を有する材料を、第4の電極652に用いることができる。

【0441】

《駆動回路GD》

シフトレジスタ等のさまざまな順序回路等を駆動回路GDに用いることができる。例えば、トランジスタMD、容量素子等を駆動回路GDに用いることができる。具体的には、トランジスタMと同一の工程で形成することができる半導体膜を備えるトランジスタを用いることができる。

10

【0442】

または、トランジスタSW1に用いることができるトランジスタと異なる構成をトランジスタMDに用いることができる。具体的には、導電膜624を有するトランジスタをトランジスタMDに用いることができる(図29(C)参照)。

【0443】

導電膜604との間に半導体膜608を挟むように、導電膜624を配設し、導電膜624および半導体膜608の間に絶縁膜616を配設し、半導体膜608および導電膜604の間に絶縁膜606を配設する。例えば、導電膜604と同じ電圧を供給する配線に導電膜624を電氣的に接続する。

20

【0444】

なお、トランジスタMと同一の構成を、トランジスタMDに用いることができる。

【0445】

《駆動回路SD》

例えば、集積回路を駆動回路SDに用いることができる。具体的には、シリコン基板上に形成された集積回路を駆動回路SDに用いることができる。

【0446】

例えば、COG(Chip on glass)法を用いて、画素回路710C(i, j)と電氣的に接続されるパッドに駆動回路SDを実装することができる。具体的には、異方性導電膜を用いて、パッドに集積回路を実装できる。

30

【0447】

なお、パッドは、端子619Bまたは端子619Cと同一の工程で形成することができる。

【0448】

<表示装置の構成例2.>

図31は本発明の一態様の表示装置700Bの構成を説明する図である。図31(A)は図27(A)の切断線X1-X2、X3-X4、X5-X6、X7-X8、X9-X10、X11-X12における断面図である。図31(B)は表示装置の一部の構成を説明する断面図である。

【0449】

40

なお、表示装置700Bは、ボトムゲート型のトランジスタに換えてトップゲート型のトランジスタを有する点が、図29を参照しながら説明する表示装置700とは異なる。ここでは、上記の説明と同様の構成を用いることができる部分について上記の説明を援用し、異なる部分について詳細に説明する。

【0450】

《トランジスタSW1B、トランジスタMB、トランジスタMDB》

トランジスタSW1Bに用いることができるトランジスタ、トランジスタMBおよびトランジスタMDBは、絶縁膜601Cと重なる領域を備える導電膜604と、絶縁膜601Cおよび導電膜604の間に配設される領域を備える半導体膜608と、を備える。なお、導電膜604はゲート電極の機能を備える(図31(B)参照)。

50

【0451】

半導体膜608は、導電膜604と重ならない第1の領域608Aおよび第2の領域608Bと、第1の領域608Aおよび第2の領域608Bの間に導電膜604と重なる第3の領域608Cと、を備える。

【0452】

トランジスタMDBは絶縁膜606を、第3の領域608Cおよび導電膜604の間に備える。なお、絶縁膜606はゲート絶縁膜の機能を備える。

【0453】

第1の領域608Aおよび第2の領域608Bは、第3の領域608Cに比べて抵抗率が低く、ソース領域の機能またはドレイン領域の機能を備える。

10

【0454】

なお、例えば本実施の形態の最後において詳細に説明する酸化物半導体の抵抗率を制御する方法を用いて、第1の領域608Aおよび第2の領域608Bを半導体膜608に形成することができる。具体的には、希ガスを含むガスを用いるプラズマ処理を適用することができる。

【0455】

また、例えば、導電膜604をマスクに用いることができる。これにより、第3の領域608Cの一部の形状を、導電膜604の端部の形状に自己整合させることができる。

【0456】

トランジスタMDBは、第1の領域608Aと接する導電膜612Aと、第2の領域608Bと接する導電膜612Bと、を備える。導電膜612Aおよび導電膜612Bは、ソースまたはドレインの機能を備える。

20

【0457】

トランジスタMDBと同一の工程で形成することができるトランジスタをトランジスタMBに用いることができる。

【0458】

<酸化物半導体の抵抗率の制御方法>

酸化物半導体膜の抵抗率を制御する方法について説明する。

【0459】

所定の抵抗率を備える酸化物半導体膜を、半導体膜608または導電膜624等に用いることができる。

30

【0460】

例えば、酸化物半導体膜に含まれる水素、水等の不純物の濃度および/または膜中の酸素欠損を制御する方法を、酸化物半導体の抵抗率を制御する方法に用いることができる。

【0461】

具体的には、プラズマ処理を水素、水等の不純物濃度および/または膜中の酸素欠損を増加または低減する方法に用いることができる。

【0462】

具体的には、希ガス(He、Ne、Ar、Kr、Xe)、水素、ボロン、リンおよび窒素の中から選ばれた一種以上を含むガスを用いて行うプラズマ処理を適用できる。例えば、Ar雰囲気下でのプラズマ処理、Arと水素の混合ガス雰囲気下でのプラズマ処理、アンモニア雰囲気下でのプラズマ処理、Arとアンモニアの混合ガス雰囲気下でのプラズマ処理、または窒素雰囲気下でのプラズマ処理などを適用できる。これにより、キャリア密度が高く、抵抗率が低い酸化物半導体膜にすることができる。

40

【0463】

または、イオン注入法、イオンドーピング法またはプラズマイメージョンイオンインプランテーション法などを用いて、水素、ボロン、リンまたは窒素を酸化物半導体膜に注入して、抵抗率が低い酸化物半導体膜にすることができる。

【0464】

または、水素を含む絶縁膜を酸化物半導体膜に接して形成し、絶縁膜から酸化物半導体

50

膜に水素を拡散させる方法を用いることができる。これにより、酸化物半導体膜のキャリア密度を高め、抵抗率を低くすることができる。

【0465】

例えば、膜中の含有水素濃度が $1 \times 10^{22} \text{ atoms/cm}^3$ 以上の絶縁膜を酸化物半導体膜に接して形成することで、効果的に水素を酸化物半導体膜に含有させることができる。具体的には、窒化シリコン膜を酸化物半導体膜に接して形成する絶縁膜に用いることができる。

【0466】

酸化物半導体膜に含まれる水素は、金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損を形成する。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。これにより、キャリア密度が高く、抵抗率が低い酸化物半導体膜にすることができる。

【0467】

具体的には、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる水素濃度が、 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、より好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物半導体を導電膜624に好適に用いることができる。

【0468】

一方、抵抗率の高い酸化物半導体をトランジスタのチャンネルが形成される半導体膜に用いることができる。具体的には半導体膜608に好適に用いることができる。

【0469】

例えば、酸素を含む絶縁膜、別言すると、酸素を放出することが可能な絶縁膜を酸化物半導体膜に接して形成し、絶縁膜から酸化物半導体膜に酸素を供給させて、膜中または界面の酸素欠損を補填することができる。これにより、抵抗率が高い酸化物半導体膜にすることができる。

【0470】

例えば、酸化シリコン膜または酸化窒化シリコン膜を、酸素を放出することが可能な絶縁膜に用いることができる。

【0471】

酸素欠損が補填され、水素濃度が低減された酸化物半導体膜は、高純度真性化、または実質的に高純度真性化された酸化物半導体膜といえる。ここで、実質的に真性とは、酸化物半導体膜のキャリア密度が、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であることを指す。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度を低減することができる。

【0472】

また、高純度真性または実質的に高純度真性である酸化物半導体膜を備えるトランジスタは、オフ電流が著しく小さく、チャンネル幅が $1 \times 10^6 \mu\text{m}$ でチャンネル長 L が $10 \mu\text{m}$ の素子であっても、ソースとドレイン間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を備えることができる。

【0473】

上述した高純度真性または実質的に高純度真性である酸化物半導体膜をチャンネル領域に用いるトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

【0474】

具体的には、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる水素濃度が、 $2 \times 10^{20} \text{ atoms/}$

10

20

30

40

50

cm^3 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下である酸化物半導体を、トランジスタのチャンネルが形成される半導体に好適に用いることができる。

【0475】

なお、半導体膜 608 よりも水素濃度および/または酸素欠損量が多く、抵抗率が低い酸化物半導体膜を、導電膜 624 に用いる。

【0476】

また、半導体膜 608 に含まれる水素濃度の 2 倍以上、好ましくは 10 倍以上の濃度の水素を含む膜を、導電膜 624 に用いることができる。

10

【0477】

また、半導体膜 608 の抵抗率の 1×10^{-8} 倍以上 1×10^{-1} 倍未満の抵抗率を備える膜を、導電膜 624 に用いることができる。

【0478】

具体的には、 $1 \times 10^{-3} \text{ cm}$ 以上 $1 \times 10^{-4} \text{ cm}$ 未満、好ましくは、 $1 \times 10^{-3} \text{ cm}$ 以上 $1 \times 10^{-1} \text{ cm}$ 未満である膜を、導電膜 624 に用いることができる。

【0479】

(実施の形態 8)

本実施の形態では、半導体装置の一例として、IC チップ、電子部品、電子機器等について説明する。

20

【0480】

< 電子部品の作製方法例 >

図 32 (A) は、電子部品の作製方法例を示すフローチャートである。電子部品は、半導体パッケージ、または IC 用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

【0481】

トランジスタで構成される半導体装置は、組み立て工程(後工程)を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。後工程については、図 32 (A) に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成(ステップ ST61)した後、基板の裏面を研削する。この段階で基板を薄膜化して、前工程での基板の反り等を低減し、部品の小型化を図る。次に、基板を複数のチップに分離するダイシング工程を行う(ステップ ST62)。

30

【0482】

図 32 (B) は、ダイシング工程が行われる前の半導体ウエハ 6100 の上面図である。図 32 (C) は、図 32 (B) の部分拡大図である。半導体ウエハ 6100 には、複数の回路領域 6102 が設けられている。回路領域 6102 には、本発明の形態に係る半導体装置(例えば、メモリ、タイマ、CPU 等)が設けられている。

【0483】

複数の回路領域 6102 は、それぞれが分離領域 6104 に囲まれている。分離領域 6104 と重なる位置に分離線(「ダイシングライン」ともいう。) 6106 が設定される。ダイシング工程(ステップ ST62)では、分離線 6106 に沿って半導体ウエハ 6100 を切断することで、回路領域 6102 を含むチップ 6110 を、半導体ウエハ 6100 から切り出す。図 32 (D) に、チップ 6110 の拡大図を示す。

40

【0484】

分離領域 6104 に導電層や半導体層を設けてもよい。分離領域 6104 に導電層や半導体層を設けることで、ダイシング工程時に生じる ESD を緩和し、ダイシング工程に起因する歩留まりの低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下

50

げた純水を切削部に供給しながら行なう。分離領域 6 1 0 4 に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

【 0 4 8 5 】

ステップ S T 6 2 を行った後、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップ S T 6 3）。ダイボンディング工程におけるチップとリードフレームとの接着方法は、製品に適した方法を選択すればよい。例えば、接着は樹脂やテープによって行えばよい。ダイボンディング工程は、インターポーザ上にチップを搭載し接合してもよい。ワイヤーボンディング工程で、リードフレームのリードとチップ上の電極とを金属の細線（ワイヤー）で電氣的に接続する（ステップ S T 6 4）。金属の細線には、銀線や金線を用いることができる。ワイヤーボンディングは、ボールボンディングとウェッジボンディングの何れでもよい。

10

【 0 4 8 6 】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップ S T 6 5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができる。また水分や埃による特性の劣化を低減することができる。リードフレームのリードをメッキ処理する。そしてリードを切断および成形加工する（ステップ S T 6 6）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。パッケージの表面に印字処理（マーキング）を施す（ステップ S T 6 7）。検査工程（ステップ S T 6 8）を経て、電子部品が完成する（ステップ S T 6 9）。上掲した実施の形態の半導体装置を組み込むことで、低消費電力で、小型な電子部品を提供することができる。

20

【 0 4 8 7 】

完成した電子部品の斜視模式図を図 3 2（E）に示す。図 3 2（E）では、電子部品の一例として、Q F P（Q u a d F l a t P a c k a g e）の斜視模式図を示している。図 3 2（E）に示すように、電子部品 6 0 0 0 は、リード 6 0 0 1 およびチップ 6 1 1 0 を有する。

【 0 4 8 8 】

電子部品 6 0 0 0 は、例えばプリント基板 6 0 0 2 に実装される。このような電子部品 6 0 0 0 が複数組み合わせられて、それぞれがプリント基板 6 0 0 2 上で電氣的に接続されることで、電子機器に搭載することができる。完成した回路基板 6 0 0 4 は、電子機器等の内部に設けられる。電子部品 6 0 0 0 を搭載することで、電子機器の消費電力を削減することができる。または、電子機器を小型化することが容易になる。

30

【 0 4 8 9 】

（実施の形態 9）

本実施の形態では、酸化物半導体トランジスタ等について説明する。

【 0 4 9 0 】

< O S トランジスタの構成例 1 >

図 3 3（A）は O S トランジスタの構成例を示す上面図である。図 3 3（B）は、図 3 3（A）の X 1 - X 2 線断面図であり、図 3 3（C）は Y 1 - Y 2 線断面図である。ここでは、X 1 - X 2 線方向をチャネル長方向と、Y 1 - Y 2 線方向をチャネル幅方向と呼称する場合がある。図 3 3（B）は、O S トランジスタのチャネル長方向の断面構造を示す図であり、図 3 3（C）は、O S トランジスタのチャネル幅方向の断面構造を示す図である。なお、デバイス構造を明確にするため、図 3 3（A）では、一部の構成要素が省略されている。

40

【 0 4 9 1 】

O S トランジスタ 5 0 1 は、絶縁表面に形成される。ここでは、絶縁層 5 2 1 上に形成されている。O S トランジスタ 5 0 1 は、絶縁層 5 2 8、5 2 9 で覆われている。O S トランジスタ 5 0 1 は、絶縁層 5 2 2 - 5 2 7、金属酸化物層 5 1 1 - 5 1 3、導電層 5 5

50

0 - 5 5 3 を有する。

【 0 4 9 2 】

なお、図中の絶縁層、金属酸化物層、導電体等は、単層でも積層でもよい。これらの作製には、スパッタリング法、分子線エピタキシー法（M B E 法）、パルスレーザアブレーション法（P L A 法）、C V D 法、原子層堆積法（A L D 法）などの各種の成膜方法を用いることができる。なお、C V D 法には、プラズマ C V D 法、熱 C V D 法、有機金属 C V D 法などがある。

【 0 4 9 3 】

金属酸化物層 5 1 1 - 5 1 3 をまとめて酸化物層 5 1 0 と呼ぶ。図 3 3 (B)、図 3 3 (C) に示すように、酸化物層 5 1 0 は、金属酸化物層 5 1 1、金属酸化物層 5 1 2、金属酸化物層 5 1 3 の順に積層している部分を有する。O S トランジスタ 5 0 1 がオン状態のとき、チャンネルは酸化物層 5 1 0 の金属酸化物層 5 1 2 に主に形成される。

10

【 0 4 9 4 】

O S トランジスタ 5 0 1 のゲート電極は、導電層 5 5 0 で構成され、ソース電極またはドレイン電極として機能する一対の電極は、導電層 5 5 1、5 5 2 で構成される。バックゲート電極は、導電層 5 5 3 で構成される。導電層 5 5 3 は、導電層 5 5 3 a、5 5 3 b を有する。なお、O S トランジスタ 5 0 1 は、バックゲート電極を有さない構造としてもよい。後述する O S トランジスタ 5 0 2 も同様である。

【 0 4 9 5 】

ゲート（フロントゲート）側のゲート絶縁層は、絶縁層 5 2 7 で構成され、バックゲート側のゲート絶縁層は、絶縁層 5 2 4 - 5 2 6 の積層で構成される。絶縁層 5 2 8 は層間絶縁層である。絶縁層 5 2 9 はバリア層である。

20

【 0 4 9 6 】

金属酸化物層 5 1 3 は、金属酸化物層 5 1 1、5 1 2、導電層 5 5 1、5 5 2 でなる積層体を覆っている。絶縁層 5 2 7 は、金属酸化物層 5 1 3 を覆っている。導電層 5 5 1、5 5 2 は、それぞれ金属酸化物層 5 1 3、絶縁層 5 2 7 を介して、導電層 5 5 0 と重なる領域を有する。

【 0 4 9 7 】

導電層 5 5 1、5 5 2 は、金属酸化物層 5 1 1 と金属酸化物層 5 1 2 との積層を形成するために使用されるハードマスクから作製されている。例えば、次のような工程を経て、金属酸化物層 5 1 1、5 1 2、導電層 5 5 1、5 5 2 を作製することができる。2 層の金属酸化物膜を形成する。金属酸化物膜上に導電膜を形成する。この導電膜をエッチングしてハードマスクを形成する。ハードマスクを用いて、2 層の金属酸化物膜をエッチングして、金属酸化物層 5 1 1 と金属酸化物層 5 1 2 の積層を形成する。次に、ハードマスクをエッチングして、導電層 5 5 1 および導電層 5 5 2 を形成する。このような工程を経て形成されるため、導電層 5 5 1、5 5 2 は、金属酸化物層 5 1 1、5 1 2 の側面に接する領域を有していない。

30

【 0 4 9 8 】

< 導電層 >

導電層 5 5 0、5 5 3 に用いられる導電材料には、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイド、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属、または上述した金属を成分とする金属窒化物（窒化タンタル、窒化チタン、窒化モリブデン、窒化タングステン）等がある。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いることができる。

40

【 0 4 9 9 】

導電層 5 5 0 に仕事関数の高い導電性材料を用いることで、O S トランジスタ 5 0 1 の

50

V_{th}を大きくし、カットオフ電流を下げるができる。導電層550の仕事関数は好ましくは、4.8 eV以上、さらに好ましくは5.0 eV以上、さらに好ましくは5.2 eV以上、さらに好ましくは5.4 eV以上、さらに好ましくは5.6 eV以上の導電性材料を用いればよい。仕事関数の大きな導電性材料として、例えば、モリブデン、酸化モリブデン、Pt、Ptシリサイド、Niシリサイド、インジウム錫酸化物、窒素添加されたIn-Ga-Zn酸化物などが挙げられる。

【0500】

なお、カットオフ電流とは、ゲートソース間電圧が0 Vであるときのドレイン電流のことをいう。

【0501】

例えば、導電層550は、窒化タンタル、またはタングステン単層である。あるいは、導電層550が2層構造、および3層構造の場合、次のような組み合わせがある。先に記載した導電体が絶縁層527側の層を構成する。(アルミニウム、チタン)、(窒化チタン、チタン)、(窒化チタン、タングステン)、(窒化タンタル、タングステン)、(窒化タングステン、タングステン)、(チタン、アルミニウム、チタン)、(窒化チタン、アルミニウム、チタン)、(窒化チタン、アルミニウム、窒化チタン)。

【0502】

導電層551と導電層552は同じ層構造をもつ。例えば、導電層551が単層である場合、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を構成すればよい。導電層551が2層構造、および3層構造の場合、次のような組み合わせがある。先に記載した導電体が絶縁層527側の層を構成する。(チタン、アルミニウム)、(タングステン、アルミニウム)、(タングステン、銅)、(銅-マグネシウム-アルミニウム合金、銅)、(チタン膜、銅)、(チタンまたは窒化チタン、アルミニウムまたは銅、チタンまたは窒化チタン)、(モリブデンまたは窒化モリブデン、アルミニウムまたは銅、モリブデンまたは窒化モリブデン)。

【0503】

例えば、導電層553aは、水素に対するバリア性を有する導電層(例えば、窒化タンタル層)とし、導電層553bは、導電層553aよりも導電率の高い導電層(例えばタングステン)とすることが好ましい。このような構造であることで、導電層553は配線としての機能と、酸化層510への水素の拡散を抑制する機能とをもつ。

【0504】

<絶縁体>

絶縁層521-529に用いられる絶縁材料には、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどがある。絶縁層521-529はこれらの絶縁材料でなる単層、または積層して構成される。絶縁層521-529を構成する層は、複数の絶縁材料を含んでいてもよい。

【0505】

なお、本明細書等において、酸化窒化物とは、酸素の含有量が窒素よりも多い化合物であり、窒化酸化物とは、窒素の含有量が酸素よりも多い化合物のことをいう。

【0506】

酸化層510の酸素欠損の増加を抑制するため、絶縁層526-528は、酸素を含む絶縁層であることが好ましい。絶縁層526-528の少なくとも1つは、加熱により酸素が放出される絶縁膜(以下、「過剰酸素を含む絶縁膜」という。)で形成されることがより好ましい。過剰酸素を含む絶縁膜から酸化層510に酸素を供給することで、酸化層510の酸素欠損を補償することができる。したがって、OSトランジスタ501の信頼性および電気特性を向上することができる。

【0507】

過剰酸素を含む絶縁膜とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) において、膜の表面温度が100 以上700 以下、または100 以上500 以下の範囲における酸素分子の放出量が 1.0×10^{18} [分子/cm³] 以上である膜とする。酸素分子の放出量は、 3.0×10^{20} [分子/cm³] 以上であることが好ましい。

【0508】

過剰酸素を含む絶縁膜は、絶縁膜に酸素を添加する処理を行って形成することができる。酸素を添加する処理は、酸素雰囲気下による熱処理や、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、またはプラズマ処理などを用いて行うことができる。酸素を添加するためのガスとしては、¹⁶O₂ もしくは ¹⁸O₂ などの酸素ガス、亜酸化窒素ガスまたはオゾンガスなどを用いることができる。

10

【0509】

酸化物層510の水素濃度の増加を防ぐために、絶縁層521 529中の水素濃度を低減することが好ましい。特に絶縁層523 - 528の水素濃度を低減することが好ましい。具体的には、水素濃度は、 2×10^{20} atoms/cm³ 以下であり、好ましくは 5×10^{19} atoms/cm³ 以下が好ましく、 1×10^{19} atoms/cm³ 以下がより好ましく、 5×10^{18} atoms/cm³ 以下がさらに好ましい。

【0510】

酸化物層510の窒素濃度の増加を防ぐために、絶縁層523 528の窒素濃度を低減することが好ましい。具体的には、窒素濃度は、 5×10^{19} atoms/cm³ 未満であり、 5×10^{18} atoms/cm³ 以下が好ましく、 1×10^{18} atoms/cm³ 以下がより好ましく、 5×10^{17} atoms/cm³ 以下がより好ましい。

20

【0511】

上掲の水素濃度、窒素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定された値である。

【0512】

Oストランジスタ501において、酸素および水素に対してバリア性をもつ絶縁層(以下、バリア層)によって、酸化物層510が包み込まれる構造であることが好ましい。このような構造であることで、酸化物層510から酸素が放出されること、酸化物層510に水素が侵入することを抑えることができるので、Oストランジスタ501の信頼性、電気特性を向上できる。

30

【0513】

例えば、絶縁層529をバリア層として機能させ、かつ絶縁層521、522、524の少なくとも1つをバリア層として機能させればよい。バリア層は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの材料で形成することができる。

【0514】

酸化物層510と導電層550の間に、バリア層をさらに設けてもよい。もしくは、金属酸化物層513として、酸素および水素に対してバリア性をもつ金属酸化物層を設けてもよい。

40

【0515】

絶縁層524、絶縁層525、絶縁層526の膜厚をそれぞれ薄くすることで、導電層550の電圧によるOストランジスタのしきい値電圧の制御が容易になり、好ましい。例えば、絶縁層524 - 526の各膜厚は50 nm以下にする。各膜厚は30 nm以下が好ましく、10 nm以下がより好ましく、5 nm以下がさらに好ましい。

【0516】

絶縁層521 - 529の構成例を記す。この例では、絶縁層521、522、525、529は、それぞれ、バリア層として機能する。絶縁層526 528は過剰酸素を含む

50

酸化物層である。絶縁層 5 2 1 は窒化シリコンであり、絶縁層 5 2 2 は酸化アルミニウムであり、絶縁層 5 2 3 は酸化窒化シリコンである。バックゲート側のゲート絶縁層 (5 2 4 - 5 2 6) は、酸化シリコン、酸化アルミニウム、酸化シリコンの積層である。フロントゲート側のゲート絶縁層 (5 2 7) は、酸化窒化シリコンである。層間絶縁層 (5 2 8) は、酸化シリコンである。絶縁層 5 2 9 は酸化アルミニウムである。

【0517】

< 金属酸化物層 >

金属酸化物層 5 1 1、5 1 3 の各厚さは 3 nm 以上 500 nm 以下であり、3 nm 以上 100 nm 以下が好ましく、3 nm 以上 60 nm 以下がさらに好ましい。

【0518】

OS トランジスタ 5 0 1 のオフ電流の低減のために、金属酸化物層 5 1 2 は、例えば、エネルギーギャップが大きいことが好ましい。金属酸化物層 5 1 2 のエネルギーギャップは、2.5 eV 以上 4.2 eV 以下であり、2.8 eV 以上 3.8 eV 以下が好ましく、3 eV 以上 3.5 eV 以下がさらに好ましい。

【0519】

酸化物層 5 1 0 は、結晶性金属酸化物層であることが好ましい。少なくとも、金属酸化物層 5 1 2 は結晶性金属酸化物層であることが好ましい。信頼性、および電気特性の良い OS トランジスタ 5 0 1 を実現できる。

【0520】

金属酸化物層 5 1 2 に適用できる酸化物は、代表的には、In - Ga 酸化物、In - Zn 酸化物、In - M - Zn 酸化物 (M は Al、Ga、Y、または Sn) である。金属酸化物層 5 1 2 は、インジウムを含む酸化物層に限定されない。金属酸化物層 5 1 2 は、例えば、Zn - Sn 酸化物、Ga - Sn 酸化物、Zn - Mg 酸化物等で形成することができる。金属酸化物層 5 1 1、5 1 3 も、金属酸化物層 5 1 2 と同様の酸化物で形成することができる。金属酸化物層 5 1 1、5 1 3 は、それぞれ、Ga 酸化物で形成することができる。この場合、金属酸化物層 5 1 2 は Ga を含む金属酸化物層であることが好ましい。

【0521】

金属酸化物層 5 1 2 と金属酸化物層 5 1 1 の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、OS トランジスタ 5 0 1 のしきい値電圧が変動してしまう。そのため、金属酸化物層 5 1 1 は、構成要素として、金属酸化物層 5 1 2 を構成する金属元素の少なくとも 1 つを含むことが好ましい。これにより、金属酸化物層 5 1 2 と金属酸化物層 5 1 1 の界面には、界面準位が形成されにくくなり、OS トランジスタ 5 0 1 のしきい値電圧等の電気特性のばらつきを低減することができる。

【0522】

金属酸化物層 5 1 3 は、構成要素として、金属酸化物層 5 1 2 を構成する金属元素の少なくとも 1 つを含むことが好ましい。これにより、金属酸化物層 5 1 2 と金属酸化物層 5 1 3 との界面では、界面散乱が起こりにくくなり、キャリアの動きが阻害されにくくなるので、OS トランジスタ 5 0 1 の電界効果移動度を高くすることができる。

【0523】

金属酸化物層 5 1 1 - 5 1 3 のうち、金属酸化物層 5 1 2 のキャリア移動度が最も高いことが好ましい。これにより、絶縁層 5 2 6、5 2 7 から隔離している金属酸化物層 5 1 2 にチャネルを形成することができる。

【0524】

例えば、In - M - Zn 酸化物等の In 含有金属酸化物は、In の含有率を高めることで、キャリア移動度を高めることができる。In - M - Zn 酸化物では、主として重金属の s 軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くの s 軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、酸化物半導体膜にインジウムの含有量が多い酸化物を用いることで、キャリア移動度を高めることができる。

【0525】

例えば、In-Ga-Zn酸化物で金属酸化物層512を形成し、Ga酸化物で金属酸化物層511、513を形成する。例えば、In-M-Zn酸化物で、金属酸化物層511-513を形成する場合、3層のうち、金属酸化物層511を最もIn含有率が高いIn-M-Zn酸化物層とする。In-M-Zn酸化物をスパッタリング法で形成する場合、ターゲットの金属元素の原子数比を変えることで、In含有率を変化させることができる。

【0526】

例えば、金属酸化物層512の成膜に用いるターゲットの金属元素の原子数比In:M:Znは、1:1:1、3:1:2、または4:2:4.1が好ましい。例えば、金属酸化物層511、513の成膜に用いるターゲットの金属元素の原子数比In:M:Znは、1:3:2、または1:3:4が好ましい。In:M:Zn=4:2:4.1のターゲットで成膜したIn-M-Zn酸化物の原子数比は、およそIn:M:Zn=4:2:3である。

10

【0527】

Oストランジスタ501に安定した電気特性を付与するには、酸化物層510の不純物濃度を低減することが好ましい。金属酸化物において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンおよび炭素は酸化物半導体中で不純物準位の形成に寄与する。不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。

20

【0528】

例えば、酸化物層510は、シリコン濃度が $2 \times 10^{18} \text{ atoms/cm}^3$ 以下の、好ましくは、 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下の領域を有する。酸化物層510の炭素濃度も同様である。

【0529】

酸化物層510は、アルカリ金属濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下の領域を有する。アルカリ土類金属の濃度についても同様である。

【0530】

酸化物層510は、窒素濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ 未満の、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の領域を有する。

30

【0531】

酸化物層510は、水素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満の、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満の、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満の領域を有する。

【0532】

上掲した酸化物層510の不純物濃度は、SIMSにより得られる値である。

【0533】

金属酸化物層512が酸素欠損を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。その結果、Oストランジスタ501のオン電流を減少させてしまう。酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、金属酸化物層512中の酸素欠損を低減することで、Oストランジスタ501のオン電流を大きくできる場合がある。よって、金属酸化物層512の水素を低減することで、酸素欠損のサイトに水素が入りこまないようにすることが、オン電流特性の向上に有効である。

40

【0534】

金属酸化物に含まれる水素は、金属原子に結合している酸素と反応して水になるため、酸素欠損を形成することがある。酸素欠損に水素が入ることで、キャリアである電子が生成されることがある。また、水素の一部が金属原子に結合している酸素と結合して、キャ

50

リアである電子を生成することがある。金属酸化物層 512 にチャネル形成領域が設けられるので、金属酸化物層 512 に水素が含まれていると、O ストランジスタ 501 はノーマリーオン特性となりやすい。このため、金属酸化物層 512 中の水素はできる限り低減されていることが好ましい。

【0535】

図 33 は、酸化物層 510 が 3 層構造の例であるが、これに限定されない。例えば、酸化物層 510 を金属酸化物層 511 または金属酸化物層 513 のない 2 層構造とすることができる。または、金属酸化物層 511 の上もしくは下、または金属酸化物層 513 上もしくは下に、金属酸化物層 511、金属酸化物層 512 および金属酸化物層 513 として例示した酸化物半導体層のいずれか一を有する 4 層構造とすることもできる。または、酸化物層 510 の任意の層の間、酸化物層 510 の上、酸化物層 510 の下のいずれか二箇所以上に、金属酸化物層 511、513 と同様の金属酸化物層を 1 層または複数設けることができる。

【0536】

<エネルギーバンド構造>

図 35 を参照して、金属酸化物層 511、513 の積層によって得られる効果を説明する。図 35 は、O ストランジスタ 501 のチャネル形成領域のエネルギーバンド構造の模式図である。ここでは、O ストランジスタ 501 を例に説明するが、金属酸化物層 511、513 の積層による効果は、後述する O ストランジスタ 502 でも同様である。

【0537】

E c 526、E c 511、E c 512、E c 513、E c 527 は、それぞれ、絶縁層 526、金属酸化物層 511、金属酸化物層 512、金属酸化物層 513、絶縁層 527 の伝導帯下端のエネルギーを示している。

【0538】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（H O R I B A J O B I N Y V O N 社 U T - 3 0 0 ）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（U P S : U l t r a v i o l e t P h o t o e l e c t r o n S p e c t r o s c o p y ）装置（P H I 社 V e r s a P r o b e ）を用いて測定できる。

【0539】

絶縁層 526、527 は絶縁体であるため、E c 526 と E c 527 は、E c 511、E c 512、および E c 513 よりも真空準位に近い（電子親和力が小さい）。

【0540】

金属酸化物層 512 は、金属酸化物層 511、513 よりも電子親和力大きい。例えば、金属酸化物層 512 と金属酸化物層 511 との電子親和力の差、および金属酸化物層 512 と金属酸化物層 513 との電子親和力の差は、それぞれ、0.07 eV 以上 1.3 eV 以下である。電子親和力の差は、0.1 eV 以上 0.7 eV 以下が好ましく、0.15 eV 以上 0.4 eV 以下がさらに好ましい。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0541】

O ストランジスタ 501 のゲート電極（導電層 550）に電圧を印加すると、金属酸化物層 511、金属酸化物層 512、金属酸化物層 513 のうち、電子親和力大きい金属酸化物層 512 に主にチャネルが形成される。

【0542】

インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、金属酸化物層 513 がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上とする。

10

20

30

40

50

【0543】

また、金属酸化物層511と金属酸化物層512との間には金属酸化物層511と金属酸化物層512の混合領域が存在する場合がある。また、金属酸化物層513と金属酸化物層512との間には金属酸化物層513と金属酸化物層512の混合領域が存在する場合がある。混合領域は、界面準位密度が低くなるため、金属酸化物層511 - 513の積層体（酸化物層510）は、それぞれの界面近傍においてエネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0544】

このようなエネルギーバンド構造を有する酸化物層510において、電子は主に金属酸化物層512を移動することになる。そのため、金属酸化物層511と絶縁層526との界面に、または、金属酸化物層513と絶縁層527との界面に準位が存在したとしても、これらの界面準位により、酸化物層510中を移動する電子の移動が阻害されにくくなるため、OSトランジスタ501のオン電流を高くすることができる。

10

【0545】

また、図35に示すように、金属酸化物層511と絶縁層526の界面近傍、および金属酸化物層513と絶縁層527の界面近傍には、それぞれ、不純物や欠陥に起因したトラップ準位 E_t526 、 E_t527 が形成され得るものの、金属酸化物層511、513があることにより、金属酸化物層512をトラップ準位 E_t526 、 E_t527 から隔離することができる。

20

【0546】

なお、 E_c511 と E_c512 との差が小さい場合、金属酸化物層512の電子が該エネルギー差を越えてトラップ準位 E_t526 に達することがある。トラップ準位 E_t526 に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。 E_c513 と E_c512 とのエネルギー差が小さい場合も同様である。

【0547】

OSトランジスタ501のしきい値電圧の変動が低減され、OSトランジスタ501の電気特性を良好なものとするため、 E_c511 と E_c512 との差、 E_c513 と E_c512 と差は、それぞれ0.1eV以上が好ましく、0.15eV以上がより好ましい。

【0548】

< OSトランジスタの構成例2 >

図34(A) - 図34(C)に示すOSトランジスタ502は、OSトランジスタ501の変形例である。OSトランジスタ502の導電層550は、導電層550a、導電層550b、導電層550cを有する。

30

【0549】

導電層550aは、熱CVD法、MOCVD法またはALD法を用いて形成する。特に、原子層堆積（ALD：Atomic Layer Deposition）法を用いて形成することが好ましい。ALD法等により形成することで、絶縁層527に対するプラズマによるダメージを減らすことができる。また、被覆性を向上させることができるため、導電層550aをALD法等により形成することが好ましい。従って、信頼性が高いOSトランジスタ502を提供することができる。

40

【0550】

導電層550bは、タンタル、タングステン、銅、アルミニウムなどの導電性が高い材料を用いて形成する。さらに、導電層550b上に形成する導電層550cは、窒化タングステンなどの酸化しづらい導電体を用いて形成することが好ましい。絶縁層528に酸素が脱離する酸化物材料を用いる場合、導電層550が、脱離した酸素により酸化することを防止することができる。従って、導電層550の酸化を抑制し、絶縁層528から、脱離した酸素を効率的に酸化物層510へと供給することができる。

【0551】

過剰酸素領域を有する絶縁層528と接する面積が大きい導電層550cに、酸化しに

50

くい導電体を用いることで、絶縁層 5 2 8 の過剰酸素が導電層 5 5 0 に吸収されることを抑制することができる。また、導電層 5 5 0 b に導電性が高い導電体を用いることで、消費電力が小さい O S トランジスタ 5 0 2 を提供することができる。

【 0 5 5 2 】

(実施の形態 1 0)

次いで上記実施の形態に示す表示パネルを用いた表示モジュールの応用例について、図 3 6 を用いて説明を行う。

【 0 5 5 3 】

図 3 6 に示す表示モジュール 8 0 0 は、上部カバー 8 0 1 と下部カバー 8 0 2 との間に、F P C 8 0 3 に接続されたタッチパネル 8 0 4、F P C 8 0 5 に接続された表示パネル 8 0 6、フレーム 8 0 9、プリント基板 8 1 0、バッテリー 8 1 1 を有する。なお、バッテリー 8 1 1、タッチパネル 8 0 4 などは、設けられない場合もある。

10

【 0 5 5 4 】

上記実施の形態で説明した表示パネルは、図 3 6 における表示パネル 8 0 6 に用いることができる。

【 0 5 5 5 】

上部カバー 8 0 1 および下部カバー 8 0 2 は、タッチパネル 8 0 4 および表示パネル 8 0 6 のサイズに合わせて、形状や寸法を適宜変更することができる。

【 0 5 5 6 】

タッチパネル 8 0 4 は、抵抗膜方式または静電容量方式のタッチパネルを表示パネル 8 0 6 に重畳して用いることができる。また、表示パネル 8 0 6 の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、表示パネル 8 0 6 の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。または、表示パネル 8 0 6 の各画素内にタッチセンサ用電極を設け、静電容量方式のタッチパネルとすることも可能である。この場合、タッチパネル 8 0 4 を省略することも可能である。

20

【 0 5 5 7 】

上部カバー 8 0 1 は光路を有してもよい。プリント基板 8 1 0 に実装された光源から照射された光が、上部カバー 8 0 1 の光路を通り、上部カバーの 1 辺より照射され、光を照射する 1 辺とは異なる他の一辺の光路に入射される光の有無をプリント基板 8 1 0 に実装された光センサによって判断することで、指やペンなどのタッチなどにより、画面タッチの有無を検出することも可能である。この場合、表示パネル 8 0 6 または表示パネル 8 0 6 の対向基板にタッチパネル機能を持たせなくてもよく、さらにタッチパネル 8 0 4 を省略することも可能である。

30

【 0 5 5 8 】

図 3 7 (A) は、タッチパネル 8 0 4 の一例として相互容量方式のタッチセンサを用いた場合の構成例を示す模式図である。なお図 3 7 (A) では、一例として、パルス電圧が与えられる配線 C L x を X 1 - X 6 の 6 本の配線、電流の変化を検知する配線 C L y を Y 1 - Y 6 の 6 本の配線として示している。なお、配線の本数は、これに限定されない。また図 3 7 (A) は、配線 C L x および配線 C L y が重畳すること、または、配線 C L x および配線 C L y が近接して配置されることで形成される容量素子 8 5 4 を図示している。

40

【 0 5 5 9 】

配線 C L x および配線 C L y は I C 8 5 0 に電氣的に接続されている。I C 8 5 0 は、駆動回路 8 5 1 および検出回路 8 5 2 を含む。

【 0 5 6 0 】

駆動回路 8 5 1 は、一例としては、X 1 - X 6 の配線に順にパルス印加するための回路である。X 1 - X 6 の配線にパルス電圧が印加されることで、容量素子 8 5 4 を形成する配線 C L x および配線 C L y の間に電界が生じる。そしてパルス電圧によって容量素子 8 5 4 に電流が流れる。この配線間に生じる電界が、指やペンなどのタッチによる遮蔽等により変化する。つまり、指やペンなどのタッチなどにより、容量素子 8 5 4 の容量値が変化する。このように、指やペンなどのタッチなどにより、容量値に変化を生じさせるこ

50

とを利用して、被検知体の近接、または接触を検出することができる。

【 0 5 6 1 】

検出回路 8 5 2 は、容量素子 8 5 4 での容量値の変化による、Y 1 - Y 6 の配線での電流の変化を検出するための回路である。Y 1 - Y 6 の配線では、被検知体の近接または接触がないと検出される電流値に変化はないが、検出する被検知体の近接または接触により容量値が減少する場合には電流値が減少する変化を検出する。なお電流の検出は、電流量の総和を検出してもよい。その場合には、積分回路等を用いて検出を行えばよい。または、電流のピーク値を検出してもよい。その場合には、電流を電圧に変換して、電圧値のピーク値を検出してもよい。

【 0 5 6 2 】

10

図 3 7 (A) において、駆動回路 8 5 1 と検出回路 8 5 2 は同一の IC で形成されているが、それぞれの回路を異なる IC に形成してもよい。検出回路 8 5 2 は、ノイズの影響を受けて誤動作し易い。一方で、駆動回路 8 5 1 はノイズの発生源になり得る。駆動回路 8 5 1 と検出回路 8 5 2 を異なる IC で形成することで、検出回路 8 5 2 の誤動作を防ぐことができる。

【 0 5 6 3 】

また、駆動回路 8 5 1、検出回路 8 5 2 および表示パネル 8 0 6 の駆動回路を 1 つの IC で形成してもよい。その場合、表示モジュール全体に占める IC のコストを低減させることができる。

【 0 5 6 4 】

20

図 3 7 (A) において IC 8 5 0 はタッチパネル 8 0 4 に配置されているが、IC 8 5 0 は F P C 8 0 3 に配置されてもよい。その場合の模式図を図 3 7 (B) に示す。

【 0 5 6 5 】

再び、図 3 6 に戻る。

【 0 5 6 6 】

フレーム 8 0 9 は、表示パネル 8 0 6 の保護機能の他、プリント基板 8 1 0 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8 0 9 は、放熱板としての機能を有していてもよい。

【 0 5 6 7 】

プリント基板 8 1 0 は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。さらに、タッチ検出のための光源および光センサを有してもよい。光源の波長域は、780nmより大きい波長域が望ましく、1.6μmより大きな波長域がより望ましい。光センサは、特定の範囲の波長域の光を検出する機能を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8 1 1 による電源であってもよい。バッテリー 8 1 1 は、商用電源を用いる場合には、省略可能である。

30

【 0 5 6 8 】

また、表示モジュール 8 0 0 には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【 0 5 6 9 】

40

(実施の形態 1 1)

本実施の形態では、本発明の一態様の電子機器および照明装置について、図面を用いて説明する。

【 0 5 7 0 】

本発明の一態様のサブ画素をもつ高精細な表示部を用いて、薄型である、軽量である、曲面を有する、もしくは可撓性を有する、発光装置、表示装置、または半導体装置等を作製できる。これら本発明の一態様が適用された発光装置、表示装置、または半導体装置等を用いて、薄型である、軽量である、曲面を有する、もしくは可撓性を有する、電子機器または照明装置を作製できる。

【 0 5 7 1 】

50

電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【０５７２】

本発明の一態様の電子機器または照明装置は可撓性を有するため、家屋もしくはビルの内壁もしくは外壁、または、自動車の内装もしくは外装の曲面に沿って組み込むことも可能である。

【０５７３】

本発明の一態様の電子機器は、二次電池を有していてもよく、非接触電力伝送を用いて、二次電池を充電することができると好ましい。

10

【０５７４】

二次電池としては、例えば、ゲル状電解質を用いるリチウムポリマー電池（リチウムイオンポリマー電池）等のリチウムイオン二次電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などが挙げられる。

【０５７５】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像または情報等の表示を行うことができる。また、電子機器がアンテナおよび二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

20

【０５７６】

図３８（Ａ）、（Ｂ）、（Ｃ１）、（Ｃ２）、（Ｄ）、（Ｅ）に、湾曲した表示部７００を有する電子機器の一例を示す。表示部７００はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。表示部７００は可撓性を有していてもよい。

【０５７７】

表示部７００は、本発明の一態様のサブ画素をもつ高精細な表示部を用いて作製された発光装置、表示装置、または入出力装置を有する。

【０５７８】

本発明の一態様により、湾曲した表示部を備える電子機器を提供できる。

30

【０５７９】

図３８（Ａ）に携帯電話機の一例を示す。携帯電話機７１００は、筐体７１０１、表示部７００、操作ボタン７１０３、外部接続ポート７１０４、スピーカ７１０５、マイク７１０６等を有する。

【０５８０】

図３８（Ａ）に示す携帯電話機７１００は、表示部７００にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指またはスタイラスなどで表示部７００に触れることで行うことができる。

【０５８１】

また、操作ボタン７１０３の操作により、電源のＯＮ、ＯＦＦ動作、または表示部７００に表示される画像の種類を切り替えることができる。例えば、メール作成画面から、メインメニュー画面に切り替えることができる。

40

【０５８２】

図３８（Ｂ）にテレビジョン装置の一例を示す。テレビジョン装置７２００は、筐体７２０１に表示部７００が組み込まれている。ここでは、スタンド７２０３により筐体７２０１を支持した構成を示している。

【０５８３】

図３８（Ｂ）に示すテレビジョン装置７２００の操作は、筐体７２０１が備える操作スイッチ、または別体のリモコン操作機７２１１により行うことができる。または、表示部７００にタッチセンサを備えていてもよく、指等で表示部７００に触れることで操作

50

してもよい。リモコン操作機 7 2 1 1 は、当該リモコン操作機 7 2 1 1 から出力する情報を表示する表示部を有していてもよい。リモコン操作機 7 2 1 1 が備える操作キーまたはタッチパネルにより、チャンネルまたは音量の操作を行うことができ、表示部 7 0 0 0 に表示される映像を操作することができる。

【 0 5 8 4 】

なお、テレビジョン装置 7 2 0 0 は、受信機およびモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

10

【 0 5 8 5 】

図 3 8 (C 1)、(C 2)、(D)、(E) に携帯情報端末の一例を示す。各携帯情報端末は、筐体 7 3 0 1 および表示部 7 0 0 0 を有する。さらに、操作ボタン、外部接続ポート、スピーカ、マイク、アンテナ、またはバッテリー等を有していてもよい。表示部 7 0 0 0 にはタッチセンサを備える。携帯情報端末の操作は、指またはスタイラスなどで表示部 7 0 0 0 に触れることで行うことができる。

【 0 5 8 6 】

図 3 8 (C 1) は、携帯情報端末 7 3 0 0 の斜視図であり、図 3 8 (C 2) は携帯情報端末 7 3 0 0 の上面図である。図 3 8 (D) は、携帯情報端末 7 3 1 0 の斜視図である。図 3 8 (E) は、携帯情報端末 7 3 2 0 の斜視図である。

20

【 0 5 8 7 】

本実施の形態で例示する携帯情報端末は、例えば、電話機、手帳または情報閲覧装置等から選ばれた一つまたは複数の機能を有する。具体的には、スマートフォンとしてそれぞれ用いることができる。本実施の形態で例示する携帯情報端末は、例えば、移動電話、電子メール、文章閲覧および作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

【 0 5 8 8 】

携帯情報端末 7 3 0 0、携帯情報端末 7 3 1 0 および携帯情報端末 7 3 2 0 は、文字および画像情報等をその複数の面に表示することができる。例えば、図 3 8 (C 1)、(D) に示すように、3 つの操作ボタン 7 3 0 2 を一の面に表示し、矩形で示す情報 7 3 0 3 を他の面に表示することができる。図 3 8 (C 1)、(C 2) では、携帯情報端末の上側に情報が表示される例を示し、図 3 8 (D) では、携帯情報端末の横側に情報が表示される例を示す。また、携帯情報端末の 3 面以上に情報を表示してもよく、図 3 8 (E) では、情報 7 3 0 4、情報 7 3 0 5、情報 7 3 0 6 がそれぞれ異なる面に表示されている例を示す。

30

【 0 5 8 9 】

なお、情報の例としては、SNS（ソーシャル・ネットワーキング・サービス）の通知、電子メールまたは電話などの着信を知らせる表示、電子メールなどの題名もしくは送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報が表示されている位置に、情報の代わりに、操作ボタン、アイコンなどを表示してもよい。

40

【 0 5 9 0 】

例えば、携帯情報端末 7 3 0 0 の使用者は、洋服の胸ポケットに携帯情報端末 7 3 0 0 を収納した状態で、その表示（ここでは情報 7 3 0 3 ）を確認することができる。

【 0 5 9 1 】

具体的には、着信した電話の発信者の電話番号または氏名等を、携帯情報端末 7 3 0 0 の上方から観察できる位置に表示する。使用者は、携帯情報端末 7 3 0 0 をポケットから取り出すことなく、表示を確認し、電話を受けるか否かを判断できる。

【 0 5 9 2 】

図 3 8 (F) 乃至 (H) に、湾曲した発光部を有する照明装置の一例を示している。

【 0 5 9 3 】

50

図38(F)乃至(H)に示す各照明装置が有する発光部は、本発明の一態様を用いて作製された発光装置を有する。

【0594】

本発明の一態様により、湾曲した発光部を備える照明装置を提供できる。

【0595】

図38(F)に示す照明装置7400は、波状の発光面を有する発光部7402を備える。したがってデザイン性の高い照明装置となっている。

【0596】

図38(G)に示す照明装置7410の備える発光部7412は、凸状に湾曲した2つの発光部が対称的に配置された構成となっている。したがって照明装置7410を中心に全方位を照らすことができる。

10

【0597】

図38(H)に示す照明装置7420は、凹状に湾曲した発光部7422を備える。したがって、発光部7422からの発光を、照明装置7420の前面に集光するため、特定の範囲を明るく照らす場合に適している。また、このような形態とすることで、影がでにくい等の効果を奏する。

【0598】

また、照明装置7400、照明装置7410および照明装置7420の備える各々の発光部は可撓性を有していてもよい。発光部を可塑性の部材または可動なフレームなどの部材で固定し、用途に合わせて発光部の発光面を自在に湾曲可能な構成としてもよい。

20

【0599】

照明装置7400、照明装置7410および照明装置7420は、それぞれ、操作スイッチ7403を備える台部7401と、台部7401に支持される発光部を有する。

【0600】

なおここでは、台部によって発光部が支持された照明装置について例示したが、発光部を備える筐体を天井に固定する、または天井からつり下げのように用いることもできる。発光面を湾曲させて用いることができるため、発光面を凹状に湾曲させて特定の領域を明るく照らす、または発光面を凸状に湾曲させて部屋全体を明るく照らすこともできる。

【0601】

図39(A1)、(A2)、(B)乃至(I)に、可撓性を有する表示部7001を有する携帯情報端末の一例を示す。

30

【0602】

表示部7001は、本発明の一態様のサブ画素をもつ高精細な表示部を用いて作製された発光装置、表示装置、または入出力装置を有する。例えば、曲率半径0.01mm以上150mm以下で曲げることができる発光装置、表示装置、または入出力装置等を適用できる。また、表示部7001はタッチセンサを備えていてもよく、指等で表示部7001に触れることで携帯情報端末を操作することができる。

【0603】

本発明の一態様により、可撓性を有する表示部を備える電子機器を提供できる。

【0604】

40

図39(A1)は、携帯情報端末の一例を示す斜視図であり、図39(A2)は、携帯情報端末の一例を示す側面図である。携帯情報端末7500は、筐体7501、表示部7001、引き出し部材7502、操作ボタン7503等を有する。

【0605】

携帯情報端末7500は、筐体7501内にロール状に巻かれた可撓性を有する表示部7001を有する。引き出し部材7502を用いて表示部7001を引き出すことができる。

【0606】

また、携帯情報端末7500は内蔵された制御部によって映像信号を受信可能で、受信した映像を表示部7001に表示することができる。また、携帯情報端末7500にはバ

50

ッテリが内蔵されている。また、筐体 7501 にコネクタを接続する端子部を備え、映像信号および電力を有線により外部から直接供給する構成としてもよい。

【0607】

また、操作ボタン 7503 によって、電源の ON、OFF 動作、または表示する映像の切り替え等を行うことができる。なお、図 39 (A1)、(A2)、(B) では、携帯情報端末 7500 の側面に操作ボタン 7503 を配置する例を示すが、これに限られず、携帯情報端末 7500 の表示面と同じ面 (おもて面) または裏面に配置してもよい。

【0608】

図 39 (B) には、表示部 7001 を引き出した状態の携帯情報端末 7500 を示す。この状態で表示部 7001 に映像を表示することができる。また、表示部 7001 の一部がロール状に巻かれた図 39 (A1) の状態と表示部 7001 を引き出した図 39 (B) の状態とで、携帯情報端末 7500 が異なる表示を行う構成としてもよい。例えば、図 39 (A1) の状態のときに、表示部 7001 のロール状に巻かれた部分を非表示とすることで、携帯情報端末 7500 の消費電力を下げる可以降低。10

【0609】

なお、表示部 7001 を引き出した際に表示部 7001 の表示面が平面状となるように固定するため、表示部 7001 の側部に補強のためのフレームを設けていてもよい。

【0610】

なお、この構成以外に、筐体にスピーカを設け、映像信号と共に受信した音声信号によって音声を出力する構成としてもよい。20

【0611】

図 39 (C) 乃至 (E) に、折りたたみ可能な携帯情報端末の一例を示す。図 39 (C) では、展開した状態、図 39 (D) では、展開した状態または折りたたんだ状態の一方から他方に変化する途中の状態、図 39 (E) では、折りたたんだ状態の携帯情報端末 7600 を示す。携帯情報端末 7600 は、折りたたんだ状態では可搬性に優れ、展開した状態では、継ぎ目のない広い表示領域により一覧性に優れる。

【0612】

表示部 7001 はヒンジ 7602 によって連結された 3 つの筐体 7601 に支持されている。ヒンジ 7602 を介して 2 つの筐体 7601 間を屈曲させることにより、携帯情報端末 7600 を展開した状態から折りたたんだ状態に可逆的に変形させることができる。30

【0613】

図 39 (F)、(G) に、折りたたみ可能な携帯情報端末の一例を示す。図 39 (F) では、表示部 7001 が内側になるように折りたたんだ状態、図 39 (G) では、表示部 7001 が外側になるように折りたたんだ状態の携帯情報端末 7650 を示す。携帯情報端末 7650 は表示部 7001 および非表示部 7651 を有する。携帯情報端末 7650 を使用しない際に、表示部 7001 が内側になるように折りたたむことで、表示部 7001 の汚れおよび傷つきを抑制できる。

【0614】

図 39 (H) に、可撓性を有する携帯情報端末の一例を示す。携帯情報端末 7700 は、筐体 7701 および表示部 7001 を有する。さらに、入力手段であるボタン 7703 a、7703 b、音声出力手段であるスピーカ 7704 a、7704 b、外部接続ポート 7705、マイク 7706 等を有していてもよい。また、携帯情報端末 7700 は、可撓性を有するバッテリー 7709 を搭載することができる。バッテリー 7709 は例えば表示部 7001 と重ねて配置してもよい。40

【0615】

筐体 7701、表示部 7001、およびバッテリー 7709 は可撓性を有する。そのため、携帯情報端末 7700 を所望の形状に湾曲させること、および携帯情報端末 7700 に捻りを加えることが容易である。例えば、携帯情報端末 7700 は、表示部 7001 が内側または外側になるように折り曲げて使用することができる。または、携帯情報端末 7700 をロール状に巻いた状態で使用することもできる。このように、筐体 7701 および 50

表示部 7001 を自由に変形することが可能であるため、携帯情報端末 7700 は、落下した場合、または意図しない外力が加わった場合であっても、破損しにくいという利点がある。

【0616】

また、携帯情報端末 7700 は軽量であるため、筐体 7701 の上部をクリップ等で把持してぶら下げて使用する、または、筐体 7701 を磁石等で壁面に固定して使用するなど、様々な状況において利便性良く使用することができる。

【0617】

図 39 (I) に腕時計型の携帯情報端末の一例を示す。携帯情報端末 7800 は、バンド 7801、表示部 7001、入出力端子 7802、操作ボタン 7803 等を有する。バンド 7801 は、筐体としての機能を有する。また、携帯情報端末 7800 は、可撓性を有するバッテリー 7805 を搭載することができる。バッテリー 7805 は例えば表示部 7001 またはバンド 7801 と重ねて配置してもよい。

10

【0618】

バンド 7801、表示部 7001、およびバッテリー 7805 は可撓性を有する。そのため、携帯情報端末 7800 を所望の形状に湾曲させることが容易である。

【0619】

操作ボタン 7803 は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行および解除、省電力モードの実行および解除など、様々な機能を持たせることができる。例えば、携帯情報端末 7800 に組み込まれたオペレーティングシステムにより、操作ボタン 7803 の機能を自由に設定することもできる。

20

【0620】

また、表示部 7001 に表示されたアイコン 7804 に指等で触れることで、アプリケーションを起動することができる。

【0621】

また、携帯情報端末 7800 は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。

【0622】

また、携帯情報端末 7800 は入出力端子 7802 を有していてもよい。入出力端子 7802 を有する場合、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また入出力端子 7802 を介して充電を行うこともできる。なお、本実施の形態で例示する携帯情報端末の充電動作は、入出力端子を介さずに非接触電力伝送により行ってもよい。

30

【0623】

図 40 (A) に自動車 9700 の外観を示す。図 40 (B) に自動車 9700 の運転席を示す。自動車 9700 は、車体 9701、車輪 9702、フロントガラス 9703 等を有する。本発明の一態様が適用された発光装置、表示装置、または入出力装置等は、自動車 9700 の表示部などに用いることができる。例えば、図 40 (B) に示す表示部 9710 乃至表示部 9715 に本発明の一態様が適用された発光装置等を設けることができる。

40

【0624】

表示部 9712 はピラー部分に設けられた表示装置である。例えば、車体に設けられた撮像手段からの映像を表示部 9712 に映し出すことによって、ピラーで遮られた視界を補完することができる。表示部 9713 はダッシュボード部分に設けられた表示装置である。例えば、車体に設けられた撮像手段からの映像を表示部 9713 に映し出すことによって、ダッシュボードで遮られた視界を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの映像を映し出すことによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。

50

【0625】

また、図40(C)は、運転席と助手席にベンチシートを採用した自動車の室内を示している。表示部9721は、ドア部に設けられた表示装置である。例えば、車体に設けられた撮像手段からの映像を表示部9721に映し出すことによって、ドアで遮られた視界を補完することができる。また、表示部9722は、ハンドルに設けられた表示装置である。表示部9723は、ベンチシートの座面の中央部に設けられた表示装置である。なお、表示装置を座面または背もたれ部分などに設置して、当該表示装置を、当該表示装置の発熱を熱源としたシートヒーターとして利用することもできる。

【0626】

表示部9714、表示部9715、または表示部9722はナビゲーション情報、スピードメーター、タコメーター、走行距離、給油量、ギア状態、エアコンの設定など、その他様々な情報を提供することができる。また、表示部に表示される表示項目およびレイアウトなどは、使用者の好みに合わせて適宜変更することができる。なお、上記情報は、表示部9712または表示部9713、表示部9721、表示部9723にも表示することができる。また、表示部9713乃至表示部9715、表示部9721乃至表示部9723は照明装置として用いることも可能である。

【0627】

平面な表示部が、本発明の一態様を用いて作製された発光装置、表示装置、または入出力装置を有していてもよい。

【0628】

図40(D)に示す携帯型ゲーム機は、筐体9801、筐体9802、表示部9803、表示部9804、マイクロフォン9805、スピーカ9806、操作キー9807、スタイラス9808等を有する。

【0629】

図40(D)に示す携帯型ゲーム機は、2つの表示部(表示部9803と表示部9804)を有する。なお、本発明の一態様の電子機器が有する表示部の数は、2つに限定されず1つであっても3つ以上であってもよい。電子機器が複数の表示部を有する場合、少なくとも1つの表示部が本発明の一態様が適用された発光装置、表示装置、または入出力装置等を有する。

【0630】

図40(E)はノート型パーソナルコンピュータであり、筐体9821、表示部9822、キーボード9823、ポインティングデバイス9824等を有する。

【0631】

以上、本実施の形態で示す構成、方法、駆動タイミングは、他の実施の形態で示す構成、方法、駆動タイミングと適宜組み合わせて用いることができる。

【0632】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0633】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に関示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0634】

ここで、X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

【0635】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可

10

20

30

40

50

能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

【0636】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

10

【0637】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電圧レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電圧レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

20

【0638】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とが、本明細書等に関示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に関示されているものとする。

30

【0639】

なお、例えば、トランジスタのソース（または第1の端子など）が、Z1を介して（または介さず）、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2を介して（または介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（または第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（または第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

40

【0640】

例えば、「XとYとトランジスタのソース（または第1の端子など）とドレイン（または第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（または第1の端子など）、トランジスタのドレイン（または第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（または第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（または第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（または第1の

50

端子など)、トランジスタのドレイン(または第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース(または第1の端子など)とドレイン(または第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(または第1の端子など)、トランジスタのドレイン(または第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(または第1の端子など)と、ドレイン(または第2の端子など)とを、区別して、技術的範囲を決定することができる。

【0641】

または、別の表現方法として、例えば、「トランジスタのソース(または第1の端子など)は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース(または第1の端子など)とトランジスタのドレイン(または第2の端子など)との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン(または第2の端子など)は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース(または第1の端子など)は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン(または第2の端子など)は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース(または第1の端子など)は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース(または第1の端子など)からトランジスタのドレイン(または第2の端子など)への電氣的パスであり、トランジスタのドレイン(または第2の端子など)は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン(または第2の端子など)からトランジスタのソース(または第1の端子など)への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース(または第1の端子など)と、ドレイン(または第2の端子など)とを、区別して、技術的範囲を決定することができる。

【0642】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

【0643】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【符号の説明】

【0644】

A F 1 配向膜
A F 2 配向膜
C 1 容量素子

10

20

30

40

50

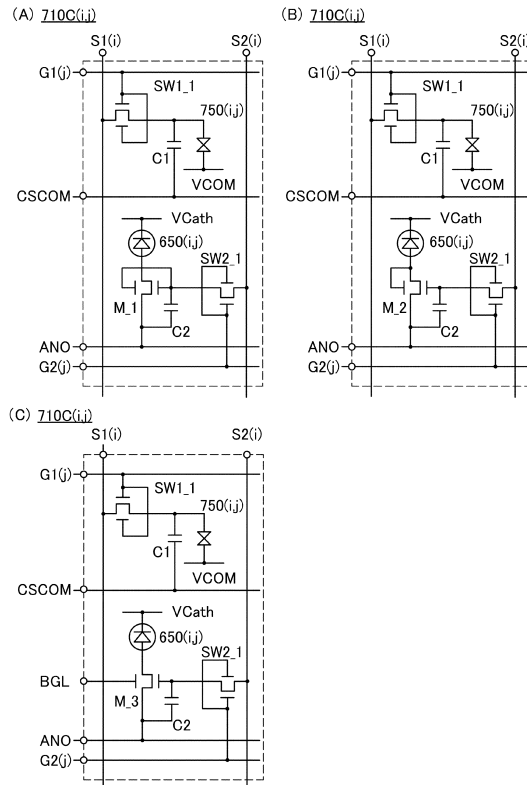
C 2	容量素子	
C F 1	着色膜	
F 1	フレーム	
F 2	フレーム	
F 3	フレーム	
F 2 1	タイミングチャート	
F 2 2	タイミングチャート	
G 1	走査線	
G 2	走査線	
G 3	走査線	10
K B 1	構造体	
M __ 1	トランジスタ	
M __ 2	トランジスタ	
M __ 3	トランジスタ	
S 1	信号線	
S 2	信号線	
S W 1	トランジスタ	
S W 1 __ 1	トランジスタ	
S W 1 __ 2	トランジスタ	
S W 1 B	トランジスタ	20
S W 2	トランジスタ	
S W 2 __ 1	トランジスタ	
S W 2 __ 2	トランジスタ	
S W 3	トランジスタ	
2 0	選択回路	
2 1	判定回路	
2 2	判定回路	
2 5	回路	
2 6	バッファ回路	
3 0	選択信号出力回路	30
1 1 0	ゲートドライバ	
1 1 0 A	ゲートドライバ	
1 1 0 B	ゲートドライバ	
1 1 0 C	ゲートドライバ	
1 1 0 D	ゲートドライバ	
1 1 1	シフトレジスタ回路	
1 1 1 A	シフトレジスタ回路	
1 1 1 B	シフトレジスタ回路	
1 1 1 C	シフトレジスタ回路	
1 1 1 D	シフトレジスタ回路	40
1 2 0	表示部	
1 2 1	液晶表示領域	
1 2 2	発光表示領域	
1 2 2 A	発光表示領域	
5 0 1	O S トランジスタ	
5 0 2	O S トランジスタ	
5 1 0	酸化物層	
5 1 1	金属酸化物層	
5 1 2	金属酸化物層	
5 1 3	金属酸化物層	50

5 2 1	絶縁層	
5 2 2	絶縁層	
5 2 3	絶縁層	
5 2 4	絶縁層	
5 2 5	絶縁層	
5 2 6	絶縁層	
5 2 7	絶縁層	
5 2 8	絶縁層	
5 2 9	絶縁層	
5 5 0	導電層	10
5 5 0 a	導電層	
5 5 0 b	導電層	
5 5 0 c	導電層	
5 5 1	導電層	
5 5 2	導電層	
5 5 3	導電層	
5 5 3 a	導電層	
5 5 3 b	導電層	
6 0 1 C	絶縁膜	
6 0 4	導電膜	20
6 0 5	接合層	
6 0 6	絶縁膜	
6 0 8	半導体膜	
6 0 8 A	領域	
6 0 8 B	領域	
6 0 8 C	領域	
6 1 1 B	導電膜	
6 1 1 C	導電膜	
6 1 2 A	導電膜	
6 1 2 B	導電膜	30
6 1 6	絶縁膜	
6 1 8	絶縁膜	
6 1 9 B	端子	
6 1 9 C	端子	
6 2 0	機能層	
6 2 1	絶縁膜	
6 2 2	接続部	
6 2 4	導電膜	
6 2 8	絶縁膜	
6 5 0	表示素子	40
6 5 0 C	画素回路	
6 5 1	電極	
6 5 2	電極	
6 5 3	層	
6 7 0	基板	
6 9 1 A	開口部	
6 9 1 B	開口部	
6 9 1 C	開口部	
7 0 0	表示装置	
7 0 0 B	表示装置	50

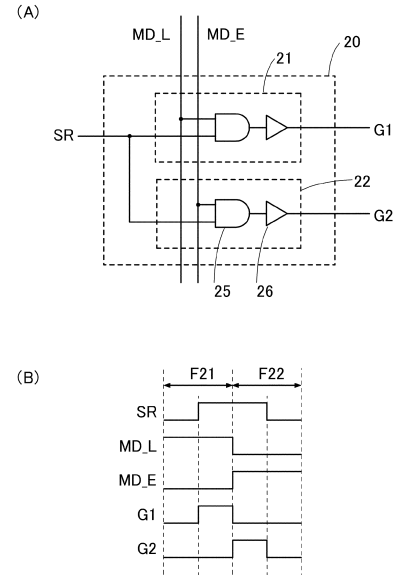
7 0 1	表示装置	
7 0 2	表示装置	
7 0 5	封止材	
7 1 0 C	画素回路	
7 2 0 C	画素回路	
7 5 0	表示素子	
7 5 0 C	画素回路	
7 5 1	電極	
7 5 1 H	開口部	
7 5 2	電極	10
7 5 3	層	
7 7 0	基板	
7 7 0 P	機能膜	
7 7 1	絶縁膜	
8 0 0	表示モジュール	
8 0 1	上部カバー	
8 0 2	下部カバー	
8 0 3	F P C	
8 0 4	タッチパネル	
8 0 5	F P C	20
8 0 6	表示パネル	
8 0 9	フレーム	
8 1 0	プリント基板	
8 1 1	バッテリー	
8 5 0	I C	
8 5 1	駆動回路	
8 5 2	検出回路	
8 5 4	容量素子	
6 0 0 0	電子部品	
6 0 0 1	リード	30
6 0 0 2	プリント基板	
6 0 0 4	回路基板	
6 1 0 0	半導体ウエハ	
6 1 0 2	回路領域	
6 1 0 4	分離領域	
6 1 0 6	分離線	
6 1 1 0	チップ	
7 0 0 0	表示部	
7 0 0 1	表示部	
7 1 0 0	携帯電話機	40
7 1 0 1	筐体	
7 1 0 3	操作ボタン	
7 1 0 4	外部接続ポート	
7 1 0 5	スピーカ	
7 1 0 6	マイク	
7 2 0 0	テレビジョン装置	
7 2 0 1	筐体	
7 2 0 3	スタンド	
7 2 1 1	リモコン操作機	
7 3 0 0	携帯情報端末	50

7 3 0 1	筐体	
7 3 0 2	操作ボタン	
7 3 0 3	情報	
7 3 0 4	情報	
7 3 0 5	情報	
7 3 0 6	情報	
7 3 1 0	携帯情報端末	
7 3 2 0	携帯情報端末	
7 4 0 0	照明装置	
7 4 0 1	台部	10
7 4 0 2	発光部	
7 4 0 3	操作スイッチ	
7 4 1 0	照明装置	
7 4 1 2	発光部	
7 4 2 0	照明装置	
7 4 2 2	発光部	
7 5 0 0	携帯情報端末	
7 5 0 1	筐体	
7 5 0 2	部材	
7 5 0 3	操作ボタン	20
7 6 0 0	携帯情報端末	
7 6 0 1	筐体	
7 6 0 2	ヒンジ	
7 6 5 0	携帯情報端末	
7 6 5 1	非表示部	
7 7 0 0	携帯情報端末	
7 7 0 1	筐体	
7 7 0 3 a	ボタン	
7 7 0 3 b	ボタン	
7 7 0 4 a	スピーカ	30
7 7 0 4 b	スピーカ	
7 7 0 5	外部接続ポート	
7 7 0 6	マイク	
7 7 0 9	バッテリー	
7 8 0 0	携帯情報端末	
7 8 0 1	バンド	
7 8 0 2	入出力端子	
7 8 0 3	操作ボタン	
7 8 0 4	アイコン	
7 8 0 5	バッテリー	40
9 7 0 0	自動車	
9 7 0 1	車体	
9 7 0 2	車輪	
9 7 0 3	フロントガラス	
9 7 1 0	表示部	
9 7 1 2	表示部	
9 7 1 3	表示部	
9 7 1 4	表示部	
9 7 1 5	表示部	
9 7 2 1	表示部	50

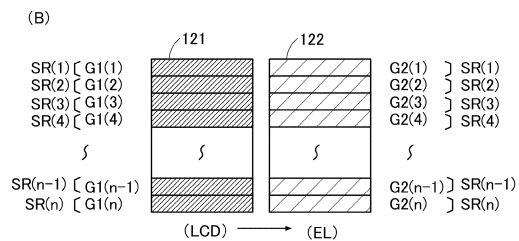
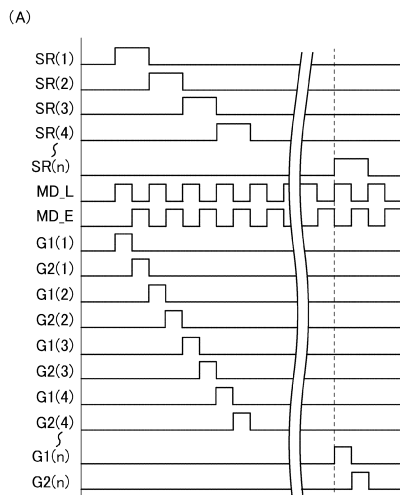
【図3】



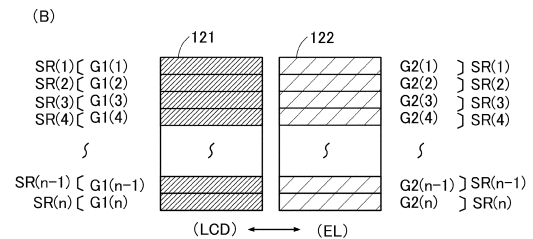
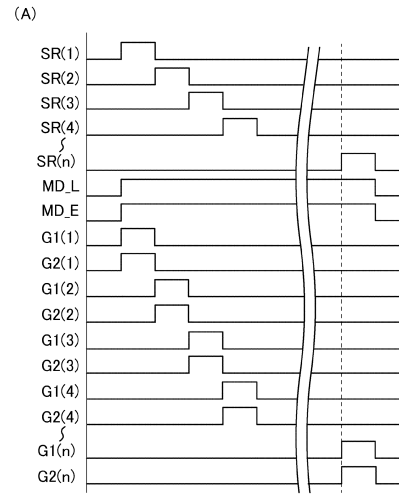
【図4】



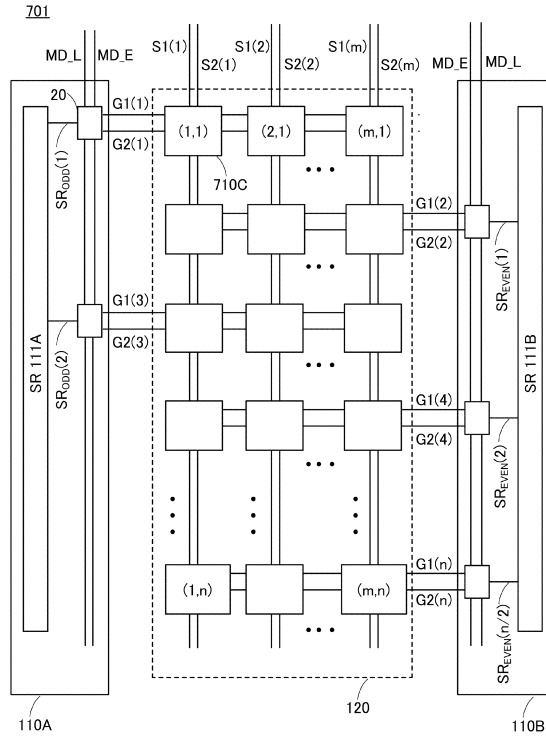
【図5】



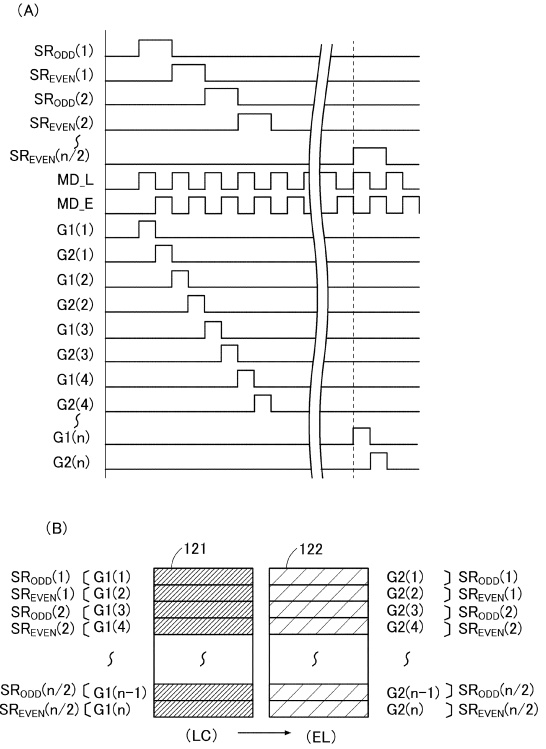
【図6】



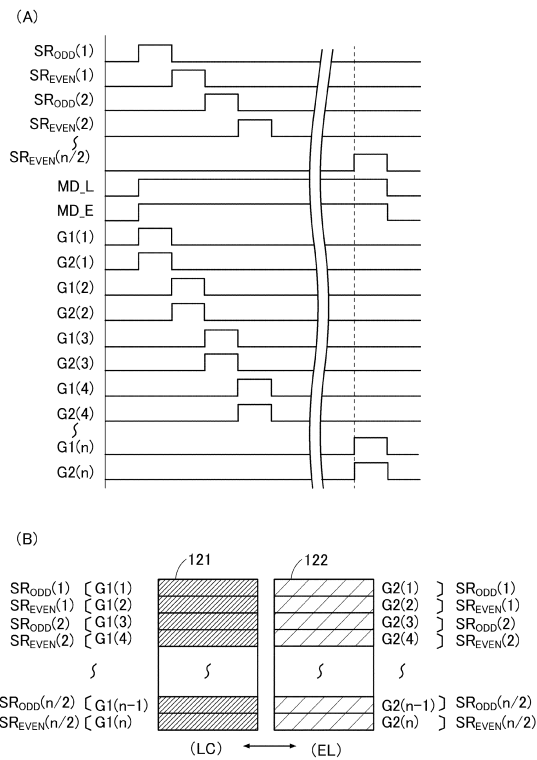
【図 7】



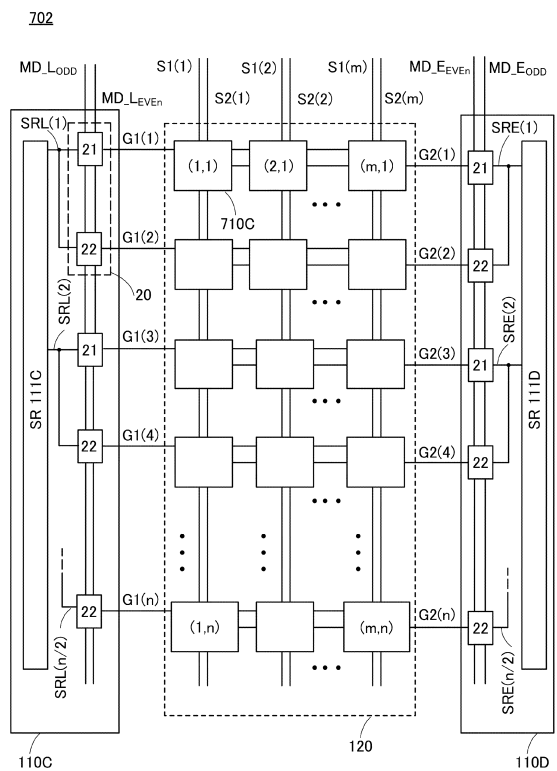
【図 8】



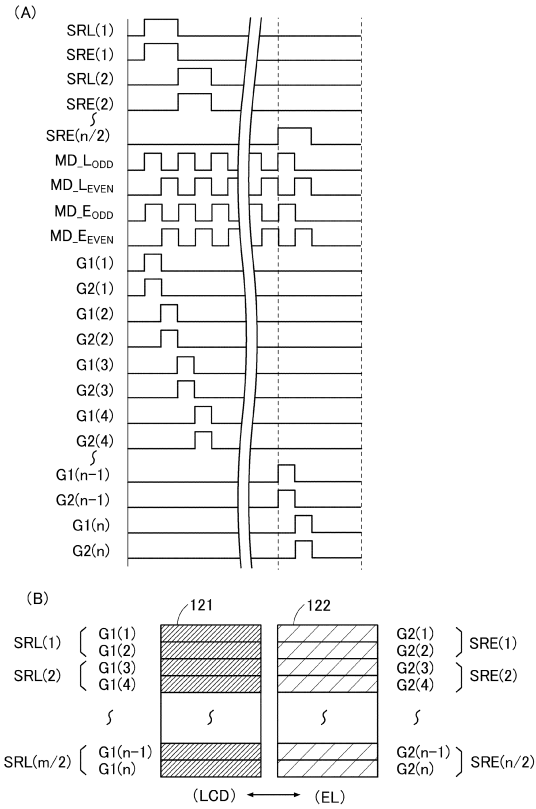
【図 9】



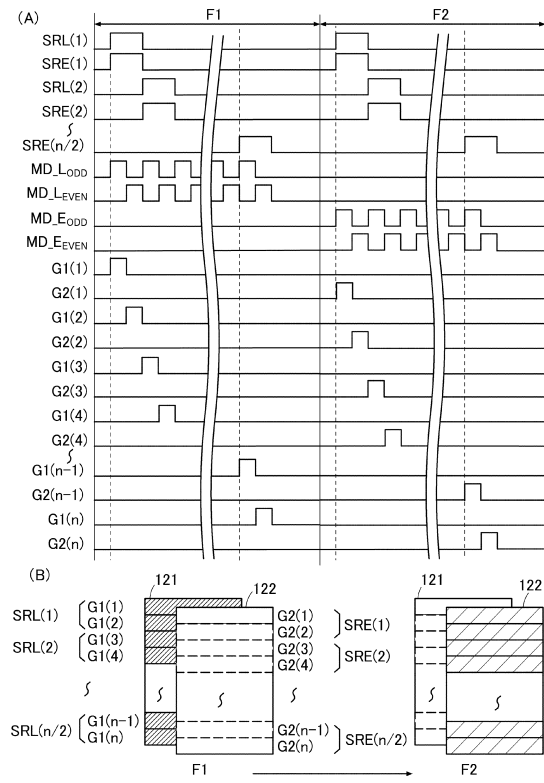
【図 10】



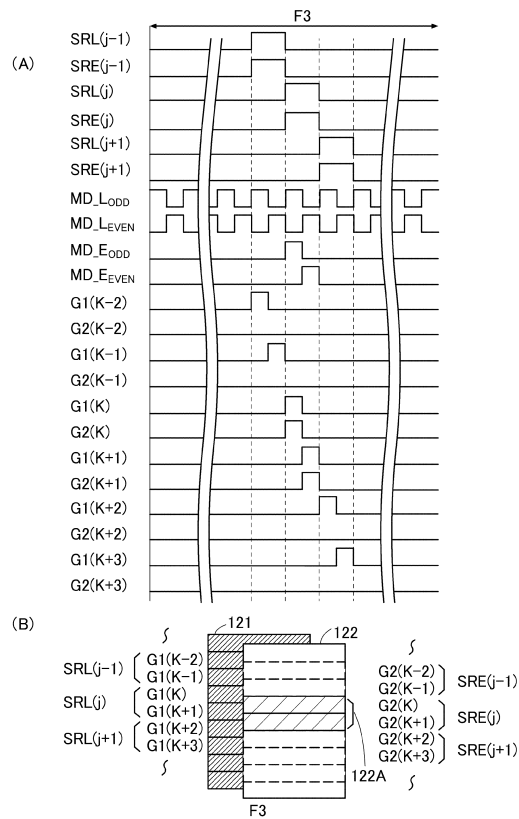
【図 1 1】



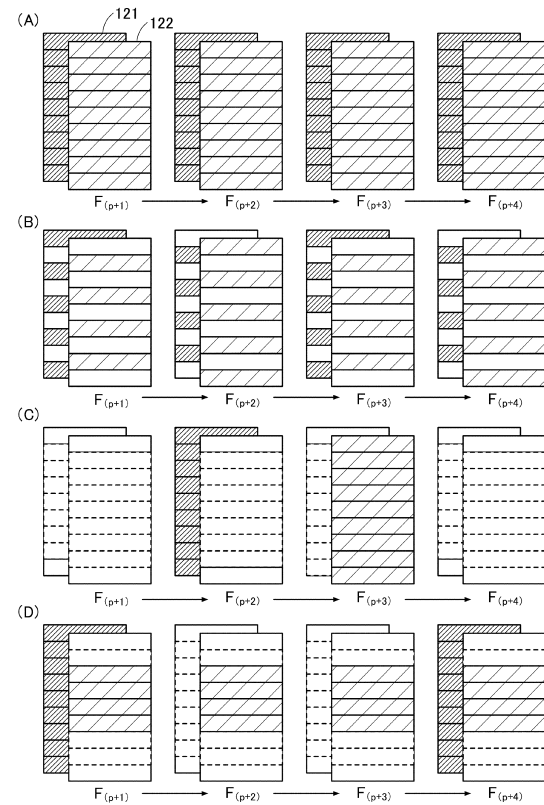
【図 1 2】



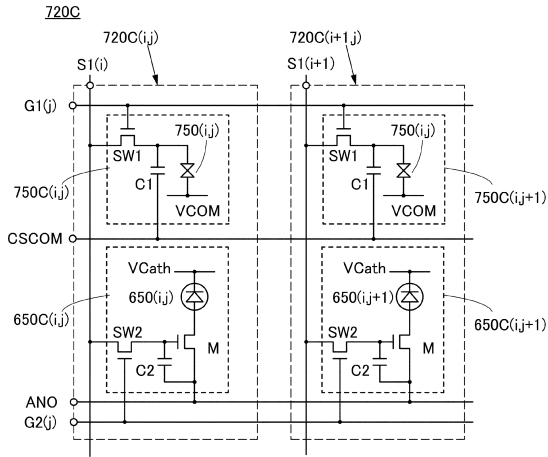
【図 1 3】



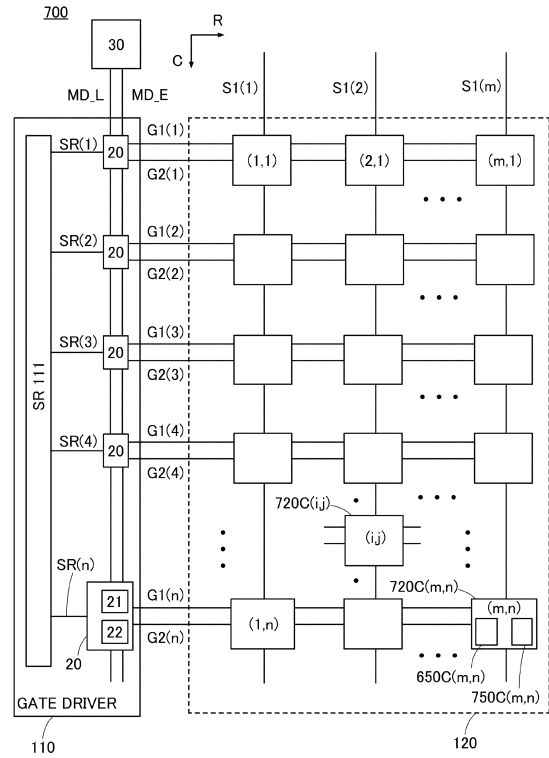
【図 1 4】



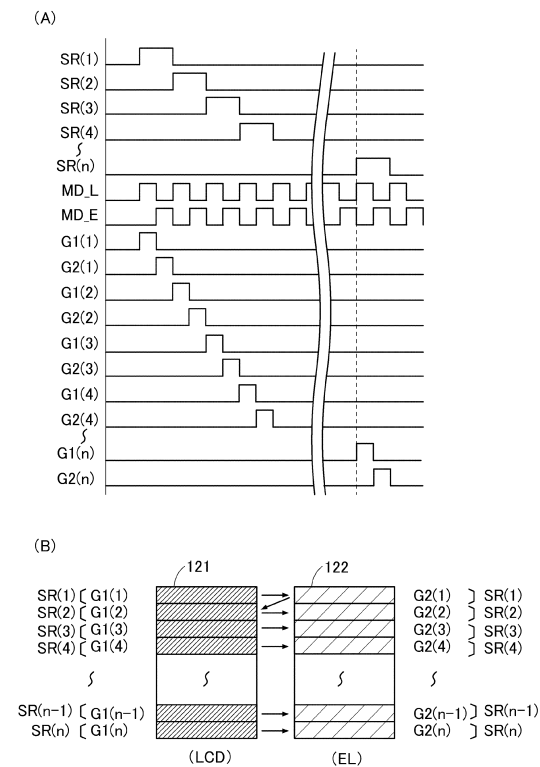
【図 15】



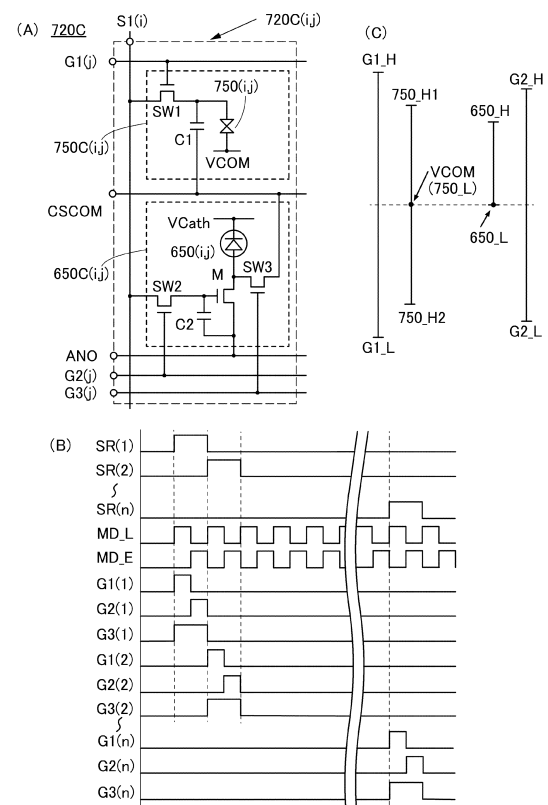
【図 16】



【図 17】



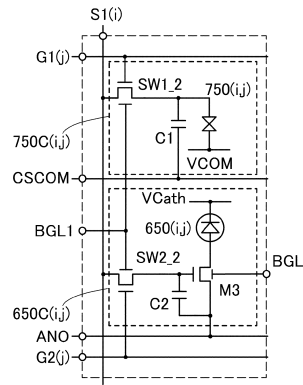
【図 18】



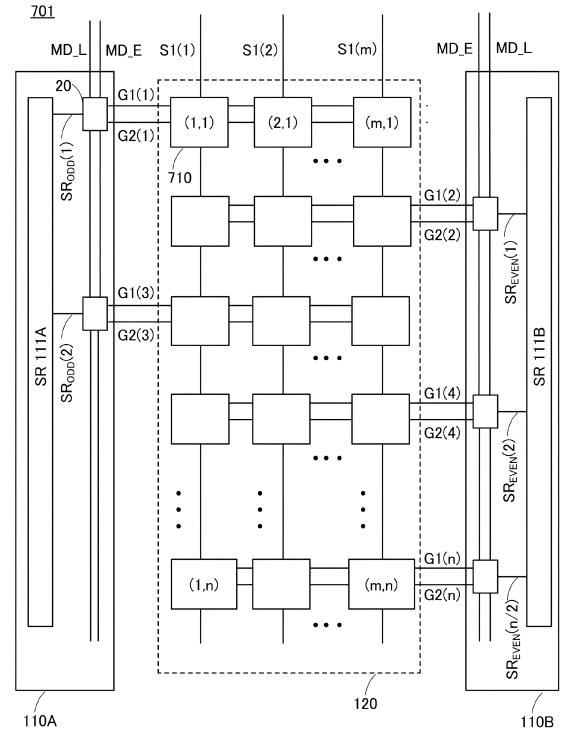
【図 19】

720C

(A)

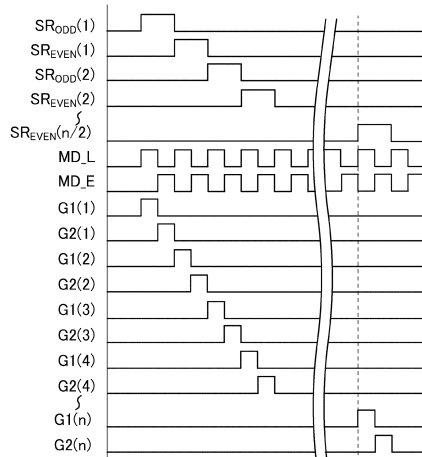


【図 20】

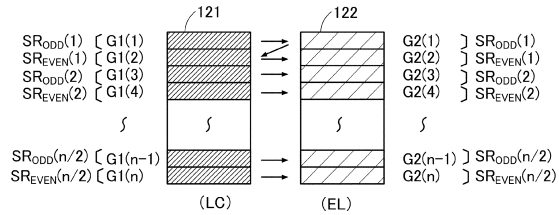


【図 21】

(A)

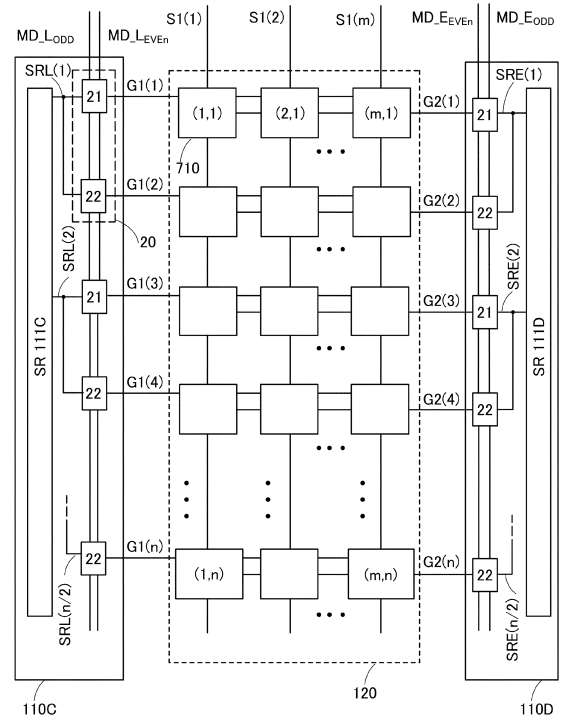


(B)

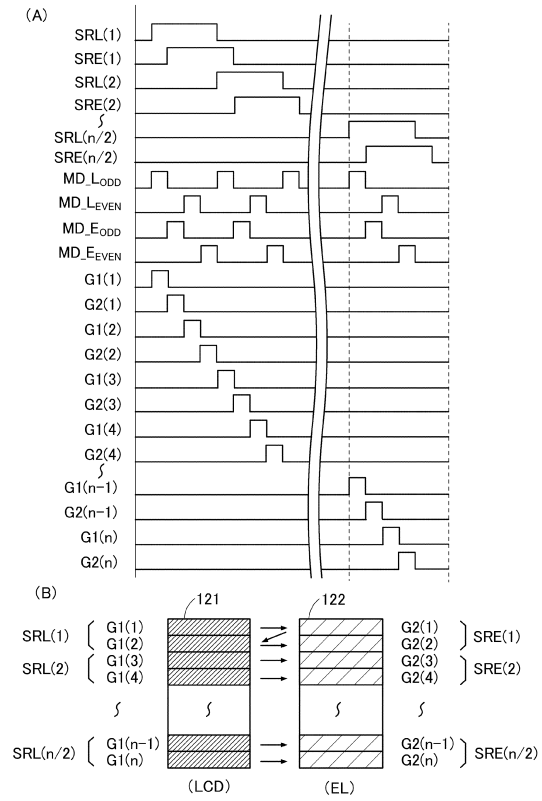


【図 22】

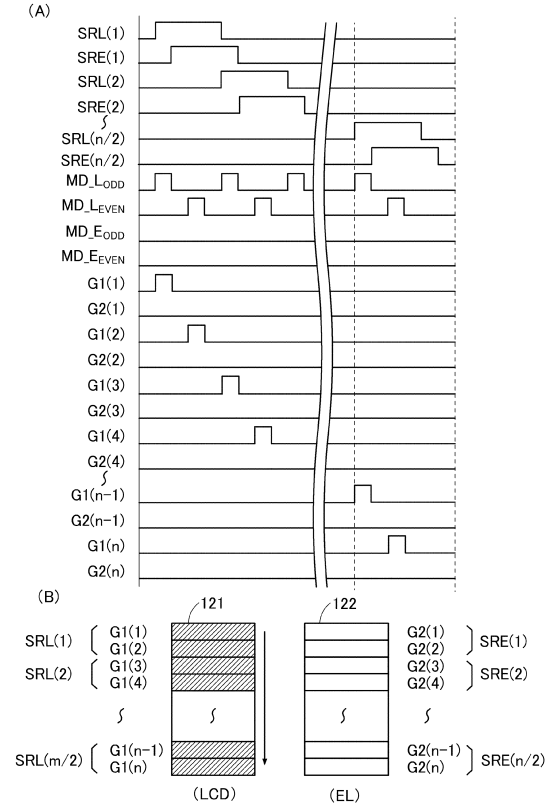
702



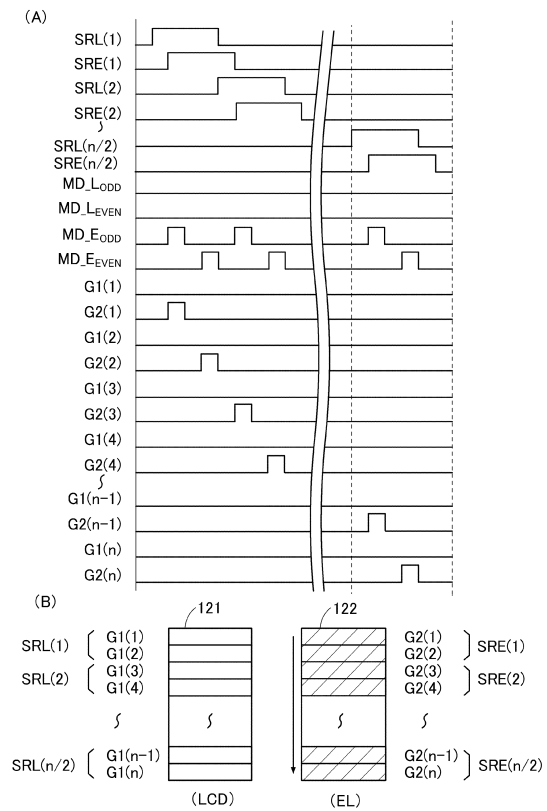
【図 23】



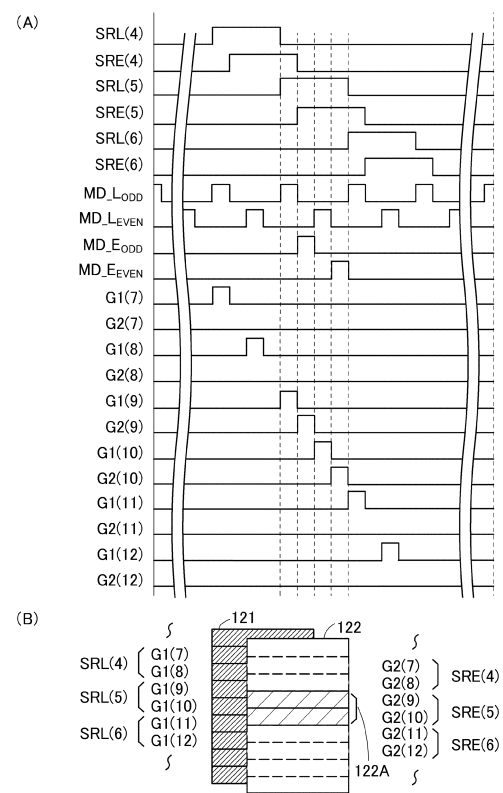
【図 24】



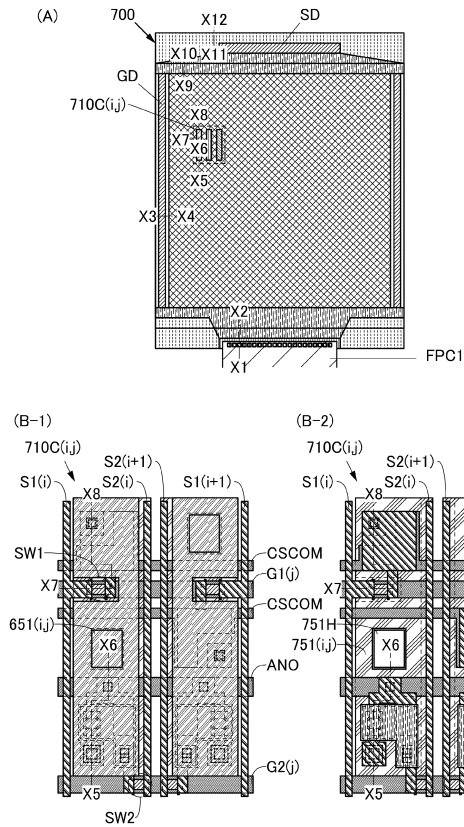
【図 25】



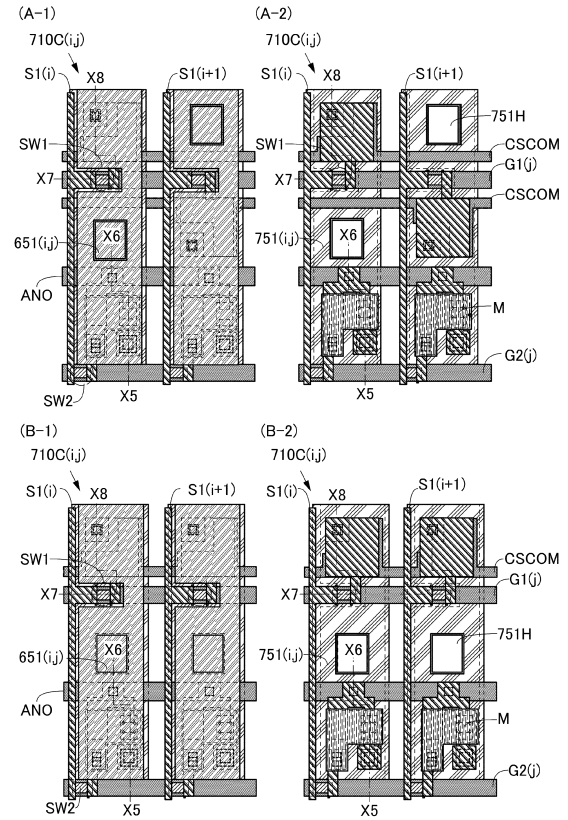
【図 26】



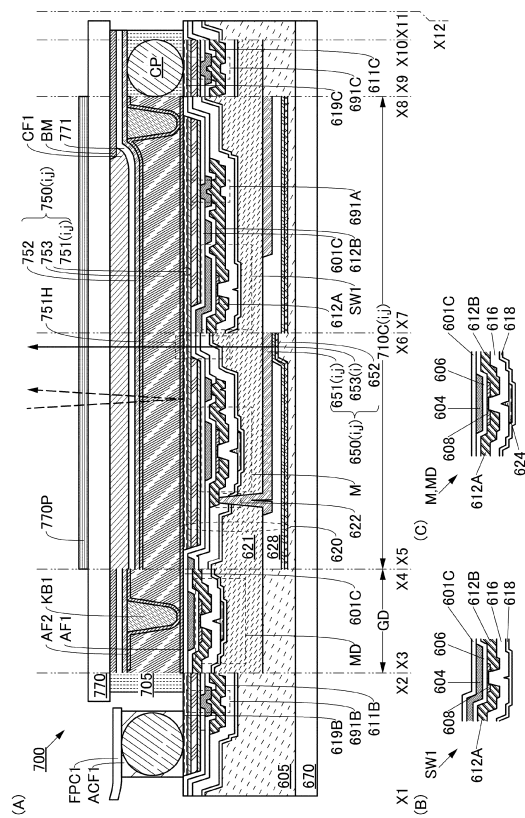
【図 27】



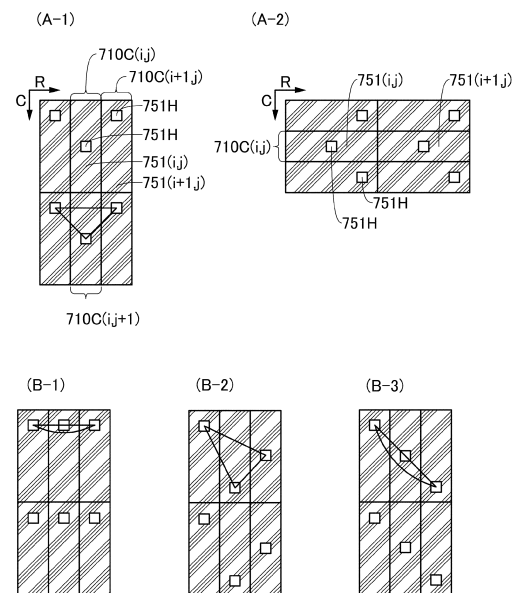
【図 28】



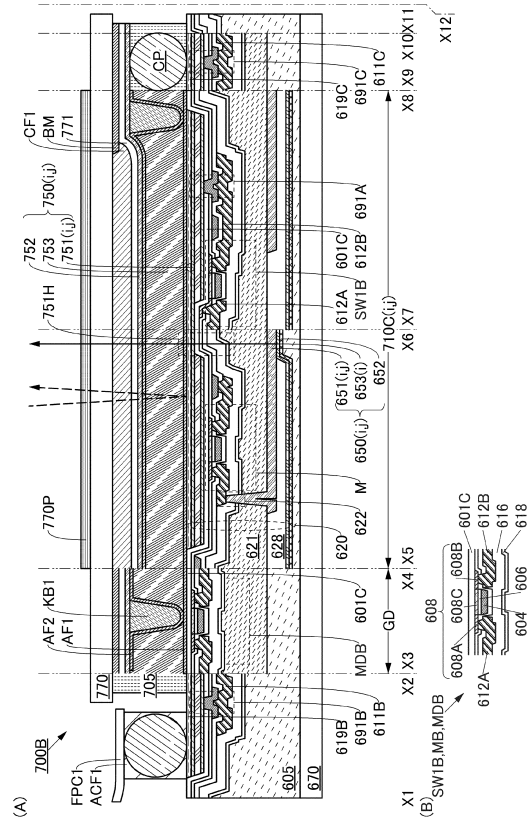
【図 29】



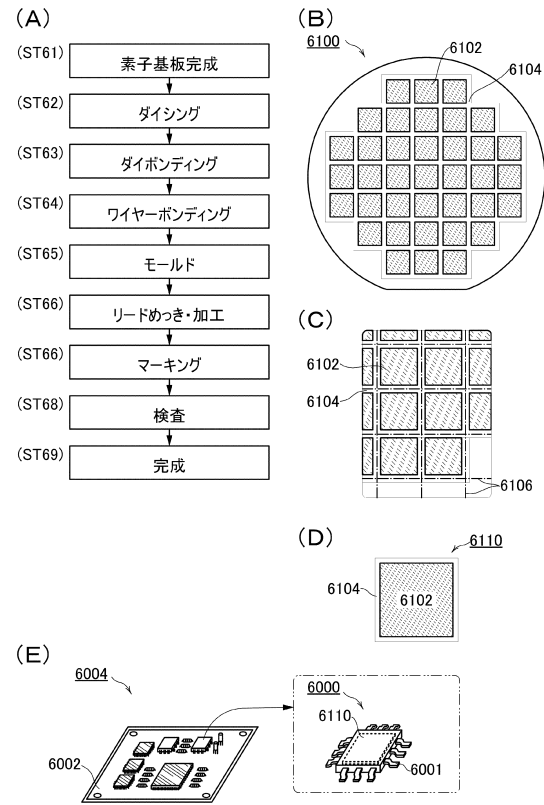
【図 30】



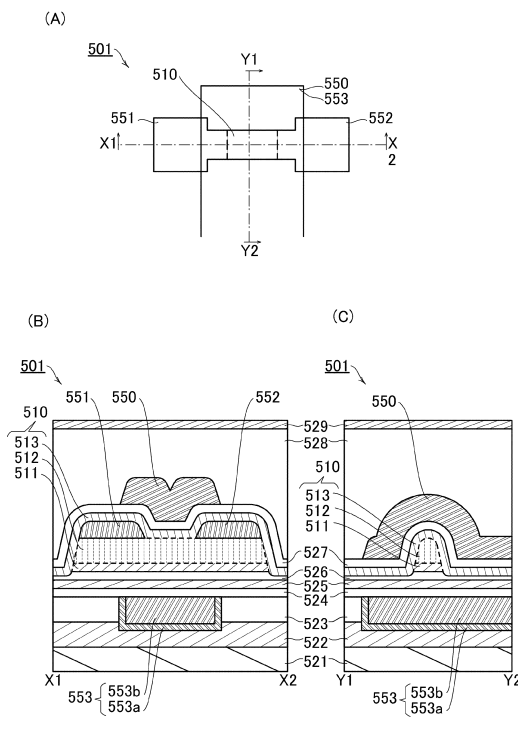
【図 3 1】



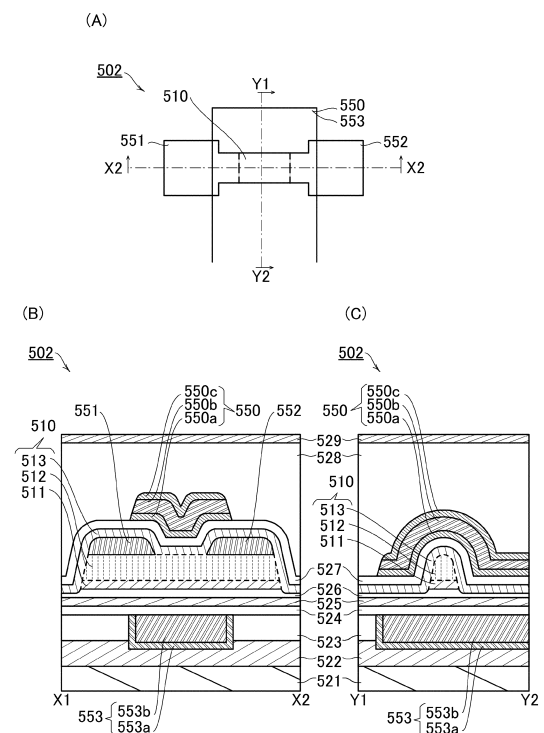
【図 3 2】



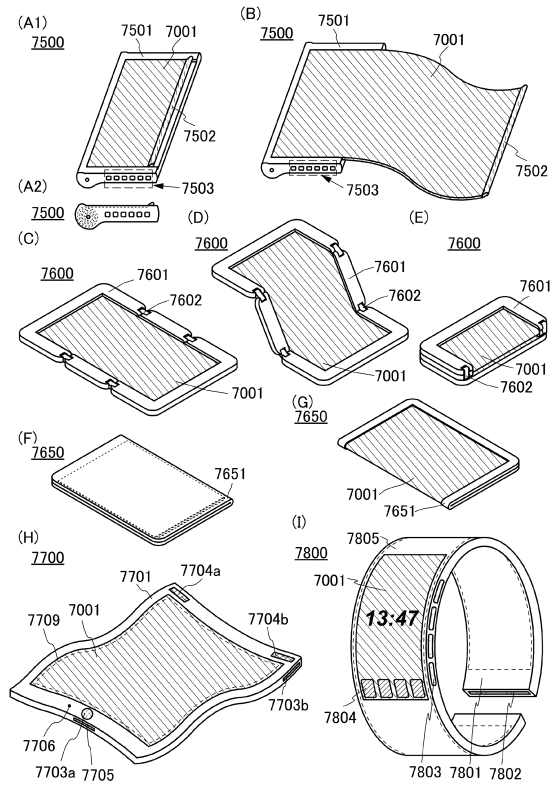
【図 3 3】



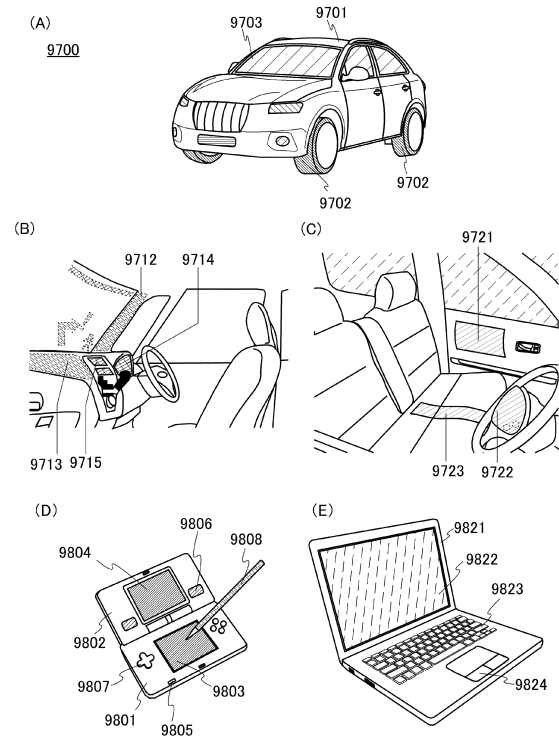
【図 3 4】



【図 39】



【図 40】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/786	(2006.01)	G 0 9 G	3/20 6 4 1 C
H 0 1 L	29/32	(2006.01)	G 0 9 G	3/20 6 2 4 B
			G 0 9 G	3/20 6 9 1 D
			G 0 9 G	3/20 6 8 0 H
			G 0 9 G	3/20 6 2 2 D
			G 0 9 G	3/3233
			H 0 5 B	33/14 A
			H 0 5 B	33/14 Z
			H 0 1 L	29/78 6 1 8 B
			H 0 1 L	29/78 6 1 3 Z
			H 0 1 L	29/32

(56)参考文献 特表 2 0 1 2 - 5 2 1 0 1 7 (J P , A)
 特開 2 0 0 3 - 1 5 7 0 2 6 (J P , A)
 特開 2 0 0 7 - 1 2 9 5 0 4 (J P , A)
 特開 2 0 0 3 - 2 4 1 7 3 3 (J P , A)
 米国特許出願公開第 2 0 1 6 / 0 0 4 2 7 0 8 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 2 0 - 3 / 3 8
 H 0 1 L 2 9 / 3 2
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 1 4