

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>6</sup>

H01L 31/075

H01L 31/18

## [12]发明专利申请公开说明书

[21]申请号 98117950.9

[43]公开日 1999年4月14日

[11]公开号 CN 1213861A

[22]申请日 98.7.31 [21]申请号 98117950.9

[30]优先权

[32]97.8.1 [33]JP [31]208131/97

[71]申请人 佳能株式会社

地址 日本东京都

[72]发明人 松山深照

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

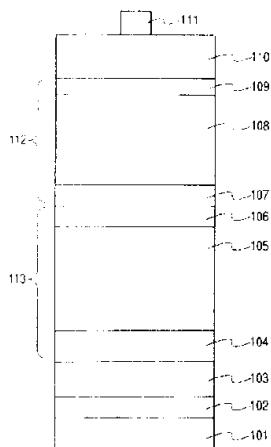
代理人 付建军

权利要求书2页 说明书46页 附图页数7页

[54]发明名称 光电元件及其制备方法

[57]摘要

一种有多个pin结的光电元件,每个pin结由p型半导体层、i型半导体层、n型半导体层形成,每层包括IV族元素作主要成分的非单晶材料,光电元件的第一个pin结包括作i型半导体层的主要成分的微晶碳化硅(微晶SiC),第二个pin结包括作i型半导体层的主要成分的微晶硅,第一个pin结比第二个pin结更靠近光入射侧。由此提供的光电元件成本低、几乎无光退化、有高的光电转换效率,且其制备方法能以实用的沉积速率形成i型微晶硅和微晶SiC。



I S S N 1 0 0 8 - 4 2 7 4

# 权利要求书

1. 一种有多个pin结的光电元件，每个pin结由p型半导体层、i型半导体层、n型半导体层形成，每层包括IV族元素作主要成分的非单晶材料，光电元件的第一个pin结包括作i型半导体层的主要成分的微晶碳化硅（此后称为微晶SiC），第二个pin结包括作i型半导体层的主要成分的微晶硅（此后称为微晶Si），其中第一个pin结比第二个pin结更靠近光入射侧。
2. 如权利要求1的光电元件，其特征为，包括微晶SiC的i型半导体层，除微晶SiC外还包括微晶Si作为i型半导体层的另一主要成分。
3. 如权利要求1的光电元件，还有包括微晶硅锗（此后称为微晶SiGe）作为i型半导体层主要成分的第三pin结，其特征是，第二pin结置于第一pin结与第三pin结中间。
4. 如权利要求1的光电元件，还有由包括化合物半导体的p型半导体层、和包括化合物半导体的n型半导体层形成的pn结，其特征是：第二pin结置于第一pin结与pn结中间。
5. 如权利要求1的光电元件，其特征是，包括微晶SiC的i型半导体层中碳的组分比在膜厚度方向变化，最低碳组分比在p型半导体层侧的i型半导体层的一半厚度处。
6. 如权利要求1的光电元件，其特征是，构成i型半导体层的微晶半导体层的平均粒径和/或体积百分比随包括微晶SiC的i型半导体层中碳组分比的变化而改变。
7. 如权利要求1的光电元件，其特征是，包括微晶SiC的i型半导体层中微晶半导体的平均粒径不小于3nm且不大于50nm。
8. 如权利要求1的光电元件，其特征是，包括微晶SiC的i型半导体层中微晶半导体的体积百分比不小于30%。
9. 如权利要求3的光电元件，其特征是，构成i型半导体层的微晶半导体层的平均粒径和/或体积百分比随包括微晶SiGe的i型半导体层中

锗组分比的变化而改变。

10. 一种制备有微晶半导体膜的光电元件的方法，其特征为：形成微晶半导体膜的步骤包括：将引入膜形成空间的膜形成气体的压力设置为50mTorr以下；用频率不小于0.1GHz的高频在膜形成空间产生等离子体，由此分解膜形成气体；给膜形成空间中的高频电极加不大于-50V的自偏压，同时给其上要沉积微晶半导体膜的基片和/或高频电极加dc电压；控制膜形成气体分解产生的正离子到基片上的入射量。

# 说 明 书

## 光电元件及其制备方法

本发明涉及光电元件及其制备方法，特别涉及能以低成本制备、有高的光电转换效率、无光退化的光电元件及其制备方法。

关于产生电能的光电元件的实际应用，关键技术是降低制造成本、增加面积，因此已经研制了低成本高转换效率的材料。

这种光电元件的材料包括：例如，非晶硅（此后称为非晶Si或 $\alpha$ -Si）、非晶锗硅（此后称为非晶SiGe或 $\alpha$ -SiGe）、非晶碳化硅（此后称为非晶SiC或 $\alpha$ -SiC）、等四面体IV族非晶半导体，CdS、Cu<sub>2</sub>S等II-VI族化合物半导体，CuInSe<sub>2</sub>、CuInGaSe等I-III-VI<sub>2</sub>族化合物半导体，等等。

其中，与单晶光电元件相比，使用非晶半导体作为光电能量产生层的薄膜光电元件的优点在于：可以大面积、小厚度、在任何基片材料上形成膜，有望能实际应用。

但是，对上述用非晶半导体来产生电力的光电元件的实际应用，还需要在光电转换效率的提高和光退化的改进方面进一步进行研究。

其中，关于提高光电转换效率，有下面报道。

(a) 获得了光电转换效率超过13%的单电池（只有一个pin结）(Miyaji等，摘要(第53次秋季会议，1992年)；日本应用物理协会，17p-B-5，P.746)。

(b) 一种提高光电转换效率的方法是称为掺杂层的改进，如p型掺杂半导体层、n型掺杂半导体层等的改进。需要掺杂层有小的激活能，并几乎不吸收光。美国专利4109271公开了一种技术，其中，使用非晶碳化硅( $\alpha$ -SiC)来拓宽掺杂层的光带隙，由此减少光吸收。

(c) 已经报道用微晶SiC作掺杂层来降低激活能和光的吸收(Y.Hattori等，第三次国际光电科学和工程会议，1987年，p.171)。

(d) 美国专利4816082公开了一种技术，其中在层厚度方向，i型半导体层的带隙呈梯度变化。

在另一方面，关于改进光退化的方法，包括如下：

(e) 减少非晶半导体层中局域态的方法。

(f) 用IV族元素的合金作为非晶半导体层，并将组分比调节到合适值的方法。

(g) 形成堆叠光电元件，由此减少每个电池的光吸收，并减小i型半导体层的厚度的方法。

因此，最近报道（S. Guha, 25次IEEE光电专家会议，1996年，p.1017）了三个堆叠的光电元件，按从入射光侧的顺序，它有一个 $\alpha$ -Si膜pin结、一个 $\alpha$ -SiGe膜pin结、和一个 $\alpha$ -SiGe膜pin结，光退化率为10.4%，稳定效率11.83%。但是还需要降低光退化率。进一步提高稳定效率。

比较起来，最近报道了用微晶硅作为i型半导体层几乎没有光退化的光电元件(J.Meier等，IEEE第一次光电能量转换世界会议，1994年，p.409）。与常规非晶型光电元件的制备工艺类似，通过辉光放电用等离子体CVD来制备光电元件，所以与常规非晶光电元件一样，有可能用廉价的制备工艺制备大面积的光电元件。但是，即使在最近的报道(D.Fischer等，25次IEEE光电专家会议，1996年，p1053)中，该光电元件的光电转换效率也仅为7.7%，比常规非晶硅单个电池的效率(~13%)要差。因此，使用微晶硅作为i型半导体层的光电元件有一个重要技术目标，就是提高光电转换效率。

另外，用微晶硅作为i型半导体层的光电元件的主要问题是微晶硅的带隙很窄，光电元件的开路电压(Voc)低至约0.4-0.5V。

关于解决上述问题的方法，已经研究了堆叠用微晶硅作i型半导体层的光电元件和用非晶硅作i型半导体层的光电元件来形成堆叠光电元件的方法，代替用微晶硅作i型半导体层的光电元件的单个电池，这样增大了光电元件的开路电压(Voc)、提高了光电转换效率。最近有报道说，用上述堆叠光电元件实现了13.1%的光电转换效率(D.Fischer

等，25次IEEE光电专家会议，1996年，p1053）。但是，在该会议上还报道，堆叠用非晶硅作i型半导体层的光电元件自然导致光退化，光退化145小时后，光电转换效率为10%，光退化率为12%。

与只用非晶半导体的光电元件（例如，前面所说的光退化率为10.4%、稳定效率为11.83%）相比，12%的光退化率值不能说很小。而且，Fischer说明的元件稳定效率也很差。可以认为这样的结果是因为：为了使微晶硅产生的电流与非晶硅产生的电流匹配，有大带隙和小吸收系数的非晶硅的膜厚度必须很大，约210nm，因此非晶硅部分的光退化变大。

至此，关于微晶硅的制备方法，例如使用了高频等离子体CVD工艺，其频率在13.56MHz到110MHz（J. Meier等，IEEE第一次光电能量转换世界会议，1994年，p.409），但是该制造方法有很低的微晶沉积速率，约0.1nm/sec，很难实际应用到光电元件的制备。

而且，关于掺杂微晶SiC的制备方法，已经报道了例如使用2.45GHz频率和使用磁场的ECR等离子体CVD工艺（Y.Hattori等，第三次国际光电科学和工程会议，1987，p.171），但是该方法有损坏下面半导体层的问题。因此，不能用该方法制备i型微晶SiC。

因此，本发明的第一目的是解决上述问题，提供能以低成本制备能实际应用且几乎无光退化、有高光电转换效率的光电元件。

本发明的第二个目的是提供制备光电元件的方法，能以实用的沉积速率形成i型微晶硅和微晶SiC。

本发明人预见到上述问题，为了得到大开路电压（Voc）和高光电转换效率的光电元件，研究了新元件结构和制备方法，因而以有下面结构的本发明光电元件可以实现方该目的。

具体说，本发明的光电元件是有多个pin结的光电元件，每个pin结由p型半导体层、i型半导体层、n型半导体层形成，每层包括IV族元素作主要成分的非单晶材料，光电元件的第一个pin结包括作i型半导体层的主要成分的微晶碳化硅（此后称为微晶SiC），第二个pin结包括作i型半导体层的主要成分的微晶硅（此后称为微晶Si），其中第一个pin

结比第二个pin结更靠近光入射侧。

根据本发明的制备光电元件的方法是制备有微晶半导体薄膜的光电元件的方法，其中，形成微晶半导体膜包括：将引入膜形成空间的膜形成气体的压力设置为50mTorr以下；用不小于0.1GHz的高频在膜形成空间产生等离子体，由此分解膜形成气体；给膜形成空间中的高频电极加不到-50V的自偏压，同时给其上要形成微晶半导体薄膜的基片和/或高频电极加dc电压；控制膜形成气体分解所产生的正离子到基片的入射量。

图1是本发明光电元件的一个实例的示意剖面图；

图2是本发明光电元件的另一个实例的示意剖面图；

图3是本发明光电元件的再一个实例的示意剖面图；

图4A是根据本发明的形成光电元件的半导体层的装置的一个实例的示意图，图4B是淀积室内部的示意放大图；

图5A、5B、5C和5D分别是实例2形成光电元件的微晶SiC-i层中，膜厚度方向上碳的组分比、微晶的平均粒径、微晶的百分比、拉曼峰强度比等变化的研究结构曲线图；

图6A和6B是用成卷方法适于制备本发明光电元件的形成装置的一个实例的示意图；

图7A、7B、和7C分别是实例4形成光电元件的微晶SiC-i层中，膜厚度方向上碳的组分比、微晶的平均粒径、微晶的百分比、拉曼峰强度比等变化的研究结构曲线图；

图8A、8B、和8C分别是实例4形成光电元件的微晶SiGe-i层中，膜厚度方向上碳的组分比、微晶的平均粒径、微晶的百分比、拉曼峰强度比等变化的研究结构曲线图；

下面说明本发明的效果。

当按下面结构构成光电元件时，即包括微晶碳化硅作为i型半导体层主要成分的第一pin结比包括微晶硅作为i型半导体层主要成分的第二pin结更靠近光入射侧，可实现下面效果。

(1) 增大了整个光电元件的开路电压( $V_{oc}$ )，减少每个pin结的

光吸收，增大了填充因子（FF），提高了光电元件的光电转换效率。

(2) 与有堆叠的多个微晶硅单元的堆叠光电元件相比，本发明的光电元件包括作为i型半导体层主要成分的微晶SiC，由此i型半导体层的带隙拓宽，增大了pin结的内建电势。因此增大了光电元件的开路电压（Voc），可有效利用短波长光，由此提高了光电元件的光电转换效率。

(3) 与在微晶硅电池的光入射侧使用非晶硅i型半导体层的pin结的堆叠光电元件相比，本发明的光电元件包括作为i型半导体层主要成分的微晶SiC，因而可以降低光电元件的光退化率，并由此提高光退化后的稳定效率。这是可以相信的，因为包含的作为i型半导体层主要成分的微晶SiC拓宽了i型半导体层的带隙，并抑制由于Staebler-Wronski效应造成的光诱发缺陷。

(4) 光电元件剥落的减少和半导体层中缺陷的减少增大了生产光电元件的成品率和光电元件的可靠性。该作用的详细机理还不明确，可以信服的原因如下。由于微晶硅和非晶硅之间所沉积膜的应力有很大的差异，当光电元件的结构是非晶硅沉积在微晶硅电池上时，这种应力差异倾向于在非晶硅中产生龟裂等缺陷。但是在本发明的光电元件中，由于包含作为i型半导体层主要成分的微晶SiC，使它与微晶硅电池之间的应力差异变小，于是减少了i型半导体层中龟裂等缺陷。另外，在本发明的光电元件中，由于包含作为i型半导体层主要成分的微晶SiC，抑制了I型半导体层中价带电子控制者或金属原子等的扩散。

当上述包括微晶SiC的i型半导体层包括微晶硅作为i型半导体层的除微晶SiC外的另一个主要成分时，可以进一步降低光电元件的光退化率。因此，光退化后的稳定效率进一步增大，光电元件的生产成品率和可靠性进一步改善。

当光电元件有包括微晶硅锗（此后称为微晶SiGe）作为i型半导体层主要成分的第三个pin结时，而且当第二个pin结置于第一个pin结与第三个pin结之间时，第三个pin结可以吸收形成第二个pin结的微晶硅没有吸收的光，所以第三个pin结可以产生光电能量。因而进一步增大

了整个光电元件的开路电压，所以进一步提高了其光电转换效率。

当光电元件有一个由化合物半导体的p型半导体层和化合物半导体n型化合物半导体层构成的pn结时，且第二个pin结放在第一个pin结与pn结之间时，该pn结可以吸收构成第二个pin结的微晶硅电池没有吸收的光，所以该pn结可以产生光电能量。因而，进一步增大了整个光电元件的开路电压，进而进一步提高了其光电转换效率。

当前面所述包括微晶SiC的i型半导体层中的碳的组分比在膜厚度方向变化时，且当碳的最小组分比在p型半导体层一侧、i型半导体层一半厚度的地方时，在p型半导体层一侧产生较多的光生载流子，且有低迁移率的空穴的迁移距离变得较小。带隙的斜率也会促进光生载流子在n型半导体层一侧的i型半导体层中的传输，从而提高了光生载流子的收集效率。因此，增大了光电元件的开路电压（Voc）和填充因子（FF），进一步提高了光电转换效率。

当构成i型半导体层的微晶半导体的平均粒径和/或体积百分比随包括微晶SiC的i型半导体层中碳的组分比的变化而变化时，可以实现下面效果。

(1) 当膜中微晶半导体的平均粒径和/或体积百分比随包括微晶SiC的i型半导体层中碳的组分比的减小而增大时，带隙的斜率变得较大，促进了光生载流子的传输，增加了光吸收。因此增强了光电元件的短路电流（Jsc）和填充因子（FF），因而提高光电转换效率。i型半导体层的这种变化方式适于从n型半导体层附近到I型半导体层的膜厚度中央附近范围内。

(2) 当膜中微晶半导体的平均粒径和/或体积百分比随包括微晶SiC的i型半导体层中碳的组分比的增大而增大时，由于微晶的平均粒径和/或体积部分比的增大补偿了由于碳组分比的增大导致的光吸收和光生载流子的迁移率降低。于是增大了光电元件的短路电流（Jsc）和填充因子（FF），由于带隙的增大和电子到p层的反向扩散减小，开路电压增大，因此提高了光电转换效率。i型半导体层的这种变化方式适于在p型半导体层附近。

当包括微晶SiC的i型半导体层中微晶半导体的平均粒径不小于3nm且不大于50nm时，光电元件的光电转换效率提高很多，且光退化率降低。另外，生产成品率和光电元件的耐久性得到改善。认识到，当微晶的平均粒径小于3nm时，非晶特性比微晶特性更明显，所以提高了光退化率，而当微晶的平均粒径大于50nm时，硅的光吸收主要为间接跃迁，因此光吸收减小，减小了光电元件的短路电流（J<sub>sc</sub>）。

当包括微晶SiC的i型半导体层中微晶的体积百分比不小于30%时，微晶特性强于非晶特性，所以降低光退化率。因此，光电元件的光电转换效率提高很多。

当构成i型半导体层的微晶半导体的粒径和/或体积百分比随包括微晶SiGe的i型半导体层中锗的组分比的变化而变化时，可以实现下面效果。

(1) 当膜中微晶半导体的平均粒径和/或体积百分比随包括微晶硅锗的i型半导体层中锗的组分比的增大而增大时，带隙的斜率变得较大，促进光生载流子的传输，增大了光吸收。因此，增大了光电元件的短路电流（J<sub>sc</sub>）和填充因子（FF），所以提高了光电转换效率。i型半导体层的这种变化方式适于从n型半导体层附近到I型半导体层的厚度中央附近范围内。

(2) 当膜中微晶半导体的平均粒径和/或体积百分比随包括微晶硅锗的i型半导体层中锗的组分比的减小而增大时，微晶的平均粒径和/或体积部分比的增大补偿了锗组分比的减少造成的光吸收降低。增大了光电元件的短路电流（J<sub>sc</sub>），且由于带隙的增大和电子到p层的反向扩散降低，开路电压和填充因子增大，所以提高了光电转换效率。i型半导体层的这种改变方式适于在p型半导体层附近。

在制备具有微晶半导体膜的光电元件的方法中，当形成微晶半导体薄膜包括下面步骤时，即包括：将引入膜形成空间的膜形成气体的压力设置为50mTorr以下；用不小于0.1GHz的高频在膜形成空间产生等离子体，由此分解膜形成气体；给膜形成空间中的高频电极加不大于-50V的自偏压，同时给其上要沉积微晶半导体膜的基片和/或高频电极加

dc电压；由此控制膜形成气体分解所产生的正离子到基片的入射量，此时有下面效果。

(1) 通过使用频率不小于0.1GHz的高频产生等离子体，分解膜形成气体，可以增大等离子体的电子密度，以便能产生足够量的活性物质（离子、原子团等）以达到生产光电元件的实用沉积速率。

(2) 通过将膜形成气体的压力设置为50mTorr以下，可以防止所产生的物质在汽相中反应而进行聚合。

(3) 通过提供加不超过-50V自偏压的高频电极，可以防止所产生的正离子过量进入其上要沉积膜的基片表面，所以可以防止过量离子损坏沉积膜，从而促进微晶生长。

(4) 通过给基片和/或高频电极加dc电压来控制膜形成气体分解所产生的正离子入射到基片的量，可以促进微晶的生长，同时保持实用的沉积速率。

上述效果(1)到(4)的综合效果使得要形成的微晶半导体膜有很好的质量和有实用的沉积速率。

下面将说明本发明的实施例。

#### (光电元件的结构)

下面参照附图详细说明本发明的光电元件的结构及其制备方法。

图1是堆叠光电元件的一个实例的示意剖面图，用来详细解释本发明的技术特点。但是应该注意，本发明并不限于图1所示的光电元件结构。在图1中，参考数字101代表基片，102表示背面电极，103表示透明导电层，104是n型半导体层，105是包括微晶硅的i型半导体层，106是p型半导体层，107是n型半导体层，108是包括微晶SiC的i型半导体层，109是p型半导体层，110是透明电极，111是收集电极。图1所示的本发明的堆叠光电元件有两个堆叠的pin结结构，其中数字112代表第一个pin结，当从光入射侧算起时，第一个pin结112有包括SiC作为主要成分的i型半导体层，其中数字113代表第二个pin结，第二个pin结113有包括微晶硅作为主要成分的i型半导体层。图1表示的结构中，光从p型半导体层侧入射，但是在光从n型半导体层侧入射结构的光电元件的情

况下，数字104、107应该代表p型半导体层，106、109应该代表n型半导体层。而且，图1表示的结构中，光从基片相反侧入射，但是在光从基片侧入射结构的光电元件情况下，除了基片外，各层按图1中相反的顺序淀积。

图2是本发明堆叠光电元件的另一个实例的示意剖面图。图2所示的光电元件与图1所示的光电元件的不同之处在于：图2所示的光电元件有包括三个堆叠的pin结的结构。当从光入射侧算起时，三个pin结是第一pin结215、第二pin结216、和第三pin结217。在背面电极202和透明导电层203形成在基片201上之后，堆叠三个pin结。透明电极213和收集电极204形成在三个pin结的上部，由此形成堆叠光电元件。各pin结包括：n型半导体层204、207、210，i型半导体层205、208、211，和p型半导体层206、209、212。这里i型半导体层205含微晶硅锗作为主要成分，i型半导体层208含微晶硅作为主要成分，i型半导体层211含微晶SiC作为主要成分。应该注意到，与图1的光电元件一样，根据光的入射方向等不同，掺杂层和电极的位置可以互换。

图3是本发明堆叠光电元件的再一个实例的示意剖面图。图3所示的光电元件与图1所示的光电元件的不同之处在于：图3所示的光电元件有这样的结构：堆叠两个pin结和一个pn结。当从光入射侧算起时，两个pin结是第一pin结314、第二pin结315。一个pn结是pn结316。在背面电极302形成在基片301上之后，堆叠这些结。透明电极312和收集电极313形成在三个结的上部，由此形成堆叠光电元件。各结包括：n型半导体层305、308、311，i型半导体层307、310，和p型半导体层303、306、309，和缓冲层304。这里其特征是：n型半导体层305由II-VI族化合物半导体构成，p型半导体层303由I-III-VI族化合物半导体构成，i型半导体层307含微晶硅作为主要成分，i型半导体层310含微晶SiC作为主要成分。应该注意到，和图1的光电元件一样，根据光的入射方向等不同，掺杂层和电极的位置可以互换。

下面详细说明构成本发明光电元件的各层。

(半导体层)

关于本发明的半导体层的材料，包括：Si、Ge等IV族元素，SiGe、SiC、SiSn等IV族合金，CdS、CdTe、ZnO等II-VI族半导体，CuInSe<sub>2</sub>、Cu(InGa)Se<sub>2</sub>、CuInS<sub>2</sub>等I-III-VI<sub>2</sub>族半导体。

在本发明的光电元件中，实用的是IV族非单晶半导体材料。具体说包括：微晶硅（此后称为μc-Si），如μc-Si:H（氢化微晶硅的简写）、μc-Si:F、μc-Si:H:F等；微晶SiC，如μc-SiC:H、μc-SiC:F、μc-SiC:H:F等；微晶硅锗（μc-SiGe），如μc-SiGe:H、μc-SiGe:F、μc-SiGe:H:F等；非晶材料，如α-Si:H（氢化非晶硅的简写）、α-Si:F、α-Si:H:F、α-SiGe:α-SiGe:F、α-SiGe:H:F、α-SiC:H、α-SiC:F、α-SiC:H:F等；或这些材料的混合物。

上述半导体层可以接受价电子控制和带隙控制。可以通过在形成半导体层时向膜形成空间中只加含价电子控制者或带隙控制者的元素的起始化合物、或与形成淀积膜的源气体的混合物、或与稀释气体的混合物来实现该控制。

当半导体层进行价电子控制时，至少一部分掺杂为p型和n型，因此至少提供一个pin结。而且，堆叠多个pin结可以形成所说的堆叠电池结构。

关于形成上述半导体层的方法，可以包括：各种CVD工艺，如微波等离子体CVD工艺、RF等离子体CVD工艺、光CVD工艺、热CVD工艺、MOCVD工艺；各种蒸发工艺，如EB蒸发、MBE、离子镀、和离子束工艺；溅射工艺；喷涂工艺；印刷工艺等。其中，在工业上，最好用等离子体CVD工艺，用等离子体分解源气体来实现在基片上的淀积。而且，关于上述形成方法中所用的反应器，根据所需的工艺，可以用批处理型系统(batch type system)、连续淀积系统等。另外，在长基片上连续堆叠多个半导体层，同时将基片在其长度方向通过多个半导体层形成室的方法中（称为卷到卷（roll-to-roll）方法），有降低成本、增加膜质量和特性均匀性的效果，因此实用。

下面进一步详细说明本发明的半导体层。

### （1）I型半导体层（本征半导体层）

i型半导体层是本发明光电元件的特定特征，是影响其特性的重要层。具体说，使用IV族或IV族合金非单晶半导体材料的光电元件中的pin结所用的i型半导体层是响应光辐照而产生和传输载流子的重要层。关于有所需功能的i型半导体层的材料，上述IV族或IV族合金非单晶半导体材料最适于得到微晶材料。

关于i型半导体层，也可以用加少量价电子控制的轻p型或轻n型层，以容易传输光生载流子。上述轻掺杂i型半导体层也认为基本是本征半导体层。

本发明的光电元件的特征在于：i型半导体层含微晶半导体作为主要成分。i型半导体层中的微晶体积百分比不小于30%较好，不小于50%更好，不小于70%最好。而且，i型半导体层的微晶的平均粒径不小于3nm且不大于50nm较好，不小于4nm且不大于40nm更好，不小于6nm且不大于30nm最好。另外，考虑形成的半导体层的表面，关于i型半导体层中的微晶晶粒，垂直方向的平均粒径较好是水平方向的2倍以上，3倍以上更好，5倍以上则最好。

用透射电子显微镜（TEM）观察剖面，或分析拉曼谱的峰值比来测量上述i型半导体层中微晶的体积百分比。或者用拉曼谱或X光衍射的峰的半宽来计算I型半导体层中微晶的平均粒径。

当i型半导体层的微晶在上述范围时，紫外光、可见光、和红外光的吸收系数增加，光生载流子的传输特性增强，光电元件的光退化率控制在5%以下。

例如，当硅用作i型半导体层的半导体材料时，从吸收系数与光子能量的关系图估计带隙为1.0eV，小于单晶硅的带隙（1.1eV）。顺便提及，在微晶SiC的情况下，有这样的趋向，即，随所含氢或氟的增加或碳组分比的增大，带隙拓宽。但是，过高的碳组分比会降低光吸收，还会使光生载流子的传输特性退化，整个硅和碳（即 $\text{Si}_{1-x}\text{C}_x$ ）中碳的组分比较好不小于0.05且不大于0.6，不小于0.1且不大于0.4更好。另外，当i型半导体层中同时存在微晶SiC和微晶硅时，可以用拉曼峰来确定它们的存在，在约 $740\text{cm}^{-1}$ 处的峰为微晶SiC，约 $520\text{cm}^{-1}$ 处的峰为微晶

硅。

由于本发明的含微晶SiC的i型半导体层比含微晶硅的i型半导体层更靠近光入射侧，所以希望含微晶SiC的i型半导体层的带隙大于含微晶硅的i型半导体层的带隙。而且，由于含微晶SiGe的i型半导体层置于含微晶硅的i型半导体层的光入射侧相对的一侧，以吸收含微晶硅的i型半导体层没有吸收的光，因此希望含微晶SiGe的i型半导体层的带隙小于含微晶硅的i型半导体层的带隙。微晶SiGe（ $\text{Si}_{1-x}\text{Ge}_x$ ）中锗的组分比较好是不小于0.1且不大于0.8，不小于0.2且不大于0.7更好。

在堆叠光电元件中，希望用宽带隙材料作为靠近光入射侧的pin结中的i型半导体层的材料，用窄带隙材料作为远离光入射侧的pin结中的i型半导体层的材料。

在本发明的光电元件中，另一pin结或另一pn结置于具有含微晶SiC的i型半导体层的pin结与具有含微晶硅的i型半导体层的pin结之间，或置于有含微晶硅的i型半导体层的pin结与有含微晶硅锗的i型半导体层的pin结之间，或置于有含微晶硅的i型半导体层的pin结与使用化合物半导体的pn结之间。

根据堆叠电池的材料、带隙、和层结构，至少部分由微晶构成的i型半导体层的优选厚度有所不同，但是在例如微晶硅的情况下，厚度较好是不小于0.2 $\mu\text{m}$ 且不大于10 $\mu\text{m}$ ，更好的是不小于0.4 $\mu\text{m}$ 且不大于5 $\mu\text{m}$ 。在根据组分带隙改变的材料的情况下，如微晶SiC或微晶SiGe，希望窄带隙的厚度较小、而宽带隙的厚度较大。

而且，当用带随组分而变化的材料时，可以通过改变i型半导体层厚度方向的组分来改变厚度方向的带隙，由此提高光电元件的光电转换效率。在含微晶SiC的i型半导体层的情况下，希望碳的最小组分比处于p型半导体层侧的i型半导体层的一半厚度处。而且，希望分布是这样的：从n型半导体层与i型半导体层之间的界面朝i型半导体层的里面，碳的组分比逐渐减小，由此减小带隙。另外，还希望碳的组分比从p/i界面朝i型半导体层的里面逐渐减小，由此减小带隙。在含微晶SiGe的i型半导体层的情况下，希望锗的最小组分比处于p型半导体层侧的i型半导体

层的一半厚度处。

另外通过改变i型半导体层中碳的组分比来改变膜中微晶的平均粒径和/或体积百分比，可以提高光电元件的光电转换效率。

通过改变i型半导体层中锗的组分比来改变膜中微晶的平均粒径和/或体积百分比，可以提高光电元件的光电转换效率。

微晶半导体中的空洞、或微晶之间的晶界，或非晶半导体含有起重要作用的氢原子（H，D）或卤族原子（X）。其作用如下。

i型半导体层中所含氢原子（H，D）或卤族原子（X）起补偿i型层中未结合的键（悬挂键）的作用，提高i型层中载流子的迁移率和寿命。还能补偿p型层与i型层之间的界面、n型层和i型层的界面之间的界面态，由此实现增强光电元件的光电效应、光电流、和光响应的效果。i型层中的氢原子和/或卤族原子的最佳含量为原子比0.1-40%。具体说，在本发明的含微晶的i型半导体层的情况下，希望氢原子和/或卤族原子的含量为原子比0.1-15%，这些优选含量随微晶的平均粒径和体积百分比的增大而减少。氢原子和/或卤族原子的优选含量分布是这样的：更多的氢原子和/或卤族原子分布在p型层与i型层的界面侧、或在n型层与i型层的界面侧。界面附近的氢原子和/或卤族原子的含量最好是里面的1.1到2倍。而且，氢原子和/或卤族原子的含量最好随硅原子的含量而变化。

i型半导体层中如氧、碳（SiC的情况除外）、或氮等杂质的密度应该不超过 $5 \times 10^{19}/\text{cm}^3$ ，越低越好。

适于本发明光电元件的i型半导体层的特性如下。例如，在 $\alpha\text{-Si:H}$ 的情况下，这些层中氢原子含量（CH）最好为1.0-25.0%，在AM1.5、 $100\text{mW/cm}^2$ 的模拟太阳的辐照下，光电导（ $\sigma_p$ ）不小于 $1.0 \times 10^{-6}\text{S/cm}$ ，暗电导（ $\sigma_d$ ）不大于 $1.0 \times 10^{-9}\text{S/cm}$ ，恒光电流方法（CPM）下的Urbach能不大于55meV，局域态密度不大于 $10^{17}/\text{cm}^3$ 。

在i型半导体层为 $\mu\text{c-Si:H}$ 的情况下，优选特性如下：氢原子（CH）的含量为0.1-15.0%，在AM1.5、 $100\text{mW/cm}^2$ 的模拟太阳的辐照下，光

电导( $\sigma_p$ )不小于 $1.0 \times 10^{-6}$ S/cm, 暗电导( $\sigma_d$ )不大于 $1.0 \times 10^{-3}$ S/cm, 恒光电流方法(CPM)下的Urbach能不大于57meV, 局域态密度不大于 $10^{17}/\text{cm}^3$ .

## (2) 形成半导体层的方法

关于形成适于本发明光电元件的半导体层的IV族和IV族合金的非单晶半导体层的方法, 可以包括使用ac或高频波的等离子体CVD工艺, 如RF等离子体CVD工艺, 微波等离子体CVD工艺等。其中, 在形成本发明的含微晶作为主要成分的i型半导体层的情况下, 具体希望使用高频的微波等离子体CVD工艺, 高频的频率不小于0.1GHz。

微波等离子体CVD工艺是这样的方法: 将包括源气体、稀释气体等的膜形成气体引入能保持在减压状态的沉积室(真空室)中, 用真空泵抽空室体, 保持沉积室中压力不变, 通过波导和介质窗(矾土陶瓷等)向沉积室导入由微波源振荡的微波, 产生膜形成气体的等离子体, 并分解它们, 在置于沉积室中的基片上形成希望沉积的膜, 该方法可以在很宽的沉积条件下形成适于光电元件的沉积膜。顺便提及, 当频率低到100MHz至1GHz时, 可能影响金属电极的应用。

当用微波等离子体CVD工艺沉积本发明的含微晶为主要成分的i型半导体层时, 优选沉积条件如下: 沉积室中基片的温度为100-450℃, 内压为0.5-50mTorr, 微波功率 $0.01-1\text{W}/\text{cm}^3$ , 微波频率为0.1-10GHz, 沉积速率为 $0.05-20\text{nm/sec}$ 。在此情况下, 氢原子的稀释率为氢气的流速与含沉积膜构成元素的源气体的流速之比, 根据要形成的沉积膜的种类, 优选范围不同。例如, 当沉积膜含微晶时, 氢原子稀释率为不小于15倍较好, 不小于20倍最好。氢原子稀释率的上限不能唯一地确定, 因为根据材料气体它们有很大不同。

另一方面, 当用RF等离子体CVD工艺沉积本发明的含微晶作为主要成分的i型半导体层时, 优选沉积条件如下: RF高频频率为0.1-100MHz, 沉积室中基片的温度为100-350℃, 内压为0.05-5Torr, RF功率 $0.001-0.5\text{W}/\text{cm}^3$ , 沉积速率为 $0.01-3\text{nm/sec}$ 。

当本发明的i型半导体层为含微晶作为主要成分时，0.1-100MHz的RF高频波在0.1-10GHz的微波等离子体上面。可以从公共电极加微波和RF高频波。具体说，希望有优选的不大于-50V、最好是不大于-100V的负自偏压加到其上加有微波和/或RF高频波的高频电极上。因此，重要的是：高频波的功率密度和膜形成气体的内部压力在上述范围，等离子体中高频电极的表面积小于接地的沉积室的内表面暴露于等离子体的表面积。

另外，直流(DC)电压可以直接加在其上加有负自偏压的高频电极上。希望有不小于-500V且不大于-100V、最好是不小于-400V且不大于-150V的偏压加到RF电极上。

另外，可以将基片保持悬浮，DC电压可以加在其上。希望有优选的不小于-30V且不大于+30V、最好是不小于-20V且不大于+20V的偏压加到基片上。

通过调整上述膜形成气体的压力(内压)、高频的功率、加到基片和/或高频电极上的DC电压，可以控制膜形成气体分解产生的正离子到基片上的入射量。由于内压、高频功率、DC电压都影响正离子到基片的入射量，需要考虑优选条件之间的相互关系。例如，随着内压的减小、高频功率的增大、高频电极上DC电压的增大，正离子到基片的入射量增大。因此重要的是通过按下面方式平衡各条件来控制正离子的入射量，即，当决定某一条件以增大正离子的入射量时，设置另一条件来减少正离子的入射量。

如上所述，通过控制正离子到基片的入射量，可以促进微晶的生长，形成高质量微晶半导体膜，同时保持实用的沉积速率，防止正离子损坏沉积膜的表面。

### (3) 形成半导体层的装置

适于形成本发明光电元件的半导体层的装置包括：例如，图4A和4B中的装置、或图6A和6B中的装置。

图4A和4B是表示形成小面积光电元件的半导体层的装置的实例的示意图。图4A和4B的装置400主要包括：连接的多个传送室401、402、

403、404、405，置于传送室下面的半导体层的沉积室417、418、419，加热基片的加热器410、411、412，RF高频电极420、421，引入微波的窗口425，气体源管道429、449、469，排出口未示出，真空系统未示出。在图4A和4B中，数字406、407、408、409表示门阀；422、423表示RF功率源；424表示偏置用功率源；426表示引入微波的波导；427为微波i层沉积的阀门。

根据要沉积的半导体层的类型，半导体层的沉积室417、418、419分开，其中，在沿用来传送基片的轨道413移动的基片490上，于沉积室417中用RF等离子体CVD工艺沉积n型半导体层、于沉积室418中用微波（MW）等离子体CVD工艺沉积i型半导体层、于沉积室419中用RF等离子体CVD工艺沉积p型半导体层。图4B是沉积室418内部的示意放大图，除在从引入微波的窗口425引入微波之外，可以从偏置电极428加RF和/或DC的偏置功率。当使用能从金属电极引入的频率的高频波时，偏置电极428也可以用作为高频电极。在此情况下，RF和/或DC偏置功率也可以加到偏置电极428上。另外，将图4A和4B的装置设计成使基片可以保持悬浮，且其上可以加DC电压。通过连接DC电压源如双极功率源或耐高功率的电阻器，可以实现偏置电极或基片上的DC电压的应用。

图6A和6B表示适于制备本发明光电元件的装置，它使用在基片长度方向用多个半导体层形成室来传送基片（称为卷到卷方法）的同时在长基片上连续沉积多个半导体层的方法。该方法有降低制备成本、增强膜厚度和膜质量的均匀性等效果，特别实用。

图6A是用卷到卷方法连续形成光电元件的装置的示意图。该装置的构造如下：基片传送室601，多个沉积室602到614，基片卷绕室615，这些室按以上顺序放置，并且分离通道616连接于其间，每个沉积室有排出口，可以抽空。

带状基片617从基片传送室通过这些沉积室和分离通道卷绕到基片卷绕室。同时，通过各沉积室或各分离通道的气体入口引入气体，又通过各室或通道的排出口排出气体，由此形成各层。每个沉积室中具有卤

素灯加热器618来从背面加热基片，在各沉积室中加热器将基片加热到预定温度。

图6B是从上面看沉积室的示意图。每个沉积室具有源气体入口619和排出口620，RF电极621或微波引入部分622附着在沉积室的底部，源气体供应系统（未示出）连接到源气体的入口619。各沉积室的排出口连接有真空抽气泵（未示出），如油扩散泵、机械升压泵等，连接到沉积室的分离通道616具有入口624，以让清除气流进通道。

用微波CVD工艺形成i层（MW-i层）的沉积室604和609具有RF偏置电极631，其上连接有作为功率源的RF功率源（未示出）。在基片传送室601中，有传送轴625和导引辊626，以给基片合适的拉力让基片一直保持水平，在基片卷绕室615中，有卷绕轴627和导引辊628。

除了以上所述的以外，关于用II-VI族半导体或I-III-VI<sub>2</sub>族半导体形成半导体层的方法，可以根据需要，用普通已知的同时蒸发法、溶液生长法、汽相硒化法、溅射法、CVD法等。

#### （4）掺杂层

关于本发明的掺杂层[即p型半导体层（简称p型层）或n型半导体层（简称n型层）]的材料，可以是非晶材料（用“α-”表示）、微晶材料（用“μc-”表示）、和多晶材料（用“poly-”表示）。

关于非晶掺杂层，可以包括：例如，向α-Si:H、α-Si:HX、α-SiC:H、α-SiC:HX、α-SiGe:H、α-SiGe:HX、α-SiGeC:H、α-SiGeC:HX、α-SiO:H、α-SiO:HX、α-SiN:H、α-SiN:HX、α-SiON:H、α-SiON:HX、α-SiOCN:H、α-SiOCN:HX等中添加高浓度的p型价带电子控制者（周期表中的III族原子：B、Al、Ga、In、Tl）或n型价带电子控制者（周期表中的V族原子：P、As、Sb、Bi）所得到的材料，其中“X”表示卤族元素。

关于微晶掺杂层材料，可以包括：例如，向μc-Si:H、μc-Si:HX、μc-SiC:H、μc-SiC:HX、μc-SiO:H、μc-SiO:HX、μc-SiN:H、μc-SiN:HX、μc-SiGeC:H、μc-SiGeC:HX、μc-SiON:H、μc-SiON:HX、μc-SiOCN:H、μc-SiOCN:HX等中添加高浓度的p型价带电子控制者

(周期表中的III族原子：B、Al、Ga、In、Tl)或n型价带电子控制者(周期表中的V族原子：P、As、Sb、Bi)所得到的材料。

关于多晶掺杂层材料，可以包括：例如，向poly-Si:H、poly-Si:HX、poly-SiC:H、poly-SiC:HX、poly-SiO:H、poly-SiO:HX、poly-SiN:H、poly-SiN:HX、poly-SiGeC:H、poly-SiGeC:HX、poly-SiON:H、poly-SiON:HX、poly-SiOCN:H、poly-SiOCN:HX、poly-Si、poly-SiC、poly-SiO、poly-SiN等中添加高浓度的p型价带电子控制者(周期表中的III族原子：B、Al、Ga、In、Tl)或n型价带电子控制者(周期表中的V族原子：P、As、Sb、Bi)所得到的材料。

具体说，关于光入射侧的p型层或n型层，几乎没有光吸收的结晶半导体层或有宽带隙的半导体层较适合。

p型层或n型层中所含的氢原子(H、D)或卤族原子起补偿p型层或n型层中悬挂键的作用，以提高p型层或n型层的掺杂效率。加到p型层或n型层中氢原子或卤族原子的优选量如前面所述，但是在p型层或n型层为晶体的情况下，应该指出的是氢原子或卤族原子的最佳浓度是原子百分比为0.1-10%。

关于光电元件的p型层和n型层的电特性，激活能不大于0.2eV较好，不大于0.1eV更好。电阻率不大于 $100\Omega\text{cm}$ 较好，不大于 $1\Omega\text{cm}$ 更好。而且，p型层和n型层的厚度较好为1-50nm，3-10nm更好。

另外，关于形成pn结的化合物半导体p型层和化合物半导体n型层的材料，包括：例如，II-VI族化合物和I-III-VI<sub>2</sub>族化合物。具体实例包括CdS、CdSe、CdTe、ZnO、ZnS、ZnSe、ZnTe、CuInSe<sub>2</sub>、Cu(InGa)Se<sub>2</sub>、CuInS<sub>2</sub>、CuIn(Se<sub>1-x</sub>S<sub>x</sub>)<sub>2</sub>等。其中，关于光入射侧的窗口层或缓冲层，实际中较好用ZnO和CdS，对光吸收层，较好使用CuInSe<sub>2</sub>和Cu(InGa)Se<sub>2</sub>。CuInSe<sub>2</sub>有时简写为CIS。

## (5) 膜形成气体

适于沉积本发明光电元件的IV-族和IV族合金的非单晶半导体层的源气体可以包括：含硅原子的可气化的化合物，含锗原子的可气化的化合物，含碳原子的可气化的化合物等，和这些化合物的混合气体。

关于含硅原子的可气化的化合物，使用链式或循环硅烷化合物，具体实例包括 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{SiF}_4$ 、 $\text{SiFH}_3$ 、 $\text{SiF}_2\text{H}_2$ 、 $\text{SiF}_3\text{H}$ 、 $\text{Si}_3\text{H}_8$ 、 $\text{SiD}_4$ 、 $\text{SiHD}_3$ 、 $\text{SiH}_2\text{D}_2$ 、 $\text{SiH}_3\text{D}$ 、 $\text{SiFD}_3$ 、 $\text{SiF}_2\text{D}_2$ 、 $\text{Si}_2\text{D}_3\text{H}_3$ 、 $(\text{SiF}_2)_5$ 、 $(\text{SiF}_2)_6$ 、 $(\text{SiF}_2)_4$ 、 $\text{Si}_2\text{F}_6$ 、 $\text{Si}_3\text{F}_8$ 、 $\text{Si}_2\text{H}_2\text{F}_4$ 、 $\text{Si}_2\text{H}_3\text{F}_3$ 、 $\text{SiCl}_4$ 、 $(\text{SiCl}_2)_5$ 、 $\text{SiBr}_4$ 、 $(\text{SiBr}_2)_5$ 、 $\text{Si}_2\text{Cl}_6$ 、 $\text{SiHCl}_3$ 、 $\text{SiH}_2\text{Br}_2$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{Si}_2\text{Cl}_3\text{F}_3$ 等的气态化合物或容易气化的化合物。

关于含锗原子的可气化化合物可以包括：例如， $\text{GeH}_4$ 、 $\text{GeD}_4$ 、 $\text{GeF}_4$ 、 $\text{GeFH}_3$ 、 $\text{GeF}_2\text{H}_2$ 、 $\text{GeF}_3\text{H}$ 、 $\text{GeHD}_3$ 、 $\text{GeH}_2\text{D}_2$ 、 $\text{GeH}_3\text{D}$ 、 $\text{Ge}_2\text{H}_6$ 、 $\text{Ge}_2\text{D}_6$ 等。

关于含碳原子的可气化化合物可以包括：例如， $\text{CH}_4$ 、 $\text{CD}_4$ 、 $\text{C}_n\text{H}_{2n+2}$ （ $n$ 为整数）、 $\text{C}_n\text{H}_{2n}$ （ $n$ 为整数）、 $\text{C}_2\text{H}_2$ 、 $\text{C}_6\text{H}_6$ 、 $\text{CO}_2$ 、 $\text{CO}$ 、 $\text{Si}(\text{CH}_3)\text{H}_3$ 、 $\text{Si}(\text{CH}_3)_2\text{H}_2$ 、 $\text{Si}(\text{CH}_3)_3\text{H}$ 等。

含氮气体包括：例如， $\text{N}_2$ 、 $\text{NH}_3$ 、 $\text{ND}_3$ 、 $\text{NO}$ 、 $\text{NO}_2$ 、 $\text{N}_2\text{O}$ 。

含氧气体包括：例如， $\text{O}_2$ 、 $\text{CO}$ 、 $\text{CO}_2$ 、 $\text{NO}$ 、 $\text{NO}_2$ 、 $\text{N}_2\text{O}$ 、 $\text{CH}_3\text{CH}_2\text{OH}$ 、 $\text{CH}_3\text{OH}$ 、 $\text{H}_2\text{O}$ 等。

用于价带电子控制者而引入p型层或n型层中的物质，可以包括周期表中的III族原子和V族原子。

关于引入III族原子的起始物质，例如引入硼原子，可以用 $\text{B}_2\text{H}_6$ 、 $\text{B}_4\text{H}_{10}$ 、 $\text{B}_5\text{H}_9$ 、 $\text{B}_5\text{H}_{11}$ 、 $\text{B}_6\text{H}_{10}$ 、 $\text{B}_6\text{H}_{12}$ 、 $\text{B}_6\text{H}_{14}$ 等硼的氢化物， $\text{BF}_3$ 、 $\text{BCl}_3$ 等硼的卤化物。此外，关于引入V族原子的起始物质可以包括：例如 $\text{AlCl}_3$ 、 $\text{GaCl}_3$ 、 $\text{InCl}_3$ 、 $\text{TlCl}_3$ 等。其中 $\text{B}_2\text{H}_6$ 和 $\text{BF}_3$ 最好。

关于引入V族原子的起始物质，例如引入磷原子，可以用 $\text{PH}_3$ 、 $\text{PH}_4$ 等磷的氢化物， $\text{PH}_4\text{I}$ 、 $\text{PF}_3$ 、 $\text{PF}_5$ 、 $\text{PCl}_3$ 、 $\text{PCl}_5$ 、 $\text{PBr}_3$ 、 $\text{PBr}_5$ 、 $\text{PI}_3$ 等磷的卤化物。此外，关于引入V族原子的起始物质还可以包括：例如 $\text{AsH}_3$ 、 $\text{AsF}_3$ 、 $\text{AsCl}_3$ 、 $\text{AsBr}_3$ 、 $\text{SbH}_3$ 、 $\text{SbF}_3$ 、 $\text{SbF}_5$ 、 $\text{SbCl}_3$ 、 $\text{SbCl}_5$ 、 $\text{BiH}_3$ 、 $\text{BiCl}_3$ 、 $\text{BiBr}_3$ 等。其中 $\text{PH}_3$ 和 $\text{PF}_3$ 最好。

可以将这些化合物与 $\text{H}_2$ 、 $\text{He}$ 、 $\text{Ne}$ 、 $\text{Ar}$ 、 $\text{Xe}$ 、或 $\text{Kr}$ 等气体合适地稀释后引入沉积室。

（基片）

由于用于本发明光电元件中的半导体层104到109、204到212、303到311都是几乎约 $1\mu\text{m}$ 厚的膜，半导体层要沉积在合适的基片上。

基片101、201、301的材料可以是单晶或非单晶。基片的电特性可以是导体也可以是绝缘体。而且基片的光特性可以是透光的也可以是不透光的。但是优选的基片应该没有变形、没有扭曲、有需要的强度。基片具体实例包括：如Fe、Ni、Cr、Al、Mo、Au、Nb、Ta、V、Ti、Pt、Pb等金属薄板，或其合金，如黄铜、不锈钢等，和其复合物；聚酯、聚乙烯、聚碳酸酯、醋酸纤维素、聚丙烯、聚氯乙烯、聚偏二氯乙烯、聚苯乙烯、酰胺、环氧树脂等耐热合成树脂的膜或片，它们与玻璃纤维、碳纤维、硼纤维、金属纤维等的复合物等；用溅射、蒸发、喷涂等在这些金属薄板、树脂片的表面上沉积不同材料的金属膜、和/或 $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{AlN}$ 等电绝缘膜，进行表面覆盖处理所得到的材料；玻璃；陶瓷等。

当用有导电特性等的金属作为基片时，基片也可以用作电极，直接将电流引出。在另一方面，当基片由电绝缘合成树脂等构成时，希望对要沉积膜的表面进行表面处理，例如用电镀、蒸发、溅射等方法在其上沉积金属或合金、或透明导电氧化物（TCO），如Al、Ag、Pt、Au、Ni、Ti、Mo、W、Fe、V、Cr、Cu、不锈钢、黄铜、镍铬铁合金、 $\text{SnO}_2$ 、 $\text{In}_2\text{O}_3$ 、 $\text{ZnO}$ 、ITO（铟锡氧化物）等，预先形成引出电流的电极。

当然即使基片是金属等导电基片，也可以在形成沉积膜的一侧提供不同或相同的另一金属层，以增大基片表面长波长光的反射，防止构成材料在基片材料和沉积膜之间相互扩散，等等。当基片为较透明时，且构成光电元件的结构是光从基片侧入射的层结构时，希望预先沉积和形成导电膜，如上述透明导电氧化物或金属膜。

基片表面可以是称为的平滑表面或细微的不平表面。在细微的不平表面情况下，最好的是不平形状为球形、圆锥形、金字塔形等，最大高度（Rmax）为 $0.05\mu\text{m}$ 到 $2\mu\text{m}$ 。如此，表面的光反射变为不规则反射，由此增加表面反射光的光路长度。

根据应用，基片可以是有平滑表面或不平表面的板状、长带状、圆

柱形等。合适地确定基片的厚度，以形成所需的光电元件。当需要光电元件有可弯曲性能时，或当光从基片侧入射时，在有合适的主要基片功能范围内，厚度可以尽量小。但是考虑基片的制备、处理和机械强度等，厚度通常不小于 $10\mu\text{m}$ 。

#### （背面电极）

用于本发明光电元件的背面电极102、202、302是置于相对光入射侧来说的半导体层背面侧。因此，在图1的层结构中，它置于102的位置；相反，在基片101为透明且光通过基片进入半导体层时，背面电极置于110位置处。背面电极的材料包括：例如，金、银、铜、铝、镍、铁、铬、钼、钨、钛、钴、钽、铌、锆等金属，或不锈钢等合金。其中特别优选的材料是有高反射率的金属，如铝、铜、银、金等。当用高反射的金属时，背面电极也可以作为光反射层，来将半导体层没有吸收的光反射回半导体层。可以堆叠两层或多层两种或多种材料来形成背面金属反射层。

背面电极的形状可以是平板，但是背面电极更好有用来散射光的不平形状。提供这种不平形状可以散射半导体层没有吸收的长波长光，以延伸半导体层中的光路。这会增强光电元件对长波长光的灵敏度，增大短路电流，由此提高光电转换效率。希望散射光的不平形状是：顶部与底部不平之间的差异 $R_{\max}$ 在 $0.2\mu\text{m}$ 到 $2\mu\text{m}$ 。但是注意，在基片作为背面电极的情况下，有时不需要形成背面电极。

例如用蒸发、溅射、电镀、印刷等形式形成上述背面电极。将形成的金属或合金膜进行干法刻蚀工艺、湿法腐蚀工艺、喷沙工艺、或热处理等来在背面电极上形成散射光的不平形状。也可以在蒸发前面金属或合金的同时加热基片来形成散射光的不平形状。

#### （透明导电层）

用于本发明光电元件的透明导电层103、203置于背面金属反射层102、202与半导体层104、204之间，其目的如下。

（1）增强光电元件背面的不规则反射，通过薄膜的多次干涉将光限制在光电元件内，延长半导体层中的光路，增大光电元件的短路电流

( Jsc ) 。

( 2 ) 防止还作为背面电极的背面金属反射层扩散或迁移进半导体层中，由此防止光电元件的旁路。

( 3 ) 具有一定电阻的透明导电层，防止夹住半导体层的背面金属反射层102、202和透明电极110、213之间由于半导体层中的针孔等缺陷而出现短路。

需要上述透明导电层103、203对半导体层的吸收波长区有高的透过率，并有较低的电阻率。在波长650nm以上时的透过率不小于80%较好，不小于85%更好，不小于90%最好。优选电阻率为不小于 $1 \times 10^{-4}$   $\Omega\text{cm}$ 且不大于 $1 \times 10^6 \Omega\text{cm}$ ，不小于 $1 \times 10^{-2} \Omega\text{cm}$ 且不大于 $5 \times 10^4 \Omega\text{cm}$ 更好。

关于透明导电层103、203的材料，较好用导电氧化物，如 $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、ITO( $\text{In}_2\text{O}_3+\text{SnO}_2$ )、 $\text{ZnO}$ 、 $\text{CdO}$ 、 $\text{Cd}_2\text{SnO}_4$ 、 $\text{TiO}_5$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Bi}_2\text{O}_3$ 、 $\text{MoO}_3$ 、 $\text{Na}_x\text{WO}_3$ 等，或其混合物。这些混合物中可以加一些来改变导电性的元素（即掺杂剂）。

关于改变导电性的元素（掺杂剂），较好使用下面掺杂剂，例如，在透明导电层103、203为 $\text{ZnO}$ 的情况下，使用Al、In、B、Ga、Si、F等。在透明导电层103、203为 $\text{In}_2\text{O}_3$ 的情况下，使用F、Te、Tl、Sb、Pb等。在透明导电层103、203为 $\text{SnO}_2$ 的情况下，使用F、Sb、P、As、In、Tl、Te、W、Cl、Br、I等。

关于形成透明导电层103、203的方法，可以使用EB蒸发和溅射蒸发等蒸发方法、各种CVD工艺、喷涂方法、旋涂方法、浸渍法等。

#### ( 透明电极 )

用于本发明光电元件的透明电极110、213、312是光入射侧的电极，它传输光，当优化其厚度时也作为抗反射膜。需要透明电极在半导体层的吸收波长区有高的透过率，且有低的电阻率。在波长550nm的透过率不小于80%较好，不小于85%更好。优选电阻率为不大于 $5 \times 10^{-3} \Omega\text{cm}$ ，不大于 $1 \times 10^{-3} \Omega\text{cm}$ 更好。关于透明电极110、213、312的材料，

较好用导电氧化物，如 $In_2O_3$ 、 $SnO_2$ 、ITO( $In_2O_3+SnO_2$ )、 $ZnO$ 、 $CdO$ 、 $Cd_2SnO_4$ 、 $TiO_5$ 、 $Ta_2O_5$ 、 $Bi_2O_3$ 、 $MoO_3$ 、 $Na_xWO_3$ 等，或其混合物。这些混合物可以加一些来改变导电性的元素（即掺杂剂）。

关于改变导电性的元素（掺杂剂），较好使用下面掺杂剂，例如，在透明电极110、213、312为 $ZnO$ 的情况下，使用Al、In、B、Ga、Si、F等。在透明电极110、213、312为 $In_2O_3$ 的情况下，使用F、Te、Tl、Sb、Pb等。在透明电极110、213、312为 $SnO_2$ 的情况下，使用F、Sb、P、As、In、Tl、Te、W、Cl、Br、I等。

而且，关于形成透明电极110、213、312的方法，可以使用蒸发方法、CVD工艺、喷涂方法、旋涂方法、浸渍法等。

#### （收集电极）

如果需要，在透明电极110、213、312的电阻率不是足够低的部分透明电极110、213、312上，形成用于本发明光电元件的收集电极111、214、313，使收集电极减小电极的电阻率，并进而减小光电元件的串联电阻。收集电极材料的实例包括：金、银、铜、铝、镍、铁、铬、钼、钨、钛、钴、钽、铌、锆等金属，或不锈钢等合金，或使用粉末金属的导电膏等。需要有上述功能的收集电极的形状是尽量避免挡住到半导体层的光，例如，树枝状或梳状。

收集电极占整个光电元件的面积的百分比不大于较好15%，不大于10%更好，不大于5%最好。

用掩模形成收集电极的图形，形成方法包括，例如，蒸发、溅射、电镀、印刷等。

当用本发明的光电元件制备所需输出电压和输出电流的光电器件（组件或面板）时，串联或并联本发明的光电元件，在正面和背面形成保护层，附设输出引出电极。当本发明的光电元件串联时，有时加上防反偏的二极管。

#### [实例]

下面用非单晶硅基半导体材料制备的光电元件的实例来详细说明本发明，但是应该注意，本发明并不限于这些实例。

## (实例1) ( $\mu$ c-SiC/ $\mu$ c-Si)

在该例中，如图1所示，用图4A和4B的装置制备的光电元件是包含微晶SiC和微晶Si的双电池型光电元件( $\mu$ c-SiC/ $\mu$ c-Si)。

根据下面制造步骤(1)到(11)制备本例的光电元件。

- (1) 清洗基片101
- (2) 形成背面电极102
- (3) 形成透明导电层103
- (4) 形成包括n型氢化非晶硅层(简写为 $\alpha$ -n层)和n型微晶硅层(简写为 $\mu$ c-n层)的n型半导体层104
- (5) 形成包括微晶硅(简写为 $\mu$ c-Si)的本征半导体层(简写为 $\mu$ c-i层)
- (6) 形成p型微晶硅层106
- (7) 形成包括 $\alpha$ -n层和 $\mu$ c-n层的n型半导体层
- (8) 形成含微晶SiC作为主要成分的i型半导体层108
- (9) 形成p型微晶SiC层109
- (10) 形成透明电极110
- (11) 形成收集电极111

下面详细说明上述制备步骤。

### (1) 清洗基片101

基片101为不锈钢(SUS430BA)基片，厚度0.5mm，面积 $50 \times 50\text{mm}^2$ 。形成膜前，用超声波在丙酮和异丙醇中清洗基片101，并用热空气干燥。

### (2) 形成背面电极102

室温下用已知的DC磁控溅射法于基片101的表面形成 $0.3\mu\text{m}$ 厚的银背面电极102。

### (3) 形成透明导电层103

在 $300^\circ\text{C}$ 的基片温度下，用DC磁控溅射方法在背面电极102上形成 $1.0\mu\text{m}$ 厚的ZnO构成的透明导电层103。

### (4) 形成包括n型氢化非晶硅层(简写为 $\alpha$ -n层)和n型微晶硅层(简

写为 $\mu$ c-n层) 的n型半导体层104

用图4A和4B的装置在透明导电层103上形成20nm厚的 $\alpha$ -n层。

沉积系统400是这样的装置，它具有进料室401和出料室405，用来堆叠多个半导体层，同时在减压下于多个膜形成室之间运载基片。将该装置设计成进行微波等离子体CVD工艺和RF等离子体CVD工艺。用该装置在基片上形成各半导体层。

未示出的源气体瓶通过气体输入管连接到沉积系统。所有源气体瓶都是纯化为超高纯度的气体，连接的气体瓶是SiH<sub>4</sub>气体瓶、SiH<sub>4</sub>/H<sub>2</sub>气体瓶(用H<sub>2</sub>稀释的SiH<sub>4</sub>，浓度为10%)、CH<sub>4</sub>气体瓶、CH<sub>4</sub>/H<sub>2</sub>气体瓶(CH<sub>4</sub>浓度为10%)、GeH<sub>4</sub>气体瓶、Si<sub>2</sub>H<sub>6</sub>气体瓶、PH<sub>3</sub>/H<sub>2</sub>气体瓶(PH<sub>3</sub>浓度2%)、BF<sub>3</sub>/H<sub>2</sub>气体瓶(BF<sub>3</sub>浓度2%)、H<sub>2</sub>气体瓶。

(4-1) 将其上已经形成有ZnO层构成的透明导电层的基片490放置在进料室401中用来传送基片的导轨413上，然后用未示出的真空排气泵将进料室401的压力抽空到不大于 $1 \times 10^{-5}$ Torr。

(4-2) 打开门阀406，基片490传送到用未示出的抽空泵预先抽空的传送室402和沉积室417。

(4-3) 基片490的背面与用来加热基片的加热器410紧密接触，以进行加热，用未示出的抽空泵将沉积室417抽空到压力不大于 $1 \times 10^{-5}$ Torr。

如上所述，完成膜形成的准备。

根据下面步骤用RF等离子体CVD工艺形成 $\alpha$ -n层。

(4-4-1) 用气体输入管429将H<sub>2</sub>气体引入沉积室417，用未示出的阀和未示出的质量流量控制器将H<sub>2</sub>气体的流量调整为50sccm。用未示出的传导阀将沉积室417里面的压力调整到1.2Torr。

(4-4-2) 设置加热基片的加热器，使基片490的温度为350℃。当基片温度稳定时，控制未示出的阀门，用气体输入管429将SiH<sub>4</sub>气体和PH<sub>3</sub>/H<sub>2</sub>气体引入沉积室417。此时，用质量流量控制器将SiH<sub>4</sub>的流量调整为2sccm、H<sub>2</sub>气体的流量调整为50sccm、PH<sub>3</sub>/H<sub>2</sub>的流量调整为

0.5sccm，淀积室417内部的压力调整到1.2Torr。

(4-5) 13.56MHz的RF高频波（此后简称为“RF”）功率源422的功率设置为 $8\text{mW/cm}^3$ ，将RF功率引入形成等离子体的杯420中，即RF电极上，感应辉光放电，开始在基片上形成 $\alpha$ -n层。当 $\alpha$ -n层形成有20nm厚时，关闭RF功率源，终止辉光放电，完成 $\alpha$ -n层的形成。在形成 $\alpha$ -n层的过程中卷绕基片，并给RF电极420加+13V的自偏压。

接着用相同的淀积系统形成15nm厚的 $\mu$ c-n层。

(4-6)  $\mu$ c-n层的形成步骤和 $\alpha$ -n层的形成步骤类似，但是含微晶硅的n型层是在下面形成条件下形成的：SiH<sub>4</sub>/ H<sub>2</sub>=4sccm，PH<sub>3</sub>/ H<sub>2</sub>=0.5sccm，H<sub>2</sub>=100sccm，RF功率= $55\text{mW/cm}^3$ ，基片温度=300℃，压力=1.0Torr。

(4-7) 此后，停止向淀积室417中的SiH<sub>4</sub>气体流和PH<sub>3</sub>/ H<sub>2</sub>气体流，将H<sub>2</sub>气体在淀积室中保持五分钟。然后停止H<sub>2</sub>气体流，将淀积室内部和气体管道抽空到 $1 \times 10^{-5}$ Torr以下。

(5) 形成包括微晶硅( $\mu$ c-Si)的本征半导体层(简写为 $\mu$ c-i层)

根据下面步骤，用微波等离子体CVD工艺形成2μm厚的 $\mu$ c-Si构成的i型半导体层105。

(5-1) 打开门阀407，基片490传送进传送室403和用未示出的抽空泵预先抽空的i层淀积室418。

(5-2) 基片490的背面与加热基片的加热器411紧密接触，进行加热，用未示出的抽空泵将i层淀积室418抽空到不大于 $1 \times 10^{-5}$ Torr的压力。

(5-3) 为了形成i型层，设置加热基片的加热器411，使基片490的温度为350℃；当充分加热基片时，逐渐打开未示出的阀门，让SiH<sub>4</sub>和H<sub>2</sub>气体通过气体输入管449流进i层淀积室418。此时，分别用未示出的质量流量控制器将SiH<sub>4</sub>流量调整为50sccm、H<sub>2</sub>流量调整为1500sccm。控制未示出的传导阀的开口将i层淀积室418内部的压力调整到25mTorr。

(5-4) 将来自未示出的频率为2.45GHz的微波功率源的50mW/cm<sup>3</sup>的微波功率通过用来引入微波的波导426、和用来引入微波的窗口425引入i层淀积室418，以感应辉光放电；同时，将25mW/cm<sup>3</sup>的RF功率从13.56MHz的RF功率源424加到偏置条428。加RF功率的偏置条428相对接地的淀积室悬浮，且其上加220V的自偏压。基片490和与之接触的用来加热基片的加热器411也悬浮，从DC电源在其上加-3V的电压。

(5-5) 打开阀门427，开始在n层上制备i层。当i层厚度为2μm时，停止微波辉光放电，关闭RF功率源424的输出，完成i层105的制备。

(5-6) 关闭未示出的阀门，停止向i层淀积室418中的SiH<sub>4</sub>气体流。淀积室418中的H<sub>2</sub>气体保持2分钟。然后关闭未示出的阀门，将i层淀积室418和气体管道抽空到 $1 \times 10^{-5}$ Torr以下。

顺便提及，形成光电元件后，垂直基片切割光电元件，用透射电子显微镜(TEM)观察剖面，关于i型半导体层为微晶硅的结果是：微晶体积百分比为90%，关于微晶晶粒的尺寸，垂直半导体层形成表面方向的平均长度是水平方向的平均长度的10倍。从X光衍射测量结果可知，估计微晶的平均粒径为16nm。

#### (6) 形成p型微晶硅层106

根据下面步骤形成10nm厚的包括微晶硅的p层。

(6-1) 打开门阀408，基片490传送进传送室404和用未示出的抽空泵预先抽空的p层淀积室419。

(6-2) 基片490的背面与加热基片的加热器412紧密接触，进行加热，用未示出的抽空泵将p层淀积室419抽空到不大于 $1 \times 10^{-5}$ Torr的压力。

(6-3) 设置加热基片的加热器412，使基片490的温度为230℃；基片温度稳定后，控制未示出的阀门，让H<sub>2</sub>气体通过气体输入管469流进p层淀积室419。此时，用质量流量控制器将H<sub>2</sub>流量调整为80sccm。调整未示出的传导阀的开口将p层淀积室419内部的压力控制到2.0Torr。

(6-4) RF功率源423设置为 $150\text{m W/cm}^3$ 的微波功率，并将RF功率引入用来形成等离子体的杯421中，以感应辉光放电。 $\text{H}_2$ 等离子体工艺进行30秒后，关闭RF功率源停止辉光放电，由此完成 $\text{H}_2$ 等离子体工艺。

(6-5) 控制未示出的阀门，通过气体引入管469将 $\text{H}_2$ 气体、 $\text{BF}_3/\text{H}_2$ 、和 $\text{SiH}_4/\text{H}_2$ 引入沉积室419。此时，分别用质量流量控制器将 $\text{H}_2$ 流量调整为40sccm、10%浓度的 $\text{SiH}_4/\text{H}_2$ 流量调整为0.2sccm、2%浓度的 $\text{BF}_3/\text{H}_2$ 流量调整为0.5sccm。调整未示出的传导阀的开口将沉积室419内部的压力调整到2Torr。

(6-6) RF功率源423设置为 $150\text{m W/cm}^3$ 的微波功率，并将RF功率引入用来形成等离子体的杯421中，以感应辉光放电。形成10nm厚的 $\mu\text{c-p}$ 层后，关闭RF功率源停止辉光放电，由此完成 $\mu\text{c-p}$ 层106的形成。在形成 $\mu\text{c-p}$ 层的过程中，卷绕基片，并给RF电极421加+130V的自偏压。

(6-7) 关闭未示出的阀门，停止向p层沉积室419中的 $\text{SiH}_4/\text{H}_2$ 和 $\text{BF}_3/\text{H}_2$ 气体流。沉积室419中的 $\text{H}_2$ 气体流保持3分钟。然后关闭未示出的阀门，停止 $\text{H}_2$ 气体流，将p层沉积室419和气体管道抽空到 $1 \times 10^{-5}\text{Torr}$ 以下。

#### (7) 形成包括 $\alpha\text{-n}$ 层和 $\mu\text{c-n}$ 层的n型半导体层

基片490再传送进沉积室417，在其中以与步骤(4)相同的步骤形成10nm厚的包括 $\alpha\text{-n}$ 层和 $\mu\text{c-n}$ 层的n型半导体层107。但是基片温度为300°C。

#### (8) 形成含微晶SiC作为主要成分的i型半导体层108

基片490再传送进沉积室418，在其中以与步骤(5)相同的步骤形成0.8μm厚的含微晶SiC的i型半导体层108。此时形成条件如下： $\text{SiH}_4 = 37\text{sccm}$ ,  $\text{CH}_4 = 13\text{sccm}$ ,  $\text{H}_2 = 1500\text{sccm}$ , 压力 = 20mTorr, 微波功率 =  $80\text{m W/cm}^3$ , RF功率 =  $40\text{m W/cm}^3$ , 基片DC电压 = -4V, 基片温度 = 320°C。其上加RF功率的偏置条428上加-290V的自偏压。

进行与步骤（5）相同的测量，结果是，微晶体积百分比为80%，关于微晶粒径，垂直半导体层形成表面方向上的平均长度是水平方向的6倍。通过拉曼谱的测量，观察到了微晶SiC峰和微晶Si峰，估计微晶SiC的平均粒径为7nm、微晶Si的平均粒径为10nm。用俄歇电子谱（AES）测量时， $(\text{Si}_{1-x}\text{C}_x)$ 中碳的组分比x为x=0.25。用傅里叶变换红外谱（FT-IR）估计时，氢含量（CH）为CH = 4%。

#### （9）形成p型微晶SiC层109

（9-1）基片490再传送进淀积室419，在其中以与步骤（6）相同的步骤进行30秒的H<sub>2</sub>等离子体工艺，但是基片温度为200℃。此后，形成20nm厚的p型微晶SiC层109。此时形成条件如下：SiH<sub>4</sub>/ H<sub>2</sub> = 0.25sccm, CH<sub>4</sub>/ H<sub>2</sub> = 0.1sccm, BF<sub>3</sub>/ H<sub>2</sub>=0.5sccm, H<sub>2</sub> = 50sccm, 压力 = 1.5Torr, RF功率 = 170mW/cm<sup>3</sup>, 基片温度 = 200℃。

（9-2）打开门阀409，将基片490传送进用未示出的抽空泵预先抽空的出料室405，打开未示出的漏气阀，使出料室40排气。

#### （10）形成透明电极110

将有25个孔（面积0.25cm<sup>2</sup>）的掩模放置在p型微晶SiC层109上，用电阻加热真空蒸发法形成70nm厚的由ITO（In<sub>2</sub>O<sub>3</sub>+SnO<sub>2</sub>）构成的透明导电层110。

#### （11）形成收集电极111

将有十字形孔的掩模放在透明导电层110上，用电子束真空蒸发方法形成由Cr(40nm)/Ag(1000nm)/Cr(40nm)构成的十字形的收集电极111。

根据上述步骤（1）到（11）制备本例的光电元件。半导体层的主要形成条件列于下面表1中。

表1

层名称	气体流量(sccm)	压力	功率	基片DC 电压	基片温度	厚度
$\alpha$ -n层	$\text{SiH}_4=2$ $\text{H}_2=50$ $\text{PH}_3/\text{H}_2 \text{ H}_2=0.5$	1.2Torr	RF功率 $8\text{mW/cm}^3$	0V	350 °C 和 300 °C	20nm和15nm
$\mu\text{c}$ -n层	$\text{SiH}_4/\text{H}_2=4$ $\text{H}_2=100$ $\text{PH}_3/\text{H}_2=0.5$	1.0Torr	RF功率 $55\text{mW/cm}^3$	0V	300°C	15nm和10nm
$\mu\text{c}$ Si-i层	$\text{SiH}_4=50$ $\text{H}_2=1500$	25mTorr	微波功率 $50\text{mW/cm}^3$ RF功率 $25\text{mW/cm}^3$	-3V	350°C	$2\mu\text{m}$
$\mu\text{c}$ SiC-i层	$\text{SiH}_4=37$ $\text{CH}_4=13$ $\text{H}_2=1500$	20mTorr	微波功率 $80\text{mW/cm}^3$ RF功率 $40\text{mW/cm}^3$	-4V	320°C	$0.8\mu\text{m}$
H <sub>2</sub> 等离子体工艺	H <sub>2</sub> =80	2.0Torr	RF功率 $150\text{mW/cm}^3$	0V	230 °C 和 200 °C	时间30秒
$\mu\text{c}$ Si-p层	$\text{SiH}_4/\text{H}_2=0.2$ $\text{H}_2=40$ $\text{BH}_3/\text{H}_2=0.5$	2.0Torr	RF功率 $150\text{mW/cm}^3$	0V	230°C	10nm
$\mu\text{c}$ SiC-p层	$\text{SiH}_4/\text{H}_2=0.25$ $\text{CH}_4/\text{H}_2=0.1$ $\text{H}_2=50$ $\text{BH}_3/\text{H}_2=0.5$	1.5Torr	RF功率 $170\text{mW/cm}^3$	0V	200°C	20nm

根据上述步骤制备5个光电元件。然后将每个光电元件分成25个子电池，再进行下面测量。关于每项评估，用光电元件的 $5 \times 25 (= 125)$ 个子电池计算平均值。

### (a) 光电元件成品率

在暗处给光电元件加 -1.0V 的反偏压，测量旁路电阻。旁路电阻的参考值设置为  $3.0 \times 10^4 \Omega \text{cm}^2$ 。当子电池测量结果中旁路电阻超过该参考值时，认为子电池为可接受的子电池。可接受的子电池的数量除以 125，该结果为光电元件的成品率。

### (b) 初始光电转换效率

使用模拟太阳，在 AM1.5、 $100\text{mW/cm}^2$  的光照下放置光电元件， $25^\circ\text{C}$  下测量光电元件的 V-I 特性。从测量结果得到光电转换效率，从旁路电阻超过参考值的子电池的结果来计算平均值，由此得到初始光电转换效率。

### (c) 光辐照后的特性

对制备的光电元件进行光退化试验。使用模拟太阳，在 AM1.5、 $100\text{mW/cm}^2$  的光照下，在  $50^\circ\text{C}$  开路状态下辐照光电元件 1000 小时，再在 (b) 的条件下测量 V-I 特性。用光辐照后，测量光电元件的光电转换效率 ( $\eta$ )、开路电压 ( $V_{oc}$ )、短路电流 ( $J_{sc}$ )、填充因子 (FF)。根据下面公式计算光退化率：(光退化率) = 1 - (光辐照后的光电转换效率 / 初始光电转换效率)。

### (d) 耐久性试验

对光电元件进行下面试验：在温度为  $85^\circ\text{C}$  且湿度为 85% 的暗处保持 100 小时，且加 -0.85V 的反偏压 (HHRB 试验)。此后，在上述条件下重新测量光电转换效率，以与光退化率相同的方式计算 HHRB 退化率。

### (比较例 1) ( $\alpha\text{-Si}/\mu\text{c-Si}$ )

本例与实例 1 的不同之处在于：用通过已知的 RF 等离子体 CVD 工艺形成  $\alpha\text{-Si:H}$  的 i 层，代替实例 1 中的微晶 SiC - i 层。 $\alpha\text{-Si:H}$  的 i 层的主要制备条件如下：基片温度  $250^\circ\text{C}$ ，淀积速率  $0.15\text{nm/sec}$ ，膜厚度  $220\text{nm}$ 。换句话说，制备的堆叠 ( $\alpha\text{-Si}/\mu\text{c-Si}$ ) 光电元件有这样的结构：用  $\alpha\text{-Si:H}$  作 i 层的 pin 结堆叠在用微晶 Si 作 i 层的 pin 结上。

其它点和实例 1 相同。

和实例 1 一样制备 5 个光电元件。此后，计算成品率，在  $25^\circ\text{C}$  测量初

始光电转换效率。而且，按与实例1相同的方式进行光退化试验，测量光辐照后光电元件的光电转换效率、开路电压( $V_{oc}$ )、短路电流( $J_{sc}$ )、填充因子(FF)，并计算光退化率。而且按与实例1相同的方式进行耐久性试验，并计算HHRB退化率。

表2表示实例1和比较例1中各特性的测量结果。

实例1得到的初始光电转换效率和光辐照后的光电转换效率(辐照后效率)、和比较例1得到的初始光电转换效率用相对1的归一化值表示，这里1作为比较例1中得到的辐照后的平均效率。

实例1得到的光辐照后的开路电压( $V_{oc}$ )、短路电流( $J_{sc}$ )、填充因子(FF)也用相对于1的归一化值表示，这里1为比较例1中得到的光辐照后各特性的平均值。

表2

	实例1	比较例1
成品率(%)	92	73
初始效率	1.18	1.20
光退化率(%)	3.5	17
光辐照后的效率	1.14	1
光辐照后的 $V_{oc}$	1.00	1
光辐照后的 $J_{sc}$	1.02	1
光辐照后的FF	1.12	1
HHRB退化百分比(%)	4.0	10

从表2可见，和比较例1相比，本发明的实例1的元件在光辐照后光退化率显著减小、效率大大提高。这主要是因为光辐照后的填充因子(FF)增大。另外，光电元件的成品率大大提高，HHBR退化率减小，增强了光电元件的耐久性。

### (实例2)

该例和实例1的不同之处在于：在淀积微晶SiC-i层108时，形成条件中的 $\text{SiH}_4$ 和 $\text{CH}_4$ 的流量、RF功率、和基片的DC电压随时间而改变，从而改变微晶SiC-i层中( $\text{Si}_{1-x}\text{Cx}$ )碳的组分比x，并进而在膜厚度方向

改变微晶Si或微晶SiC的粒径和体积百分比。

除了上述几点之外，用与实例1相同的方式制备实例2的光电元件。

在沉积过程中，微晶SiC-i层108的沉积条件在沉积开始时称为A，在碳的组分比最小时为B，沉积结束时为C。在各沉积条件之间连续改变沉积条件。

溅射微晶SiC-i层108，制备光电元件后，用俄歇电子谱（AES）测量深度方向的分布来进行成分分析。结果示于图5A。微晶SiC-i层的总厚度为 $0.8\mu\text{m}$ 。根据溅射速率来计算深度的结果表明，从沉积条件A到沉积条件B得到的厚度为 $0.6\mu\text{m}$ 。

而且，通过透射电子显微镜（TEM）观察膜剖面的结果，估计微晶SiC-i层108的粒径和体积百分比，分别发现如图5B和5C所示的厚度方向上的分布。

而且，在条件A、B、和C下，于不锈钢基片上只沉积微晶SiC-i层来制备样品，用拉曼谱进行测量。关于这些样品，计算约 $740\text{cm}^{-1}$ 的拉曼峰与约 $520\text{cm}^{-1}$ 的拉曼峰的相对强度，得到图5D结果。从图5D发现，在条件B下的样品其微晶Si与微晶SiC的比大于条件A和C下的样品。

表3表示沉积条件的变化和碳组分比、微晶粒径、体积百分比、拉曼峰相对强度变化的结果。

表3

沉积条件	A	B	C
SiH <sub>4</sub> (sccm)	33	42	33
CH <sub>4</sub> (sccm)	17	8	17
H <sub>2</sub> (sccm)	1500	1500	1500
压力(mTorr)	30	30	20
微波功率(mW/cm <sup>3</sup> )	80	50	50
RF功率(mW/cm <sup>3</sup> )	30	25	40
DC偏置(V) (偏置条)	-290	-220	-220
基片DC电压(V)	-3	-3	-4
基片温度(℃)	320	320	320
n层厚度(nm)	0	0.6	0.8
碳的组分比x	0.35	0.15	0.35
微晶粒径(nm)	8	14.5	15
体积百分比(%)	70	88	90
拉曼峰比(740cm <sup>-1</sup> /520cm <sup>-1</sup> )	1.2	0.2	1.0

图5A到5D分别表示条件A、B、和C下碳组分比、微晶的平均粒径、体积百分比、拉曼峰的相对强度。

从表3和图5A到5D可明白下面各点。

(1) 由于沉积条件的变化，使碳组分比、微晶的粒径、体积百分比、拉曼峰的相对强度变化。

(2) 从条件A到条件B，即从与n层的界面到最小碳组分比的厚度处，平均粒径和体积百分比随微晶SiC-i层中碳组分比的减小而增大。

(3) 从条件B到条件C，即从最小碳组分比的厚度到与p层的界面处，平均粒径和体积百分比随微晶SiC-i层中碳组分比的增大而增大。

与实例1一样制备5个光电元件。此后，计算成品率，在25℃测量初始光电转换效率。而且，按与实例1相同的方式进行光退化试验，测量光辐照后光电元件的光电转换效率、开路电压(V<sub>oc</sub>)、短路电流(J<sub>sc</sub>)、

填充因子（FF），并计算光退化率。而且按实例1相同的方式进行耐久性试验，并计算HHRB退化率。

表4表示实例2中各特性的测量结果。与实例1一样，各特性用相对于1的归一化值表示，所说1为比较例1中得到的辐照后的相应特性的平均值。

表4

	实例2
成品率（%）	94
初始效率	1.25
光退化率（%）	3.0
光辐照后的效率	1.21
光辐照后的Voc	1.03
光辐照后的Jsc	1.02
光辐照后的FF	1.15
HHRB退化百分比（%）	4.0

从表4可见，与比较例1相比，本发明的实例2的元件在光辐照后光退化率显著减小、效率大大提高。这主要是因为光辐照后的开路电压（Voc）和填充因子（FF）增大。另外，光电元件的成品率大大提高，HHRB退化率减小，增强了光电元件的耐久性。可以肯定，通过改变微晶SiC层中的碳的组分比x来改变厚度方向微晶的粒径和体积百分比，得到了比实例1更好的特性。

### （实例3）

在本例中，制备如图2所示的堆叠3个pin结的三重光电元件。本例的光电元件的特征在于：从光入射侧算起时，第一个pin结215有包括微晶SiC的i型半导体层211，第二个pin结216有包括微晶Si的i型半导体层208，第三个pin结217有包括微晶SiGe的i型半导体层205。

用前面说明过的图6A和6B所示的卷到卷方法的形成装置，按下面步骤制备本例的光电元件。

#### （1）在图6A和6B的装置中放置基片

基片为带状不锈钢片（SUS430BA），其长度100m、宽度30cm、厚度0.15mm。用真空容器（未示出）中的馈送卷轴（未示出）卷绕SUS430BA片，旋转连接到钢片一端的卷绕轴来馈送SUS430BA片，进行Ar等离子体的RF等离子体腐蚀。

(2) 在表5的条件下，用卷到卷方法的DC磁控溅射形成Al构成的反射层、和ZnO构成的透明导电层。

(3) 在表5的条件下，用卷到卷CVD装置制备光电元件。

具体说，形成包括具有本发明特定特征的 $\mu$ c-SiC、 $\mu$ c-Si、 $\mu$ c-SiGe的i层的条件示于表6中。在该例中，从双极DC电源给RF偏置电极加DC电压，不给基片加DC偏置，并控制RF偏置电极的DC偏置值，由此来控制入射到基片的正离子。

(3-1) 上述SUS430BA片卷绕到馈送辊筒625（平均曲率半径为30cm），然后放入基片传送室601，接着通过各沉积室。此后，将基片的侧部卷到基片卷绕轴627上。

(3-2) 用真空泵抽空整个装置，打开各沉积室中的灯加热器，将各沉积室中的基片温度设置为预定温度。

(3-3) 当整个装置的压力为1mTorr以下时，清除气流进清除气输入口619，基片卷绕到卷绕轴上，同时沿图中箭头方向移动。

(3-4) 源气体可以流进各沉积室。此时，调整流进各分离通道的清除气的流量、或各沉积室的压力，防止流进各沉积室的源气体扩散进另一个沉积室。

(3-5) 然后将RF功率、或微波功率和RF偏置功率引入各室中，产生等离子体，在表6的条件下，按下面步骤沉积各半导体层，由此形成三个pin结。

(3-5-1) 第一pin结

关于第一个pin结，用RFCVD工艺在沉积室602中沉积包括 $\alpha$ -Si的n11层、在沉积室603中沉积包括 $\mu$ c-Si的n12层，由此形成第一n层204。然后用微波CVD工艺在沉积室604中形成包括 $\mu$ c-SiGe的i1层205，再用RFCVD工艺在沉积室605中形成包括 $\alpha$ -Si的非常薄的n12层（未示出）。

而且，在沉积室606中形成包括 $\mu$ c-Si的p1层206。

### (3-5-2) 第二pin结

关于第二个pin结，用RFCVD工艺在沉积室607中沉积包括 $\alpha$ -Si的n21层、在沉积室608中沉积包括 $\mu$ c-Si的n22层，由此形成第二n层207。然后用微波CVD工艺在沉积室609中形成包括 $\mu$ c-Si的i2层208，再在沉积室610中形成包括 $\mu$ c-Si的p2层209。

### (3-5-3) 第三pin结

关于第三个pin结，用RFCVD工艺在沉积室611中沉积包括 $\alpha$ -Si的n31层、在沉积室612中沉积包括 $\mu$ c-Si的n32层，由此形成第三n层210。然后用微波CVD工艺在沉积室613中形成包括 $\mu$ c-SiC的i3层211，再在沉积室614中形成包括 $\mu$ c-SiC的p3层212。

(3-6) 当所有基片都卷上以后，停止从所有微波源和RF功率源引入功率，终止等离子体，停止源气体和清除气的流动。基片卷绕室615漏气后，取出卷绕辊。

(3-7) 在表5的条件下，用反应溅射系统在第三个pin结上制备透明电极213。

(3-8) 用丝网印刷法印刷5 $\mu$ m厚、线宽为0.5mm的碳膏，再在其上印刷10 $\mu$ m厚、线宽为0.5mm的银膏，由此形成收集电极。

(3-9) 将卷形光电元件切割成250mm×100mm大小。

通过上述步骤利用卷到卷方法制备了三重光电元件。

表5

名称	序号	材料(沉积室)	厚度	主要形成条件
基片表面处理	201	不锈钢片 SUS430-BA	0.15mm	RF溅射 RF功率 = 300W 处理时间 = 10min 基片温度 = 室温
背面电极	202	Al	100nm	基片温度=室温
透明导电层	203	ZnO	1.0μm	基片温度=250℃
n11层	204	α-Si(602)	20nm	
n12层	204	μc-Si(603)	10nm	
i1层	205	μc-SiGe(604)	1.5μm	
i12层		α-Si(605)	10nm	
p1层	206	μc-Si(606)	10nm	
n21层	207	α-Si(607)	10nm	
n22层	207	μc-Si(608)	10nm	
i2层	208	μc-Si(609)	1.7μm	
p2层	209	μc-Si(610)	10nm	
n31层	210	α-Si(611)	10nm	
n32层	210	μc-Si(612)	10nm	
i3层	211	μc-SiC(613)	0.7μm	
p3层	212	μc-SiC(614)	12nm	
透明电极	213	ITO	70nm	
收集电极	214	银膏	10μm	

表6

各i层沉积条件	i1层205	i2层208	i3层211
SiH <sub>4</sub> (sccm)	42	70	52
CH <sub>4</sub> (sccm)			18
GeH <sub>4</sub> (sccm)	28		
H <sub>2</sub> (sccm)	2100	2100	2100
压力(mTorr)	30	25	20
微波功率(mW/cm <sup>3</sup> )	45	50	80
RF功率(mW/cm <sup>3</sup> )	25	25	40
DC偏置(V)(DC电源控制)	-100	-100	-100
基片温度(℃)	350	320	300
厚度(μ)	1.5	1.7	0.7
微晶粒径(nm)	16	17	13
体积百分比(%)	90	90	85

接着为了评估光电元件的特性，从形成的100m长的光电元件的每20m切割和选择5个250mm×100mm的光电元件，腐蚀每个光电元件的透明电极，分为36个子电池。

与实例1一样，得到光电元件的成品率，在25℃测量初始光电转换效率。而且，按与实例1相同的方式进行光退化试验，测量光辐照后光电元件的光电转换效率、开路电压( $V_{oc}$ )、短路电流( $J_{sc}$ )、填充因子( $FF$ )，并计算光退化率。而且按实例1相同的方式进行耐久性试验，并计算HHRB退化率。

表7表示实例3中各特性的测量结果。与实例1一样，各特性用相对于1归一化值表示，其中1为比较例1中得到的辐照后的相应特性的平均值。

表7

	实例3
成品率 (%)	96
初始效率	1.38
光退化率 (%)	2.0
光辐照后的效率	1.35
光辐照后的Voc	1.32
光辐照后的Jsc	0.90
光辐照后的FF	1.14
HHRB退化百分比 (%)	2.5

从表7可见，与比较例1相比，本发明的实例3的元件在光辐照后光退化率显著减小、效率大大提高。这主要是因为光辐照后的开路电压（Voc）和填充因子（FF）极大增大。光辐照后Jsc稍微减小的原因是：由于三重光电元件的结构，使每个pin结的光吸收降低。但是，由于采用 $\mu\text{c-SiC}/\mu\text{c-Si}/\mu\text{c-SiC}$ 的三电池型光电元件的结构，Voc和FF大大增大，由此实现了比实例1更好的特性。还发现光电元件的成品率大大提高，HHRB退化率减小，增强了光电元件的耐久性。

#### （实例4）

本例和实例3的不同之处在于：当形成包括微晶SiC的i3层211时，通过改变在带状基片传送方向的SiH<sub>4</sub>气体与CH<sub>4</sub>气体的流量比、有效微波功率、有效RF偏置功率，微晶中的碳的组分比、粒径、和体积百分比在厚度方向如图7A到7C所示地变化。

在图7A到7C中，A表示n层210与i3层211之间的界面，B表示碳组分比最小的厚度处，C表示i3层211与p3层212之间的界面。用AES分析深度方向来评估组分比，用X光衍射和TEM来观察微晶的粒径和体积百分比。

从图7A到7C发现，从A点到B点，即从与n层的界面到最小碳组分比的厚度处，平均粒径和体积百分比随微晶SiC-i层中碳组分比的减小而增大。还发现，从点B到点C，即从最小碳组分比的厚度到与p层的界

面处，平均粒径和体积百分比随微晶SiC-i层中碳组分比的增大而增大。

本例与实例3的不同之处还在于：当形成包括微晶SiGe的i1层205时，通过改变在带状基片传送方向的SiH<sub>4</sub>气体与GeH<sub>4</sub>气体的流量比、有效微波功率、有效RF偏置功率，微晶中的锗的组分比、粒径、和体积百分比在厚度方向如图8A到8C所示地变化。

在图8A到8C中，D表示n层204与i1层205之间的界面，E表示锗组分开始出现的厚度处，F表示锗组分比最大的厚度处，G表示Ge组分比又变为0的厚度处，H表示i1层205与包括未示出的 $\alpha$ -Si:H的i12层之间的界面。这表明：在i1层205中，从D到E靠近n层的部分、和从G到H靠近p层的部分包括微晶Si。

从图8A到8C发现，从E点到F点，即从与n层的界面附近到最大锗组分比的厚度处，平均粒径和体积百分比随微晶SiGe-i层中锗组分比的增大而增大。还发现，从点F到点G，即从最大锗组分比的厚度到与p层的界面附近，平均粒径和体积百分比随微晶SiGe-i层中Ge组分比的减小而增大。

除了上述各点外，按与实例3一样的方式选择5个光电元件，每个光电元件分为36个子电池。

按与实例1一样的方式，得到光电元件的成品率，在25℃测量初始光电转换效率。而且，按与实例1相同的方式进行光退化试验，测量光辐照后光电元件的光电转换效率、开路电压(V<sub>oc</sub>)、短路电流(J<sub>sc</sub>)、填充因子(FF)，并计算光退化率。而且按与实例1相同的方式进行耐久性试验，并计算HHRB退化率。

表8表示实例4中各特性的测量结果。和实例1一样，各特性用相对1的归一化值表示，这里1为比较例1中得到的辐照后的相应特性的平均值。

表8

	实例4
成品率 (%)	95
初始效率	1.44
光退化率 (%)	2.0
光辐照后的效率	1.41
光辐照后的Voc	1.34
光辐照后的Jsc	0.91
光辐照后的FF	1.15
HHRB退化百分比 (%)	2.5

从表8可见，和比较例1相比，本发明的实例4的元件在光辐照后光退化率显著减小、效率大大提高。这主要是因为光辐照后的开路电压(Voc)和填充因子(FF)极大增加。

还可以肯定，通过如图7A到7C所示地改变包括微晶SiC的i3层211中的碳组分比、微晶的粒径、和体积百分比，并通过如图8A到8C所示地改变包括微晶SiGe的i1层205中的Ge组分比、微晶的粒径、和体积百分比，得到了比实例3更好的特性。还确认，光电元件的成品率大大提高，HHBR退化率减小，增强了光电元件的耐久性。

#### (实例5)

在本例中，制备如图3所示的堆叠2个pin结和一个pn结的三重光电元件。本例的光电元件的特征在于：从光入射侧算起时，第一个pin结314有包括微晶SiC的i型半导体层310，第二个pin结315有包括微晶Si的i型半导体层307，pn结316有包括CuInSe<sub>2</sub>的p型半导体层303。

按下面步骤制备本例的光电元件。

#### (1) 清洗基片301

和实例1一样，使用不锈钢片(SUS430BA)作为基片301。其厚度为0.5mm、面积 $50 \times 50\text{mm}^2$ ，在丙酮和异丙醇中用超声波清洗基片301，然后用热空气干燥。

#### (2) 形成背面电极302

用已知的DC磁控溅射方法在不锈钢基片301的表面形成由 $1\mu\text{m}$ 厚钼(Mo)构成的背面电极302。

### (3) 形成p型半导体层303

用已知的共蒸发方法，在 $220^\circ\text{C}$ 的基片温度下，形成Cu、In、和Se的混晶，并用已知的汽相硒化方法在 $500^\circ\text{C}$ 的基片温度下硒气氛中保持60分钟，由此形成 $2\mu\text{m}$ 厚的p型CuInSe<sub>2</sub>膜303。

### (4) 形成缓冲层304

用已知的溶液生长方法形成 $0.15\mu\text{m}$ 厚的CdS缓冲层304。

### (5) 形成n型半导体层305

用已知的DC磁控溅射法形成 $1\mu\text{m}$ 厚的包括掺Al的ZnO的n型半导体层305。

### (6) 形成半导体层

按与步骤(4)相同的方式和实例1的随后步骤形成半导体层。即按 $\mu\text{c-SiC}/\mu\text{c-Si/CIS}$ 的层结构制备三重光电元件(图3)，具有包括微晶Si的i层的第二pin结315、和包括微晶SiC的i层的第一pin结314。

此时，微波功率的频率用 $500\text{MHz}$ 代替 $2.45\text{GHz}$ ，从金属电极引入微波代替从介质窗口引入。包括微晶SiC的i层310的厚度为 $1.0\mu\text{m}$ ，包括微晶Si的i层307的厚度为 $2.5\mu\text{m}$ ，n层和p层的厚度和实例1相同。按与实例1相反的顺序形成各结的n层和p层，使n层置于光入射侧。

与实例1一样制备5个光电元件，得到光电元件的成品率，在 $25^\circ\text{C}$ 测量初始光电转换效率。按实例1相同的方式进行光退化试验，测量光辐照后光电元件的光电转换效率、开路电压(Voc)、短路电流(Jsc)、填充因子(FF)，并计算光退化率。按实例1相同的方式进行耐久性试验，并计算HHRB退化率。

表9表示实例5中各特性的测量结果。和实例1一样，各特性用相对1的归一化值表示，这里1为比较例1中得到的辐照后的相应特性的平均值。

表9

	实例5
成品率 (%)	92
初始效率	1.51
光退化率 (%)	1.5
光辐照后的效率	1.49
光辐照后的Voc	1.35
光辐照后的Jsc	1.02
光辐照后的FF	1.09
HHRB退化百分比 (%)	3.0

从表9可见，和比较例1相比，本发明的实例5的元件在光辐照后光退化率显著减小、效率大大提高。这主要是因为光辐照后的开路电压(Voc)和填充因子(FF)极大增加。

光电元件的成品率大大提高，HHRB退化率减小，增强了光电元件的耐久性。

而且，通过在光入射侧的相反侧，放置相对于使用包括微晶Si的i层的pin结来说光吸收较大的、使用CuInSe<sub>2</sub>的pn结，可以实现比实例1更好的特性，这是因为pn结吸收那些使用包括微晶Si的i层的pin结没有吸收的长波长光。

如上所述，根据本发明，可以提供以低成本制备的适于实用的光电元件。且几乎没有光退化，有高的光电转换效率。而且还提供了制备光电元件的方法，能用实用的速率形成i型微晶硅和微晶SiC。

下面详细说明本发明的效果。

通过构型光电元件，使包括微晶碳化硅作为i型半导体层主要成分的第一个pin结放置得比包括微晶硅作为i型半导体层主要成分的第二个pin结更靠近光入射侧，可以得到有高初始光电转换效率、低光退化率的光电元件。另外，也可以具有高制备成品率和良好耐久性的光电元件。

通过构型光电元件，除微晶SiC外，使包括微晶碳化硅的i型半导体

层还包括微晶硅作为i型半导体层的主要成分，可以得到有极好光辐照后的稳定效率的光电元件。进一步提高制备成品率和耐久性。

通过构型光电元件，使它有包括微晶硅锗作为i型半导体层主要成分的第三个pin结，且使第二个pin结放在第一pin结和第三pin结中间，可以得到有更高初始光电转换效率的光电元件。

通过构型光电元件，使它具有由包括化合物半导体的p型半导体层、和包括化合物半导体的n型半导体层形成的pn结，且使第二个pin结放在第一pin结和pn结中间，可以得到有更高初始光电转换效率的光电元件。

通过构型光电元件，使包括微晶SiC的i型半导体层中碳的组分比在膜厚度方向变化，最低碳组分比在p型半导体层侧的i型半导体层的一半厚度处，可以进一步提高光电元件的光电转换效率。

通过构型光电元件，使形成i型半导体层的微晶半导体层的平均粒径和/或体积百分比随包括微晶SiC的i型半导体层中碳组分比的变化而改变，可以提高从n型半导体层附近到i型半导体层厚度中间附近的i型半导体层、或者p型半导体层附近的i型半导体层的光电转换效率。

通过构型光电元件，使包括微晶SiC的i型半导体层中微晶半导体的平均粒径不小于3nm且不大于50nm，可以提高光电元件的光电转换效率、降低光退化率。另外还提高光电元件的制备成品率和光电元件的耐久性。

通过构型光电元件，使包括微晶SiC的i型半导体层中微晶半导体的体积百分比不小于30%，可以降低光退化率，且由此得到有高光电转换效率的光电元件。

通过构型光电元件，使形成i型半导体层的微晶半导体层的平均粒径和/或体积百分比随包括微晶SiGe的i型半导体层中锗组分比的变化而改变，可以提高从n型半导体层附近到i型半导体层厚度中间附近的i型半导体层、或者p型半导体层附近的i型半导体层的光电转换效率。

通过用下面步骤形成微晶半导体膜：将引入膜形成空间的膜形成气体的压力设置为50mTorr以下；用频率不小于0.1GHz的高频在膜形成

空间产生等离子体，由此分解膜形成气体；给膜形成空间中的高频电极加不大于-50V的自偏压，同时给其上要沉积微晶半导体膜的基片、和/或高频电极加dc电压；控制膜形成气体分解产生的正离子到基片上的入射量。可以提供具有微晶半导体膜的光电元件的制备方法，因而可以用实用的沉积速率形成高质量的微晶半导体薄膜。

## 说 明 书 附 图

图 1

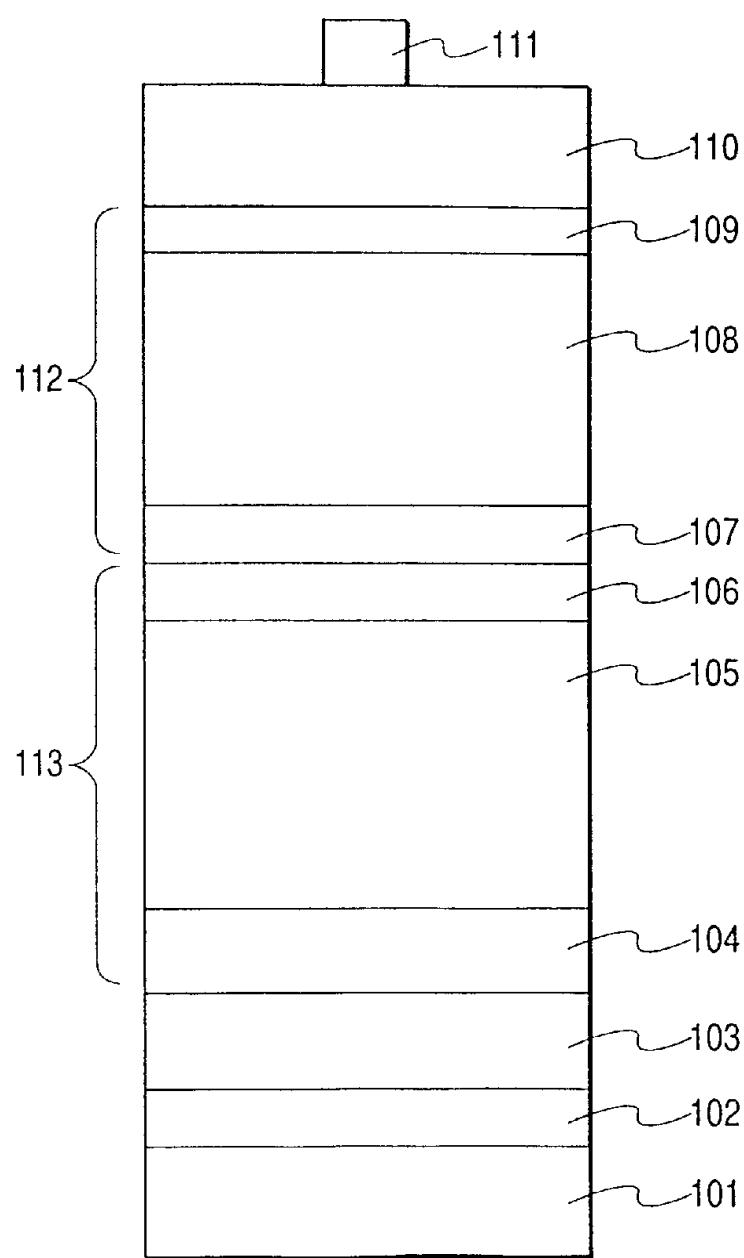


图 2

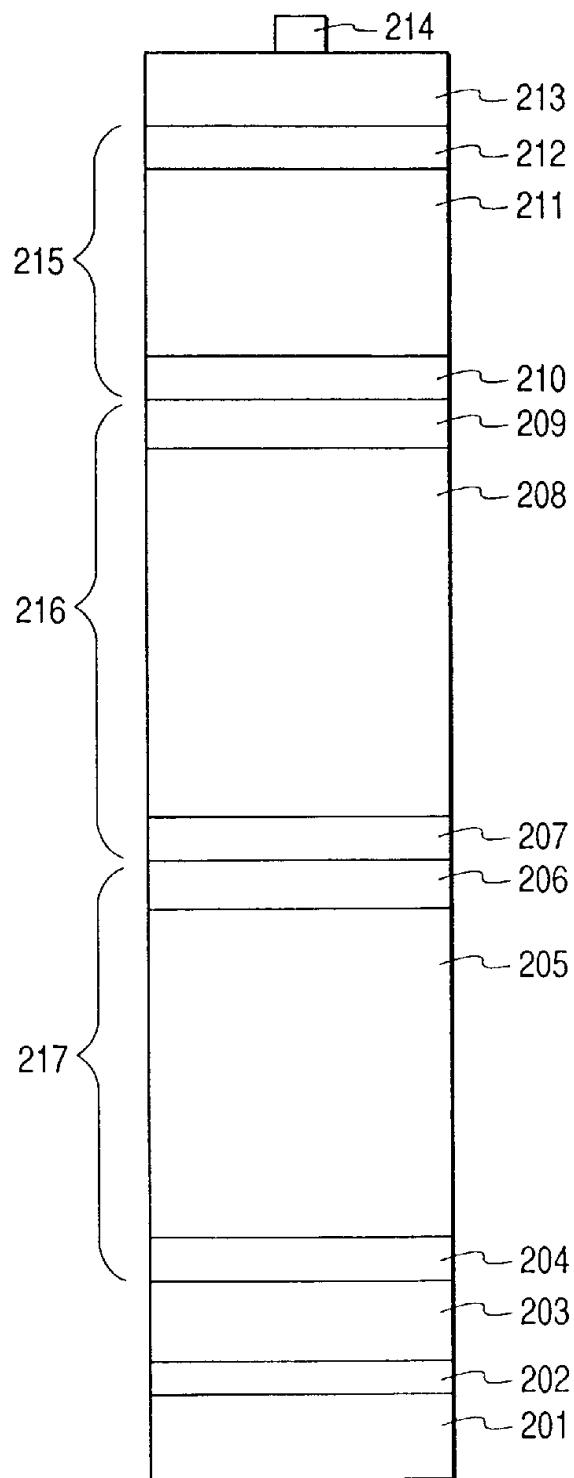
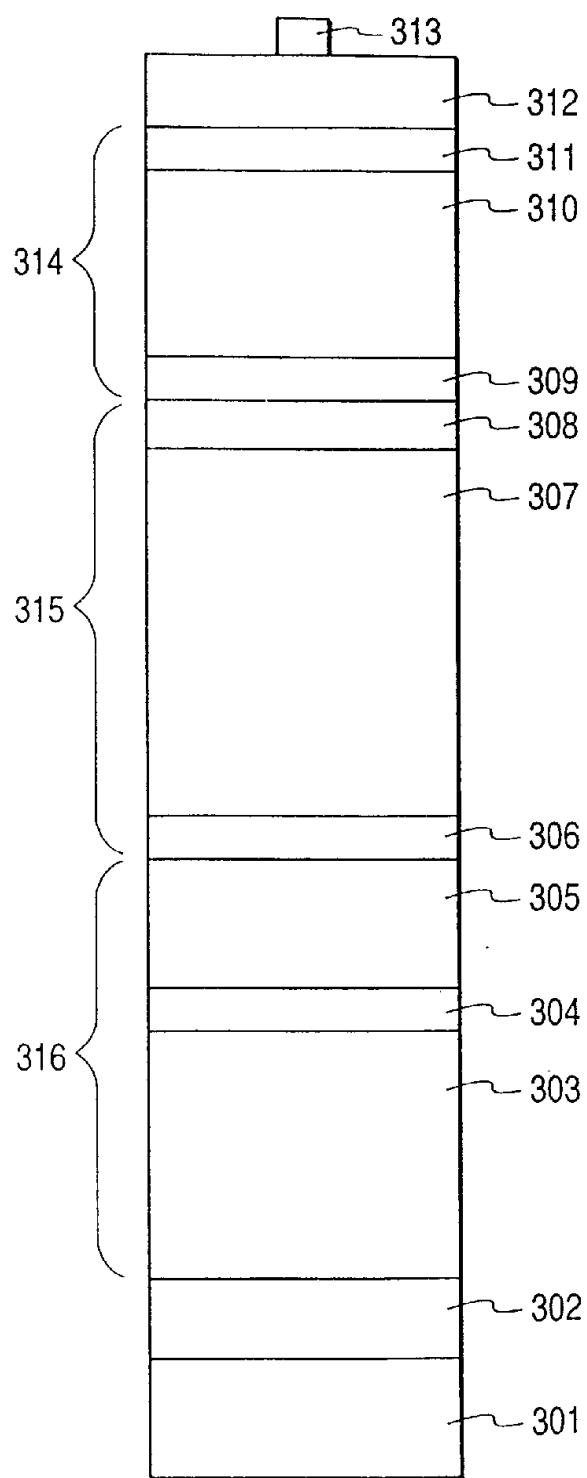


图 3



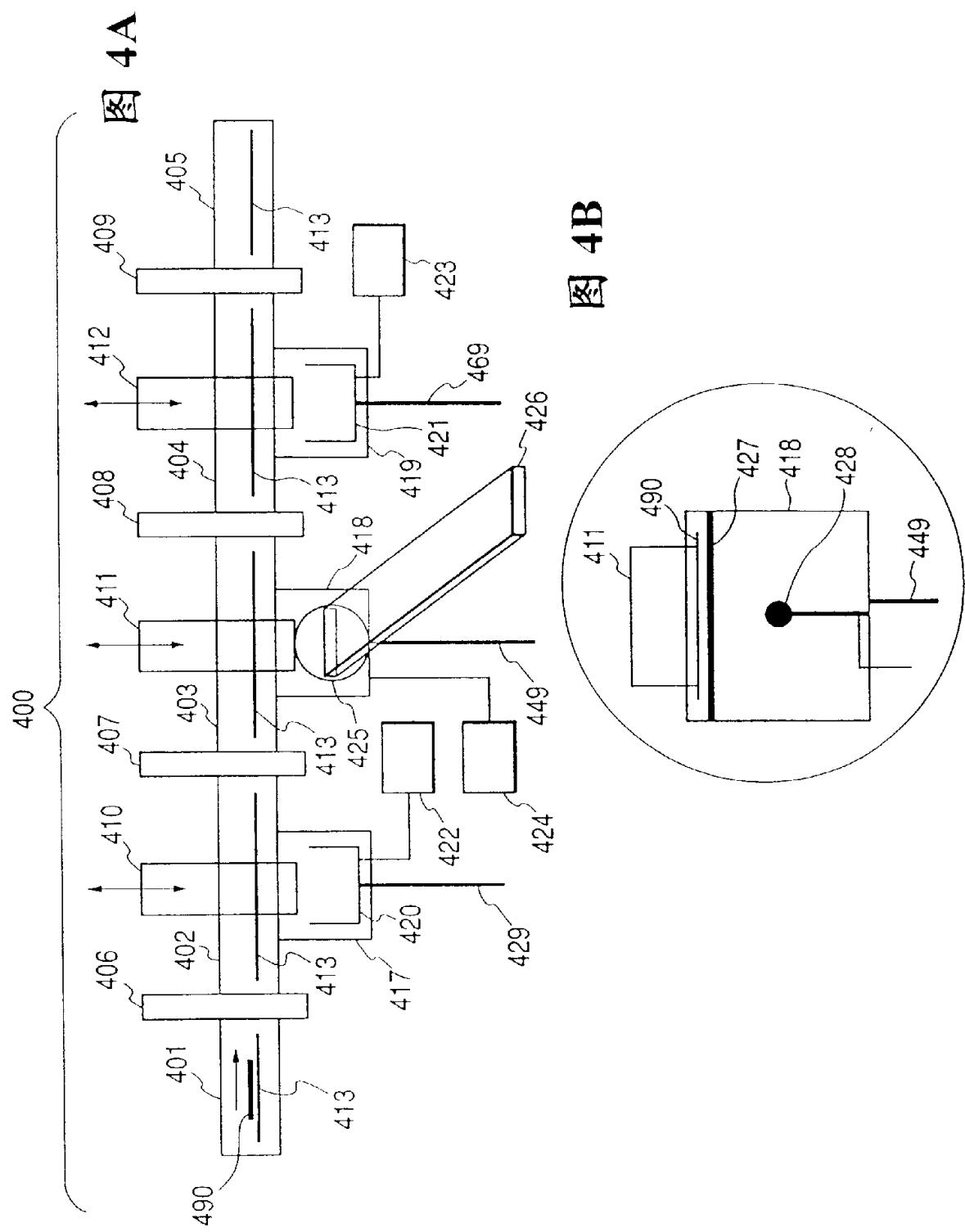


图 5A

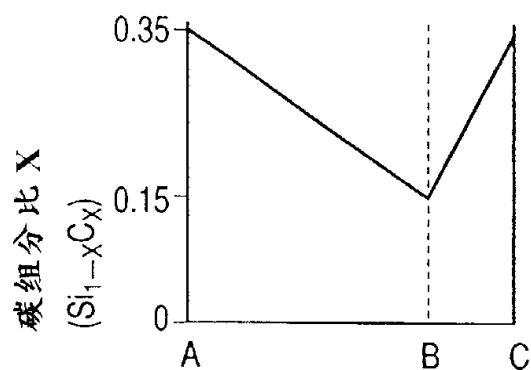


图 5A

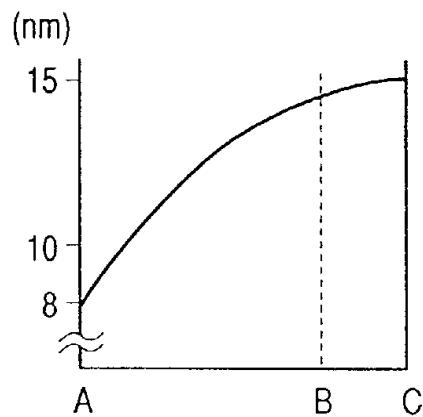


图 5B

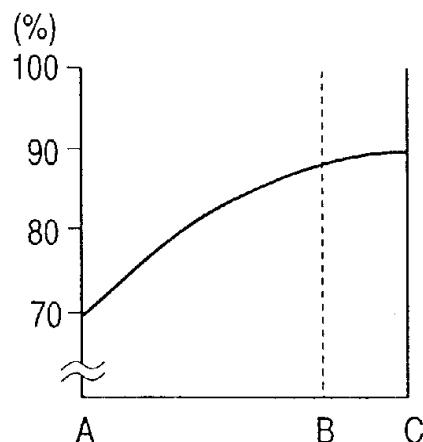


图 5C

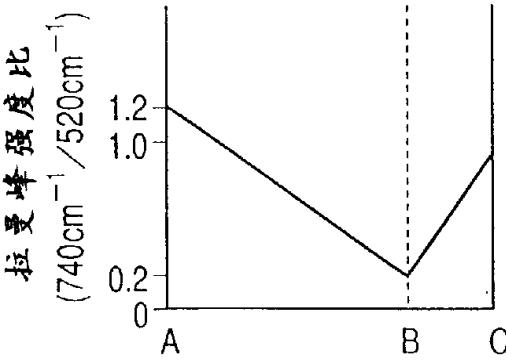


图 5D

图 6A

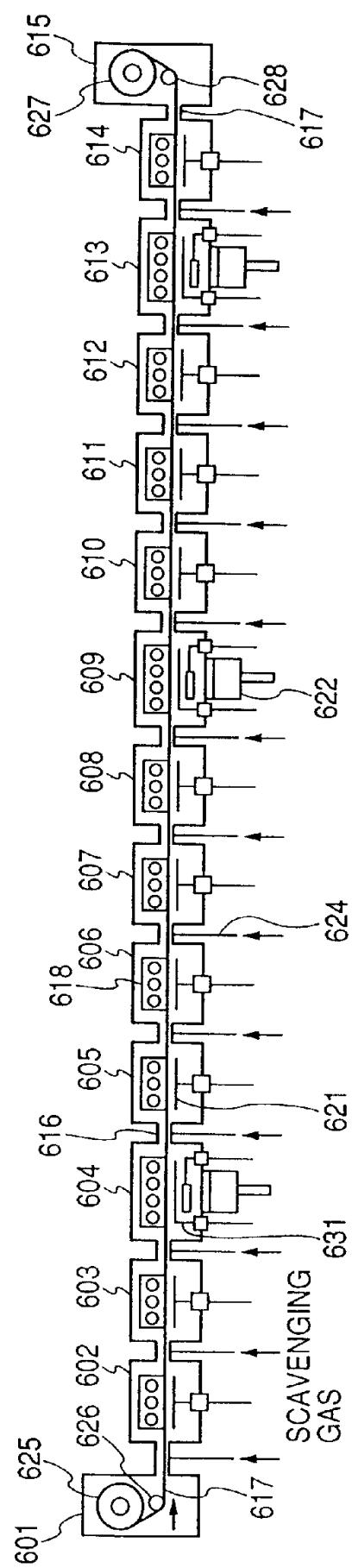


图 6B

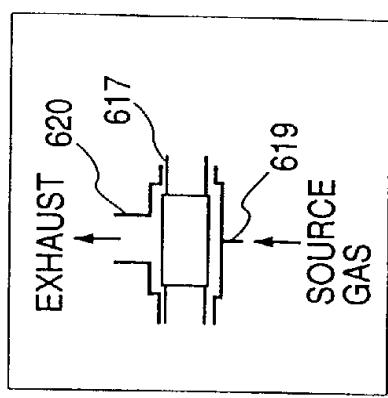


图 7A

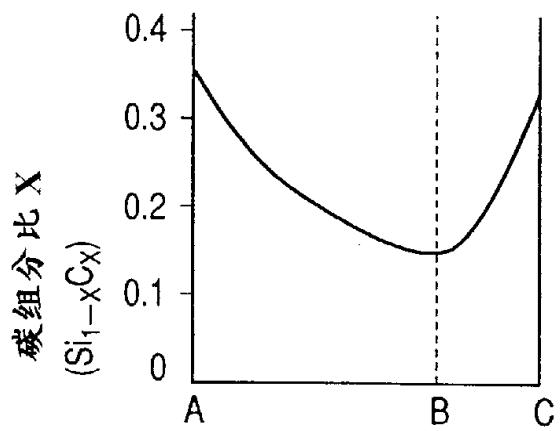


图 7B

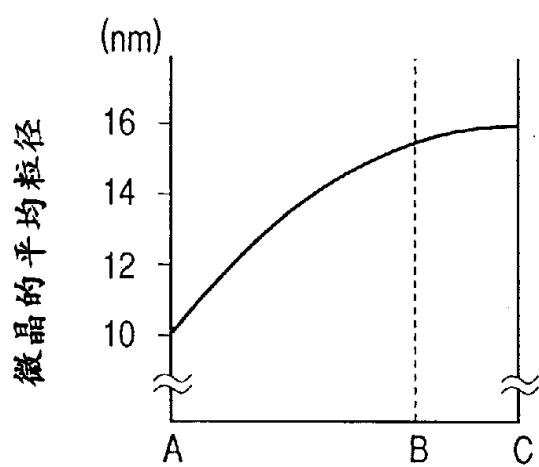


图 7C

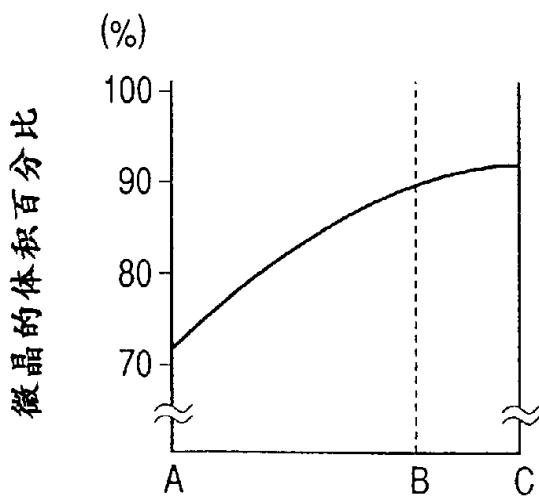


图 8A

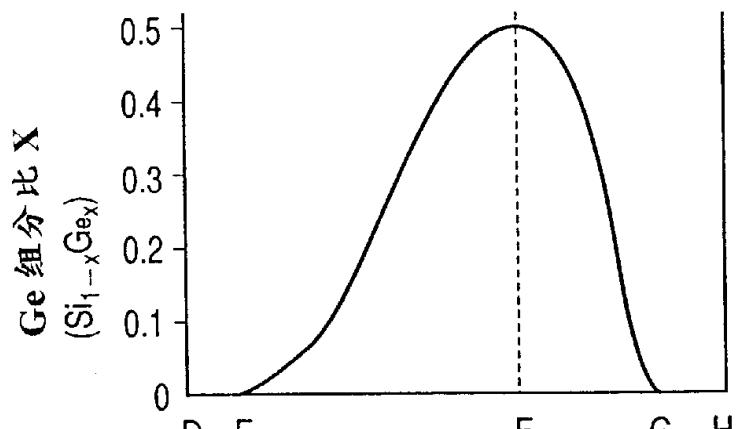


图 8B

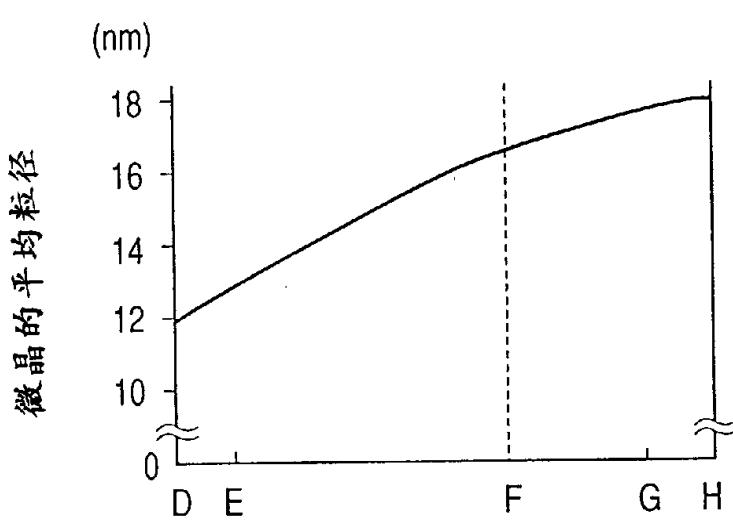


图 8C

