

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-1240

(P2020-1240A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>B 4 1 J</b> 2/447 (2006.01)	B 4 1 J 2/447 1 O 1 B	2 C 1 6 2
<b>G 0 3 G</b> 15/04 (2006.01)	G 0 3 G 15/04	2 H 0 7 6
<b>G 0 3 G</b> 15/00 (2006.01)	G 0 3 G 15/00 3 O 3	2 H 1 9 7
<b>B 4 1 J</b> 2/45 (2006.01)	B 4 1 J 2/45	2 H 2 7 0
<b>H 0 1 L</b> 33/00 (2010.01)	B 4 1 J 2/447 1 O 1 E	5 F 2 4 1
審査請求 未請求 請求項の数 8 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2018-121818 (P2018-121818)	(71) 出願人	000001007
(22) 出願日	平成30年6月27日 (2018.6.27)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100123559
			弁理士 梶 俊和
		(74) 代理人	100177437
			弁理士 中村 英子
		(72) 発明者	関 広高
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		Fターム(参考)	2C162 AE21 AE28 AE40 AE47 AF20
			AF49 AF54 AF62 AF69 AF70
			AF72 FA04 FA17 FA45
			2H076 AB41 AB53 AB55 AB58 AB60
			DA05 DA19 EA01 EA18
			最終頁に続く

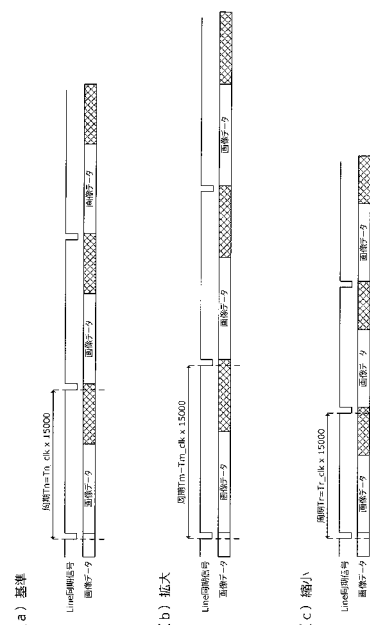
(54) 【発明の名称】 画像形成装置

## (57) 【要約】

【課題】副走査方向の倍率の補正を精度良く行うこと。

【解決手段】クロック信号に同期して画像データを駆動部303に出力する制御基板415と、クロック信号を生成するクロック生成部422と、感光ドラム102の回転方向の解像度に対応する1ライン分のLine周期信号を生成する同期信号生成部406と、感光ドラム102の回転方向における出力する画像の倍率に応じてクロック信号の周期及びLine周期信号の周期を制御する制御基板415と、を備える。

【選択図】図12



**【特許請求の範囲】****【請求項 1】**

回転駆動される感光体と、

前記感光体の回転方向と交差する交差方向においてそれぞれが互いに異なる位置に配列され、前記感光体を露光する複数の発光素子と、前記複数の発光素子を駆動する駆動部と、を備える露光ヘッドと、

を備え、前記交差方向における前記複数の発光素子の配列間隔に対応する解像度の画像を形成する画像形成装置であって、

クロック信号に同期して画像データを前記駆動部に出力する出力手段と、

前記クロック信号を生成する第 1 の生成手段と、

10

前記感光体の前記回転方向の解像度に対応する 1 ライン分の周期信号を生成する第 2 の生成手段と、

前記感光体の前記回転方向における出力する画像の倍率に応じて前記クロック信号の周期及び前記周期信号の周期を制御する制御手段と、

を備えることを特徴とする画像形成装置。

**【請求項 2】**

前記制御手段は、

第 1 の倍率で画像を形成する場合には、前記第 2 の生成手段により前記周期信号を第 1 の周期で生成し、前記第 1 の生成手段により前記クロック信号を第 4 の周期で生成し、

20

前記第 1 の倍率よりも大きい第 2 の倍率で画像を形成する場合には、前記第 2 の生成手段により前記周期信号を前記第 1 の周期よりも長い第 2 の周期で生成し、前記第 1 の生成手段により前記クロック信号を第 4 の周期よりも長い第 5 の周期で生成し、

前記第 1 の倍率よりも小さい第 3 の倍率で画像を形成する場合には、前記第 2 の生成手段により前記周期信号を前記第 1 の周期よりも短い第 3 の周期で生成し、前記第 1 の生成手段により前記クロック信号を前記第 4 の周期よりも短い第 6 の周期で生成することを特徴とする請求項 1 に記載の画像形成装置。

**【請求項 3】**

前記複数の発光素子を駆動するための駆動電圧を出力する駆動手段を備え、

前記駆動手段は、前記回転方向の倍率を変化させる際に、前記倍率に応じて前記駆動電圧を変化させることにより前記発光素子の光量を制御することを特徴とする請求項 1 又は請求項 2 に記載の画像形成装置。

30

**【請求項 4】**

前記駆動手段は、前記回転方向の前記画像の倍率を拡大させる場合には前記駆動電圧を、倍率を変化させない場合の基準の駆動電圧よりも高い第 1 の駆動電圧とし、前記回転方向の倍率を縮小させる場合には前記駆動電圧を前記基準の駆動電圧よりも低い第 2 の駆動電圧とすることを特徴とする請求項 3 に記載の画像形成装置。

**【請求項 5】**

前記複数の発光素子は、前記交差方向に前記解像度に相当する間隔で配列されていることを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の画像形成装置。

**【請求項 6】**

40

前記出力手段は、前記複数の発光素子の配列間隔に対応する解像度よりも高い解像度の画像データを前記複数の発光素子の配列間隔に対応する解像度に変換する変換手段を有することを特徴とする請求項 5 に記載の画像形成装置。

**【請求項 7】**

前記制御手段は、前記回転方向の倍率を  $N$  倍とする倍率補正を行う場合に、前記第 1 の生成手段により生成される前記クロック信号の周期及び前記第 2 の生成手段により生成される前記周期信号の周期をそれぞれ  $1/N$  倍に補正することを特徴とする請求項 1 から請求項 6 のいずれか 1 項に記載の画像形成装置。

**【請求項 8】**

前記周期信号の周期は、前記クロック信号の周期の整数倍であることを特徴とする請求

50

項 1 から請求項 7 のいずれか 1 項に記載の画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子写真方式の画像形成装置に関する。

【背景技術】

【0002】

電子写真方式の画像形成装置であるプリンタでは、LED (Light Emitting Diode) や有機EL (Organic Electro Luminescence) などを用いた露光ヘッドを使用して感光ドラムを露光し、潜像形成を行う方式が一般的に知られている。露光ヘッドは、感光ドラムの長手方向に配列された発光素子列と、発光素子列からの光を感光ドラム上に結像させるロッドレンズアレイと、から構成される。LED や有機EL は、発光面からの光の照射方向がロッドレンズアレイと同一方向となる面発光形状を有する構成が知られている。ここで、発光素子列の長さは、感光ドラム上における画像領域幅に応じて決まり、プリンタの解像度に応じて発光素子間の間隔が決まる。例えば、1200 dpi のプリンタの場合、画素の間隔は解像度に相当する間隔である  $21.16 \mu\text{m}$  であり、そのため、発光素子間の間隔も  $21.16 \mu\text{m}$  に対応する間隔となる。このような露光ヘッドを使用したプリンタでは、レーザビームを回転多面鏡によって偏向されたレーザビームによって感光ドラムを走査するレーザ走査方式のプリンタと比べて、使用する部品数が少ないため、装置の小型化、低コスト化が容易である。また、露光ヘッドを使用したプリンタでは回転多面鏡の回転によって生じる音が低減される。

【0003】

電子写真方式のプリンタで記録紙に画像を形成する場合、副走査方向の倍率にズレが発生する場合がある。例えば感光ドラムの回転速度と露光ヘッドの発光周期とのズレや、用紙に画像を形成した後、定着器で用紙を挟持搬送することで用紙が熱収縮することでズレが発生する。そこで副走査方向の倍率を補正するために、例えば特許文献 1 では、画像データを副走査方向に複数の領域に分割し、分割した領域毎に印字率を算出する。そして、算出された印字率に基づいて画像データの副走査方向の倍率を補正する補正量である全体補正量を複数の領域に配分し、領域毎に配分された補正量である部分補正量を満足するように露光ヘッドの発光周期を変化させる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特許第 5625873 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

前述した従来の方式では、印字率が低い領域が含まれる画像データに対しては副走査方向の倍率補正を精度よく実施できるが、全体的に印字率が高い画像データに対しては、副走査方向の倍率補正を行うことで画像データの濃度が変動してしまう。逆に、画像データの濃度変動を抑えることを優先すると副走査方向の倍率補正を精度よく実施できないという課題がある。

【0006】

本発明は、このような状況のもとでなされたもので、副走査方向の倍率の補正を精度良く行うことを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決するために、本発明は、以下の構成を備える。

【0008】

(1) 回転駆動される感光体と、前記感光体の回転方向と交差する交差方向においてそ

10

20

30

40

50

れぞれが互いに異なる位置に配列され、前記感光体を露光する複数の発光素子と、前記複数の発光素子を駆動する駆動部と、を備える露光ヘッドと、を備え、前記交差方向における前記複数の発光素子の配列間隔に対応する解像度の画像を形成する画像形成装置であって、クロック信号に同期して画像データを前記駆動部に出力する出力手段と、前記クロック信号を生成する第１の生成手段と、前記感光体の前記回転方向の解像度に対応する１ライン分の周期信号を生成する第２の生成手段と、前記感光体の前記回転方向における出力する画像の倍率に応じて前記クロック信号の周期及び前記周期信号の周期を制御する制御手段と、を備えることを特徴とする画像形成装置。

【発明の効果】

【０００９】

10

本発明によれば、副走査方向の倍率の補正を精度良く行うことができる。

【図面の簡単な説明】

【００１０】

【図１】実施例１、２の画像形成装置の構成を示す概略断面図

【図２】実施例１、２の露光ヘッドと感光ドラムの位置関係を説明する図、及び露光ヘッドの構成を説明する図

【図３】実施例１、２の駆動基板の模式図、及び面発光素子アレイチップの構成を説明する図

【図４】実施例１、２の制御基板及び露光ヘッドの制御ブロック図

【図５】実施例１の倍率補正の有無とクロック周期との関係を示す図

20

【図６】実施例１、２のチップデータ変換部の制御ブロック図、及びタイミングチャート

【図７】実施例１、２のチップデータ変換部の画像データの処理を説明する図

【図８】実施例１、２の面発光素子アレイチップの回路を説明する図

【図９】実施例１、２のシフトサイリスタのゲート電位の分布状態を説明する図

【図１０】実施例１、２の面発光素子アレイチップの駆動信号波形を示す図

【図１１】実施例１、２の面発光サイリスタの断面を示す図

【図１２】実施例１の倍率補正の有無とLine同期信号と画像データとを示すタイムチャート

【図１３】実施例１の感光ドラム上に形成されるドット形状を示す図

【図１４】実施例２のクロック周期と光量との関係を示す図、副走査方向の倍率の有無と光量との関係を示す図

30

【図１５】その他の実施例のブロック図

【図１６】その他の実施例のブロック図

【図１７】実施例１、２のルックアップテーブルを示す図

【発明を実施するための形態】

【００１１】

以下に、図面を参照して本発明の実施の形態について詳細に説明する。

【実施例１】

【００１２】

〔画像形成装置の構成〕

40

図１は、実施例１における電子写真方式の画像形成装置の構成を示す概略断面図である。図１に示す画像形成装置は、スキャナ機能とプリンタ機能を備える複合機（MFP）であり、スキャナ部１００、作像部１０３、定着部１０４、給紙／搬送部１０５、及びこれらを制御するプリンタ制御部（不図示）から構成される。スキャナ部１００は、原稿台上置かれた原稿に照明を照射し原稿画像を光学的に読み取り、読み取った画像を電気信号に変換して画像データを作成する。

【００１３】

作像部１０３は、無端の搬送ベルト１１１の回転方向（反時計回り方向）に沿って、シアン（C）、マゼンタ（M）、イエロー（Y）、ブラック（K）の順に並べられた、４連の画像形成ステーションを備える。４つの画像形成ステーションは同じ構成を有し、各画

50

像形成ステーションは、矢印方向（時計回り方向）に回転する感光体である感光ドラム 102、露光ヘッド 106、帯電器 107、現像器 108 を備えている。なお、感光ドラム 102、露光ヘッド 106、帯電器 107、現像器 108 の添え字 a、b、c、d は、それぞれ画像形成ステーションのブラック（K）イエロー（Y）、マゼンタ（M）、シアン（C）に対応する構成であることを示す。なお、以下では、特定の感光ドラム等を指す場合を除き、符号の添え字を省略することとする。

#### 【0014】

作像部 103 では、感光ドラム 102 を回転駆動し、帯電器 107 によって感光ドラム 102 を帯電させる。露光手段である露光ヘッド 106 は、配列された LED アレイを画像データに応じて発光し、LED アレイのチップ面で発光した光を、ロッドレンズアレイによって感光ドラム 102 上（感光体上）に集光し、静電潜像を形成する。現像器 108 は、感光ドラム 102 に形成された静電潜像をトナーで現像する。そして、現像されたトナー像は、記録紙を搬送する搬送ベルト 111 上の記録紙に転写される。このような一連の電子写真プロセスが各画像形成ステーションで実行される。なお、画像形成時には、シアン（C）の画像形成ステーションでの画像形成が開始されて所定時間が経過した後に、順次、マゼンタ（M）、イエロー（Y）、ブラック（K）の各画像形成ステーションで、画像形成動作が実行される。

#### 【0015】

図 1 に示す画像形成装置は、記録紙を給紙するユニットとして、給紙 / 搬送部 105 が有する本体内給紙ユニット 109a、109b、大容量の給紙ユニットである外部給紙ユニット 109c、及び手差し給紙ユニット 109d を備えている。画像形成時には、このうち、予め指示された給紙ユニットから記録紙が給紙され、給紙された記録紙はレジストレーションローラ 110 まで搬送される。レジストレーションローラ 110 は、上述した作像部 103 において形成されたトナー像が記録紙に転写されるタイミングで、搬送ベルト 111 に記録紙を搬送する。搬送ベルト 111 により搬送される記録紙には、各画像形成ステーションの感光ドラム 102 上に形成されたトナー像が順次転写される。未定着のトナー像が転写された記録紙は、定着部 104 へと搬送される。定着部 104 は、ハロゲンヒータ等の熱源を内蔵し、記録紙上のトナー像を、2 つのローラにより加熱・加圧することによって記録紙に定着させる。定着部 104 によりトナー像が定着された記録紙は、排出口ローラ 112 により画像形成装置の外部に排出される。

#### 【0016】

ブラック（K）の画像形成ステーションの記録紙搬送方向の下流側には、搬送ベルト 111 に対向する位置に、検知手段である光学センサ 113 が配置されている。光学センサ 113 は、各画像形成ステーション間のトナー像の色ずれ量を導出するため、搬送ベルト 111 上に形成されたテスト画像の位置の検出を行う。光学センサ 113 により導出された色ずれ量は、後述する制御基板 415（図 4 参照）に通知され、記録紙上に色ずれのないフルカラートナー像が転写されるように、各色の画像位置が補正される。また、プリンタ制御部（不図示）は、複合機（MFP）全体を制御する MFP 制御部（不図示）からの指示に応じて、上述したスキャナ部 100、作像部 103、定着部 104、給紙 / 搬送部 105 等を制御しながら、画像形成動作を実行する。

#### 【0017】

ここでは、電子写真方式の画像形成装置の例として、搬送ベルト 111 上の記録紙に各画像形成ステーションの感光ドラム 102 に形成されたトナー像を直接転写する方式の画像形成装置について説明した。本発明は、このような感光ドラム 102 上のトナー像を直接、記録紙に転写する方式のプリンタに限定されるものではない。例えば、感光ドラム 102 上のトナー像を中間転写ベルトに転写する一次転写部と、中間転写ベルト上のトナー像を記録紙に転写する二次転写部を備える画像形成装置についても、本発明は適用することができる。

#### 【0018】

[ 露光ヘッドの構成 ]

10

20

30

40

50

次に、感光ドラム 102 に露光を行う露光ヘッド 106 について、図 2 を参照して説明する。図 2 (a) は、露光ヘッド 106 と感光ドラム 102 との位置関係を示す斜視図であり、図 2 (b) は、露光ヘッド 106 の内部構成と、露光ヘッド 106 からの光束がロッドレンズアレイ 203 により感光ドラム 102 に集光される様子を説明する図である。図 2 (a) に示すように、露光ヘッド 106 は、矢印方向に回転する感光ドラム 102 の上部の、感光ドラム 102 に対向する位置に、取付け部材 (不図示) によって画像形成装置に取り付けられている (図 1)。

#### 【0019】

図 2 (b) に示すように、露光ヘッド 106 は、駆動基板 202 と、駆動基板 202 に実装された面発光素子アレイ素子群 201 と、ロッドレンズアレイ 203 と、ハウジング 204 とから構成されている。ハウジング 204 には、ロッドレンズアレイ 203 と駆動基板 202 が取り付けられる。ロッドレンズアレイ 203 は、面発光素子アレイ素子群 201 からの光束を感光ドラム 102 上に集光させる。工場では、露光ヘッド 106 単体で組立て調整作業が行われ、各スポットのピント調整、光量調整が行われる。ここで、感光ドラム 102 とロッドレンズアレイ 203 との間の距離、及びロッドレンズアレイ 203 と面発光素子アレイ素子群 201 との間の距離が、所定の間隔となるように組立て調整が行われる。これにより、面発光素子アレイ素子群 201 からの光が感光ドラム 102 上に結像される。そのため、工場でのピント調整時には、ロッドレンズアレイ 203 と面発光素子アレイ素子群 201 との距離が所定の値となるように、ロッドレンズアレイ 203 の取付け位置の調整が行われる。また、工場での光量調整時には、面発光素子アレイ素子群 201 の各発光素子を順次発光させていき、ロッドレンズアレイ 203 を介して感光ドラム 102 上に集光させた光が所定光量になるように、各発光素子の駆動電流の調整が行われる。

#### 【0020】

##### [ 面発光素子アレイ素子群の構成 ]

図 3 は、面発光素子アレイ素子群 201 を説明する図である。図 3 (a) は、駆動基板 202 の面発光素子アレイ素子群 201 が実装された面の構成を示す模式図であり、図 3 (b) は、駆動基板 202 の面発光素子アレイ素子群 201 が実装された面 (第 1 面) とは反対側の面 (第 2 面) の構成を示す模式図である。

#### 【0021】

図 3 (a) に示すように、駆動基板 202 に実装された面発光素子アレイ素子群 201 は、29 個の面発光素子アレイチップ 1 ~ 29 が、駆動基板 202 の長手方向に沿って、千鳥状に 2 列に配置された構成を有している。なお、図 3 (a) において、上下方向は第 1 の方向である副走査方向 (感光ドラム 102 の回転方向) を示し、水平方向は、副走査方向と直交する第 2 の方向である主走査方向を示す。主走査方向は、感光ドラム 102 の回転方向と交差する交差方向でもある。各々の面発光素子アレイチップの内部には、計 516 個の発光点を有する面発光素子アレイチップの各素子が、面発光素子アレイチップの長手方向に所定の解像度ピッチで配列されている。本実施例では、面発光素子アレイチップの各素子のピッチは、第 1 の解像度である  $1200 \text{ dpi}$  の解像度のピッチである約  $21.16 \mu\text{m}$  ( $2.54 \text{ cm} / 1200 \text{ ドット}$ ) となっている。その結果、1 つの面発光素子アレイチップ内における 516 個の発光点の端から端までの配列間隔は、約  $10.9 \text{ mm}$  ( $21.16 \mu\text{m} \times 516$ ) である。面発光素子アレイ素子群 201 は、29 個の面発光素子アレイチップから構成されている。面発光素子アレイ素子群 201 における露光可能な発光素子数は 14,964 素子 (= 516 素子  $\times$  29 チップ) となり、約  $316 \text{ mm}$  (約  $10.9 \text{ mm} \times 29 \text{ チップ}$ ) の主走査方向の画像幅に対応した画像形成が可能となる。

#### 【0022】

図 3 (c) は、長手方向に 2 列に配置された面発光素子アレイチップのチップ間の境界部の様子を示す図であり、水平方向は、図 3 (a) の面発光素子アレイ素子群 201 の長手方向である。図 3 (c) に示すように、面発光素子アレイチップの端部には、制御信号

10

20

30

40

50

が入力されるワイヤボンディングパッドが配置されており、ワイヤボンディングパッドから入力された信号により、転送部及び発光素子が駆動される。また、面発光素子アレイチップは、複数の発光素子を有している。面発光素子アレイチップ間の境界部においても、発光素子の長手方向のピッチ（２つの発光素子の中心点と中心点の間隔）は、 $1200\text{ dpi}$ の解像度のピッチである約 $21.16\text{ }\mu\text{m}$ となっている。また、上下２列に並んだ面発光素子アレイチップは、上下の面発光素子アレイチップの発光点の間隔（図中、矢印Ｓで示す）が約 $84\text{ }\mu\text{m}$ （ $1200\text{ dpi}$ で４画素分、 $2400\text{ dpi}$ で８画素分の各解像度の整数倍の距離）となるように配置されている。

#### 【００２３】

また、図３（ｂ）に示すように、面発光素子アレイ素子群２０１が実装された面とは反対側の駆動基板２０２の面には、駆動部３０３ａ、３０３ｂ、及びコネクタ３０５が実装されている。駆動部３０３ａ、３０３ｂは、ドライバＩＣである。コネクタ３０５の両側に配置された駆動部３０３ａ、３０３ｂは、それぞれ面発光素子アレイチップ１～１５、面発光素子アレイチップ１６～２９を駆動する。駆動部３０３ａ、３０３ｂは、それぞれパターン３０４ａ、３０４ｂを介して、コネクタ３０５と接続されている。コネクタ３０５には、後述する制御基板４１５（図４参照）からの駆動部３０３ａ、３０３ｂを制御する信号線、電源電圧、グランドが接続されており、駆動部３０３ａ、３０３ｂと接続される。また、駆動部３０３ａ、３０３ｂからは、それぞれ面発光素子アレイ素子群２０１を駆動するための配線が駆動基板２０２の内層を通り、面発光素子アレイチップ１～１５、面発光素子アレイチップ１６～２９に接続されている。

#### 【００２４】

##### 〔制御基板、露光ヘッドの制御構成〕

図４は、画像データを処理し、露光ヘッド１０６に出力する制御基板４１５と、制御基板４１５から入力された画像データに基づいて、感光ドラム１０２を露光する駆動基板２０２の制御ブロック図である。以下に説明する各ブロック４０１～４１４は、ＩＣ内部のモジュールを示す。駆動基板２０２については、図４に示す駆動部３０３ａにより制御される面発光素子アレイチップ１～１５について説明する。なお、駆動部３０３ｂ（図４には不図示）により制御される面発光素子アレイチップ１６～２９も、駆動部３０３ａにより制御される面発光素子アレイチップ１～１５と同様の動作を行う。また、説明を簡易化するために、ここでは１つの色の画像処理について説明するが、本実施例の画像形成装置では、同様の処理を４色同時に並列処理される。図４に示す制御基板４１５は、露光ヘッド１０６を制御する信号を送信するためのコネクタ４１６を有している。コネクタ４１６からは、露光ヘッド１０６のコネクタ３０５に接続されたケーブル４１７、４１８を介して、それぞれ画像データ、後述するＬｉｎｅ同期信号、制御基板４１５のＣＰＵ４００からの制御信号が送信される。

#### 【００２５】

##### 〔制御基板〕

制御基板４１５は、露光ヘッド１０６に対して露光ヘッド１０６を制御するための信号を送信する。この信号は、クロック信号、画像データ、Ｌｉｎｅ同期信号をパラレル・シリアル変換した信号である。この信号は、制御基板４１５側のコネクタ４１６から信号を伝送するケーブル４１７を介して露光ヘッド側のコネクタ３０５に入力される。また、ＣＰＵ４００の通信信号は、伝送ケーブル４１８を介して、露光ヘッド１０６側のコネクタ３０５に入力される。

#### 【００２６】

制御基板４１５では、ＣＰＵ４００により、画像データの処理と印刷タイミングの処理が行われる。制御基板４１５は、画像データ生成部４０１、ラインデータシフト部４０２、チップデータ変換部４０３、チップデータシフト部４０４、データ送信部４０５、同期信号生成部４０６の機能ブロックから構成されている。以下、制御基板４１５での画像データが処理される順に、各機能ブロックでの処理について説明する。

#### 【００２７】

10

20

30

40

50

(画像データ生成部)

データ生成手段である画像データ生成部401は、スキャナ部100又は画像形成装置に接続された外部コンピュータから受信した画像データに対して、CPU400から指示された解像度でディザリング処理を行い、プリント出力のための画像データを生成する。本実施例では、画像データ生成部401は、第2の解像度である2400dpiの解像度でディザリング処理を行うものとする。すなわち、画像データ生成部401が生成する画像データは、2400dpi相当の画素データである。本実施例の2400dpi相当の画素データは1ビットであるものとするが、複数ビットで1画素を表現しても良い。画像データ生成部401が生成する画素データは、副走査方向の2400dpi相当のラインに対応するラインデータである。なお、画像データ生成部401は、1つの集積回路401Aである。

10

【0028】

(ラインデータシフト部)

CPU400は、光学センサ113により検知された色ずれ量に基づいて、主走査方向(露光ヘッド106の長手方向)、副走査方向(感光ドラム102の回転方向でもあり、記録紙の搬送方向でもある)の画像シフト量を2400dpi単位で各々決定する。画像シフト量は、例えば、光学センサ113による色ずれ検出用パターン画像の検知結果に基づいて算出される色間の相対的な色ずれ量に基づいて、CPU400によって決定される。そして、CPU400は、補正手段であるラインデータシフト部402に画像シフト量を指示する。ラインデータシフト部402では、CPU400から指示された画像シフト量を基に、記録紙1ページ内の画像領域全域に対して、画像データ生成部401から入力された画像データを2400dpi単位でシフト処理する。なお、ラインデータシフト部402は、記録紙1ページ内の画像領域を複数に分割し、分割された複数の画像領域毎にシフト処理を実行するようにしても良い。

20

【0029】

(同期信号生成部)

第2の生成手段である同期信号生成部406は、感光ドラム102の回転速度に同期した信号で、感光ドラム102の回転方向における出力画像の解像度の1ライン分に対応する周期信号(以下、Line同期信号という)を生成する。CPU400は、同期信号生成部406にLine同期信号の周期、すなわち予め定められた感光ドラム102の回転速度に対して、感光ドラム102表面が回転方向(副走査方向)に2400dpiの画素サイズ(約10.5 $\mu$ m)移動する時間を指示する。例えば、副走査方向に200mm/秒の速度で印刷する場合には、CPU400は、Line同期信号の周期(副走査方向1ライン分の周期)を約52.9 $\mu$ s( $(25.4\text{mm}/2400\text{ドット})/200\text{mm}$ )として、同期信号生成部406に指示する。画像形成装置が感光ドラム102の回転速度を検知する検知部(例えば感光ドラムの回転軸に設置したエンコーダ)を有している場合は、CPU400は、検知部の結果(エンコーダが出力する信号の発生周期)に基づいて、副走査方向の感光ドラム102の回転速度を算出し、当該算出結果に基づいてLine同期信号の周期を決定する。一方、感光ドラム102の回転速度を検知する検知部を有していない場合、CPU400は、ユーザが操作部から入力するシートの坪量( $\text{g}/\text{cm}^2$ )やシートサイズなどの紙の種類の情報に基づいて、Line同期信号の周期を決定する。

30

40

【0030】

(クロック生成部)

第1の生成手段であるクロック生成部422は、ROM421に格納されている副走査方向の倍率を補正するための補正值(以下、副走査倍率補正值という)に基づき、データ送信部405へ送信するクロック信号の周期(周波数)を作像開始前に決定する。図5に副走査倍率補正值に基づき生成されるクロック信号とLine同期信号との関係を示す。図5には、クロック信号の波形と、クロック信号に基づき生成されるLine同期信号と画像データ(D0、D1、...等)をそれぞれ示し、横軸はいずれも時間を示す。図5(a

50



）は副走査方向の倍率補正を行わない場合、図5（b）は副走査方向の倍率を拡大する場合、図5（c）は副走査方向の倍率を縮小する場合をそれぞれ示している。副走査方向の倍率補正を行わない場合のクロック周期  $dclk(Tn\_clk)$  を基準の周期とすると、副走査方向の倍率を拡大する場合の第1の周期であるクロック周期  $dclk(Tm\_clk)$  は長くなる。一方、副走査方向の倍率を縮小する場合の第2の周期であるクロック周期  $dclk(Tr\_clk)$  は短くなる。クロック周期  $dclk$  の1パルスの出力（例えば、D0）は、PWMデータの1ブロック（「0」or「1」）に相当する。

#### 【0031】

（チップデータ変換部）

チップデータ変換部403は、Line同期信号に同期して、ラインデータシフト部402より、感光ドラム102の副走査方向の1ライン分ずつ、ラインデータの読み出しを行う。そして、チップデータ変換部403は、読み出したラインデータをチップ毎のラインデータに分割するデータ処理を実行する。

10

#### 【0032】

図6（a）は、チップデータ変換部403の構成を示すブロック図である。図6（a）において、同期信号生成部406から出力されるLine同期信号は、カウンタ530に入力される。カウンタ530は、入力されるLine同期信号を変調してLine同期信号よりも高周波のCLK信号を生成する周波数変調回路を備えている。カウンタ530は、周波数変調回路の代わりにLine同期信号よりも高周波のクロック信号（CLK）を生成する発振器を内蔵していても良い。以下では、チップデータ変換部403がラインデータシフト部402からラインデータを読み出す構成を例示するが、実施の形態はこれに限られるものではない。すなわち、ラインデータシフト部402にLine同期信号を供給し、かつ上記CLK信号をラインデータシフト部402が内部で生成することによって、ラインデータシフト部402がチップデータ変換部403に対して主体的にラインデータを送信するよう構成しても良い。

20

#### 【0033】

カウンタ530はLine同期信号が入力されると、カウント値を0にリセットした後、クロック信号（CLK）（図6（b）参照）のパルス数に同期して、カウンタ値をインクリメントする。カウンタ530が生成するCLK信号の周波数は、チップデータ変換部403がLine同期信号の1周期内に読み出すべき画素データの容量（ビット数）と、後述するチップデータ変換部403のデータ処理速度と、に基づいて設計段階で決定される。例えば、上述したように、面発光素子アレイ素子群201は、副走査方向の1ラインを露光する発光素子を14,964素子（1200dpi換算）有している。一方、画像データ生成部401は、2400dpiの解像度でディザリング処理を行っている。そのため、ラインデータシフト部402から出力される副走査方向の1ライン分の画像データの画素数は、29,928画素（ $=14,964 \times (2400dpi / 1200dpi)$ ）となる。チップデータ変換部403は、Line同期信号の間に、副走査方向1ライン分の画像データを読み出して後述するラインメモリ500への書き込みと、後述するメモリ501～529への画像データの書き込みを行う。そのため、カウンタ530は、1ラインのラインデータに含まれる画素数（29,928）の2倍の数（59,856）のカウント動作を行う。カウンタ530のカウント値が1～29,928までの期間をTm1、カウント値が29,929～59,856までの期間をTm2とする（図6（b）参照）。

30

40

#### 【0034】

READ制御部531は、カウンタ530のカウント値に応じてラインデータをラインデータシフト部402から読み出す。すなわち、READ制御部531は、カウンタ530のカウント値が1～29,928までの期間Tm1に、主走査方向1ライン分のラインデータ（29,928画素）をラインメモリ500に格納する。また、WR制御部532は、カウンタ530のカウント値が29,929～59,856の期間Tm2に、ラインメモリ500に格納された副走査方向1ライン分のラインデータをメモリ501～529

50

に分割して書き込む。メモリ501～529はラインメモリ500よりも記憶容量の少ないメモリであり、チップ毎に分割されたラインデータ（分割ラインデータ）を記憶する。メモリ501～529は、面発光素子アレイチップ1～29に対応して設けられているFIFO（First In First Out：先入れ先出し）メモリである。即ち、メモリ501は面発光素子アレイチップ1に対応するラインデータを記憶し、メモリ502は面発光素子アレイチップ2に対応するラインデータを記憶し、・・・メモリ529は面発光素子アレイチップ29に対応するラインデータを記憶する。

#### 【0035】

続いて、チップデータ変換部403が実行するラインデータシフト部402から読み出したラインデータのメモリ501～529への書き込み、及びメモリ501～529に書き込まれた画像データの出力について説明する。図6（b）は、チップデータ変換部403におけるラインデータの入出力タイミングを説明するタイムチャートである。図6（b）において、Line同期信号は、同期信号生成部406から出力されるパルス信号を示している。また、図中、TL1、TL2、・・・TL10は、副走査方向1ライン分の周期の番号を示している。また、Line同期信号の1周期は、カウンタ530のカウント値に応じて、期間Tm1と期間Tm2に分割されている。ラインメモリ500への入力データは、ラインデータシフト部402からの画像データを示しており、周期TL1、TL2、・・・TL10の期間Tm1にラインデータシフト部402から入力される。図5（b）中の1ライン目データとは、副走査方向の1ライン目のラインデータ（主走査方向1ライン分）を指している。同様に、2ライン目データ、・・・10ライン目データとは、それぞれ、副走査方向の2ライン目のラインデータ、・・・副走査方向の10ライン目のラインデータ（主走査方向1ライン分）を指している。

#### 【0036】

また、図5（b）に示す‘メモリ501への入力データ’は、ラインメモリ500に格納された主走査方向1ライン分のラインデータのうち、面発光素子アレイチップ1に対応するラインデータがメモリ501に書き込まれるタイミングを示している。同様に、メモリ502への入力データ、メモリ503への入力データ、・・・メモリ529への入力データは、それぞれ面発光素子アレイチップ2、3、・・・29に対応するラインデータがメモリ502、503、・・・529それぞれに書き込まれるタイミングを示している。なお、メモリ501への入力データの1ライン目データとは、主走査方向1ライン分の全ラインデータではなく、面発光素子アレイチップ1が対応する主走査方向のラインデータ（分割ラインデータ）を指しており、メモリ502～メモリ529の入力データについても同様である。

#### 【0037】

図5（b）に示す‘メモリ501からの出力データ’は、メモリ501に書き込まれたラインデータを面発光素子アレイチップ1に出力するために読み出すタイミングを示している。同様に、図5（b）に示す‘メモリ502からの出力データ’、・・・‘メモリ529からの出力データ’は、それぞれ面発光素子アレイチップ2、・・・面発光素子アレイチップ29に出力するために読み出すタイミングを示している。なお、メモリ501からの出力データの1ライン目データとは、主走査方向1ライン分の全ラインデータではなく、面発光素子アレイチップ1が対応する主走査方向のラインデータ（分割ラインデータ）を指しており、メモリ502～メモリ529からの出力データについても同様である。

#### 【0038】

本実施例では、ラインメモリ500から、主走査方向1ライン分のラインデータを順次読み出し、まず、面発光素子アレイチップ1のラインデータを格納するメモリ501への書き込みが行われる。次に、面発光素子アレイチップ2の画像データを格納するメモリ502への書き込みが行われ、以降、面発光素子アレイチップ29の画像データを格納するメモリ529まで順次、書き込みが連続的に行われる。なお、チップデータ変換部403の後段のチップデータシフト部404では、面発光素子アレイチップ単位での副走査方向のデータシフト処理が行われる。そのため、メモリ501～529には、副走査方向10

ライン分のラインデータが格納されるものとする。

【0039】

更に、メモリ501～529に格納されるラインデータは、各面発光素子アレイチップに対応する1チップ分のラインデータに加えて、隣接する面発光素子アレイチップの端部の画素データを複写した画素データも併せて格納される。例えば、メモリ502には、次のような画素データが格納される。すなわち、メモリ502には、面発光素子アレイチップ2に対応するラインデータの両端それぞれに、面発光素子アレイチップ1の面発光素子アレイチップ2側の最端部の画素データと、面発光素子アレイチップ3の面発光素子アレイチップ2側の最端部の画素データと、が付加されて格納される。

【0040】

図7は、ラインメモリ500に格納されたラインデータと、メモリ501～529に格納される画像データとの関係を説明する図である。図7(a)は、ラインメモリ500に格納された面発光素子アレイチップ毎のラインデータを示す図であり、メモリ501～529に配列変更される前のラインデータの配列のイメージを示している。ラインメモリ500には、面発光素子アレイチップ(N-1)のラインデータ(ハッチング表示)、面発光素子アレイチップNのラインデータ(白抜き表示)、面発光素子アレイチップ(N+1)のラインデータ(ハッチング表示)が格納されている。

【0041】

一方、図7(b)は、面発光素子アレイチップNに対応するメモリのラインデータのイメージを示している。上述したように、面発光素子アレイチップに対応するメモリ502～528には、該当する面発光素子アレイチップのラインデータに、隣接する面発光素子アレイチップの端部の画素データが付加されて格納される。図7(b)に示す面発光素子アレイチップNのラインデータのうち、最も左側の画素データは、面発光素子アレイチップ(N-1)のラインデータに含まれる面発光素子アレイチップNに隣接する端部の画素データである(図中、矢印参照)。一方、図7(b)に示す面発光素子アレイチップNのラインデータのうち、最も右側の画素データは、面発光素子アレイチップ(N+1)のラインデータのうち、面発光素子アレイチップNに隣接する端部の画素データである(図中、矢印参照)。

【0042】

なお、メモリ501には、面発光素子アレイチップ1に対応するラインデータの端部に面発光素子アレイチップ2の面発光素子アレイチップ1側の最端部の画素データが付加されて格納される。また、メモリ529には、面発光素子アレイチップ29に対応するラインデータの端部に面発光素子アレイチップ28の面発光素子アレイチップ29側の最端部の画素データが付加されて格納される。

【0043】

このように、本実施例では、面発光素子アレイチップ毎に隣接する面発光素子アレイチップの端部の画素データを、該当の面発光素子アレイチップのラインデータの両端に追加して、メモリ501～529に格納する。上述したチップデータ変換部403の動作により、主走査方向の1ライン分のラインデータは、面発光素子アレイチップ1～29に対応して設けられたメモリ501～529に、隣接する面発光素子アレイの端部の画素データとともに格納される。なお、隣接する面発光素子アレイチップの端部の画素データは、後述するフィルタ処理部408において用いられる。

【0044】

(チップデータシフト部)

補正手段であるチップデータシフト部404は、CPU400から予め指示された面発光素子アレイチップ毎の副走査方向の画像シフト量に関するデータ(2400dpi単位)に基づいて、メモリ501～529からのラインデータの相対的な読み出しタイミングを制御する。以下、チップデータシフト部404が実行する副走査方向の画像シフト処理について具体的に説明する。

【0045】

露光ヘッド長手方向において、偶数番目の各発光素子アレイチップの実装位置にずれがないことが望ましい。同様に、露光ヘッド長手方向において、奇数番目の各発光素子アレイチップの実装位置にずれがないことが望ましい。また、偶数番目の各発光素子アレイチップと奇数番目の各発光素子アレイチップとの副走査方向の実装位置関係は2400dpi相当で所定の画素数（例えば、8画素）であることが設計上望ましい。さらに、各発光素子アレイチップ内における発光素子列の副走査方向の配置位置が固体差を持たず一定であることが望ましい。しかしながら、これらの実装位置や発光素子列の配置位置は誤差を含み、これらの誤差が出力画像の画質の低下を招く恐れがある。

#### 【0046】

図4に示すメモリ430（ROM）には、駆動基板202に千鳥状に実装された面発光素子アレイチップ1～29の各発光素子列の副走査方向の相対的な位置関係から演算された補正データが記憶されている。例えば、メモリ430には、副走査方向の位置の基準となる発光素子アレイチップ1の発光素子列に対して、他の発光素子アレイチップ2～29の各発光素子列が副走査方向に2400dpi相当で何画素ずれて駆動基板202に実装されているかの測定データに基づく補正データが記憶されている。測定データは、駆動基板202に発光素子アレイチップ2～29を実装した後、測定装置によって各発光素子アレイチップの発光素子を点灯させ、その受光結果に基づいて計測される。CPU400は、画像形成装置の電源がONされたことに応じてメモリ430から読み出した補正データをチップデータシフト部404の内部レジスタに設定する。チップデータシフト部404は、内部レジスタに設定された補正データに基づいてメモリ501～529に記憶された同一ラインを形成するためのラインデータのシフト処理を行う。例えば、発光素子アレイチップ1の発光素子列に対して発光素子アレイチップ2の発光素子列が2400dpi相当で副走査方向に8画素ずれて駆動基板202に実装されている場合、チップデータシフト部404は、駆動基板202への発光素子アレイチップ1に対応するラインデータの出力タイミングに対して、同一ラインをなす発光素子アレイチップ2に対応するラインデータの出力タイミングが8画素分遅延するように発光素子アレイチップ1に対応するラインデータに対して発光素子アレイチップ2に対応する全ラインデータをシフトさせる。

#### 【0047】

（データ送信部）

データ送信部405は、露光ヘッド106に対して、上述した一連のラインデータに対するデータ処理を実行した後のラインデータを駆動基板202に送信する。前述した図6（b）を参照して、画像データの送信タイミングについて説明する。図3（a）に示すように、面発光素子アレイチップのうち、奇数番目の面発光素子アレイチップ1、3、5、・・・29は、副走査方向の上流側に配置され、偶数番目の面発光素子アレイチップ2、4、6、・・・28は、副走査方向の下流側に配置されている。図6（b）に示すタイムチャートでは、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529への画像データの書き込みは、最初のLine同期信号の期間（図中、TL1、TL10）で行われる。そして、次のLine同期信号の期間（図中、TL2）で、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向1ライン目のデータの読み出しが行われる。同様に、更に次のLine同期信号の期間では、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向2ライン目のデータの読み出しが行われる。そして、10番目のLine同期信号の期間（図中、TL10）で、奇数番目の面発光素子アレイチップ1、29に対応するメモリ501、メモリ529から、副走査方向9ライン目のデータの読み出しが行われる。また、偶数番目の面発光素子アレイチップ2に対応するメモリ502は、メモリ502への画像データの書き込みが行われた期間TL1から、Line同期信号424の9パルス後の期間（図中、TL10）で、メモリ502から画像データの読み出しが行われる。

#### 【0048】

データ送信部405は、チップデータシフト部404によって処理されたラインデータ

を駆動基板 202 に送信する。カウンタ 530 は、発振器の代わりに、入力される Line 同期信号を変調して Line 同期信号よりも高周波の CLK 信号を生成する周波数変調回路を備えている。カウンタ 530 は、周波数変調回路の代わりに Line 同期信号よりも高周波のクロック信号 (CLK) を生成する発振器を内蔵していても良い。本実施例では、Line 同期信号の 1 周期内でカウント値が 59, 856 (1 ラインの画素データ数の 2 倍の数) 以上になるように、クロック信号 (図 6 (b) の CLK) の周波数を定めている。これにより、Line 同期信号の 1 周期の時間内で、ラインメモリ 500 への画像データの入力 (書き込み)、及びラインメモリ 500 からメモリ 501 ~ 529 への画像データの出力 (書き込み) が可能となる。

#### 【0049】

10

一方、メモリ 501 ~ 529 からのデータの読み出しは、Line 同期信号の 1 周期の期間内に、29 個のメモリ 501 ~ 529 から各面発光素子アレイチップに対応する、主走査方向 1 ライン分の画像データをパラレルに出力する。そのため、メモリ 501 ~ 529 からの画像データの読み出し速度は、メモリへの書き込み速度に対して、低速で読み出してもよい。例えば、本実施例では、メモリ 501 ~ 529 への画像データの書き込み時のパルス数の 58 倍の長い周期で、メモリ 501 ~ 529 から画像データを読み出すものとする。

#### 【0050】

なお、ラインデータシフト部 402、チップデータ変換部 403、チップデータシフト部 404、データ送信部 405、同期信号生成部 406 は、集積回路 401 A とは異なる集積回路 402 A である。また、CPU 400 は、集積回路 401 A 及び集積回路 402 A とは異なる集積回路である。

20

#### 【0051】

[ 露光ヘッドの駆動部 ]

( データ受信部 )

次に、露光ヘッド 106 の駆動部 303 a 内部の処理について説明する。データ受信部 407 は、制御基板 415 のデータ送信部 405 から送信されたデータを受信し、それぞれクロック信号 420、Line 同期信号 424、画像データ 423 を分離する。データ受信部 407 とデータ送信部 405 は一般的に知られているパラレルシリアル変換を使用すれば良い。本実施例では、クロック信号 420、Line 同期信号 424、画像データ 423 をパラレルシリアル変換により駆動部 303 a へ送信しているが、それぞれパラレルで送信しても良い。また駆動部 303 a はデータ受信部 407 で受信したクロック信号を基に動作する。これは駆動部 303 a にクロック発振器や水晶振動子を不要とすることが可能となるためである。

30

#### 【0052】

ここで、データ受信部 407、データ送信部 405 は、Line 同期信号に同期して副走査方向のライン単位で、画像データを送受信するものとする。前述したように、チップデータ変換部 403 では、面発光素子アレイチップ 1 ~ 29 のチップ毎にデータの配列を行い、以降の処理ブロックは面発光素子アレイチップ 1 ~ 29 のチップのデータを並列処理する構成となっている。駆動部 303 a では、面発光素子アレイチップ 1 ~ 15 に対応した画像データを受信し、チップ毎に並列に処理可能な回路を有するものとする。

40

#### 【0053】

( フィルタ処理部 )

変換手段であるフィルタ処理部 408 では、面発光素子アレイチップ 1 ~ 29 毎の画像データに対して、主走査方向のフィルタ処理による補間処理を行い、主走査方向の解像度を 2400 dpi から 1200 dpi に変換する。

#### 【0054】

フィルタ処理を行う際に、面発光素子アレイチップの端部の画素の処理を行う場合、隣接する面発光素子アレイチップの画素データがないと、画像が欠落し画像不良を発生させる。そのため、前述したように制御基板 415 のチップデータ変換部 403 で、隣接する

50

面発光素子アレイチップの端部側の画素データを加えて、画像データを配列しておくことで、画像の欠落のないフィルタ処理を行うことができる（図7参照）。

【0055】

（LUT）

続くLUT410は、面発光素子アレイチップ内の発光素子に対応する画素毎の画像データ値（濃度データ値）をルックアップテーブル（Look Up Table）を参照して、データ変換を行う。LUT410では、面発光素子アレイチップの発光時間の応答特性に基づいて、パルス発光させたときの積算光量が所定の値となるように、画素毎のデータ値の変換を行う。例えば、面発光素子アレイチップの発光時間の応答が遅く、積算光量が目標値より小さい場合は、データ値が増えるようにデータ変換を行う。本実施例では、CPU400は、画像形成を開始する前に、ルックアップテーブルに設定される変換テーブルの値を、実験的に得られた発光素子アレイの応答特性に基づいた所定の値に設定するものとする。

【0056】

図17は、ルックアップテーブルの一例を示す図である。LUT410が（a）から（c）のいずれかを用いて1200dpi相当の画素データをPWM信号に変換する。（a）～（c）は1200dpi相当の画素データを8ビットのPWMデータに変換するテーブルである。ここで、「000, 001, 010, 011, 100」は、それぞれ「濃度0%、濃度25%、濃度50%、濃度75%、濃度100%」を示す1200dpi相当の画素データである。PWMデータの「1」はLEDのONデータ（発光データ）であり、「0」はOFFデータ（非発光データ）を示す。PWMデータがW1～W4に相当する。

【0057】

（PWM信号生成部、タイミング制御部、制御信号生成部、駆動電圧生成部）

続くPWM信号生成部411では、画素毎のデータ値に応じて面発光素子アレイチップが1画素区間で発光する発光時間に対応したパルス幅信号（以下、PWM信号という）を生成する。PWM信号を出力するタイミングは、タイミング制御部412により制御される。タイミング制御部412は、制御基板415の同期信号生成部406で生成されたLine同期信号より、各画素の画素区間に対応した同期信号を生成し、PWM信号生成部411に出力する。駆動電圧生成部414は、PWM信号に同期して、面発光素子アレイチップを駆動する駆動電圧を生成する。なお、駆動電圧生成部414は、CPU400によって所定の光量となるように出力信号の電圧レベルを5V中心に調整可能な構成とする。本実施例では、各面発光素子アレイチップは、同時に4つの発光素子を独立して駆動できる構成となっている。駆動電圧生成部414は、面発光素子アレイチップ毎に駆動信号4ライン、露光ヘッド106全体では、千鳥状構成の1ライン（15チップ）×4＝60ラインに駆動信号を供給する。各面発光素子アレイチップに供給される駆動信号は、W1～W4とする（図8参照）。一方、後述するシフトサイリスタ（図8参照）の動作により、順次、面発光素子アレイチップが駆動される。制御信号生成部413は、タイミング制御部412で生成された画素区間に対応する同期信号より、画素毎にシフトサイリスタを転送するための制御信号s、1、2を生成する（図8参照）。

【0058】

〔SLED回路の説明〕

図8は、本実施例の自己走査型発光素子（Self-Scanning LED：SLED）アレイチップの一部分を抜き出した等価回路である。図8において、Ra、Rgはそれぞれアノード抵抗、ゲート抵抗であり、Tnはシフトサイリスタ、Dnは転送ダイオード、Lnは発光サイリスタを示す。また、Gnは、対応するシフトサイリスタTn、及びシフトサイリスタTnに接続されている発光サイリスタLnの共通ゲートを表している。ここで、nは2以上の整数とする。1は奇数番目のシフトサイリスタTの転送ライン、2は偶数番目のシフトサイリスタTの転送ラインである。W1～W4は発光サイリスタLの点灯信号ラインであり、それぞれ抵抗RW1～RW4と接続されている。VG

Kはゲートラインであり、sはスタートパルスラインである。図8に示すように、1個のシフトサイリスタ $T_n$ に対し、発光サイリスタは $L_{4n-3} \sim L_{4n}$ までの4個が接続されており、同時に4個の発光サイリスタ $L_{4n-3} \sim L_{4n}$ が点灯可能な構成となっている。

#### 【0059】

##### [SLED回路の動作]

次に、図8に示すSLED回路の動作について説明する。なお、図8の回路図において、ゲートラインVGKには5Vが印加されているものとし、転送ライン1、2、及び点灯信号ライン $W_1 \sim W_4$ に inputsされる電圧も、同じく5Vとする。図8において、シフトサイリスタ $T_n$ がオン状態にあるとき、シフトサイリスタ $T_n$ 、及びシフトサイリスタ $T_n$ に接続されている発光サイリスタ $L_n$ の共通ゲート $G_n$ の電位は約0.2Vまで引き下げられる。発光サイリスタ $L_n$ の共通ゲート $G_n$ と発光サイリスタ $L_{n+1}$ の共通ゲート $G_{n+1}$ との間には、結合ダイオード $D_n$ で接続されているため、結合ダイオード $D_n$ の拡散電位にほぼ等しい電位差が発生する。本実施例では、結合ダイオード $D_n$ の拡散電位は約1.5Vであるので、発光サイリスタ $L_{n+1}$ の共通ゲート $G_{n+1}$ の電位は、発光サイリスタ $L_n$ の共通ゲート $G_n$ の電位の0.2Vに、拡散電位の1.5Vを加えた1.7V( $= 0.2V + 1.5V$ )となる。以下、同様に、発光サイリスタ $L_{n+2}$ の共通ゲート $G_{n+2}$ の電位は3.2V( $= 1.7V + 1.5V$ )、発光サイリスタ $L_{n+3}$ (不図示)の共通ゲート $G_{n+3}$ (不図示)の電位は4.7V( $= 3.2V + 1.5V$ )となる。ただし、発光サイリスタ $L_{n+4}$ の共通ゲート $G_{n+4}$ 以降の電位は、ゲートラインVGKの電圧が5Vであり、これ以上の高い電圧にはならないので、5Vとなる。また、発光サイリスタ $L_n$ の共通ゲート $G_n$ より前(図8の共通ゲート $G_n$ よりも左側)の共通ゲート $G_{n-1}$ の電位については、結合ダイオード $D_{n-1}$ が逆バイアス状態になっているため、ゲートラインVGKの電圧がそのまま印加され、5Vとなっている。

#### 【0060】

図9(a)は、上述したシフトサイリスタ $T_n$ がオン状態のときの各発光サイリスタ $L_n$ の共通ゲート $G_n$ のゲート電位の分布を示す図であり、共通ゲート $G_{n-1}$ 、 $G_n$ 、 $G_{n+1} \dots$ は、図8中の発光サイリスタ $L$ の共通ゲートを指している。また、図9(a)の縦軸は、ゲート電位を示す。各シフトサイリスタ $T_n$ がオンするために必要な電圧(以下、しきい値電圧と表記)は、各々の発光サイリスタ $L_n$ の共通ゲート $G_n$ のゲート電位に拡散電位(1.5V)を加えたものと、ほぼ同じ電位である。シフトサイリスタ $T_n$ がオンしているとき、同じシフトサイリスタ $T_n$ の転送ライン2のラインに接続されているシフトサイリスタの中で、共通ゲートのゲート電位が最も低いのはシフトサイリスタ $T_{n+2}$ である。シフトサイリスタ $T_{n+2}$ に接続されている発光サイリスタ $L_{n+2}$ の共通ゲート $G_{n+2}$ の電位は、先に説明したように3.2V( $= 1.7V + 1.5V$ )(図9(a))である。したがって、シフトサイリスタ $T_{n+2}$ のしきい値電圧は4.7V( $= 3.2V + 1.5V$ )となる。しかしながら、シフトサイリスタ $T_n$ がオンしているため、転送ライン2の電位は約1.5V(拡散電位)に引き込まれており、シフトサイリスタ $T_{n+2}$ のしきい値電圧より低いために、シフトサイリスタ $T_{n+2}$ はオンすることができない。同じ転送ライン2に接続されている他のシフトサイリスタは、シフトサイリスタ $T_{n+2}$ よりもしきい値電圧が高いために、同様にオンすることができず、シフトサイリスタ $T_n$ のみがオン状態を保つことができる。

#### 【0061】

また、転送ライン1に接続されているシフトサイリスタについては、しきい値電圧が最も低い状態であるシフトサイリスタ $T_{n+1}$ のしきい値電圧は3.2V( $= 1.7V + 1.5V$ )である。そして、次にしきい値電圧の低いシフトサイリスタ $T_{n+3}$ (図8では不図示)は6.2V( $= 4.7V + 1.5V$ )である。この状態で、転送ライン1に5Vが入力されると、シフトサイリスタ $T_{n+1}$ のみがオン状態に遷移できる。この状態では、シフトサイリスタ $T_n$ とシフトサイリスタ $T_{n+1}$ が同時にオンした状態である。そのため、シフトサイリスタ $T_{n+1}$ から図8の回路図中、右側に設けられたシフトサイ

10

20

30

40

50

リスタ  $T_{n+2}$ 、 $T_{n+3}$  等のゲート電位は、各々、拡散電位 ( $1.5\text{ V}$ ) 分、引き下げられる。ただし、ゲートライン  $V_{GK}$  の電圧が  $5\text{ V}$  であり、発光サイリスタ  $L$  の共通ゲートの電圧はゲートライン  $V_{GK}$  の電圧で制限されるため、シフトサイリスタ  $T_{n+5}$  より右側のゲート電位は  $5\text{ V}$  となる。図 9 (b) は、このときの各共通ゲート  $G_{n-1} \sim G_n + 4$  のゲート電圧分布を示す図であり、縦軸はゲート電位を示す。この状態で、転送ライン 2 の電位を  $0\text{ V}$  に下げると、シフトサイリスタ  $T_n$  がオフし、シフトサイリスタ  $T_n$  の共通ゲート  $G_n$  の電位が  $V_{GK}$  電位まで上昇する。図 9 (c) は、このときのゲート電圧分布を示す図であり、縦軸はゲート電位を示す。こうして、シフトサイリスタ  $T_n$  からシフトサイリスタ  $T_{n+1}$  へのオン状態の転送が完了する。

#### 【0062】

##### [ 発光サイリスタの発光動作 ]

次に、発光サイリスタの発光動作に関して説明する。シフトサイリスタ  $T_n$  のみがオンしているとき、発光サイリスタ  $L_{4n-3} \sim L_{4n}$  までの 4 個の発光サイリスタのゲートはシフトサイリスタ  $T_n$  の共通ゲート  $G_n$  に共通に接続されている。そのため、発光サイリスタ  $L_{4n-3} \sim L_{4n}$  のゲート電位は、共通ゲート  $G_n$  と同じ  $0.2\text{ V}$  である。したがって、各々の発光サイリスタのしきい値は  $1.7\text{ V}$  ( $= 0.2\text{ V} + 1.5\text{ V}$ ) であり、発光サイリスタの点灯信号ライン  $W_1 \sim W_4$  から、 $1.7\text{ V}$  以上の電圧が入力されれば、発光サイリスタ  $L_{4n-3} \sim L_{4n}$  は点灯可能である。したがって、シフトサイリスタ  $T_n$  がオンしているときに、点灯信号ライン  $W_1 \sim W_4$  に点灯信号を入力することにより、発光サイリスタ  $L_{4n-3} \sim L_{4n}$  までの 4 個の発光サイリスタを選択的に発光させることが可能である。このとき、シフトサイリスタ  $T_n$  の隣のシフトサイリスタ  $T_{n+1}$  の共通ゲート  $G_{n+1}$  の電位は  $1.7\text{ V}$  であり、共通ゲート  $G_{n+1}$  にゲート接続している発光サイリスタ  $L_{4n+1} \sim L_{4n+4}$  のしきい値電圧は  $3.2\text{ V}$  ( $= 1.7\text{ V} + 1.5\text{ V}$ ) となる。点灯信号ライン  $W_1 \sim W_4$  から入力される点灯信号は  $5\text{ V}$  であるので、発光サイリスタ  $L_{4n-3} \sim L_{4n}$  の点灯パターンと同じ点灯パターンで、発光サイリスタ  $L_{4n+1} \sim L_{4n+4}$  も点灯しそうである。ところが、発光サイリスタ  $L_{4n-3} \sim L_{4n}$  までの方がしきい値電圧が低いため、点灯信号ライン  $W_1 \sim W_4$  から点灯信号が入力された場合には、発光サイリスタ  $L_{4n+1} \sim L_{4n+4}$  よりも早くオンする。一旦、発光サイリスタ  $L_{4n-3} \sim L_{4n}$  がオンすると、接続されている点灯信号ライン  $W_1 \sim W_4$  が約  $1.5\text{ V}$  (拡散電位) に引き下げられる。そのため、点灯信号ライン  $W_1 \sim W_4$  の電位が、発光サイリスタ  $L_{4n+1} \sim L_{4n+4}$  のしきい値電圧よりも低くなるため、発光サイリスタ  $L_{4n+1} \sim L_{4n+4}$  はオンすることができない。このように、1 個のシフトサイリスタ  $T$  に複数の発光サイリスタ  $L$  を接続することで、複数個の発光サイリスタ  $L$  を同時点灯させることができる。

#### 【0063】

図 10 は、図 8 に示す  $SLED$  回路の駆動信号のタイミングチャートである。図 10 では、上から順に、ゲートライン  $V_{GK}$ 、スタートパルスライン  $s$ 、奇数番目、偶数番目のシフトサイリスタの転送ライン 1、2、発光サイリスタの点灯信号ライン  $W_1 \sim W_4$  の駆動信号の電圧波形を表している。なお、各駆動信号は、オン時の電圧は  $5\text{ V}$ 、オフ時の電圧は  $0\text{ V}$  である。また、図 10 の横軸は時間を示す。また、 $T_c$  は、クロック信号 1 の周期を示し、 $T_c / 2$  は、周期  $T_c$  の半分 ( $= 1/2$ ) の周期を示す。

#### 【0064】

ゲートライン  $V_{GK}$  には常に  $5\text{ V}$  が供給される。また、奇数番目のシフトサイリスタ用のクロック信号 1、偶数番目のシフトサイリスタ用のクロック信号 2 が同じ周期  $T_c$  にて入力され、スタートパルスラインの信号  $s$  は  $5\text{ V}$  が供給されている。奇数番目のシフトサイリスタ用のクロック信号 1 が最初に  $5\text{ V}$  になる少し前に、ゲートライン  $V_{GK}$  に電位差をつけるために、スタートパルスラインの信号  $s$  は  $0\text{ V}$  に落とされる。これにより、最初のシフトサイリスタ  $T_{n-1}$  のゲート電位が  $5\text{ V}$  から  $1.7\text{ V}$  に引き込まれ、しきい値電圧が  $3.2\text{ V}$  になって、転送ライン 1 による信号でオンできる状態になる。転送ライン 1 に  $5\text{ V}$  が印加され、最初のシフトサイリスタ  $T_{n-1}$  がオン状態に遷移し

10

20

30

40

50



てから少し遅れて、スタートパルスライン s に 5 V が供給され、以降、スタートパルスライン s には 5 V が供給され続ける。

【 0 0 6 5 】

転送ライン 1 と転送ライン 2 は互いのオン状態（ここでは 5 V）が重なる時間  $T_{ov}$  を持ち、略相補的な関係になるように構成される。発光サイリスタ点灯用信号ライン W1 ~ W4 は、転送ライン 1、2 の周期の半分の周期で送信され、対応するシフトサイリスタがオン状態のときに、5 V が印加されると点灯する。例えば期間 a では同一のシフトサイリスタに接続されている 4 つの発光サイリスタが全て点灯している状態であり、期間 b では 3 つの発光サイリスタが同時点灯している。また、期間 c では全ての発光サイリスタは消灯状態であり、期間 d では 2 つの発光サイリスタが同時点灯している。期間 e では点灯する発光サイリスタは 1 つのみである。

10

【 0 0 6 6 】

本実施例では 1 個のシフトサイリスタに接続する発光サイリスタの数は 4 個としているがこれに限ったものではなく、用途に応じて 4 個より少なくても多くてもよい。なお、上述した回路では各サイリスタのカソードを共通とする回路について説明したが、アノード共通回路でも適宜極性を反転することで適用可能である。

【 0 0 6 7 】

[ 面発光サイリスタの構造 ]

図 11 は、本実施例の面発光サイリスタ部の概略図である。図 11 ( a ) は、メサ（台形）構造 922 に形成された発光素子が複数配列されている発光素子アレイの平面図（模式図）である。図 11 ( b ) は、図 11 ( a ) に示す B - B 線で、メサ構造 922 に形成された発光素子を切断したときの断面概略図である。発光素子が形成されたメサ構造 922 は、所定のピッチ（発光素子間の間隔）（例えば 1200 dpi の解像度の場合には約 21.16  $\mu\text{m}$ ）で配置されており、各メサ構造 922 は、素子分離溝 924 により互いに分離されている。

20

【 0 0 6 8 】

図 11 ( b ) において、900 は第一伝導型の化合物半導体基板、902 は基板 900 と同じ第一伝導型のバッファ層、904 は第一伝導型の二種類の半導体層の積層で構成される分布ブラッグ反射（DBR）層である。また、906 は第 1 の第一伝導型半導体層、908 は第一伝導型とは異なる第 1 の第二伝導型半導体層、910 は第 2 の第一伝導型半導体層、912 は第 2 の第二伝導型半導体層である。図 11 ( b ) に示すように、半導体層 906、908、910、912 の、伝導型の異なる半導体を交互に積層することで、pnpn 型（又は npnp 型）のサイリスタ構造を形成している。本実施例では、基板 900 には n 型の GaAs 基板を用い、バッファ層 902 には n 型 GaAs 又は n 型の AlGaAs 層、DBR 層 904 には n 型の高 Al 組成の AlGaAs と低 Al 組成の AlGaAs の積層構造を用いている。DBR 層の上の第 1 の第一伝導型半導体層 906 には n 型 AlGaAs、第 1 の第二伝導型半導体層 908 には p 型 AlGaAs、第 2 の第一伝導型半導体層 910 には n 型 AlGaAs、第 2 の第二伝導型半導体層 912 には p 型 AlGaAs を用いている。

30

【 0 0 6 9 】

また、メサ構造型の面発光素子では、電流狭窄機構を用い、電流をメサ構造 922 側面に流さないようにすることで発光効率を向上させている。ここで、本実施例における電流狭窄機構について説明する。図 11 ( b ) に示すように、本実施例では第 2 の第二伝導型半導体層 912 である p 型 AlGaAs の上に、p 型の GaP 層 914 を形成し、更にもその上に n 型の透明導電体である ITO 層 918 を形成している。p 型 GaP 層 914 は、透明導電体 ITO 層 918 と接触する部分の不純物濃度を十分高く形成しておく。発光サイリスタに対して順バイアスを加えたとき（例えば裏面電極 926 を接地し、表面電極 920 に正電圧を加えたとき）、p 型 GaP 層 914 は、透明導電体 ITO 層 918 と接触する部分の不純物濃度を十分高く形成されているため、トンネル接合となる。その結果、電流が流れる。このような構造により、p 型 GaP 層 914 は、n 型透明導電体 ITO 層

40

50

918と接触する部分に電流を集中させ、電流狭窄機構を形成している。なお、本実施例においては、ITO層918とp型AlGaAs層912との間に層間絶縁層916を設けている。ところが、n型ITO層918とp型AlGaAs層912で形成される付設ダイオードは、発光サイリスタの順方向バイアスに対して逆バイアスになっており、順バイアスしたときに、トンネル接合部以外は基本的に電流が流れない。そのため、n型ITO層918とp型AlGaAs層912で形成される付設ダイオードの逆方向耐圧が必要な用途に対して十分であれば、省略することも可能である。このような構成により、p型GaP層914とn型透明導電体ITO層918とが接触する部分とほぼ同等な部分の下部の半導体積層部が発光し、DBR層904によってそのほとんどの発光が基板900と反対側に反射される。

10

#### 【0070】

本実施例における露光ヘッド106は、解像度に応じて発光点の密度（発光素子間の間隔）が決定される。面発光素子アレイチップ内部の各発光素子は、素子分離溝924によってメサ構造922に分離され、例えば1200dpiの解像度で画像形成を行う場合は、隣接する発光素子（発光点）の素子中心間の間隔は21.16 $\mu$ mとなるように配列される。

#### 【0071】

[副走査方向における倍率調整時のLine同期信号と画像データとの関係]

図12は、データ受信部407から出力されるLine同期信号と画像データとの関係を示す図である。図12で(a)は副走査方向における倍率補正を行わない場合を示し、(b)は副走査方向における倍率を拡大する場合を示し、(c)は副走査方向における倍率を縮小する場合を示す。なお、副走査方向における倍率補正を行わない場合を基準とする。各図には、Line同期信号の波形と、画像データを示す。横軸はいずれも時間を示す。補正を行わない場合のLine同期信号の周期 $T_n$ は、 $T_n\_clk \times 15000$ であり、倍率を拡大する場合のLine同期信号の周期 $T_m$ は、 $T_m\_clk \times 15000$ である。また、倍率を縮小する場合のLine同期信号の周期 $T_r$ は、 $T_r\_clk \times 15000$ である。

20

#### 【0072】

データ受信部407から出力されるクロック周波数は(a)~(c)で異なる。言い換えればクロック周期は、(a)では $T_n\_clk$ 、(b)では $T_m\_clk$ 、(c)では $T_r\_clk$ である( $T_m\_clk > T_n\_clk > T_r\_clk$ )。しかし、Line同期信号間のパルス数は同じ(15000)である。実施例1では、1ラインに必要なクロック数は15000パルスとしている。図12(b)の副走査方向の拡大時は、クロック周波数が低くなる(クロック周期が長くなる)ため、Line同期信号の周期が副走査方向における倍率補正を行わない場合と比較して長くなる。図12(c)の副走査方向の縮小時は、クロック周波数が高くなる(クロック周期が短くなる)ため、Line同期信号の周期が副走査方向における倍率補正を行わない場合と比較して短くなる。その結果、副走査方向の倍率を拡大する場合は感光ドラム102上に形成されるライン間隔が伸び、全体的に画像データの副走査方向は拡大される。一方、副走査方向の倍率を縮小する場合は感光ドラム102上に形成されるライン間隔が縮み、全体的に画像データの副走査方向は縮小される。

30

40

#### 【0073】

制御基板415は、感光ドラム102の回転方向の倍率を、例えばN倍とする倍率補正を行う場合に、クロック信号の周期及びLine同期信号の周期をそれぞれ1/N倍に補正する。

#### 【0074】

[感光ドラム102上に形成されるドット形状]

図13は副走査方向の倍率補正を行わない場合と倍率補正を行う場合の感光ドラム102上に形成されるドット関係を示す。図13で、(a)は副走査方向の倍率を拡大する場合を示し、(b)は副走査方向の倍率補正を行わない(基準の)場合を示し、(c)は副

50

走査方向の倍率を縮小する場合を示す。図 13 には、副走査方向の 1 ライン目と 2 ライン目を示している。副走査方向の倍率補正を行わない場合を基準として、副走査方向の倍率を拡大する場合は、データ受信部 407 から出力されるクロック周期 ( $T_{m\_clk}$ ) が長くなっているため、感光ドラム 102 上に形成されるドットは大きくなる。一方、副走査方向の倍率を縮小する場合は、データ受信部 407 から出力されるクロック周期 ( $T_{r\_clk}$ ) が短くなっているため、感光ドラム 102 上に形成されるドットは小さくなる。

#### 【0075】

上述したとおり、副走査方向の倍率を拡大する場合は、感光ドラム 102 上に形成されるライン間隔が伸びることになるが、感光ドラム 102 上に形成されるドットも大きくなっている。このため、画像データの濃度は副走査方向における倍率補正を行わない場合と同様の濃度が保たれる。また、副走査方向の倍率を縮小する場合は、感光ドラム 102 上に形成されるライン間隔が縮むことになるが、感光ドラム 102 上に形成されるドットも小さくなっている。このため、画像データの濃度は副走査方向における倍率補正を行わない場合と同様の濃度が保たれる。

10

#### 【0076】

以上説明した実施例 1 においては、副走査方向の倍率を拡大・縮小する場合、クロック生成部 422 で生成するクロック信号の周期を変更することで副走査方向の倍率補正を可能としている。このため、ライン間隔の伸び又は縮みとともに画像データの濃度変動を抑えることが可能となり、品質の高い画像形成が可能な画像形成装置を提供することができる。

20

#### 【0077】

なお、実施例 1 においては、面発光素子アレイチップを千鳥状に配置した例について述べたが、例えば一列に配列する構成においても、同様に処理することで同様の効果を得ることができる。

#### 【0078】

なお、図 4 において、CPU 400、集積回路 401A、集積回路 402A は、1 つの集積回路に含まれていてもよい。更に、CPU 400 と、集積回路 401A 及び集積回路 402A と、が異なる集積回路であってもよい。

30

#### 【0079】

以上、実施例 1 によれば、副走査方向の倍率の補正を精度良く行うことができる。

#### 【実施例 2】

#### 【0080】

実施例 2 について、特に実施例 1 と異なる箇所について図 14 を用いて詳細に説明する。実施例 1 で説明したように、クロック生成部 422 で生成するクロック周期を変更することで副走査方向の倍率補正を行う場合、クロック周期と面発光素子アレイチップの光量がリニアでは無い場合が発生する。その際は、倍率補正に合わせて面発光素子アレイチップの光量を変更することで画像データの濃度を合わせる必要がある。

#### 【0081】

図 14 (A) は、クロック周期と面発光素子アレイチップの光量との関係を示す図である。図 14 (A) で、(a) は副走査方向の倍率を拡大する場合のグラフであり、光量が不足する場合のグラフである。(b) は副走査方向の倍率を縮小した場合のグラフであり、光量が過剰となる場合のグラフである。(c) は実施例 2 の光量の補正を行ったときのグラフ、をそれぞれ示す。いずれも横軸はクロック周期 [ナノ秒 (ns)] を示し、縦軸は面発光素子アレイチップの光量を示す。また、図 14 (B) は、副走査方向の倍率補正を行った場合の、実施例 2 の光量を示す図であり、横軸に光量を示し、縦軸に副走査方向を示す。図 14 (B) で、(a) は副走査方向の倍率を拡大したときのグラフであり、(b) は副走査方向の倍率補正を行わない (基準) ときのグラフであり、(c) は副走査方向の倍率を縮小したときのグラフである。

40

#### 【0082】

50

実施例 2 において、実施例 1 同様に副走査方向の倍率を拡大する場合、Line 同期信号の周期 ( $T_m = T_{m\_clk} \times 15000$ ) が副走査方向の倍率補正をしない場合と比較して長くなっている。その結果、感光ドラム 102 上に形成されるライン間隔が伸びるため、1 ライン目と 2 ライン目のドット間隔が広がる。しかしながら、クロック周期 ( $T_{m\_clk}$ ) が長くなったにもかかわらず、クロック周期と面発光素子アレイチップの光量がリニアでは無いため光量が不足する (図 14 (A) (a))。このため、記録紙に形成される画像データの濃度が、副走査方向における倍率補正を行わない場合と比較して、同様の濃度を得ることができない。そこで実施例 2 では、感光ドラム 102 上に形成されるドットを大きくする。更に、光量上げるために駆動手段である駆動電圧生成部 414 により、倍率補正を行わない場合の基準の駆動電圧よりも各発光素子の駆動電圧を上げて、第 1 の駆動電圧とする (第 1 の駆動電圧 > 基準の駆動電圧)。

10

**【0083】**

図 14 (B) に示すように、各発光素子の駆動電圧を上げると、副走査方向の倍率補正をしない場合 (図 14 (B) (b)) と比較して、各発光素子の光量上がる (図 14 (B) (a))。その結果、クロック周期とともに各発光素子の光量も補正することで、副走査方向における倍率補正を行った場合に、クロック周期と面発光素子アレイチップの光量との関係がリニアになる (図 14 (A) (c))。このように、実施例 2 では、クロック周期と各発光素子の光量とを補正することで、副走査方向の感光ドラム 102 上に形成されるライン間隔は伸びているが感光ドラム 102 上に形成されるドットの大きさは大きくなる。更に、各発光素子の光量補正を行うことで、更に精度の良い補正が可能となる。

20

**【0084】**

一方、光量がリニアではなく過剰な場合は、駆動電圧生成部 414 により、倍率補正を行わない場合の基準の駆動電圧よりも各発光素子の駆動電圧を下げて、第 2 の駆動電圧とすればよい (第 2 の駆動電圧 < 基準の駆動電圧)。副走査方向の倍率を縮小する場合、Line 同期信号の周期 ( $T_r = T_{r\_clk} \times 15000$ ) が副走査方向の倍率補正をしない場合と比較して短くなっている。その結果、感光ドラム 102 上に形成されるライン間隔が縮むため、1 ライン目と 2 ライン目のドット間隔が縮む。しかしながら、クロック周期 ( $T_{r\_clk}$ ) が短くなったにもかかわらず、クロック周期と面発光素子アレイチップの光量がリニアでは無いため光量が過剰となる (図 14 (A) (b))。このため、記録紙に形成される画像データの濃度が、副走査方向における倍率補正を行わない場合と比較して、同様の濃度を得ることができない。そこで実施例 2 では、感光ドラム 102 上に形成されるドットを小さくし、更に、光量を下げるために駆動電圧生成部 414 により各発光素子の駆動電圧を下げる。

30

**【0085】**

図 14 (B) に示すように、各発光素子の駆動電圧を下げると、副走査方向の倍率補正をしない場合 (図 14 (B) (b)) と比較して、各発光素子の光量が下がる (図 14 (B) (c))。その結果、クロック周期とともに各発光素子の光量も補正することで、副走査方向における倍率補正を行った場合に、クロック周期と面発光素子アレイチップの光量との関係がリニアになる (図 14 (A) (c))。このように、実施例 2 では、クロック周期と各発光素子の光量とを補正することで、副走査方向の感光ドラム 102 上に形成されるライン間隔は縮んでいるが感光ドラム 102 上に形成されるドットの大きさは小さくなる。更に、各発光素子の光量補正を行うことで、更に精度の良い補正が可能となる。

40

**【0086】**

なお、光量がリニアではなく光量が不足する場合は、駆動電圧生成部 414 により各発光素子の駆動電圧を上げれば良い。また、実施例 2 の副走査方向における倍率調整データに対応した面発光素子アレイチップの光量補正データは、ROM 421 に予め格納されており、CPU 400 が ROM 421 から光量補正データを読み出すものとする。CPU 400 は、ROM 421 から読み出した面発光素子アレイチップの光量補正データを駆動電圧生成部 414 に設定し、面発光素子アレイチップの光量を制御する。

**【0087】**

50

以上説明した実施例 2 においては、副走査方向の倍率を拡大・縮小する場合、クロック生成部 4 2 2 で生成するクロック信号の周期を変更することで副走査方向の倍率補正が可能である。更に、駆動電圧生成部 4 1 4 で各発光素子の駆動電圧を変更することで光量を変更し、感光ドラム 1 0 2 上に形成されるドットサイズを変更する。これにより、画像データの濃度変更を抑えることが可能となる。その結果、品質の高い画像形成が可能な画像形成装置を提供することができる。

以上、実施例 2 によれば、副走査方向の倍率の補正を精度良く行うことができる。

【 0 0 8 8 】

[ 図 4 の変形例 ]

図 4 の変形例 1 として、例えば、図 1 5 に示すように、フィルタ処理部 4 0 8 がチップデータシフト部 4 0 4 とデータ送信部 4 0 5 との間にあってもよい。 10

図 4 の変形例 2 として、例えば、図 1 6 に示すように、フィルタ処理部 4 0 8 がラインデータシフト部 4 0 2 とチップデータ変換部 4 0 3 との間にあってもよい。

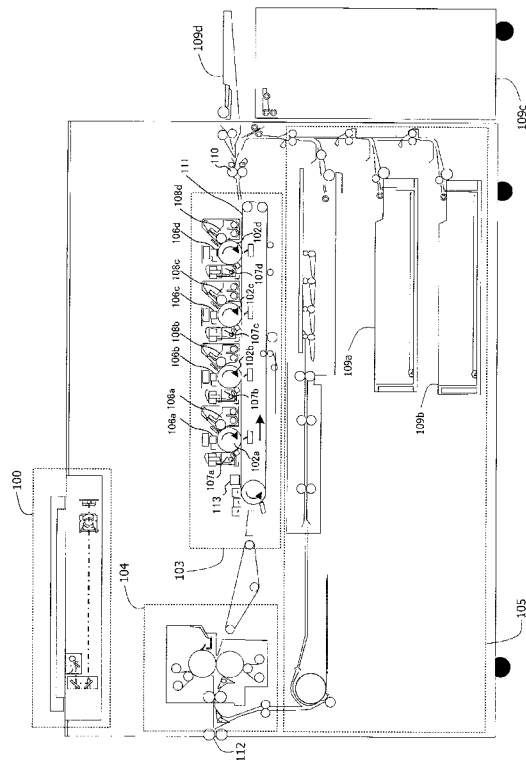
【 符号の説明 】

【 0 0 8 9 】

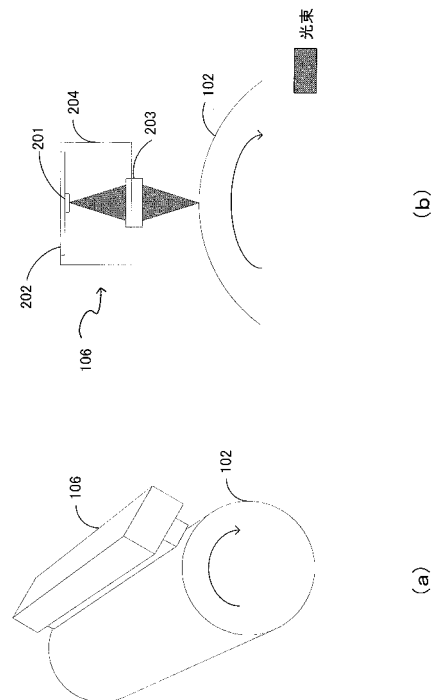
- |       |             |
|-------|-------------|
| 1 0 2 | 感光ドラム       |
| 1 0 6 | 露光ヘッド       |
| 2 0 1 | 面発光素子アレイ素子群 |
| 3 0 3 | 駆動部         |
| 4 1 5 | 制御基板        |
| 4 2 2 | クロック生成部     |

20

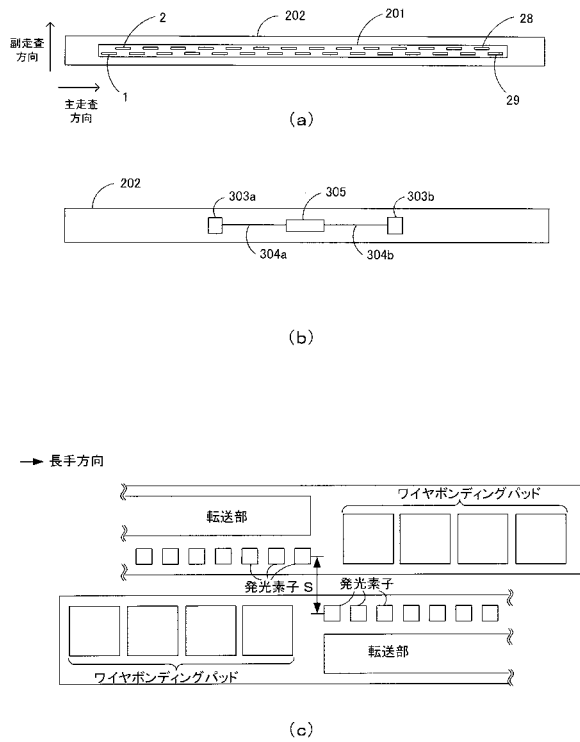
【 図 1 】



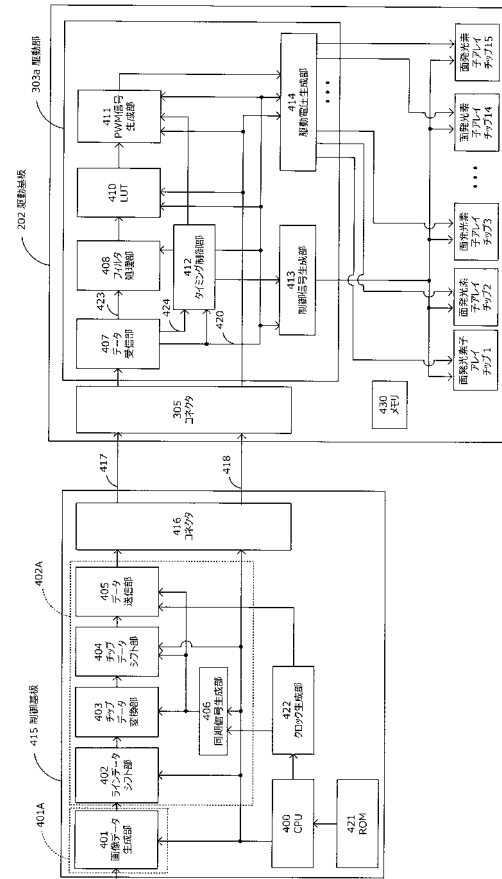
【 図 2 】



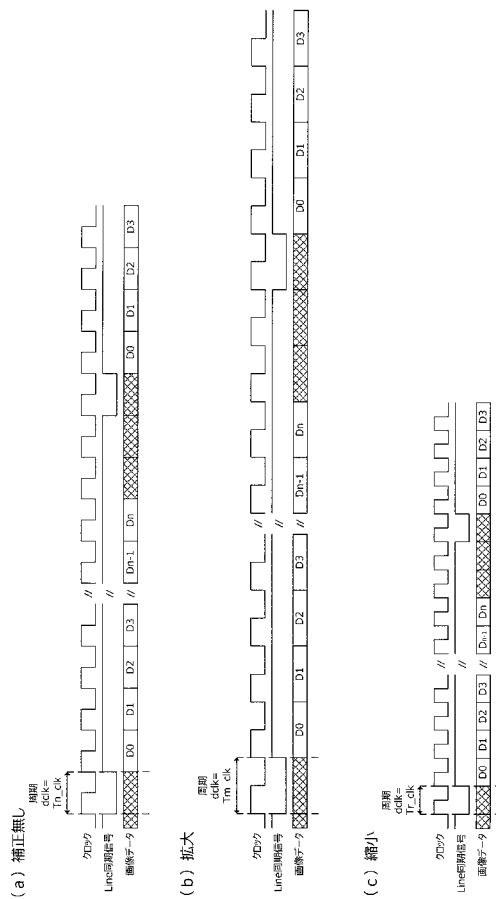
【図 3】



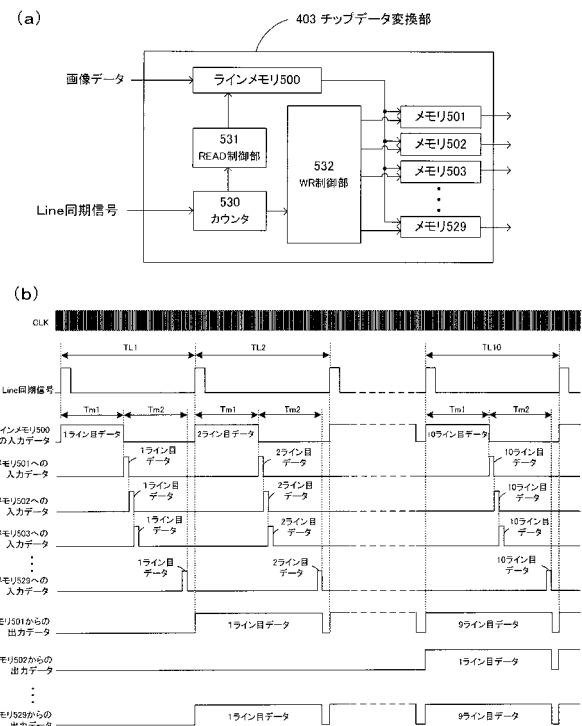
【図 4】



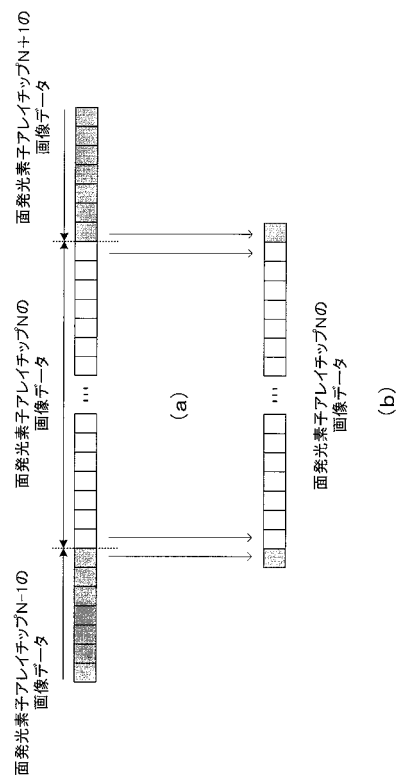
【図 5】



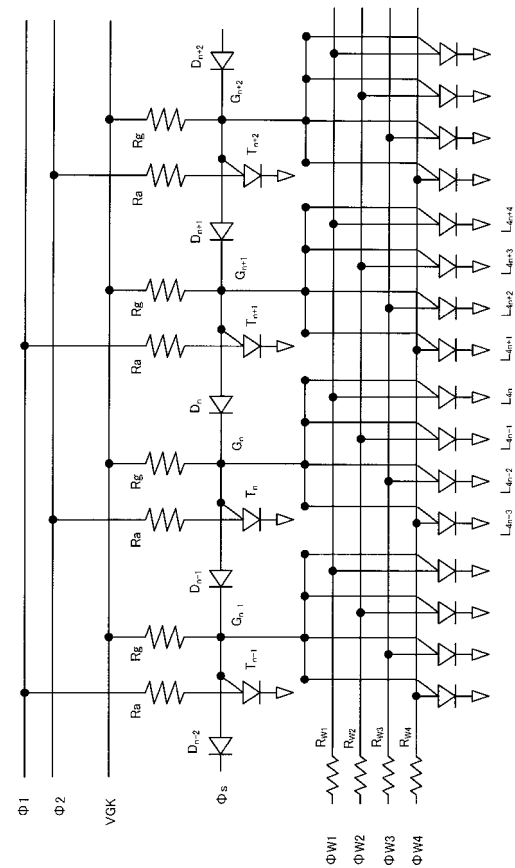
【図 6】



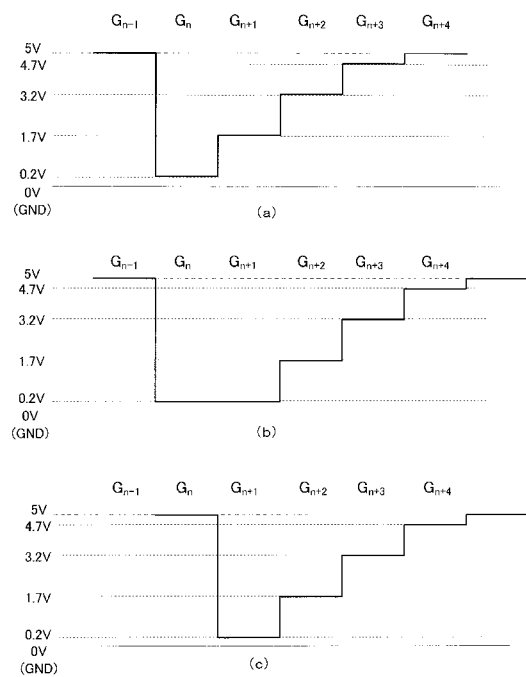
【図 7】



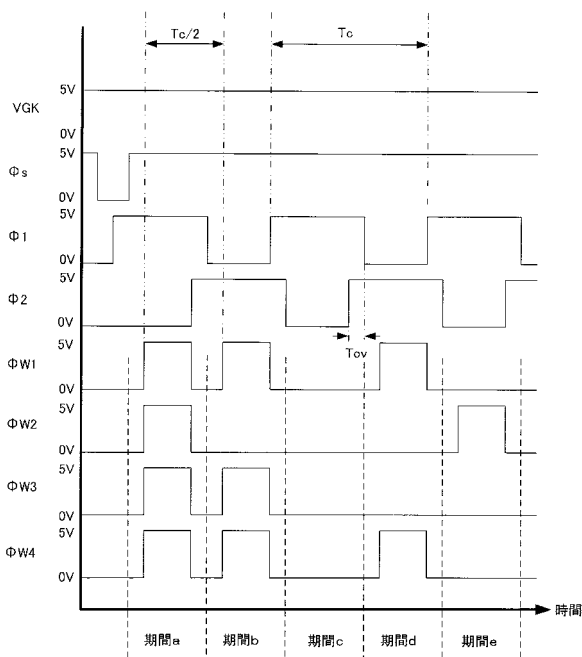
【図 8】



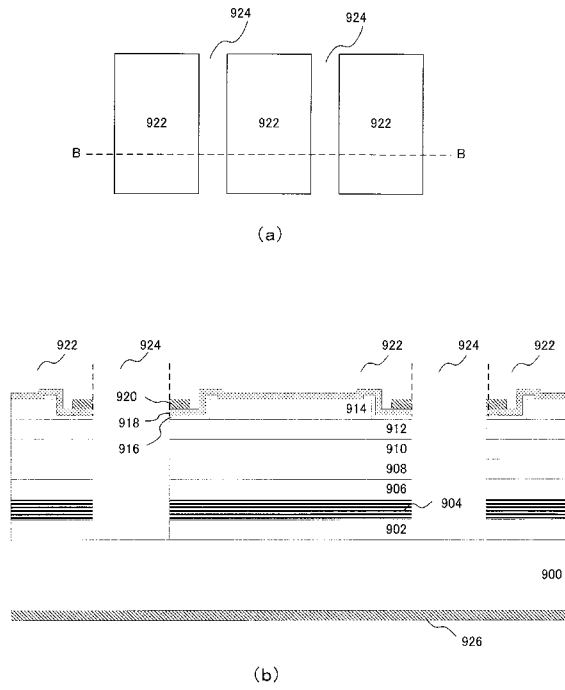
【図 9】



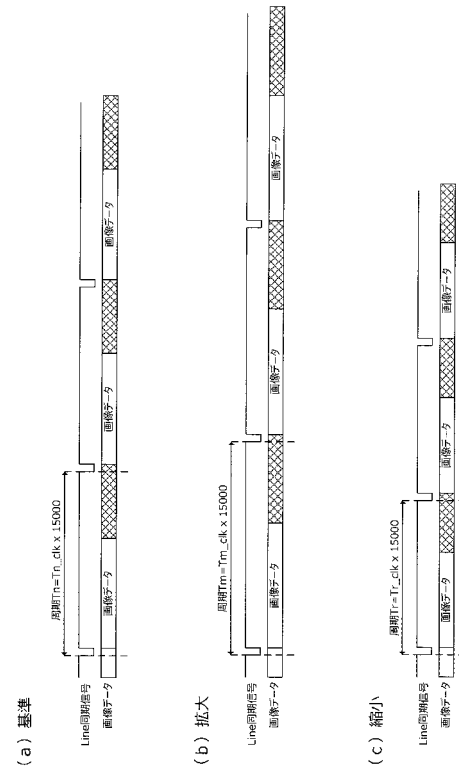
【図 10】



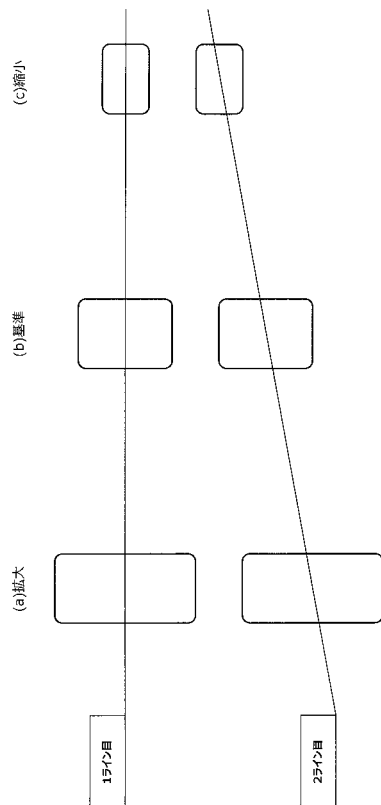
【図 1 1】



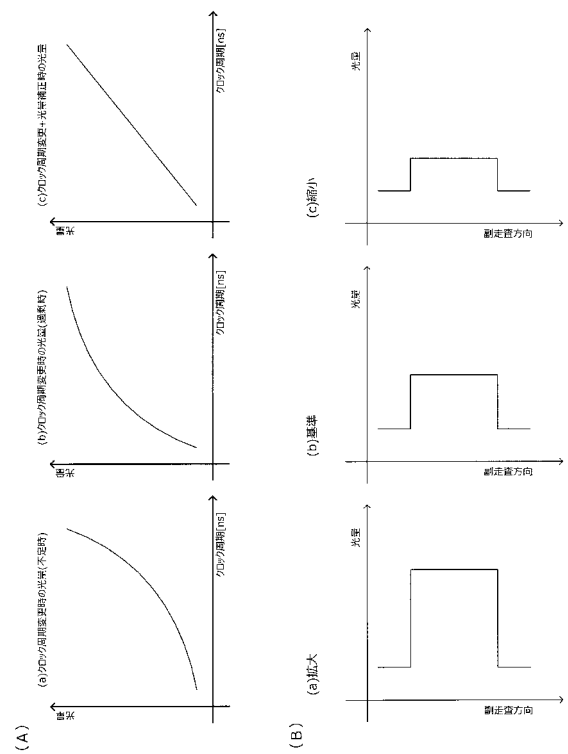
【図 1 2】



【図 1 3】

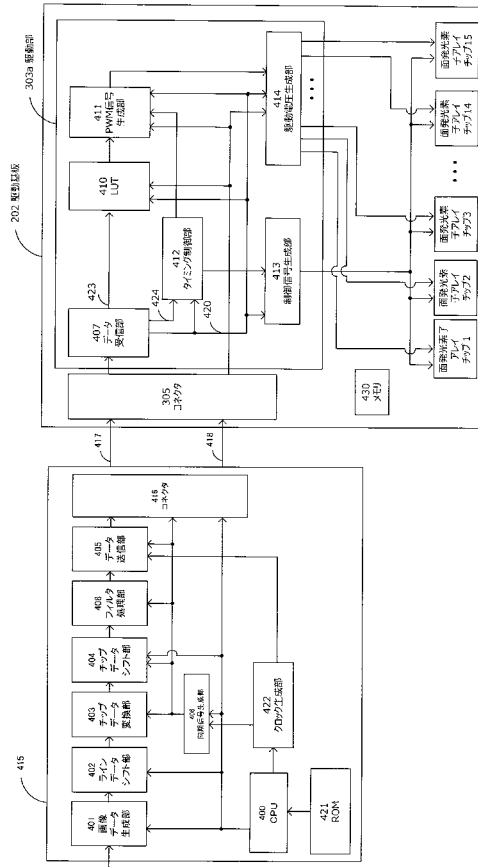


【図 1 4】

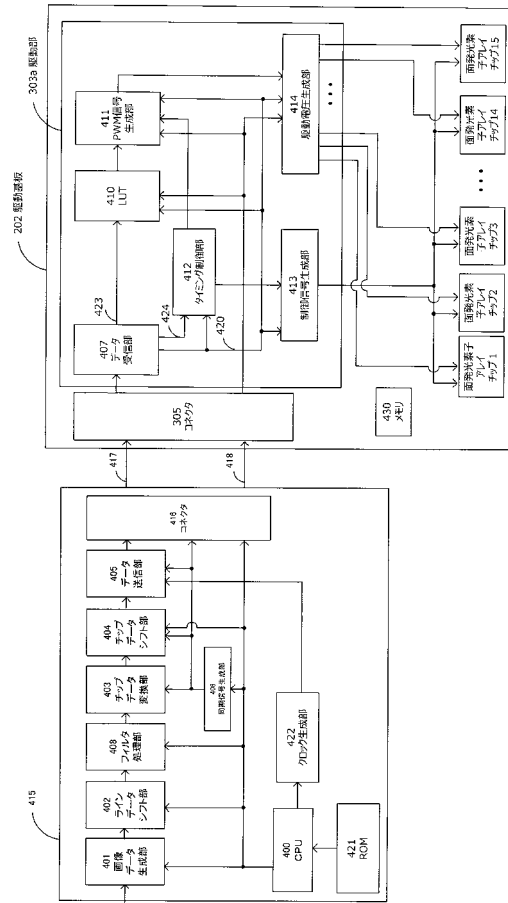




【図 15】



【図 16】



【図 17】

	PWMデータ							
000	0	0	0	0	0	0	0	0
001	0	0	0	0	0	0	1	1
010	0	0	0	0	1	1	1	1
011	0	0	1	1	1	1	1	1
100	1	1	1	1	1	1	1	1

(a)

	PWMデータ							
000	0	0	0	0	0	0	0	0
001	1	1	0	0	0	0	0	0
010	1	1	1	1	0	0	0	0
011	1	1	1	1	1	1	0	0
100	1	1	1	1	1	1	1	1

(b)

	PWMデータ							
000	0	0	0	0	0	0	0	0
001	0	0	0	1	1	0	0	0
010	0	0	1	1	1	1	0	0
011	0	1	1	1	1	1	1	0
100	1	1	1	1	1	1	1	1

(c)

フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>G 0 3 F</b>	<b>7/20</b>	<b>(2006.01)</b>	H 0 1 L 33/00	J
<b>G 0 3 G</b>	<b>21/14</b>	<b>(2006.01)</b>	G 0 3 F 7/20	5 0 1
			G 0 3 G 21/14	

F ターム(参考) 2H197 AA29 AA38 AA41 CA01 CA15 HA10  
 2H270 KA13 LB01 MA09 MA11 MB03 MB46 ZC04 ZC08  
 5F241 AA31 BB07 BC18 BC26 BC42 BC46 BC50 BD04 CA07 CA12  
 CA22 CA36 CA88 CB11 CB15 CB25 FF13